

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成24年4月12日(2012.4.12)

【公表番号】特表2010-518760(P2010-518760A)

【公表日】平成22年5月27日(2010.5.27)

【年通号数】公開・登録公報2010-021

【出願番号】特願2009-549272(P2009-549272)

【国際特許分類】

H 04 L 25/02 (2006.01)

G 06 F 13/38 (2006.01)

【F I】

H 04 L 25/02 302 A

G 06 F 13/38 350

【手続補正書】

【提出日】平成23年2月3日(2011.2.3)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

ハイスピード・シリアル・リンクをテストするためのシステムであって、ミッショングループトランスマッタとミッショングループレシーバとの間のハイスピード・シリアル・リンクに挿入されるように構成された物理層テスタを備え、前記物理層テスタが、

前記ミッショングループトランスマッタからハイスピード・シリアル・データを受けるためのテスタ・レシーバと、

前記ミッショングループレシーバに前記ハイスピード・シリアル・データを送るためのテスタ・トランスマッタと、

前記テスタ・レシーバと前記テスタ・トランスマッタとの間に延び、それによって前記テスタ・レシーバから前記テスタ・トランスマッタへ損失無く前記ハイスピード・シリアル・データを運ぶデータ・バスと、

前記ハイスピード・シリアル・データを受けるために前記テスタ・レシーバと通信する測定バスであって、前記ハイスピード・シリアル・データの特性を測定するための測定回路を備えた前記測定バスと

を備えた、ハイスピード・シリアル・リンクをテストするためのシステム。

【請求項2】

前記テスタ・トランスマッタは、前記ミッショングループレシーバをストレス・テストするためのジッタ及び電圧の制御回路を備えた、請求項1に記載のシステム。

【請求項3】

前記のミッショングループトランスマッタ及びミッショングループレシーバは、非決定性で、非周期性で、且つ非連続性のデータを伝送している、請求項1に記載のシステム。

【請求項4】

前記のミッショングループトランスマッタ及びミッショングループレシーバは、決定性且つ周期性且つ連続性のデータを伝送している、請求項1に記載のシステム。

【請求項5】

前記ハイスピード・シリアル・データは信号によって運ばれ、前記測定回路は前記信号をデジタル化信号にデジタル化するためのデジタイザを備えた、請求項1に記載のシステ

ム。

【請求項 6】

前記デジタイザは、タイムベース・ジェネレータと、前記タイムベース・ジェネレータによってクロックされるサンプラーとを備えた、請求項5に記載のシステム。

【請求項 7】

前記測定バスは、前記デジタイザの下流に設置されたアナログツーデジタル・コンバータを備えた、請求項5に記載のシステム。

【請求項 8】

前記測定回路は、前記デジタル化された信号を分析し、分析データを生み出すための信号分析回路を備えた、請求項5に記載のシステム。

【請求項 9】

前記信号分析回路は、デジタル・コンパレータ及びエラー・カウンタの回路を備えた、請求項8に記載のシステム。

【請求項 10】

前記測定回路は、前記分析データを記憶するためのデータ・キャプチャ・メモリを備えた、請求項8に記載のシステム。

【請求項 11】

前記分析データを前記物理層テスタの外部にあるデバイスに伝えるための通信回路を更に備えた、請求項10に記載のシステム。

【請求項 12】

前記測定回路は、前記デジタイザと前記信号分析回路との間で電気的に接続した第1の逆シリアルライザを更に備え、

前記信号分析回路はコンパレータを備え、前記物理層テスタは、前記コンパレータと前記デジタイザの上流のポイントとの間に電気的に接続した第2の逆シリアルライザを更に備え、前記コンパレータは、前記第1の逆シリアルライザから出力された信号を前記第2の逆シリアルライザから出力された信号と比較するように構成された、請求項8に記載のシステム。

【請求項 13】

前記テスター・レシーバはクロック及びデータの回復回路を備え、前記測定回路は前記クロック及びデータの回復回路によってクロックされるタイムベース・ジェネレータを備えた、請求項1に記載のシステム。

【請求項 14】

前記物理層テスターは、テスティングの間に外部基準クロックを受け、前記測定回路は、テスティングの間に前記外部基準クロックによってクロックされるタイムベース・ジェネレータを備えた、請求項1に記載のシステム。

【請求項 15】

前記ハイスピード・シリアル・データはデータ信号によって運ばれ、前記データ・バスは前記データ信号を受け、前記測定回路は、前記データ・バスがまた受ける前記データ信号を測定するように電気的に構成された、請求項1に記載のシステム。