(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 117501431 A
(43)申请公布日 2024.02.02

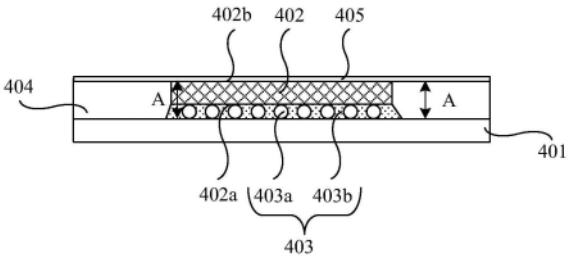
(21)申请号 202180099524.9
(22)申请日 2021.07.14
(85)PCT国际申请进入国家阶段日
2023.12.18
(86)PCT国际申请的申请数据
PCT/CN2021/106344 2021.07.14
(87)PCT国际申请的公布数据
WO2023/283842 ZH 2023.01.19
(71)申请人 华为技术有限公司
地址 518129 广东省深圳市龙岗区坂田华为总部办公楼
(72)发明人 苏玉 吕建标 陈晓丹 郑见涛
(74)专利代理机构 北京中博世达专利商标代理有限公司 11274
专利代理师 邱英华
(51)Int.Cl.
H01L 23/00(2006.01)

(54)发明名称

芯片封装结构及封装方法、电子设备

(57)摘要

本申请提供一种芯片封装结构及封装方法、电子设备，能够解决防水性能低下的问题，可应用于电子设备中。该芯片封装结构，包括：基板。芯片，具有靠近基板的第一表面和与第一表面相对的第二表面。第一管脚层，包括设置于芯片的第一表面与基板之间的多个管脚。塑封件，设置在芯片和第一管脚层的一周，塑封件远离基板的表面高于芯片的第一表面，且覆盖第一管脚层的侧面和至少覆盖芯片的部分侧面。其中，塑封件与芯片的侧面贴合。防水层，设置在芯片的第二表面，以及塑封件远离基板的表面上。



CN 117501431 A

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2023 年 1 月 19 日 (19.01.2023)

WIPO | PCT

(10) 国际公布号
WO 2023/283842 A1

(51) 国际专利分类号:
H01L 23/00 (2006.01) *H01L 23/31* (2006.01)

(21) 国际申请号: PCT/CN2021/106344

(22) 国际申请日: 2021 年 7 月 14 日 (14.07.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: 华为技术有限公司 (**HUAWEI TECHNOLOGIES CO., LTD.**) [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。

(72) 发明人: 苏玉 (**SU, Yu**); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。 吕建标 (**LU, Jianbiao**); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。 陈晓丹 (**CHEN, Xiaodan**); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。 郑见涛 (**ZHENG, Jiantao**); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。

(74) 代理人: 北京中博世达专利商标代理有限公司 (**BEIJING ZBSD PATENT&TRADEMARK AGENT LTD.**); 中国北京市海淀区交大东路31号11号楼8层, Beijing 100044 (CN)。

(81) 指定国(除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:
— 包括国际检索报告(条约第21条(3))。

(54) **Title:** CHIP PACKAGING STRUCTURE AND PACKAGING METHOD AND ELECTRONIC DEVICE

(54) 发明名称: 芯片封装结构及封装方法、电子设备

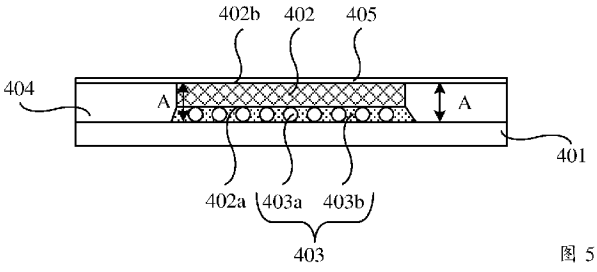


图 5

(57) **Abstract:** The present application provides a chip packaging structure and packaging method and an electronic device, which can solve the problem of poor waterproof performance, and the chip packaging structure and packaging method can be applied to the electronic device. The chip packaging structure comprises: a substrate; a chip, having a first surface close to the substrate and a second surface opposite to the first surface; a first pin layer, comprising multiple pins provided between the first surface of the chip and the substrate; a plastic packaging member, provided around the chip and the first pin layer, the surface of the plastic packaging member away from the substrate being higher than the first surface of the chip, covering the side surface of the first pin layer, and at least covering part of the side surface of the chip, wherein the plastic packaging member is adhered to the side surface of the chip; and a waterproof layer, provided on the second surface of the chip and the surface of the plastic packaging member away from the substrate.

WO 2023/283842 A1

[见续页]

(57) 摘要：本申请提供一种芯片封装结构及封装方法、电子设备，能够解决防水性能低下的问题，可应用于电子设备中。该芯片封装结构，包括：基板。芯片，具有靠近基板的第一表面和与第一表面相对的第二表面。第一管脚层，包括设置于芯片的第一表面与基板之间的多个管脚。塑封件，设置在芯片和第一管脚层的一周，塑封件远离基板的表面高于芯片的第一表面，且覆盖第一管脚层的侧面和至少覆盖芯片的部分侧面。其中，塑封件与芯片的侧面贴合。防水层，设置在芯片的第二表面，以及塑封件远离基板的表面上。

芯片封装结构及封装方法、电子设备

技术领域

本申请涉及微电子技术领域，尤其涉及一种芯片封装结构及封装方法、电子设备。

背景技术

功耗较大的芯片，如采用倒装芯片球栅格阵列（flip chip ball grid array，FCBGA）封装格式的芯片，在工作过程中产生的热量较多，大部分热量传导至芯片的背面，由芯片背面散热。

目前，可以采用液冷方式散热。如图 1、图 2 和图 3 所示，一种液冷散热方案中，制冷装置 101 通过弹簧螺钉 102 固定在印制电路板（printed circuit board，PCB）103 上，并通过支撑件 104、密封件 105 在芯片 106 与制冷装置 101 之间形成容纳腔 107，冷却介质由进液口 101a、花洒状流道 101b 进入容纳腔 107 与芯片进行热交换后，从回液口 101c 流出容纳腔 107。

然而，上述方案中，芯片 106 均需要与冷却介质直接接触。如图 1 所示，芯片 106 的上表面和侧面的容纳腔 107 内均存在冷却介质，支撑件 104 与基板 108 之间的胶层在与冷却介质接触后容易失效，且芯片 106 与基板 108 之间的底部填充胶存在冷却介质渗入的风险。上述图 2 和图 3 所示的结构中，冷却介质可以从芯片 106 的背面渗入芯片 106 内部。总而言之，上述芯片封装结构均存在防水性能低下的问题。

此外，上述方案所示的结构中，基板形变比芯片形变更大，基板容易发生翘曲。

发明内容

本申请实施例提供一种芯片封装结构及封装方法、电子设备，能够解决芯片防水性能低下的问题。

为达到上述目的，本申请采用如下技术方案：

第一方面，提供一种芯片封装结构，包括：基板。芯片，具有靠近基板的第一表面和与第一表面相对的第二表面。第一管脚层，包括设置于芯片的第一表面与基板之间的多个第一管脚。塑封件，设置在芯片和第一管脚层的一周，塑封件远离基板的表面高于芯片的第一表面，且覆盖第一管脚层的侧面和至少覆盖芯片的部分侧面。其中，塑封件与芯片的侧面贴合。防水层，设置在芯片的第二表面，以及塑封件远离基板的表面上。

基于第一方面提供的芯片封装结构，通过在芯片和第一管脚层的一周设置塑封件，并在塑封件远离基板的表面和芯片的第二表面设置防水层，使得塑封件能够阻止制冷介质从第一管脚层的侧面和芯片的侧面渗入第一管脚层或芯片内，防水层能够阻止制冷介质从芯片的表面渗入芯片和从塑封件渗入芯片内，以提高芯片的防水性能，从而提高芯片的可靠性。

此外，在基板上设置塑封件，由于塑封件的模量较大，不易发生形变，可以在基板发生翘曲的情况下，限制基板的形变，减小基板的翘曲程度，从而减少防水性能下降以及接触不良导致的电路故障问题。

一种可能的设计方案中，塑封件覆盖芯片的全部侧面，塑封件远离基板的表面可以与芯片的第二表面齐平。也就是说，塑封件远离基板的表面与基板之间的距离，等于芯片的第二表面与基板之间的距离。如此，可以进一步减少从芯片侧面渗入芯片内的制冷介质，进一步提高防水性能，以及塑封件覆盖芯片的全部侧面，可以在芯片边缘受到的外力挤压时，起到缓冲作用，从而更好地保护芯片，以进一步提高可靠性。此外，塑封件远离基板的表面与芯片的第二表面齐平，可以方便加工防水层。

一种可能的设计方案中，塑封件远离基板的表面可以低于芯片的第二表面。也就是说，塑封件远离基板的表面与基板之间的距离，小于芯片的第二表面与基板之间的距离。如此，可以减少形成塑封件过程中，流动至芯片的第二表面的塑封件的原料，芯片 401 表面不会被塑封件 404 覆盖，从而减少对芯片的第二表面的塑封件的原料研磨工艺，从而提高效率。此外，芯片侧面的上半部分未被塑封件覆盖，从而可以实现散热，提高散热效率。

一种可能的设计方案中，芯片封装结构还可以包括：支撑件，设置在基板上，支撑件环绕塑封件一周，塑封件的外侧面与支撑件的内侧面贴合。如此，可以通过支撑件向基板的边缘施加压力，以减小基板的翘曲程度，从而减少防水性能下降以及接触不良导致的电路故障问题。此外，可以防止制冷介质由塑封件的外侧面渗入芯片内部，从而进一步提高防水效果。

可选地，支撑件远离基板的表面可以高于芯片的第二表面。也就是说，支撑件远离基板的表面与基板之间的距离，可以大于芯片的第二表面与基板之间的距离。如此，可以更好的通过支撑件向基板施加压力，进一步减小基板的翘曲程度，从而进一步减少防水性能下降以及接触不良导致的电路故障问题。

或者，可选地，支撑件远离基板的表面可以低于芯片的第二表面。也就是说，支撑件远离基板的表面与基板之间的距离，可以小于芯片的第二表面与基板之间的距离。如此，可以更方便作业，如对塑封件或者芯片进行研磨，从而提高效率。

一种可能的设计方案中，芯片封装结构还可以包括：制冷装置，包括进液口、回液口和花洒状流道，花洒状流道、回液口与防水层之间形成容纳制冷工质的容纳腔，容纳腔至少覆盖芯片的第二表面对应的防水层，进液口与花洒状流道连通，花洒状流道与容纳腔连通，容纳腔与回液口连通。如此，制冷装置与芯片之间形成的容纳腔，可以完全覆盖防水层上与芯片第二表面对应的区域，这样一来，芯片的第二表面均可以实现散热，管脚可以布局在于第二表面对应的所有区域，不再受限。且密封力施加在芯片的第二表面之外减小芯片受外力损坏的风险，从而兼顾防水性能、散热效率和可靠性。

第二方面，提供一种电子设备，电子设备包括印刷电路板以及至少一个如第一方面中任一项所述的芯片封装结构，该芯片封装结构与印刷电路板连接。第二方面提供的电子设备具有与第一方面所提供的芯片封装结构相同的技术效果，此处不再赘述。

示例性地，第二方面所述的电子设备可以包括服务器、超级计算机等电子产品。可以理解，该电子设备还可以包括用于工业控制的电子产品、或数据中心的电子产品等。

第三方面，提供一种芯片封装方法，该芯片封装方法包括：在基板上形成环绕芯

片一周的塑封件。其中，芯片设置在基板上，芯片具有靠近基板的第一表面和与第一表面相对的第二表面，第一表面通过第一管脚层与基板连接，第一管脚层包括设置于芯片的第一表面与基板之间多个第一管脚，塑封件远离基板的表面高于芯片的第一表面。塑封件覆盖第一管脚层的侧面和至少覆盖芯片的部分侧面，其中，塑封件与芯片的侧面贴合。在芯片的第二表面上，以及塑封件远离基板的表面上，形成防水层。

一种可能的设计方案中，塑封件覆盖芯片的全部侧面，塑封件远离基板的表面可以与芯片的第二表面齐平。

一种可能的设计方案中，塑封件远离基板的表面可以低于芯片的第二表面。

一种可能的设计方案中，在基板上形成环绕芯片一周的塑封件之前，芯片封装方法还可以包括：在芯片的一周形成限制塑封件的围坝。其中，围坝位于基板上。在基板上形成环绕芯片一周的塑封件，可以包括：在围坝与芯片之间形成塑封件。

可选地，围坝可以为支撑件，塑封件的外侧面与支撑件的内侧面贴合。

进一步地，支撑件远离基板的表面可以高于芯片的第二表面。

或者，进一步地，支撑件远离基板的表面可以低于芯片的第二表面。

一种可能的设计方案中，在基板上形成环绕芯片的一周的塑封件之前，芯片封装方法还可以包括：将基板与印制电路板连接。

一种可能的设计方案中，在芯片的第二表面上，以及塑封件远离基板的表面上，形成防水层之后，芯片封装方法还可以包括：将基板与印制电路板连接。

第三方面中的芯片封装方法与第二方面提供的芯片封装结构，具有相同的技术效果，此处不再赘述。

附图说明

图 1 为现有技术提供的芯片封装结构的剖面结构示意图一；

图 2 为现有技术提供的芯片封装结构的剖面结构示意图二；

图 3 为现有技术提供的芯片封装结构的剖面结构示意图三；

图 4 为本申请实施例提供的电子设备的结构示意图；

图 5 为本申请实施例提供的芯片封装结构的剖面结构示意图一；

图 6 为本申请实施例提供的芯片封装结构的剖面结构示意图二；

图 7 为本申请实施例提供的芯片封装结构的剖面结构示意图三；

图 8 为本申请实施例提供的防水层的结构示意图；

图 9 为本申请实施例提供的芯片封装结构的剖面结构示意图四；

图 10 为本申请实施例提供的芯片封装结构的剖面结构示意图五；

图 11 为本申请实施例提供的芯片封装结构的剖面结构示意图六；

图 12 为本申请实施例提供的芯片封装结构的剖面结构示意图八；

图 13 为本申请实施例提供的芯片封装结构的剖面结构示意图九；

图 14 为本申请实施例提供的芯片封装方法的流程示意图一；

图 15 为本申请实施例提供的芯片与基板的连接结构示意图；

图 16 为示例一中执行图 14 的 S1401 形成的结构示意图一；

图 17 为示例一中执行步骤 1 形成的结构示意图；

图 18 为示例一中执行图 14 的 S1401 形成的结构示意图二；

图 19 为示例一中执行图 14 的 S1402 形成的结构示意图；

图 20 为本申请实施例提供的芯片封装方法的流程示意图二；

图 21 为示例二中执行图 20 的芯片的初始状态结构示意图；

图 22 为示例二中执行图 20 的 S2001 形成的结构示意图一；

图 23 为示例二中执行步骤 4 形成的结构示意图；

图 24 为示例二中执行图 20 的 S2001 形成的结构示意图二；

图 25 为图 24 中所示结构的俯视图。

附图标记：101a-进液口；101b-花洒状流道；101c-回液口；101-制冷装置；102-弹簧螺钉；103-印制电路板；104-支撑件；105-密封件；106-芯片；107-容纳腔；108-基板；300-印制电路板；301-第二管脚；400-芯片封装结构；401-基板；402a-第一表面；402b-第二表面；402-芯片；403a-第一管脚；403b-底部填充胶；403-第一管脚层；404-塑封件；405-防水层；501a-支撑件；501b-粘接胶；501-围坝；601a-进液口；601b-回液口；601c-花洒状流道；601-制冷装置；602-弹簧螺钉；603-密封件；604-容纳腔；701a-第一托架；701b-第二托架；701-托架。

具体实施方式

下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行描述，显然，所描述的实施例仅仅是本申请一部分实施例，而不是全部的实施例。

本文中，术语“第一”、“第二”等仅用于描述目的，而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此，限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者更多个该特征。在本申请的描述中，除非另有说明，“多个”的含义是两个或两个以上。

此外，本文中，“上”、“下”等方位术语是相对于附图中的结构示意置放的方位来定义的，应当理解到，这些方向性术语是相对的概念，它们用于相对于的描述和澄清，其可以根据结构所放置的方位的变化而相应地发生变化。

在本申请中，除非另有明确的规定和限定，术语“连接”应做广义理解，例如，“连接”可以是固定连接，也可以是可拆卸连接，或成一体；可以是直接相连，也可以通过中间媒介间接相连。此外，术语“耦接”可以是实现信号传输的电性连接的方式。“耦接”可以是直接的电性连接，也可以通过中间媒介间接电性连接。

本申请实施例提供一种电子设备。该电子设备包括服务器、超级计算机等电子设备。可以理解，该电子设备还可以包括用于工业控制的电子设备、或数据中心的电子设备等。本申请实施例对上述电子设备的具体形式不做特殊限制。

该电子设备可以包括如图 4 所示的印制电路板（printed circuit board，PCB）300 以及设置于该印制电路板 300 上的芯片封装结构 400。其中，芯片封装结构 400 通过多个管脚与印制电路板 300 连接。

以下结合图 5 至图 24，详细说明芯片封装结构 400 以及芯片封装方法。

如图 5 至图 7 所示，在本申请的一些实施例中，芯片封装结构 400 包括基板 401、芯片（Die）402、第一管脚层 403、塑封件 404 和防水层 405。以图 5 中所示结构置放的方位为例，第一管脚层 403 设置在基板 401 上，芯片 402 设置在第一管脚层 403 上。下文中描述芯片封装结构 400 中各部件之间的位置关系时，均以此方位为参考。

如图 5 至图 7 所示，芯片 402，具有靠近基板 401 的第一表面 402a，以及与第一表面 402a 相对的第二表面 402b。

本申请实施例中，芯片 402 的下表面靠近基板 401，即芯片 402 的下表面为第一表面 402a，芯片 402 的上表面远离基板 401，即芯片 402 的上表面为第二表面 402b。可理解，第一表面 402a 或第二表面 402b 的面积，可以大于芯片 402 的任意一个侧面的面积。

如图 5 至图 7 所示，第一管脚层 403，包括设置于芯片 402 的第一表面 402a 与基板 401 之间的多个第一管脚 403a。换言之，第一管脚层 403 设置在芯片 402 的下表面与基板 401 之间，第一管脚层 403 可以包括多个第一管脚 403a。

在本申请的实施例中，上述第一管脚层 403 中的多个第一管脚 403a 可以为焊料凸块（solder bump），或者焊球（solder ball），或者铜柱（Cu pillar）。其中，第一管脚层 403 中的多个第一管脚 403a 阵列排布。例如，第一管脚 403a 为焊球时，多个第一管脚 403a 形成焊球阵列（ball grid array，BGA）。芯片 402 与基板 401 之间，可以通过多个第一管脚 403a 电连接。

此外，第一管脚层 403 还可以包括底部填充胶（Underfill）403b，底部填充胶 403b 位于第一表面 402a 与基板 401，即芯片 402 的下表面与基板 401 之间的空隙处，且底部填充胶 403b 可以将多个第一管脚 403a 覆盖。关于底部填充胶 403b 的实现，可以参考现有技术中底部填充胶 403b 的具体实现方式，此处不再赘述。

如图 5 至图 7 所示，塑封件（Molding）404，设置在芯片 402 和第一管脚层 403 的一周，即塑封件 404 环绕设置在芯片 402 和第一管脚层 403 的周围。且塑封件 404 远离基板 401 的表面高于芯片 402 的第一表面 402a，即塑封件 404 的上表面高于芯片 402 的下表面。换言之，塑封件 404 远离基板 401 的表面相对于基板 401 的距离，大于芯片 402 的第一表面 402a 相对于基板 401 的距离，即塑封件 404 的上表面相对于基板 401 的距离，大于芯片 402 的下表面相对于基板 401 的距离。

此外，塑封件 404 覆盖第一管脚层 403 的侧面，以及至少覆盖芯片 402 的部分侧面。例如，图 5 和图 6 所示的塑封件 404 覆盖第一管脚层 403 的全部侧面，以及覆盖芯片 402 的全部侧面。而图 7 所示的塑封件 404 覆盖第一管脚层 403 的全部侧面，以及芯片 402 的部分侧面，如靠近基板 401 一侧的部分侧面。其中，塑封件 404 的表面中，除与基板 401 接触的表面和与基板 401 相对的表面外的其他两个面为侧面，即塑封件 404 的上表面和塑封件 404 的下表面之间的两个表面，为塑封件 404 的两个侧面。塑封件 404 的两个侧面中，与芯片 402 的侧面之间的距离更小的一个侧面为塑封件 404 的内侧面，与芯片 402 的侧面之间的距离更大的一个侧面为塑封件 404 的外侧面。

可理解，塑封件 404 的内侧面与芯片 402 上被塑封件 404 覆盖的侧面贴合，塑封件 404 的内侧面还可以与第一管脚层 403 的侧面贴合。塑封件 404 靠近基板 401 的表面可以与基板 401 靠近芯片 402 的表面贴合，即塑封件 404 的下表面可以与基板 401 的上表面贴合。

本申请实施例中，如此，可以阻止制冷介质从第一管脚层 403 的侧面、芯片 402 的侧面渗入芯片 402 内部。其中，塑封件 404 的材料可以采用如下一种或多种热固材料：环氧塑料、或酚醛塑料。其中，环氧塑料可以包括环氧树脂、硬化剂、充填剂、

或添加剂。

可理解，塑封件 404 的上表面的高度可以与芯片 402 的上表面齐平、或者高于芯片 402 的上表面、或者低于芯片 402 的上表面，以下结合图 5-图 7 分别举例说明。

一些实施例中，如图 5 所示，塑封件 404 远离基板 401 的表面可以与芯片 402 的第二表面 402b 齐平，即塑封件 404 的上表面与芯片 402 的上表面齐平。也就是说，塑封件 404 远离基板 401 的表面与基板 401 之间的距离，可以等于芯片 402 的第二表面 402b 与基板 401 之间的距离，塑封件 404 的上表面与基板 401 之间的距离，可以等于芯片 402 的上表面与基板 401 之间的距离。在此情况下，塑封件 404 可以覆盖芯片 402 的全部侧面。其中，塑封件 404 远离基板 401 的表面与基板 401 之间的距离是指，塑封件 404 在基板 401 上的厚度或高度。芯片 402 的第二表面 402b 与基板 401 之间的距离是指，芯片 402 在基板 401 上的厚度或高度。

如此，塑封件 404 覆盖芯片 402 的全部侧面，可以进一步减少从芯片 402 侧面渗入芯片 402 内的制冷介质，进一步提高防水性能，以及可以在芯片 402 边缘受到的外力挤压时，起到缓冲作用，从而更好地保护芯片 402，进一步提高可靠性。此外，塑封件 404 远离基板 401 的表面与芯片 402 的第二表面 402b 齐平，可以方便加工防水层 405，从而提高效率。

例如，图 5 所示的结构中，若芯片 402 的第二表面 402b 与基板 401 之间的距离为 A，则塑封件 404 远离基板 401 的表面与基板 401 之间的距离也为 A。

可以理解，本申请实施例中，塑封件 404 远离基板 401 的表面与芯片 402 的第二表面 402b 齐平，是以基板 401 作为参照物进行描述。以下在不做特殊说明的情况下，“高于”、“低于”或“齐平”均是以基板 401 作为参照物进行描述。

另一些实施例中，如图 6 所示，且塑封件 404 远离基板 401 的表面可以高于芯片 402 的第二表面 402b，即塑封件 404 的上表面高于芯片 402 的上表面。也就是说，塑封件 404 远离基板 401 的表面与基板 401 之间的距离，可以大于芯片 402 的第二表面 402b，即塑封件 404 的上表面与基板 401 之间的距离，可以大于芯片 402 的上表面与基板 401 之间的距离。在此情况下，塑封件 404 覆盖芯片 402 的全部侧面。如此，可以进一步减少从芯片 402 的侧面渗入芯片 402 内的制冷介质，进一步提高防水性能。此外，还可以在芯片 402 边缘受到的外力挤压时，起到缓冲作用，从而更好地保护芯片 402，进一步提高可靠性。

例如，若芯片 402 的第二表面 402b 与基板 401 之间的距离为 A，塑封件 404 远离基板 401 的表面与基板 401 之间的距离为 B，则 B 大于 A。

又一些实施例中，如图 7 所示，塑封件 404 远离基板 401 的表面可以低于芯片 402 的第二表面 402b，即塑封件 404 的上表面低于芯片 402 的上表面。也就是说，塑封件 404 远离基板 401 的表面与基板 401 之间的距离，可以小于芯片 402 的第二表面 402b 与基板 401 之间的距离，即塑封件 404 的上表面与基板 401 之间的距离，可以小于芯片 402 的上表面与基板 401 之间的距离。

在此情况下，塑封件 404 覆盖芯片 402 的部分侧面。如此，可以减少工艺流程，如可以减少形成塑封件 404 过程中，流动至芯片 402 的第二表面 402b 的塑封件 404 的原料，芯片 401 表面不会被塑封件 404 覆盖，减少芯片 402 上表面的研磨工艺流程，

从而提高效率。此外，芯片 402 侧面的上部分未被塑封件 404 覆盖，从而可以增加散热面积，以提高散热效率。

例如，若芯片 402 的第二表面 402b 与基板 401 之间的距离为 A，则塑封件 404 远离基板 401 的表面与基板 401 之间的距离为 C，则 C 小于 A。

本申请实施例中，上述图 5 至图 7 中任一所示的芯片封装结构 400 均可以设置防水层 405。

如图 5 至图 7 所示，防水层 405 设置在芯片 402 的第二表面 402b，以及塑封件 404 远离基板 401 的表面上。也就是说，防水层 405 设置在芯片 402 的上表面上和塑封件 404 的上表面上。其中，防水层 405 可以用于阻挡制冷介质，以防止冷却介质从芯片 402 的第二表面 402b 渗入芯片 402 的内部，以及防止冷却介质从芯片 402 的侧面或由塑封件 404 渗入芯片 402 的内部。

可选地，如图 5 所示，在塑封件 404 的上表面与芯片 402 的上表面齐平的情况下，防水层 405 可以为一个面，如此，可以便于设置防水层 405。

或者，可选地，如图 6 或图 7 所示，在塑封件 404 的上表面高于或低于芯片 402 的上表面的情况下，防水层 405 可以包括多个面。示例性地，芯片 402 未被塑封件 404 覆盖的侧面上，如图 7 中芯片 402 的侧面的上部分设置防水层 405。也就是说，芯片 402 的侧面上未被塑封件 404 覆盖的部分、芯片 402 的第二表面 402b 和塑封件 404 远离基板 401 的表面上均可以设置防水层 405。或者，示例性地，塑封件 404 的内侧面未与芯片 402 的侧面接触的部分，如图 6 中塑封件 404 的内侧面的上部分设置防水层 405。也就是说，塑封件 404 的内侧面上未被塑封件 404 覆盖的部分、芯片 402 的第二表面 402b 和塑封件 404 远离基板 401 的表面上均可以设置防水层 405。

如图 8 所示，示例性地，防水层 405 可以包括如下一项或多项：第一子防水层、第二子防水层、或第三子防水层。

其中，第一子防水层可以包括如下之一形成的薄膜：钛（Ti）、镍（Ni）、或碳。以第一子防水层的材料包括碳为例，第一子防水层可以为类金刚石薄膜（diamond-like carbon，DLC）。其中，类金刚石薄膜可以通过溅射工艺形成。可理解，钛（Ti）形成的薄膜、镍（Ni）形成的薄膜、或碳形成的薄膜均具有水汽透过率低的特点，因此，可以实现防水功能。此外，第一子防水层还能够防止制冷介质冲击芯片表面。

第二子防水层可以包括如下之一形成的薄膜：二氧化硅（SiO_2）或氧化铝，如三氧化二铝。以氧化铝为例，第二子防水层的可以为氧化铝薄膜。其中，氧化铝薄膜可以通过原子层沉积工艺形成。二氧化硅形成的薄膜或氧化铝形成的薄膜均具有水汽透过率低的特点，从而可以实现防水功能。

第三子防水层可以包括有机层，有机层的材料可以包括聚对二甲苯（parylene）。其中，有机层具有水汽透过率低的特点，从而可以实现防水功能。

可选地，防水层 405 可以只包括两层，如防水层 405 可以包括第一子防水层和第二子防水层。其中，第一子防水层和第二子防水层依次设置在第二表面 402b 上。如此，可以进一步提高防水性能。或者，防水层 405 可以只包括一层，如防水层 405 可以只包括第一子防水层。

需要说明的是，上述第一子防水层、第二子防水层、或第三子防水层，还可以采

用其他材料实现，以上所列举的各层的材料仅用于作示例，并不限定第一子防水层、第二子防水层、或第三子防水层的具体实现方式。

为了进一步提升防水效果，还可以在支撑件 501a 远离基板 401 的表面上设置防水层 405，即在支撑件 501a 的上表面上设置防水层 405。

上述图 5 至图 7 所示的芯片封装结构，通过在芯片 402 和第一管脚层 403 的一周设置塑封件 404，并在塑封件 404 远离基板 401 的表面和芯片 402 的第二表面 402b 设置防水层 405，通过塑封件 404 和防水层 405 结合，可以阻止制冷介质渗入芯片 402 和第一管脚层 403 内，以提高芯片 402 的防水性能，从而提高芯片 402 的可靠性。

此外，在基板 401 上设置塑封件 404，由于塑封件 404 的模量较大，不易发生形变，可以在基板 401 发生翘曲的情况下，限制基板 401 的形变，减小基板 401 的翘曲程度，从而减少防水性能下降以及接触不良导致的电路故障问题。例如，在一种可能的实施方式中，基板 401 的模量为 27 吉帕（giga pascal，GPa），塑封件 404 的模量可以为 12.7GPa 或 0.6GPa。可理解，本申请实施例中，塑封件 404 的模量较大是指，塑封件 404 在受到相同应力时，塑封件 404 发生形变的尺寸相对于气体或液体发生形变的尺寸更小。

为了更好地减小基板 401 的翘曲程度，塑封件 404 的膨胀系数可以小于基板 401 的膨胀系数。例如，基板 401 的膨胀系数为 $20*10^{-6}$ 每摄氏度（per celsius temperature，/°C），塑封件 404 的膨胀系数可以为 $18*10^{-6}$/°C。如此，在温度变化的情况下，可以更好地将基板 401 与芯片 402 固定在一起，以实现基板 401 与芯片 402 之间的膨胀系数匹配，减小基板 401 与芯片 402 发生的形变的差异，减小基板 401 的翘曲程度，从而减少防水性能下降以及接触不良导致的电路故障问题。关于基板 401 或塑封件 404 的膨胀系数的实现，可以对应通过选取基板 401 或塑封件 404 的材料实现。关于基板 401 或塑封件 404 的材料的实现方式，可以对应参考已有技术中基板 401 或塑封件 404 的材料的实现方式，此处不再赘述。

以图 5 所示的芯片封装结构 400 为例，如图 9 至图 11 所示，芯片封装结构 400 还可以包括：支撑件（Ring）501a。其中，该支撑件 501a 设置在基板 401 上，且该支撑件 501a 环绕塑封件 404 一周，即支撑件 501a 环绕设置在塑封件 404 的周围。如此，可以通过如图 13 所示的制冷装置 601 和支撑件 501a 向基板 401 的边缘施加外力，进一步减小基板 401 的翘曲程度，从而减少的防水性能下降以及接触不良导致的电路故障问题。在此基础上，为了防止制冷介质由塑封件 404 的外侧面渗入芯片 402 内部，从而进一步提高防水效果，塑封件 404 的外侧面与支撑件 501a 的内侧面贴合。

可理解，支撑件 501a 的表面中，除与基板 401 相对的两个表面外的其他两个面为侧面。支撑件 501a 的两个侧面中，与芯片 402 的侧面之间的距离较小的侧面为支撑件 501a 的内侧面。

在此情况下，塑封件 404 的外侧面与支撑件 501a 的内侧面贴合，可以防止制冷介质从塑封件 404 与支撑件 501a 之间渗入粘接胶 501b 处，造成粘接胶 501b 失效，进而导致制冷介质泄漏，进一步提高芯片 402 的可靠性。

示例性地，支撑件 501a 可以通过粘接胶 501b 粘接在基板 401 上。此时，支撑件

501a 与粘接胶 501b 一起，可以形成围坝 501。其中，围坝 501 可以用于在形成塑封件 404 的过程中，限制形成塑封件 404 的热固材料。塑封件 404 的外侧面还可以与粘接胶 501b 的内侧面贴合。其中，粘接胶 501b 的内侧面为粘接胶 501b 上靠近基板 401 的侧面，粘接胶 501b 的外侧面为粘接胶 501b 上靠近基板 401 的侧面。

需要说明的是，支撑件 501a 的材料可以是金属材料，如铜合金、或不锈钢。粘接胶 501b（也可以称为 AD 粘接胶），本申请实施例中的粘接胶 501b，可以采用现有的具有粘合作用的材料实现，此处不再赘述。

请参考图 9 至图 11，支撑件 501a 远离基板 401 的表面可以高于芯片 402 远离基板 401 的表面、或者低于芯片 402 远离基板 401 的表面、或者与芯片 402 远离基板的表面齐平，即支撑件 501a 的上表面的高度可以高于芯片 402 的上表面、或者低于芯片 402 的上表面、或者与芯片 402 的上表面齐平，以下结合图 9 至图 11 分别举例说明。

一些实施例中，如图 9 所示，支撑件 501a 远离基板 401 的表面可以与芯片 402 的第二表面 402b 齐平，即支撑件 501a 的上表面与芯片 402 的上表面齐平。也就是说，支撑件 501a 远离基板 401 的表面与基板 401 之间的距离，可以等于芯片 402 的第二表面 402b 与基板 401 之间的距离，即支撑件 501a 的上表面与基板 401 之间的距离，可以等于芯片 402 的上表面与基板 401 之间的距离。在此情况下，支撑件 501a 可以形成围坝 401，便于形成塑封件 404。

例如，若芯片 402 的第二表面 402b 与基板 401 之间的距离为 A，则支撑件 501a 远离基板 401 的表面与基板 401 之间的距离也为 A。

另一些实施例中，如图 10 所示，支撑件 501a 远离基板 401 的表面可以高于芯片 402 的第二表面 402b，即支撑件 501a 的上表面高于芯片 402 的上表面。也就是说，支撑件 501a 远离基板 401 的表面与基板 401 之间的距离，可以大于芯片 402 的第二表面 402b 与基板 401 之间的距离，即支撑件 501a 的上表面与基板 401 之间的距离，可以大于芯片 402 的上表面。其中，支撑件 501a 远离基板 401 的表面与基板 401 之间的距离是指，支撑件 501a 远离基板 401 的表面相对基板 401 的上表面的高度。如此，可以更好地通过支撑件 501a 向基板 401 施加压力，进一步减小基板 401 的翘曲程度，从而进一步提高芯片 402 的防水性能以及改善基板 401 翘曲造成的电子元器件接触不良的问题。此外，支撑件 501a 可以形成围坝 501，便于形成塑封件 404。

例如，若芯片 402 的第二表面 402b 与基板 401 之间的距离为 A，支撑件 501a 远离基板 401 的表面与基板 401 之间的第一距离为 D，则 A 小于 D。

又一些实施例中，如图 11 所示，支撑件 501a 远离基板 401 的表面可以低于芯片 402 的第二表面 402b，即支撑件 501a 的上表面可以低于芯片 402 上表面。也就是说，支撑件 501a 远离基板 401 的表面与基板 401 之间的距离，可以小于芯片 402 的第二表面 402b 与基板 401 之间的距离，即支撑件 501a 的上表面与基板 401 之间的距离，可以小于芯片 402 的上表面与基板 401 之间的距离。如此，可以更方便作业，如对塑封件 404 或者芯片 402 进行研磨，从而提高效率。

例如，若芯片 402 的第二表面 402b 与基板 401 之间的距离为 A，支撑件 501a 远离基板 401 的表面与基板 401 之间的距离为 E，则 A 小于 E。

需要说明的是，如图 11 所示，塑封件 404 可以延伸至支撑件 501a 远离基板 401

的表面上，且覆盖支撑件 501a 远离基板 401 的表面。

可理解，在包括支撑件 501a 的芯片封装结构 400 中，支撑件 501a 远离基板 401 的表面，可以与塑封件 404 远离基板 401 的表面齐平，即支撑件 501a 的上表面可以与芯片 402 的上表面齐平。或者，支撑件 501a 远离基板 401 的表面，可以高于塑封件 404 远离基板 401 的表面。即支撑件 501a 的上表面可以高于芯片 402 的上表面。或者，支撑件 501a 远离基板 401 的表面，可以低于塑封件 404 远离基板 401 的表面，即支撑件 501a 的上表面可以低于芯片 402 的上表面。

需要说的是，本申请实施例中，支撑件 501a 上表面（存在支撑件 501a 且支撑件 501a 上表面未被塑封件 404 覆盖）或塑封件 404（不存在支撑件 501a 或支撑件 501a 的上表面被塑封件 404 覆盖）的高度可以与图 12 或图 13 所示的制冷装置 601 相配合，以便如图 12 或图 13 所示的容纳腔 604 足够大，可以容纳足够的冷媒。此外，支撑件 501a 或塑封件 404 还可以固定芯片 402，防止基板 401、芯片 402 发生形变。

类似地，在图 6 或图 7 所示的结构上，也可以设置支撑件 501a，具体实现可以参考图 9 所示支撑件 501a 的具体实现方式，此处不再赘述。

在一些可能的设计方案中，如图 12 或图 13 中任一所示，上述图 5 至图 7、或图 9 至图 11 中任一芯片封装结构 400 还可以包括：制冷装置 601。该制冷装置 601 具有进液口 601a、回液口 601b 和花洒状流道 601c。其中，花洒状流道 601c、回液口 601b 与防水层 405 之间形成容纳制冷工质的容纳腔 604，容纳腔 604 至少覆盖防水层 405 上与芯片 402 的第二表面 402b 对应的区域，进液口 601a 与花洒状流道 601c 连通，花洒状流道 601c 与容纳腔 604 连通，容纳腔 604 与回液口 601b 连通。

示例性地，芯片封装结构 400 可以通过基板 401 与印制电路板 300 连接。其中，基板 401 与制冷装置 601 位于印制电路板 300 的同一侧。可以理解，基板 401 与印制电路板 300 之间可以设置第二管脚层，第二管脚层可以包括多个第二管脚 301。基板 401 与印制电路板 300 可以通过多个第二管脚 301 电连接。关于第二管脚层的实现，可以参考现有实现方式，此处不再赘述。

其中，制冷装置 601 可以通过连接件，如弹簧螺钉 602 或螺钉固定在印制电路板 300 上。为了提高制冷装置 601 的可靠性，还可以在印制电路板 300 的两侧设置托架 701，并通过弹簧螺钉 602 将制冷装置 601 连接在托架 701 上。其中，托架 701 可以包括如下一项或多项：第一托架 701a、或第二托架 701b，在印制电路板 300 靠近基板 401 的一侧设置第一托架 701a，在印制电路板 300 远离基板 401 的一侧设置第二托架 701b。

需要说明的是，连接件将制冷装置 601 连接好后，制冷装置 601 与芯片 402 上的防水层 405 之间的距离大于距离阈值，以使容纳腔 604 能够容纳足够的制冷介质，确保制冷效果。

类似地，在图 6、图 7、图 9 至图 11 中任一项所示的封装结构上，也可以设置制冷装置 601，具体实现可以参考图 12 或图 13 所示制冷装置 601 的具体实现方式，此处不再赘述。

可以理解，本申请实施例中的制冷装置 601 可以是射流液冷装置。

为进一步理解本申请实施例的方案，以下结合图 12 和图 13 举例说明上述封装结

构的制冷原理。

示例性地，如图 12 或图 13 所示，芯片 402 工作时，产生的热量传导至芯片 402 的第二表面 402b，并进一步传导至防水层 405。制冷装置 601 的进液口 601a 和回液口 601b 与制冷介质的供液系统（图 13 中未示出）连接，制冷介质在供液系统的驱动下，经由制冷装置 601 的进液口 601a 注入花洒状流道 601c，接着由花洒状流道 601c 进入容纳腔 604 内。进入容纳腔 604 内的制冷介质与防水层 405 进行热交换，从而吸收芯片 402 产生的热量。制冷介质吸收热量后，经由制冷装置 601 的回液口 601b 流出容纳腔 604，从而将热量转移至芯片封装结构 400 之外，实现芯片 402 散热。

这样一来，芯片 402 的第二表面 402b 均可以实现散热，第一管脚 403a 可以布局在与第二表面 402b 对应的所有区域，不再受限。其中，与第二表面 402b 对应的所有区域，可以是第二表面 402b 沿垂直于第二表面 402b 的方向的投影的区域。

在此情况下，为了防止制冷液从容纳腔 604 渗透到容纳腔 604 之外的结构，如印制电路板 300 上，还可以在制冷装置 601 与防水层 405 之间设置密封件 603。

一些实施例中，结合图 5 至图 7、图 9 至图 11，如图 12 所示，可以将密封件 603 设置在覆盖塑封件 404 的防水层 405 上。密封件 603 与防水层 405 和制冷装置 601 分别接触。在此情况下，密封件 603 环绕在防水层 405 上与第二表面 402b 对应的区域的周围。

另一些实施例中，结合图 9 至图 11，如图 13 所示，可以将密封件 603 设置在支撑件 501a 上。例如，上述图 9 所示，密封件 603 与覆盖支撑件 501a 上表面的防水层 405 和制冷装置 601 分别接触。又如，上述图 10 所示，密封件 603 设置在支撑件 501a 的上表面上。再如，上述图 11 所述，密封件 603 设置在防水层 405 上与支撑件 501a 的上表面对应的区域，且与防水层 405 和制冷装置 601 分别接触。

其中，防水层 405 上与第二表面 402b 对应的区域，可以是第二表面 402b 沿垂直于第二表面 402b 的方向，在防水层 405 上的投影的区域。

需要说明的是，密封件 603 处的压力应大于第一压力阈值，且小于或等于第二压力阈值，以避免压力过小，导致密封效果差，或者压力过大导致芯片封装结构 400 的防水层 405 或支撑件 501a 损坏。其中，第一压力阈值为密封件 603 工作时最小承压要求，第一压力阈值的大小、材料和尺寸，可以根据现有技术中密封件 603，如密封圈的使用标准确定，此处不再赘述。第二压力阈值与芯片 402 的相关参数，第一表面 402a 上的第一管脚 403a 相关。以第一管脚 403a 为焊球为例，第二压力阈值可以与芯片上焊球的数量相关，如对于一些承压规格的焊球而言，第二压力阈值可以为 30 克/球（gram per ball，g/ball）。

本申请实施例还提供一种芯片封装方法。该封装方法适用于如图 5 至图 7、或图 9 至图 13 中任一项所示芯片封装结构 400。该芯片封装方法，可以在基板 401 与印制电路板 300 连接之前进行，也可以在基板 401 与印制电路板 300 连接之后进行。换言之，该芯片封装方法可以在上板之前进行，即在芯片 402 生产流程中封装，也可以在上板之后进行，即在生产设备的中间产品（如 PCB 板）的流程中封装。以下结合具体地例子说明本申请实施例的芯片封装方法。

示例一，以下以芯片封装方法在基板 401 与印制电路板 300 连接之前举例说明。

请参考图 5，如图 14 所示，该芯片封装方法可以包括 S1401-S1402。

S1401，在基板 401 上形成环绕芯片 402 一周的塑封件 404。

示例性地，可以采用如下方式形成塑封件 404：模压工艺、注塑工艺或点胶固化工艺。

可以理解，本申请实施例中，执行 S1401 的操作前，基板 401、第一管脚层 403 和芯片 402 的连接结构如图 15 所示，其中，基板 401 上设置芯片 402，芯片 402 和基板 401 之间设置第一管脚层 403。关于基板 401、第一管脚层 403 和芯片 402 的连接方式，可以参考现有技术中基板 401、第一管脚层 403 和芯片 402 的连接方式。

以下结合点胶固化工艺，举例详细说明执行上述 S1401 的方式。

方式一，直接点胶固化形成塑封件 404。

如图 16 所示，通过点胶固化工艺形成围绕芯片 402 侧面和第一管脚层 403 侧面一周的塑封件 404。

可选地，本申请实施例中，塑封件 404 的外侧面或上表面可能不规则，在此情况下还可以在形成塑封件 404 的材料固化后，对塑封件 404 的外侧面或上表面进行研磨、或抛光等操作。

方式二，在如图 17 中的（a）或如图 17 中的（b）所示的在围坝 501 与芯片 402 之间形成塑封件 404。

示例性地，对图 17 中的（a）或图 17 中的（b）所示的结构分别执行上述 S1401，对应形成如图 16 或图 18 所示的结构。在此情况下，S1401，在基板 401 上形成环绕芯片 402 一周的塑封件 404 可以包括：通过点胶固化工艺在芯片 402 和围坝 501 之间，形成围绕芯片 402 侧面和第一管脚层 403 侧面一周的塑封件 404。

在此情况下，上述 S1401，在基板 401 上形成环绕芯片 402 一周的塑封件 404 之前，图 14 所示的芯片封装方法还可以包括步骤 1。

步骤 1，在芯片 402 的一周形成限制塑封件 404 的围坝 501。其中，围坝 501 位于基板 401 上。

可选地，步骤 1，在芯片 402 的一周形成限制塑封件 404 的围坝 501，可以包括：如图 17 中的（a）所示，在图 15 所示的结构中，通过点胶工艺在基板 401 上环绕芯片 402 的一周设置热固材料。接着，加热芯片 402 周围的热固材料至预设温度，使热固材料与第一管脚层 403 的侧面、芯片 402 的侧面、基板 401 的靠近芯片 401 的表面（即基板 401 的上表面）中未被第一管脚层 403 覆盖的部分贴合。接着，冷却该热固材料以使热固材料固化，形成围坝 501。其中，围坝 501 的材料与塑封件 404 的材料可以相同。

可理解，本申请实施例中，围坝 501 的外侧面或上表面可能不规则，在此情况下还可以在形成围坝 501 的材料固化后，对围坝 501 的外侧面或上表面进行研磨、或抛光等操作。

或者，可选地，上述步骤 1，在芯片 402 的一周形成限制塑封件 404 的围坝 501，可以包括：如图 17 中的（b）所示，在图 15 所示的结构中，通过粘接胶 501b 将支撑件 501a 粘合在芯片 402 一周的基板 401 上。也就是说，上述支撑件 501a 和粘接胶 501b 组成的结构可以作为围坝 501。其中，支撑件 501a 与芯片 402 位于基板 401 的同一侧。

此外，关于支撑件 501a 和塑封件 404 的结构和材质描述，请参考上文关于芯片封装结构 400 的结构描述和材质描述，此处不再赘述。

需要说明的是，本申请实施例中，可以通过研磨工艺研磨塑封件 404 远离基板 401 的表面和/或芯片 402 的第二表面 402b，使塑封件 404 远离基板 401 的表面与芯片 402 的第二表面 402b 齐平，即研磨塑封件 404 的上表面或芯片 402 的上表面，使塑封件 404 的上表面与芯片 402 的上表面齐平。

可理解，如图 14 所示，在上述 S1401，在基板 401 上形成环绕芯片 402 一周的塑封件 404 之前，图 14 所示的芯片封装方法还可以包括步骤 2。

步骤 2，将芯片 402 和基板 401 连接，形成如图 15 所示的结构。

此外，关于执行 S1401 形成的塑封件 404、或支撑件 501a 的具体结构和材料的描述，可以参考上述芯片封装结构 400 中的结构描述和材料描述，此处不再赘述。

S1402，在芯片 402 的第二表面 402b 上，以及塑封件 404 远离基板 401 的表面上，形成防水层 405。

可以理解，可以通过如下工艺之一形成第一子防水层、第二子防水层、或第三子防水层：物理气相沉积（physical vapor deposition，PVD）、化学气相沉积（chemical vapor deposition，CVD）和原子层沉积（atomic layer epitaxy，ALD）。以防水层 405 包括如图 11 所示的第一子防水层、第二子防水层、或第三子防水层为例，首先形成第一子防水层，接着，再在远离芯片 402 或塑封件 404 的一侧形成第二子防水层。接着，再在第二防水层远离芯片 402 或塑封件 404 的一侧形成第三子防水层。

防水层 405 的结构描述和材质描述，请参考上文关于芯片封装结构 400 的结构描述，此处不再赘述。可以理解，上述形成防水层 405 的工艺仅用于举例，实际实施中，还可以根据实际场景采用其他工艺实现。

上述图 16 所示结构形成防水层 405 后的结构如图 5 所示。上述图 18 所示结构形成防水层 405 后的结构如图 10 所示。

可选地，本申请实施例中图 14 所示的芯片封装方法还可以包括 S1403。

S1403，将芯片封装结构 400 的基板 401 与印制电路板 300 连接。其中，图 5 所示的芯片封装结构 400 执行 S1403 后，形成如图 19 中的（a）所示的结构，图 11 所示的芯片封装结构 400 执行 S1403 后，形成如图 19 中的（b）所示的结构。

如图 12 或图 13 所示，本申请实施例中，还可以将执行 S1403 后形成的结构与制冷装置 601 连接。例如，将图 19 中的（a）所示的结构与制冷装置 601 连接，形成如图 12 所示的结构。又例如，将图 19 中的（b）所示的结构与制冷装置 601 连接，形成如图 13 所示的结构。

示例二，以下以芯片封装方法在基板 401 与印制电路板 300 连接之后举例说明。请参考图 5，如图 20 所示，该芯片封装方法可以包括 S2001 和 S2002。

S2001，在基板 401 上形成环绕芯片 402 一周的塑封件 404。

示例性地，可以采用如下方式形成塑封件 404：模压工艺、注塑工艺或点胶固化工艺。

可理解，开始执行 S2001 时，基板 401、第一管脚层 403、芯片 402 和印制电路板 300 的初始状态如图 21 所示，其中，基板 401 设置在印制电路板 300 上，芯片 402 设

置在基板 401 上远离印制电路板 300 的一侧。其中，芯片 402 和基板 401 之间设置第一管脚层 403。

以下结合点胶固化工艺，举例详细说明执行上述 S2001 的方式。

方式三，直接点胶固化形成塑封件 404。

关于方式三的实现方式，可以参考上述方式一的具体实现方式，此处不再赘述。

如此，上述图 21 所示结构可以形成如图 22 所示的结构。

方式四，在如图 23 中的（a）或如图 23 中的（b）所示的在围坝 501 与芯片 402 之间形成塑封件 404。

关于方式四的实现可以参考上述方式三的具体实现方式，此处不再赘述。

在此情况下，在执行上述 S2001 之前，图 20 所示的芯片封装方法还可以包括步骤 4。

步骤 4，在芯片 402 的一周形成限制塑封件 404 的围坝 501。关于步骤 4 的具体实现方式可以参考上述步骤 1 的实现方式，此处不再赘述。

执行步骤 4 后，图 21 所示的结构可以形成如图 23 中的（a）或如图 23 中的（b）所示的结构。

可选地，本申请实施例中，在执行上述步骤 4 之前，图 20 所示的芯片封装方法还可以包括步骤 5，将芯片 402 和基板 401 连接，形成如图 15 所示的结构。

可选地，在 S2001，在基板 401 上形成环绕芯片 402 一周的塑封件 404 之前，图 20 所示的芯片封装方法还可以包括 S2000。

S2000，将基板 401 与印制电路板 300 连接，形成如图 21 所示的结构。其中，S2000 可以在步骤 4 之前执行，也可以在步骤 4 之后执行，本申请实施例不作限定。

S2002，在芯片 402 的第二表面 402b 上，以及塑封件 404 远离基板 401 的表面上，形成防水层 405。

示例性地，结合图 22 所示的结构，执行 S2002 的操作，形成如图 19 中的（a）所示的结构；在图 24 所示结构上执行 S2002 的操作，形成如图 19 中的（b）所示的结构。

可以理解，本申请实施例中，图 24 所示结构的俯视图如图 25 所示。

关于 S2002 的实现可以参考上述 S1402 的具体实现方式，此处不再赘述。

此外，关于塑封件 404 的结构和材质描述，请参考上文关于芯片封装结构 400 的结构描述和材质描述，此处不再赘述。

上述芯片封装方法具有与前述实施例提供过的芯片封装结构 400 相同的技术效果，此处不再赘述。

以上所述，仅为本申请的具体实施方式，但本申请的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本申请揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本申请的保护范围之内。因此，本申请的保护范围应以所述权利要求的保护范围为准。

权 利 要 求 书

1.一种芯片封装结构，其特征在于，包括：

基板；

芯片，具有靠近所述基板的第一表面和与所述第一表面相对的第二表面；

第一管脚层，包括设置于所述芯片的第一表面与所述基板之间的多个管脚；

塑封件，设置在所述芯片和所述第一管脚层的一周，所述塑封件远离所述基板的表面高于所述芯片的第一表面，且覆盖所述第一管脚层的侧面和至少覆盖所述芯片的部分侧面；其中，所述塑封件与所述芯片的侧面贴合；

防水层，设置在所述芯片的第二表面，以及所述塑封件远离所述基板的表面上。

2.根据权利要求 1 所述的芯片封装结构，其特征在于，所述塑封件覆盖所述芯片的全部侧面，所述塑封件远离所述基板的表面与所述芯片的第二表面齐平。

3.根据权利要求 1 所述的芯片封装结构，其特征在于，所述塑封件远离所述基板的表面低于所述芯片的第二表面。

4.根据权利要求 1-3 中任一项所述的芯片封装结构，其特征在于，还包括：

支撑件，设置在所述基板上，所述支撑件环绕所述塑封件一周，所述塑封件的外侧面与所述支撑件的内侧面贴合。

5.根据权利要求 4 所述的芯片封装结构，其特征在于，所述支撑件远离所述基板的表面高于所述芯片的第二表面。

6.根据权利要求 4 所述的芯片封装结构，其特征在于，所述支撑件远离所述基板的表面低于所述芯片的第二表面。

7.根据权利要求 1-6 中任一项所述的芯片封装结构，其特征在于，还包括：

制冷装置，包括进液口、回液口和花洒状流道，所述花洒状流道、所述回液口与所述防水层之间形成容纳制冷工质的容纳腔，所述容纳腔至少覆盖所述芯片的第二表面对应的防水层，所述进液口与所述花洒状流道连通，所述花洒状流道与所述容纳腔连通，所述容纳腔与所述回液口连通。

8.一种电子设备，其特征在于，所述电子设备包括印刷电路板以及至少一个如权利要求 1-7 中任一项所述的芯片封装结构，所述芯片封装结构与所述印刷电路板连接。

9.一种芯片封装方法，其特征在于，所述方法包括：

在基板上形成环绕芯片一周的塑封件；其中，所述芯片设置在所述基板上，所述芯片具有靠近所述基板的第一表面和与所述第一表面相对的第二表面，所述第一表面通过第一管脚层与所述基板连接，所述第一管脚层包括设置于所述芯片的第一表面与所述基板之间多个管脚，所述塑封件远离所述基板的表面高于所述芯片的第一表面，所述塑封件覆盖所述第一管脚层的侧面和至少覆盖所述芯片的部分侧面；其中，所述塑封件与所述芯片的侧面贴合；

在所述芯片的第二表面上，以及所述塑封件远离所述基板的表面上，形成防水层。

10.根据权利要求 9 所述的芯片封装方法，其特征在于，所述塑封件覆盖所述芯片的全部侧面，所述塑封件远离所述基板的表面与所述芯片的第二表面齐平。

11.根据权利要求 9 所述的芯片封装方法，其特征在于，所述塑封件远离所述基板的表面低于所述芯片的第二表面。

12.根据权利要求 9-11 中任一项所述的芯片封装方法，其特征在于，所述在基板上形成环绕芯片一周的塑封件之前，所述方法包括：

在所述芯片的一周形成限制所述塑封件的围坝；其中，所述围坝位于所述基板上；

所述在基板上形成环绕芯片一周的塑封件，包括：

在所述围坝与所述芯片之间形成所述塑封件。

13.根据权利要求 12 所述的芯片封装方法，其特征在于，所述围坝为支撑件，所述塑封件的外侧面与所述支撑件的内侧面贴合。

14.根据权利要求 13 所述的芯片封装方法，其特征在于，所述支撑件远离所述基板的表面高于所述芯片的第二表面。

15.根据权利要求 13 所述的芯片封装方法，其特征在于，所述支撑件远离所述基板的表面低于所述芯片的第二表面。

16.根据权利要求 9-15 中任一项所述的芯片封装方法，其特征在于，所述在基板上形成环绕所述芯片的一周的塑封件之前，所述方法还包括：

将所述基板与印制电路板连接。

17.根据权利要求 9-15 中任一项所述的芯片封装方法，其特征在于，所述在所述芯片的第二表面上，以及所述塑封件远离所述基板的表面上，形成防水层之后，所述方法还包括：

将所述基板与印制电路板连接。

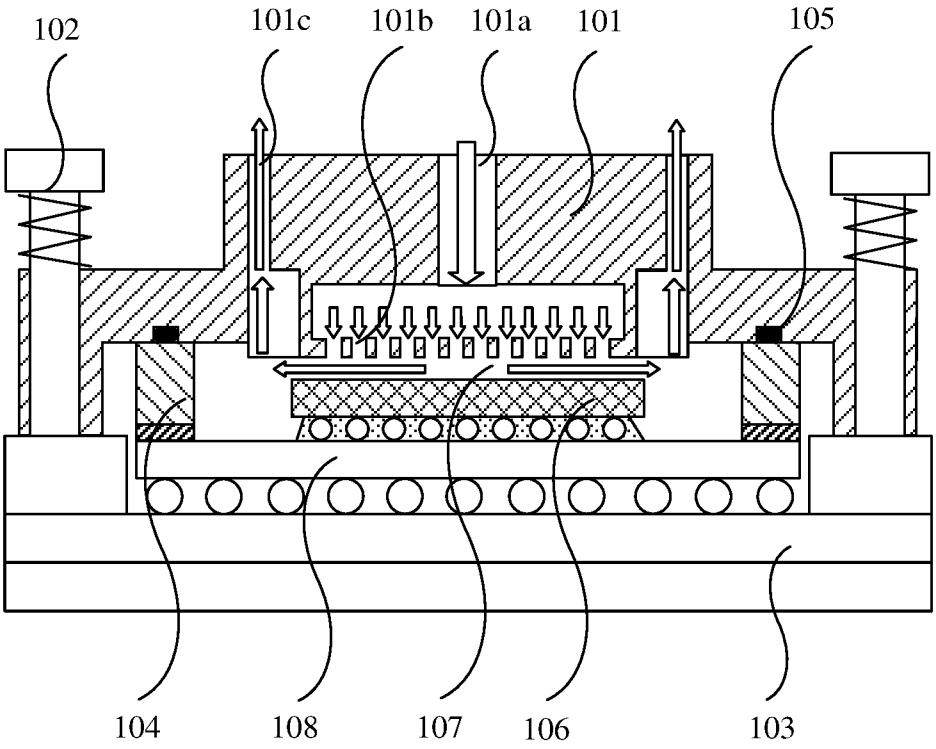

102
101c
101b
101a
101
105
104
108
107
106
103

图 1

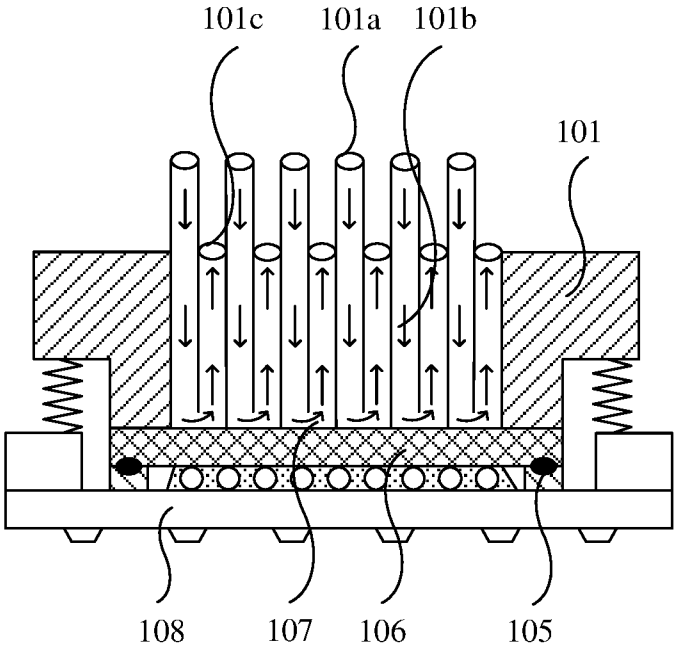

101c
101a
101b
101
108
107
106
105

图 2

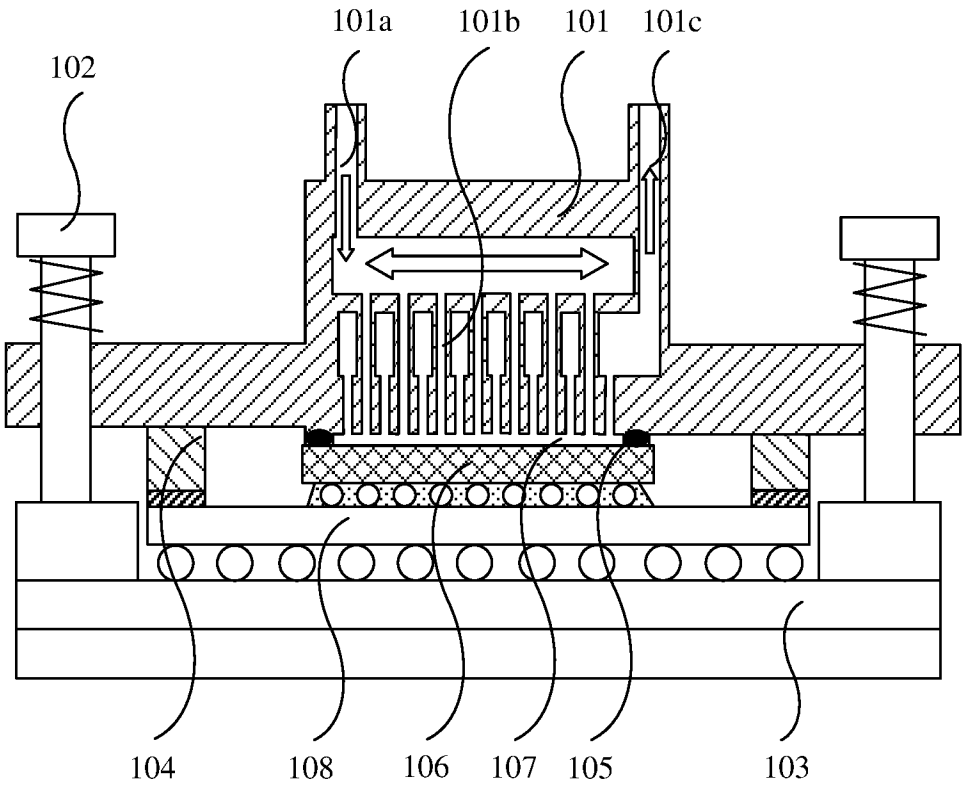

101a
101b
101
101c
102
104
108
106
107
105
103

图 3

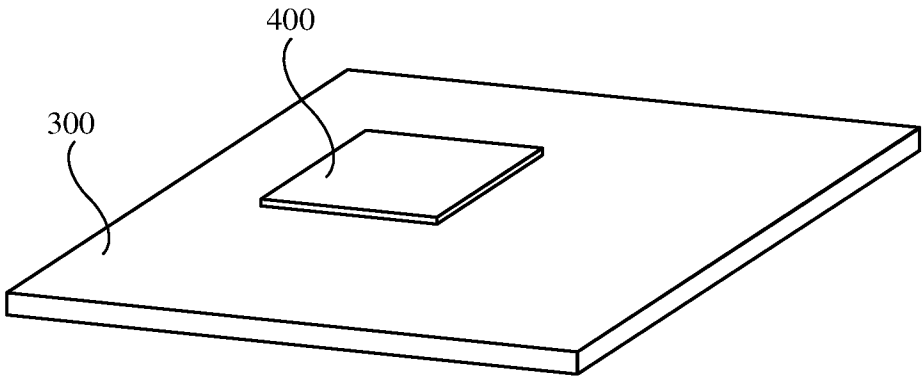

400
300

图 4

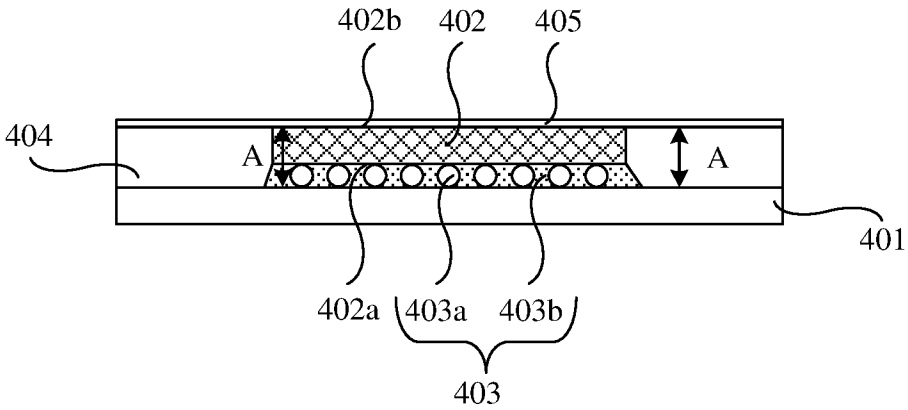

402b
402
405
404
A
A
401
402a
403a
403b
403

图 5

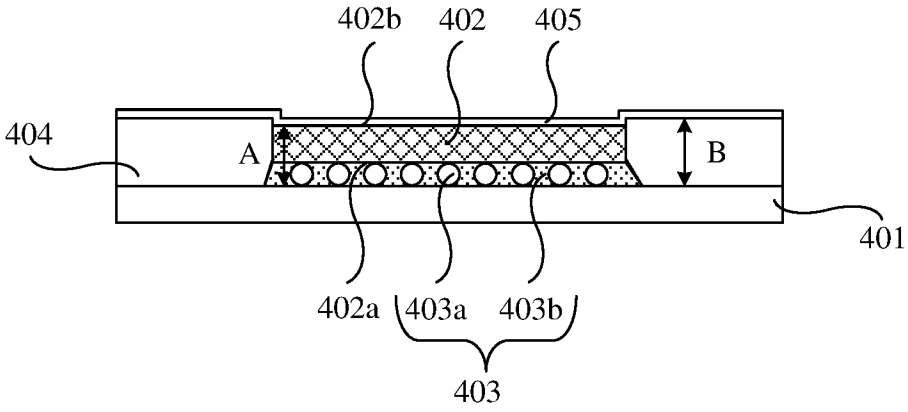


图 6

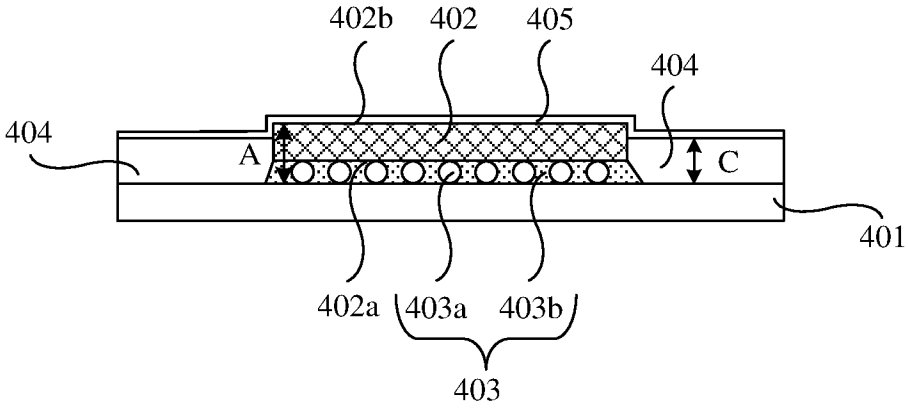


图 7

405

第三子防水层
第二子防水层
第一子防水层

图 8

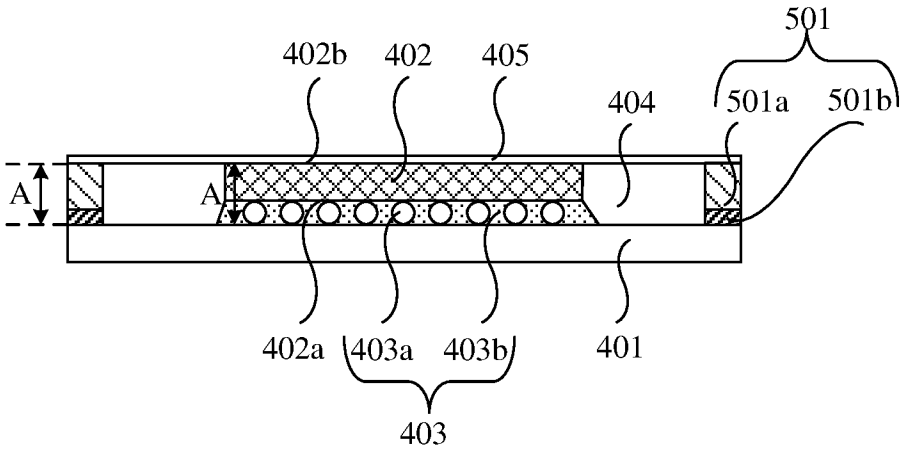

501
402b
402
405
404
501a
501b
A
A
402a
403a
403b
401
403

图 9

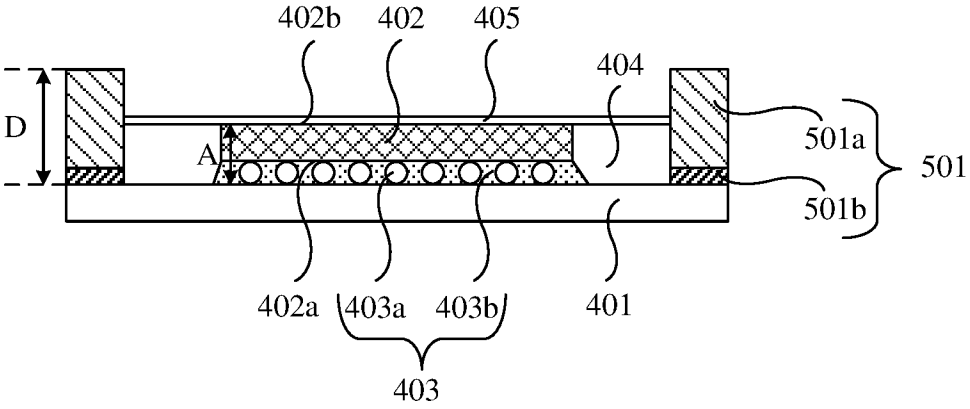

402b
402
405
404
D
A
501a
501
501b
402a
403a
403b
401
403

图 10

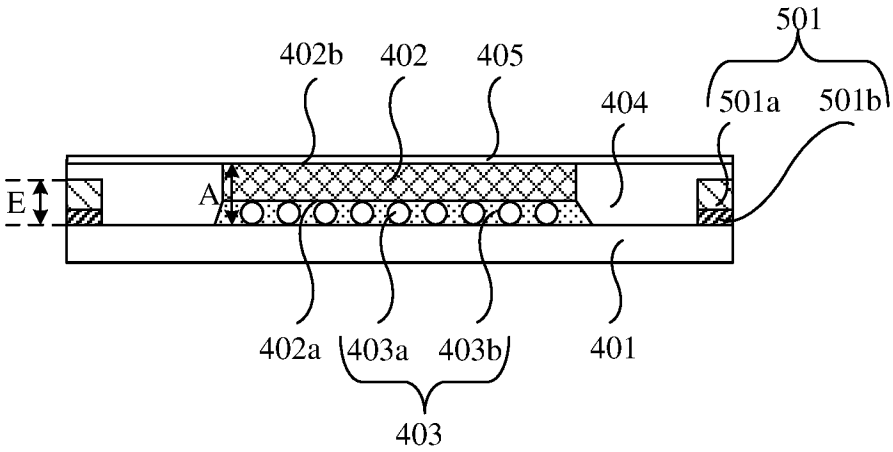

501
402b
402
405
404
501a
501b
E
A
402a
403a
403b
401
403

图 11

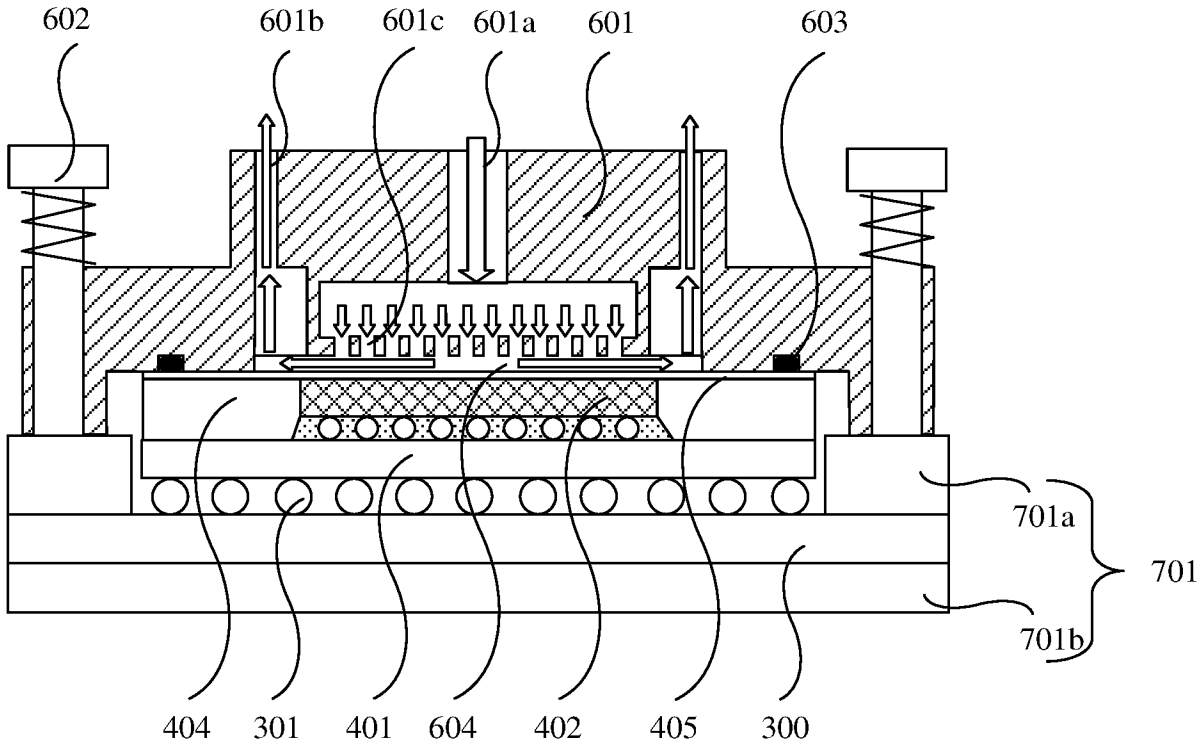

602
601b
601c
601a
601
603
701a
701
701b
404
301
401
604
402
405
300

图 12

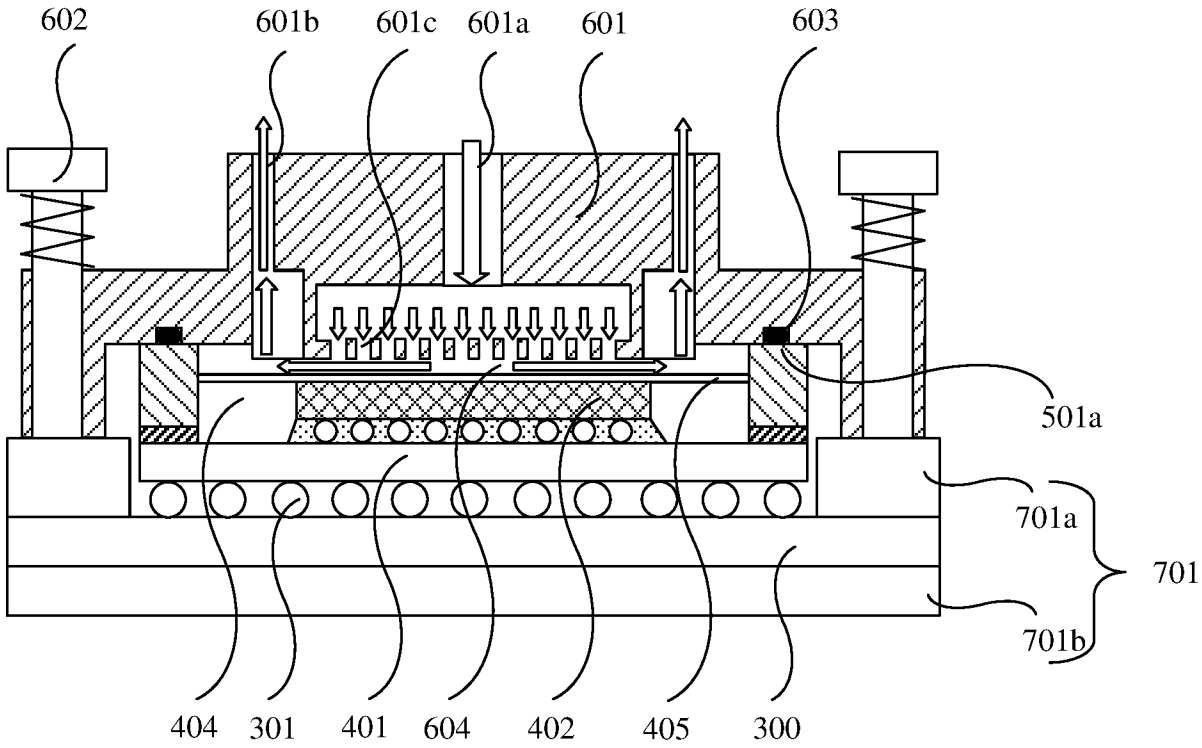

602
601b
601c
601a
601
603
501a
701a
701
701b
404
301
401
604
402
405
300

图 13

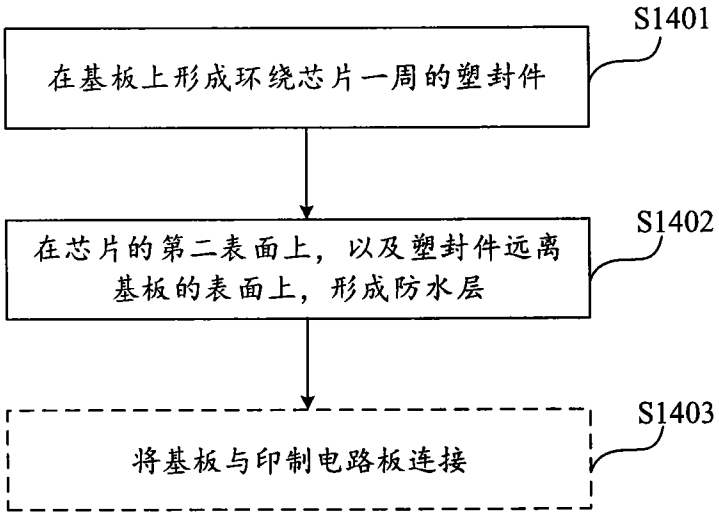

S1401
在基板上形成环绕芯片一周的塑封件
S1402
在芯片的第二表面上，以及塑封件远离基板的表面上，形成防水层
S1403
将基板与印制电路板连接

图 14

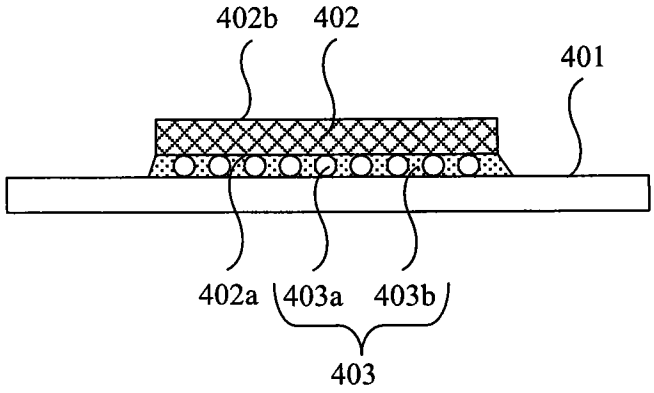

402b
402
401
402a
403a
403b
403

图 15

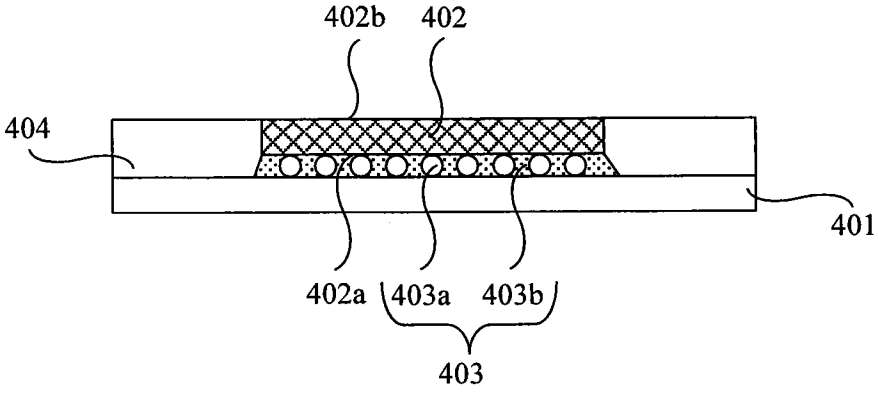

402b
402
404
401
402a
403a
403b
403

图 16

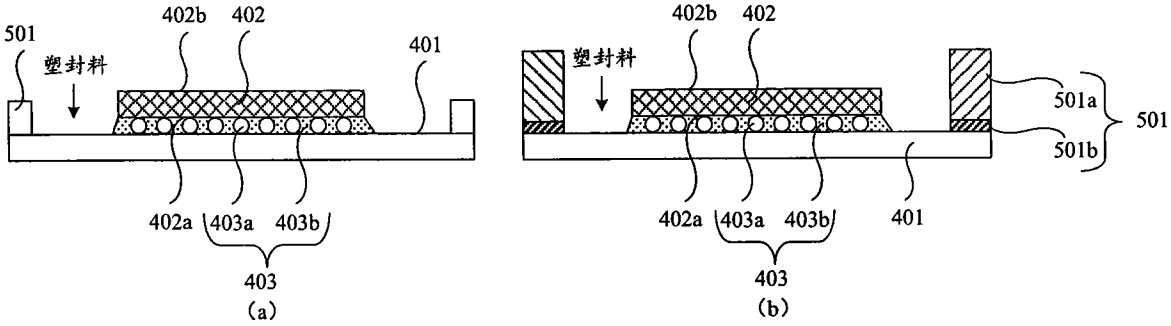

501
塑封料
402b
402
401
402a
403a
403b
403
(a)
402b
402
塑封料
501a
501
501b
402a
403a
403b
401
403
(b)

图 17

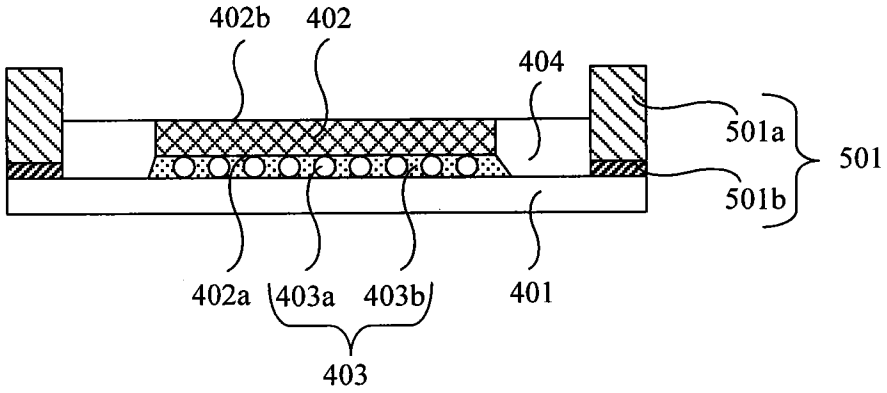

402b
402
404
501a
501
501b
402a
403a
403b
401
403

图 18

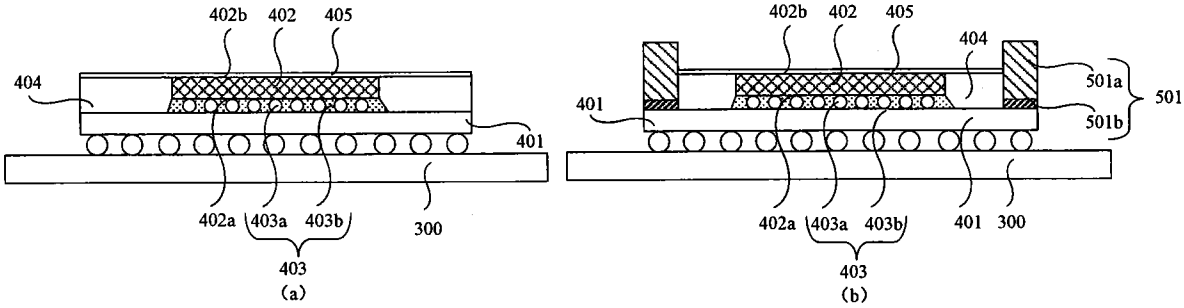

402b
402
405
404
401
402a
403a
403b
300
403
(a)
402b
402
405
404
501a
501
401
501b
402a
403a
403b
401
300
403
(b)

图 19

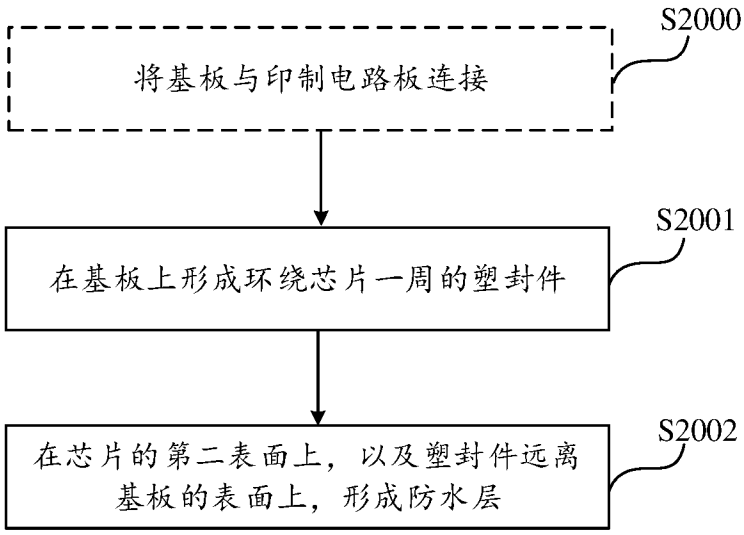

S2000
将基板与印制电路板连接
S2001
在基板上形成环绕芯片一周的塑封件
S2002
在芯片的第二表面上，以及塑封件远离基板的表面上，形成防水层

图 20

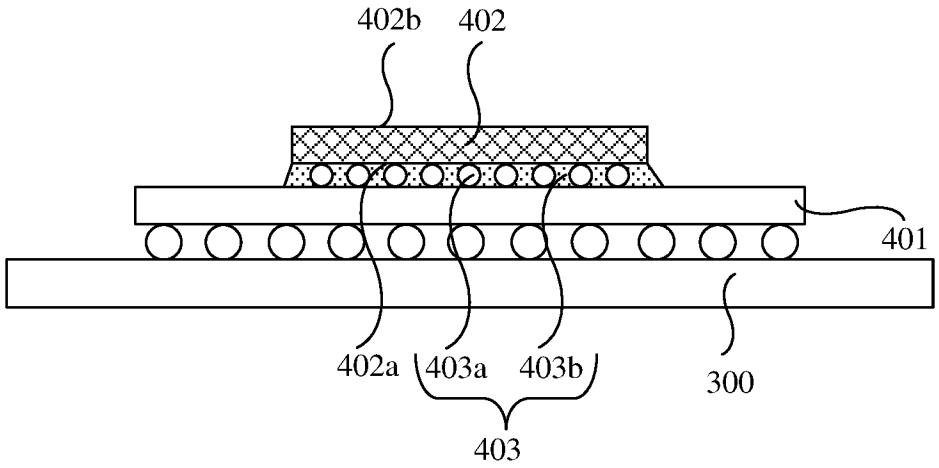

402b
402
401
402a
403a
403b
403
300

图 21

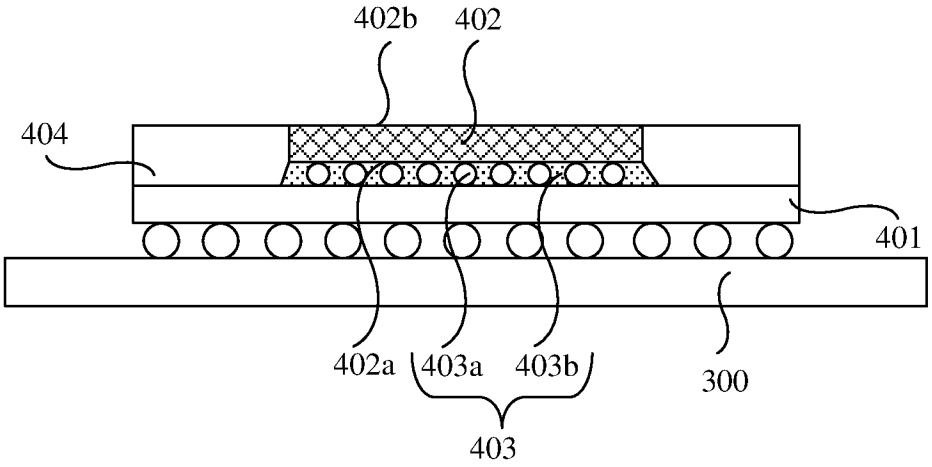

402b
402
404
401
402a
403a
403b
403
300

图 22

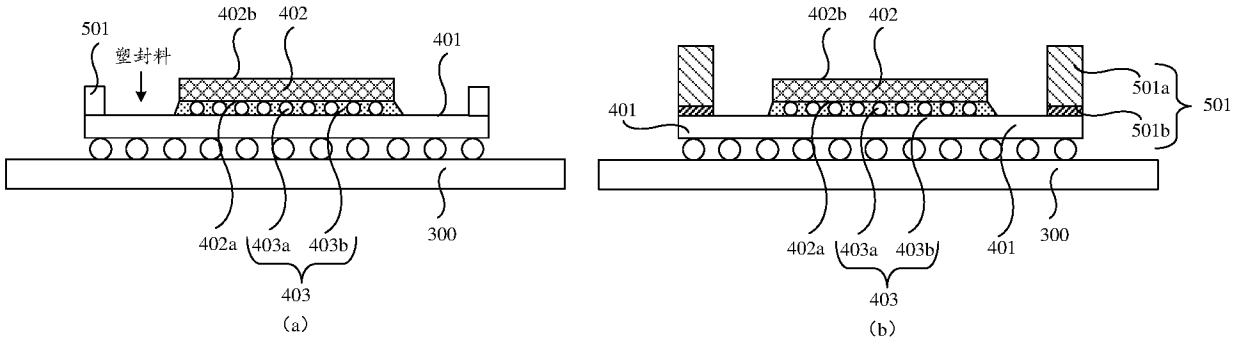

501
塑封料
402b
402
401
402a
403a
403b
403
300
(a)
402b
402
401
501a
501
501b
402a
403a
403b
403
401
300
(b)

图 23

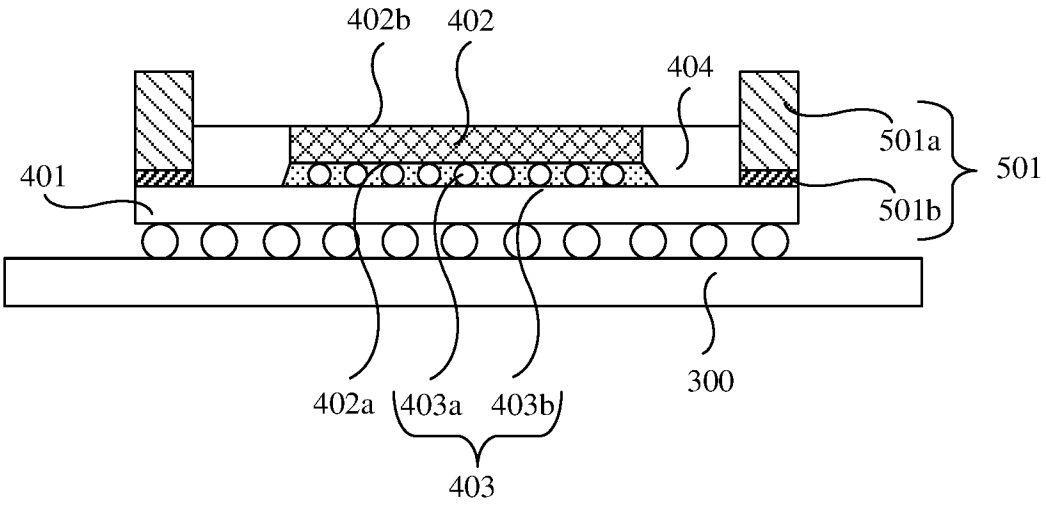

402b
402
404
501a
501
401
501b
300
402a
403a
403b
403

图 24

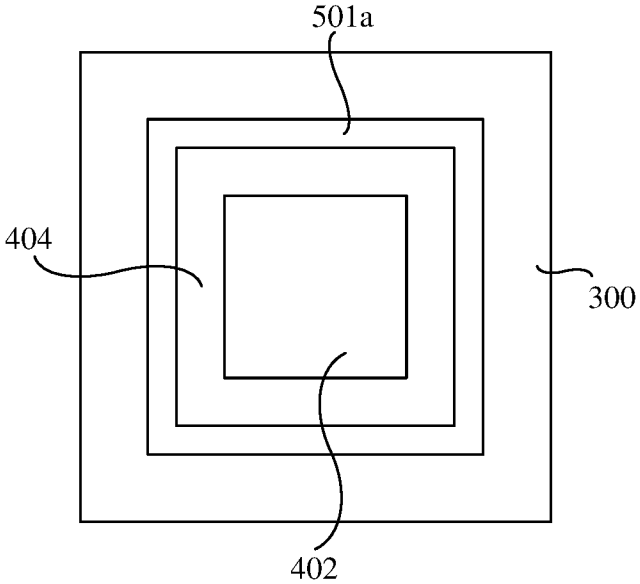

501a
404
300
402

图 25

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2021/106344

A. CLASSIFICATION OF SUBJECT MATTER

H01L 23/00(2006.01)i; H01L 23/31(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI, CNPAT, WPI, EPODOC: 芯片, 封装, 管脚, 焊球, 凸块, 塑封件, 密封, 防水, 耐水, chip, pack+, encapsulat+, bump, mold+, seal+, water, proof, resist+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2019287931 A1 (NOVATEK MICROELECTRONICS CORP.) 19 September 2019 (2019-09-19) description, paragraphs [0032]-[0041], and figure 7	1, 3, 7, 9, 11, 16
Y	US 2019287931 A1 (NOVATEK MICROELECTRONICS CORP.) 19 September 2019 (2019-09-19) description, paragraphs [0032]-[0041], and figure 7	2, 4-6, 8, 10, 12-15, 17
Y	CN 108933108 A (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 04 December 2018 (2018-12-04) description, paragraphs [0029]-[0038], and figures 4-6	2, 4-6, 8, 10, 12-15, 17
A	CN 211208425 U (SUZHOU QUICK SOLUTION ELECTRONICS CO., LTD.) 07 August 2020 (2020-08-07) entire document	1-17
A	CN 1885528 A (CHIP MOS TEHNOLOGIES INC. et al.) 27 December 2006 (2006-12-27) entire document	1-17
A	CN 110197793 A (HUAWEI TECHNOLOGIES CO., LTD.) 03 September 2019 (2019-09-03) entire document	1-17

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
24 March 2022	**13 April 2022**
Name and mailing address of the ISA/CN **China National Intellectual Property Administration (ISA/CN)** **No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088, China** Facsimile No. **(86-10)62019451**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2021/106344

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2019287931	A1	19 September 2019	CN	110277355	A	24 September 2019
CN	108933108	A	04 December 2018	TW	201901909	A	01 January 2019
				US	2018342466	A1	29 November 2018
				US	10879194	B2	29 December 2020
CN	211208425	U	07 August 2020		None		
CN	1885528	A	27 December 2006		None		
CN	110197793	A	03 September 2019	EP	3748672	A1	09 December 2020
				EP	3748672	A4	21 April 2021
				US	2020381361	A1	03 December 2020
				WO	2019161641	A1	29 August 2019

国际检索报告

国际申请号
PCT/CN2021/106344

A. 主题的分类

H01L 23/00(2006.01)i; H01L 23/31(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNKI,CNPAT,WPI,EPODOC:芯片，封装，管脚，焊球，凸块，塑封件，密封，防水，耐水，chip, pack+, encapsulat+, bump, mold+, seal+, water, proof, resist+

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
X	US 2019287931 A1 (NOVATEK MICROELECTRONICS CORP.) 2019年9月19日 (2019-09-19) 说明书[0032]-[0041]段，附图7	1，3，7，9，11，16
Y	US 2019287931 A1 (NOVATEK MICROELECTRONICS CORP.) 2019年9月19日 (2019-09-19) 说明书[0032]-[0041]段，附图7	2，4-6，8，10，12-15，17
Y	CN 108933108 A (台湾积体电路制造股份有限公司) 2018年12月4日 (2018-12-04) 说明书[0029]-[0038]段，附图4-6	2，4-6，8，10，12-15，17
A	CN 211208425 U (苏州捷研芯电子科技有限公司) 2020年8月7日 (2020-08-07) 全文	1-17
A	CN 1885528 A (南茂科技股份有限公司 等) 2006年12月27日 (2006-12-27) 全文	1-17
A	CN 110197793 A (华为技术有限公司) 2019年9月3日 (2019-09-03) 全文	1-17

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2022年3月24日	2022年4月13日
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 赵世欣 电话号码 86-(10)-53961201

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2021/106344

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
US	2019287931	A1	2019年9月19日	CN	110277355	A	2019年9月24日
CN	108933108	A	2018年12月4日	TW	201901909	A	2019年1月1日
				US	2018342466	A1	2018年11月29日
				US	10879194	B2	2020年12月29日
CN	211208425	U	2020年8月7日		无		
CN	1885528	A	2006年12月27日		无		
CN	110197793	A	2019年9月3日	EP	3748672	A1	2020年12月9日
				EP	3748672	A4	2021年4月21日
				US	2020381361	A1	2020年12月3日
				WO	2019161641	A1	2019年8月29日