



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) . Int. Cl.
H01L 21/20 (2006.01)

(11) 공개번호 10-2006-0127907
(43) 공개일자 2006년12월13일

(21) 출원번호 10-2006-7014842
(22) 출원일자 2006년07월21일
 심사청구일자 없음
 번역문 제출일자 2006년07월21일
(86) 국제출원번호 PCT/US2005/002221
 국제출원일자 2005년01월14일

(87) 국제공개번호 WO 2005/074013
 국제공개일자 2005년08월11일

(30) 우선권주장 10/707,898 2004년01월22일 미국(US)

(71) 출원인 크리 인코포레이티드
 미국 노쓰 캐롤라이나 27703-8475 더럼 실리콘 드라이브 4600

(72) 발명자 색슬러 애덤 월리엄
 미국 27703 노스캘로라이나주 더햄 비버 땅 린 525

(74) 대리인 유미특허법인

전체 청구항 수 : 총 40 항

(54) 다이아몬드 기판 상의 실리콘 카바이드, 그와 관련된 디바이스 및 제조 방법

(57) 요약

저하된 접합 온도, 작동 시의 높은 전력 밀도 및 정격 전력 밀도에서의 향상된 신뢰도를 가진, 와이드-밴드갭 재료에서의 고전력, 고주파 디바이스의 형성 방법, 얻어지는 반도체 구조 및 그러한 디바이스를 개시한다. 상기 방법은 얻어지는 복합 웨이퍼의 열전도도를 증가시키기 위해 실리콘 카바이드 웨이퍼에 다이아몬드층을 부가하는 단계, 표면 상의 에피택셜 성장을 지지하기에 충분한 두께의 실리콘 카바이드를 유지하면서 복합 웨이퍼의 실리콘 카바이드 부분의 두께를 감소시키는 단계, 표면 상의 에피택셜 성장을 위한 복합 웨이퍼의 실리콘 카바이드 표면을 제조하는 단계, 및 제조된 웨이퍼의 실리콘 카바이드 표면에 제III족 혼테로구조를 부가하는 단계를 포함한다.

대표도

도 1

특허청구의 범위

청구항 1.

저하된 접합 온도, 작동 시의 높은 전력 밀도 및 정격 전력 밀도(rated power density)에서의 향상된 신뢰도를 가진, 와이드-밴드갭 재료로 고전력 디바이스(high power device)를 형성하는 방법으로서,

열전도도가 낮은 재료로 된 웨이퍼에 열전도도가 높은 재료의 층을 부가하는 단계로서, 상기 열전도도가 낮은 재료는 상기 열전도도가 높은 재료보다 양호한 제III족 질화물과의 결정 격자 매치(crystal lattice match)를 가짐으로써 얹어지는 복합 웨이퍼(composite wafer)의 열전도도를 증가시키는 것을 특징으로 하는 부가 단계;

상기 열전도도가 낮은 부분의 두께를 표면 상의 에피택셜 성장을 지지하기에 충분한 두께로 유지하면서, 상기 복합 웨이퍼의 열전도도가 낮은 부분의 두께를 감소시키는 단계;

표면 상의 에피택셜 성장을 위해 상기 복합 웨이퍼의 열전도도가 낮은 표면을 제조하는 단계, 및

제조된 상기 웨이퍼의 열전도도가 낮은 표면에 하나 이상의 제III족 질화물 에피택셜층을 부가하는 단계

를 포함하는 고전력 디바이스의 형성 방법.

청구항 2.

제1항에 있어서,

금속, 질화붕소 및 다이아몬드로 이루어지는 군으로부터 선택되는 열전도도가 높은 재료를 부가하는 단계를 포함하는 것을 특징으로 하는 고전력 디바이스의 형성 방법.

청구항 3.

제1항에 있어서,

상기 열전도도가 낮은 재료가, 실리콘, 질화갈륨, 질화알루미늄, 질화알루미늄갈륨, 산화아연, 리튬 알루미네이트, 리튬 갈레이트, 산화마그네슘, 마그네슘 알루미네이트, 니켈 알루미네이트 및 사파이어로 이루어지는 군으로부터 선택되는 것을 특징으로 하는 고전력 디바이스의 형성 방법.

청구항 4.

제1항에 있어서,

상기 하나 이상의 제III족 질화물 에피택셜층을 부가하는 단계가, 하나 이상의 제III족 질화물 헤테로구조(heterostructure)를 부가하는 단계를 포함하는 것을 특징으로 하는 고전력 디바이스의 형성 방법.

청구항 5.

제2항에 있어서,

두께가 약 100~300 μm 인 다이아몬드층을 부가하는 단계를 포함하는 것을 특징으로 하는 고전력 디바이스의 형성 방법.

청구항 6.

제1항에 있어서,

상기 열전도도가 낮은 부분의 두께를 감소시키는 단계가, 상기 열전도도가 낮은 부분을 래핑(lapping) 및 폴리싱(polishing)하는 단계를 포함하는 것을 특징으로 하는 고전력 디바이스의 형성 방법.

청구항 7.

제1항에 있어서,

상기 열전도도가 낮은 부분의 두께를 감소시키는 단계가,

다이아몬드를 증착시키는 단계에 앞서 상기 열전도도가 낮은 부분을 소정의 깊이로 주입하여 상기 열전도도가 낮은 부분 내에 임플랜트층(implanted layer)을 형성하는 단계;

상기 다이아몬드를 증착시키는 단계; 및

상기 임플랜트층에서 상기 열전도도가 낮은 부분을 분리함으로써 상기 열전도도가 낮은 부분의 두께를 감소시키는 단계를 포함하는 것을 특징으로 하는 고전력 디바이스의 형성 방법.

청구항 8.

제7항에 있어서,

상기 열전도도가 낮은 부분에 산소 또는 수소를 주입하여 임플랜트층을 형성하는 단계, 및 상기 임플랜트층에서 상기 열전도도가 낮은 부분을 분리하는 단계를 포함하는 것을 특징으로 하는 고전력 디바이스의 형성 방법.

청구항 9.

제1항에 있어서,

화학적 증착법에 의해 상기 열전도도가 낮은 부분 상에 다이아몬드를 증착시키는 단계를 포함하는 것을 특징으로 하는 고전력 디바이스의 형성 방법.

청구항 10.

제1항에 있어서,

상기 열전도도가 높은 재료를 부가하는 단계가, 니켈, 텅스텐, 몰리브덴 및 이들의 합금으로 이루어지는 군으로부터 선택되는 금속을 부가하는 단계를 포함하는 것을 특징으로 하는 고전력 디바이스의 형성 방법.

청구항 11.

제1항에 있어서,

실리콘 카바이드 웨이퍼에 다이아몬드의 층을 부가함으로써 얻어지는 복합 웨이퍼의 열전도도를 증가시키는 단계;

실리콘 카바이드의 두께를 표면 상의 에피택셜 성장을 지지하기에 충분한 두께로 유지하면서, 상기 복합 웨이퍼의 실리콘 카바이드 부분의 두께를 감소시키는 단계;

표면 상의 에피택셜 성장을 위해 상기 복합 웨이퍼의 실리콘 카바이드 표면을 제조하는 단계, 및
제조된 상기 복합 웨이퍼의 실리콘 카바이드 표면에 제III족 질화물 에피택셜층을 부가하는 단계
를 포함하는 것을 특징으로 하는 고전력 디바이스의 형성 방법.

청구항 12.

제11항에 있어서,

상기 실리콘 카바이드 웨이퍼의 C-면 상에 상기 다이아몬드층을 성장시키는 단계를 포함하는 것을 특징으로 하는 고전력 디바이스의 형성 방법.

청구항 13.

제4항에 있어서,

상기 SiC 표면을 제조하는 단계가 상기 SiC 표면을 폴리싱하는 단계를 포함하는 것을 특징으로 하는 고전력 디바이스의 형성 방법.

청구항 14.

제11항에 있어서,

상기 SiC 부분의 두께를 감소시키는 단계가, 상기 SiC 부분을 래핑 및 폴리싱하는 단계를 포함하는 것을 특징으로 하는 고전력 디바이스의 형성 방법.

청구항 15.

제11항에 있어서,

고주파 디바이스용 반절연성 기판을 제공하기 위해 반절연성 실리콘 카바이드의 층 상에 반절연성 다이아몬드의 층을 증착시키는 단계; 및

웨이퍼 가공 처리 시 추가적인 기계적 안정성을 제공하기 위해 상기 반절연성층 상에 제2 다이아몬드의 층을 증착시키는 단계

를 포함하는 것을 특징으로 하는 고전력 디바이스의 형성 방법.

청구항 16.

제11항에 있어서,

상기 실리콘 카바이드의 반대측의 상기 다이아몬드층에 다이아몬드가 아닌 제2 재료의 층을 부가하는 단계를 포함하는 것을 특징으로 하는 고전력 디바이스의 형성 방법.

청구항 17.

저하된 접합 온도, 작동 시의 높은 전력 밀도 및 정격 전력 밀도에서의 향상된 신뢰도를 가진, 와이드-밴드갭 재료에서의 고전력 디바이스로서,

열전도도가 낮은 재료로 된 웨이퍼의 일면에 형성된 열전도도가 높은 재료의 층; 및

상기 열전도도가 높은 재료의 층이 형성된 면의 반대측의 상기 복합 웨이퍼의 표면 상에 형성된 하나 이상의 제III족 질화물 에피택셜층

을 포함하며,

상기 열전도도가 낮은 재료는 상기 열전도도가 높은 재료보다 양호한 제III족 질화물과의 결정 격자 매치를 가짐으로써 얻어지는 복합 웨이퍼의 열전도도가 증가되는 것을 특징으로 하는

고전력 디바이스.

청구항 18.

제17항에 있어서,

상기 열전도도가 높은 재료가 금속, 질화붕소 및 다이아몬드로 이루어지는 군으로부터 선택되는 것을 특징으로 하는 고전력 디바이스.

청구항 19.

제17항에 있어서,

상기 열전도도가 낮은 재료가, 실리콘, 질화갈륨, 질화알루미늄, 질화알루미늄갈륨, 산화아연, 리튬 알루미네이트, 리튬 갈레이트, 산화마그네슘, 마그네슘 알루미네이트, 니켈 알루미네이트 및 사파이어로 이루어지는 군으로부터 선택되는 것을 특징으로 하는 고전력 디바이스.

청구항 20.

제17항에 있어서,

하나 이상의 제III족 질화물 해태로구조를 포함하는 것을 특징으로 하는 고전력 디바이스.

청구항 21.

실리콘 카바이드보다 큰 열전도도를 가진 히트 싱크를 제공하기 위한 다이아몬드 기판;

제III족 질화물 에피층(epilayer)에 유리한 결정 성장 표면을 제공하기 위한, 상기 다이아몬드 기판 상의 반절연성 단결정 실리콘 카바이드층;

실리콘 카바이드와 제III족 질화물 사이에 결정 전이(crystal transition)를 증강시키기 위한 상기 실리콘 카바이드층 상의 베퍼층;

상기 베퍼층 상의 제1의 제III족 질화물로 된 제1 에피택셜층;

상기 제1 에피택셜층과 헤테로접합을 형성하기 위한 상기 제1 에피택셜층 상의 상이한 제III족 질화물로 된 제2 에피택셜층; 및

소스와 드레인 사이에 게이트에 인가되는 전압에 의해 제어되는 전자의 흐름을 제공하기 위한, 상기 제2 에피택셜 제III족 질화물층에 대한 소스, 게이트 및 드레인 콘택트(contact)

를 포함하며,

상기 제1 에피택셜층과 상기 제2 에피택셜층의 계면에서 상기 제1 에피택셜층 내에 2차원 전자 가스를 생성하도록, 상기 제2 에피택셜층의 상기 제III족 질화물은 상기 제1 에피택셜층의 상기 제1의 제III족 질화물보다 넓은 밴드갭을 가지는 것을 특징으로 하는

와이드-밴드갭 고전자이동도 트랜지스터(HEMT).

청구항 22.

제21항에 있어서,

상기 제1 에피택셜층은 질화갈륨을 포함하고, 상기 제2 에피택셜층은 질화알루미늄갈륨 도핑층(doped layer) 및 질화알루미늄갈륨 미도핑층(undoped layer)을 포함하고, 상기 질화알루미늄갈륨 미도핑층은 질화갈륨 미도핑층에 인접해 있는 것을 특징으로 하는 HEMT.

청구항 23.

제21항에 있어서,

상기 제1 에피택셜층은 질화갈륨을 포함하고, 상기 제2 에피택셜층은 질화알루미늄갈륨층 및 질화알루미늄 미도핑층을 포함하고, 상기 질화알루미늄 미도핑층은 질화갈륨 미도핑층에 인접해 있는 것을 특징으로 하는 HEMT.

청구항 24.

제21항에 있어서,

상기 HEMT에 대해 추가적인 기계적 지지를 제공하기 위한 상기 다이아몬드 기판용 기계적 기판을 포함하는 것을 특징으로 하는 HEMT.

청구항 25.

제21항에 있어서,

상기 다이아몬드 기판은, 성질이 서로 다른 2개 이상의 분리된(discrete) 다이아몬드층으로 형성되어 있는 것을 특징으로 하는 HEMT.

청구항 26.

제27항에 있어서,

상기 벼퍼층은 상기 실리콘 카바이드 기판 상의 제III족 질화물 벼퍼층이고;

상기 제1 에피택셜층은 상기 벼퍼층 상의 질화갈륨의 에피택셜층이고,

상기 제2 에피택셜층은, 상기 질화갈륨 에피택셜층과 헤테로접합을 형성하기 위한 상기 질화갈륨 에피택셜층 상의 질화알루미늄갈륨의 에피택셜층이고,

상기 질화알루미늄갈륨은, 상기 질화갈륨 에피택셜층과 질화알루미늄갈륨 에피택셜층의 계면에서 상기 질화갈륨 에피택셜층 내에 2차원 전자 가스를 생성하도록, 상기 질화갈륨 에피택셜층보다 넓은 밴드갭을 가진 것을 특징으로 하는 HEMT.

청구항 27.

제26항에 있어서,

상기 질화갈륨층은 도핑되어 있지 않고, 상기 질화알루미늄갈륨층은 n-도핑되어 있는 것을 특징으로 하는 HEMT.

청구항 28.

제26항에 있어서,

상기 벼퍼층이 질화알루미늄을 포함하는 것을 특징으로 하는 HEMT.

청구항 29.

제26항에 있어서,

상기 질화알루미늄갈륨층은 도핑층 및 미도핑층으로 형성되어 있고, 상기 질화알루미늄갈륨 미도핑층은 상기 질화갈륨 미도핑층에 인접해 있고, 오믹 콘택트(ohmic contact)가 상기 도핑층에 형성되어 있는 것을 특징으로 하는 HEMT.

청구항 30.

제26항에 있어서,

상기 질화알루미늄갈륨층이 2개의 미도핑층 사이의 도핑층으로 형성되어 있고, 상기 2개의 미도핑층 중 하나는 상기 질화갈륨 미도핑층에 인접해 있고, 상기 2개의 미도핑층 중 다른 하나는 각각의 상기 오믹 콘택트와 접촉하고 있는 것을 특징으로 하는 HEMT.

청구항 31.

제26항에 있어서,

상기 헤�테로접합 상부에 부동화층(passivation layer)을 추가로 포함하는 것을 특징으로 하는 HEMT.

청구항 32.

제21항 또는 제26항에 있어서,

열전도도가 높은 재료로 패키징되어 있는 것을 특징으로 하는 HEMT.

청구항 33.

반도체 디바이스용 웨이퍼 전구체(wafer precursor)로서,

직경이 2인치 이상인 단결정 실리콘 카바이드 기판; 및

상기 실리콘 카바이드 기판의 제1 면에 형성되어 있는 다이아몬드층

을 포함하고,

상기 실리콘 카바이드 기판의 반대 면은 제III족 질화물의 에피택셜 성장을 위해 제공되는

웨이퍼 전구체.

청구항 34.

제33항에 있어서,

상기 실리콘 카바이드 기판의 직경이 3인치 이상인 것을 특징으로 하는 웨이퍼 전구체.

청구항 35.

제33항에 있어서,

상기 실리콘 카바이드 기판의 직경이 100 mm 이상인 것을 특징으로 하는 웨이퍼 전구체.

청구항 36.

제33항에 있어서,

상기 제III족 질화물 능동 구조(active structure)가 하나 이상의 혼테로구조를 포함하는 것을 특징으로 하는 웨이퍼 전구체.

청구항 37.

제50항에 있어서,

상기 실리콘 카바이드 기판 상 및 상기 기판과 상기 혼테로구조 사이에 버퍼층을 포함하는 것을 특징으로 하는 웨이퍼 전구체.

청구항 38.

다이아몬드 기판;

상기 다이아몬드 기판 상의 단결정 실리콘 카바이드층;

상기 실리콘 카바이드층 상의 하나 이상의 제1 클래딩층(cladding layer);

상기 하나 이상의 클래딩층 상의 제III족 질화물 능동부(active portion); 및

상기 능동부 상의 하나 이상의 제2 클래딩층

을 포함하는 반도체 레이저.

청구항 39.

제38항에 있어서,

상기 실리콘 카바이드층과 상기 제1 클래딩층 사이에 버퍼층을 추가로 포함하는 것을 특징으로 하는 반도체 레이저.

청구항 40.

제38항에 있어서,

다결정질 다이아몬드 기판을 포함하는 것을 특징으로 하는 반도체 레이저.

명세서

기술분야

본 발명은, 고전력, 고온 및 고주파 응용에 적합한 재료로 형성된 반도체 디바이스에 관한 것이다. 반도체에 친숙한 사람이라면 알고 있는 바와 같이, 실리콘(Si)과 갈륨비소(GaAs)와 같은 재료는 저전력과 저주파(Si의 경우) 응용 분야에 사용되는 반도체 디바이스에 널리 적용된다. 그러나, 이러한 반도체 재료는 비교적 작은 밴드갭(예컨대, 실온에서 Si의 경우 1.12 eV, GaAs의 경우 1.42 eV)과 비교적 작은 항복 전압(breakdown voltage)을 갖기 때문에, 이제까지 고전력 및 고주파 응용 분야에 바람직한 정도에 이르지 못했다.

따라서, 고전력, 고온 및 고주파 응용 및 디바이스에서의 관심은 실리콘 카바이드(실온에서 알파 SiC의 경우 2.996 eV) 및 제III족 질화물(예컨대, 실온에서 질화갈륨의 경우 3.36 eV)과 같은 와이드-밴드갭(wide-bandgap) 반도체 재료에 쏠리고 있다. 이들 재료는 갈륨비소 및 실리콘에 비해 더 높은 전계 파괴 강도(electric field breakdown strength) 및 더 높은 전자 포화 속도(electron saturation velocity)를 가진다.

배경기술

제III족 질화물은 넓은 직접적 밴드갭 특성으로 인해, 솔라 블라인드(solar blind) 광검출기, 청색 발광 및 레이저 다이오드, 고온 및 고전력 전자부품을 포함하는 여러 가지 응용 분야에서의 후보 물질이다. 질화갈륨/질화알루미늄갈륨(GaN/AlGaN) 헤테로구조는, 고전력과 고온에서 작동하는 고이동성(high mobility) 트랜ジ스터 분야에서 그것이 가진 잠재성 때문에 특별한 관심을 끌어왔다.

다른 여러 가지 이점들에 더하여, 질화갈륨 트랜지스터는 이론적으로 또는 실제로 갈륨비소에 비해 수배의 전력 밀도를 나타낼 수 있다. 그러한 고전력 밀도는 상대적으로 작은 칩이 동일한 전력량을 다룰 수 있도록 하므로, 칩 사이즈의 감소 및 웨이퍼당 칩 수의 증가, 그에 따른 칩당 비용 절감의 기회를 제공한다. 이와는 달리, 비슷한 크기의 디바이스가 상대적으로 높은 전력을 다룰 수 있으므로, 원활 경우 또는 필요할 경우에 크기 축소의 이점을 제공한다.

예를 들어, 고주파, 고전력 디바이스에 대한 수요로 인해, 잠재적으로는 개인용 컴퓨터 시장을 넘어서서 휴대용 전화기가 급속히 반도체에 대한 대형 시장이 되고 있다. 이러한 증가는 더 큰 용량과 성능을 제공하기 위한 지지 하부구조에 대해 대응 수요를 이끌고 있다. 예상되는 변화로는 적절한 스펙트럼 공간을 얻기 위한 점점 더 높은 주파수의 이용, 예컨대, 900MHz로부터 2.1GHz에 달하는 더 높은 주파수의 이용이 포함된다. 그러한 고주파 신호는 결국 더 높은 전력 레벨을 필요로 한다.

특별한 관심의 대상인 고주파 고전력 디바이스는, 고전자이동도 트랜지스터(HEMT), 및 변조 도프 전계효과 트랜지스터(MODFET), 또는 헤테로접합 전계효과 트랜지스터(HFET)와 같은 관련 디바이스이다. 이들 디바이스는 몇 가지 환경에서 작동상 이점을 제공하는데, 그것은 2개의 상이한 반도체 재료와 상이한 밴드갭 에너지의 헤테로접합에서 2차원 전자 가스(2DEG)가 형성되며, 이 경우 밴드갭이 작은 재료가 더 높은 전자 친화력(affinity)을 가지기 때문이다. 2DEG는 도핑되지 않은 작은 밴드갭 재료 내의 축적층(accumulation layer)이며, 평방센티미터당(cm^{-2}) $10^{12} \sim 10^{13}$ 캐리어(carrier) 수준의 매우 높은 시트 전자 농도를 함유할 수 있다. 또한, 도핑된 와이드-밴드갭 재료에서 발원된 전자는 2DEG로 이동되어, 감소된 이온화 불순물 산란(scattering)에 기인한 높은 전자 이동도를 가능하게 한다. 예시적인 제III족 질화물 HEMT에서, 2차원 전자 가스는 질화갈륨/질화알루미늄 헤테로구조의 계면에 존재한다.

높은 캐리어 농도와 높은 캐리어 이동도의 이러한 조합은 매우 큰 상호 콘덕턴스(transconductance) 및 고주파 응용을 위한 금속-반도체 전계효과 트랜지스터(MESFET)에 비해 고성능 이점을 HEMT에 부여한다. 질화갈륨/질화알루미늄갈륨(GaN/AlGaN) 재료계에서 제조된 고전자이동도 트랜지스터는, 전술한 높은 항복 전계, 넓은 밴드갭, 큰 콘덕션 밴드 오프셋, 및 높은 포화 전자 유동 속도(drift velocity)를 포함하는 재료 특성들의 독특한 조합 때문에, 대량의 RF 전력을 생성하는 잠재력을 가진다.

이 분야에서의 최근의 발전에 대한 설명은 제한되는 것은 아니지만, 미국 특허 제6,586,781호, 제6,548,333호, 제6,316,793호; 및 특히 공보 20020167023호 및 20030102482호가 포함되고, 이들 문헌의 내용 전체는 원용되어 본 명세서에 포함된다. 관련 발표 문헌으로는 Pribble et al., Applications of SiC MESFETs and GaN HEMTs in Power Amplifier Design, International Microwave Symposium Digest, 30:1819-1822(2002)가 포함된다.

이 형태의 고전력 반도체 디바이스는 마이크로웨이브 주파수 범위에서 작동되고, RF 통신 네트워크 및 레이다 응용에 사용되며, 앞에서 언급한 바와 같이, 복잡성을 크게 감소시키고, 그에 따라서 휴대용 전화 기지국 송신기의 비용을 감소시킬 잠재성을 제공한다. 고전력 마이크로웨이브 반도체 디바이스에 대한 다른 잠재적 응용에는, 종래의 마이크로웨이브 오븐에서의 비교적 고가인 튜브와 트랜스포머의 대체, 인공위성 송신기의 수명 연장, 및 개인 통신 시스템 기지국 송신기의 효율 향상 등이 포함된다.

이들 디바이스의 출력 및 작동 주파수가 계속해서 향상됨에 따라, 디바이스로부터, 그리고 수반하여 멀티-디바이스 칩과 회로로부터 발생되는 대응 열량이 증가하였고 앞으로도 계속 증가될 것이다. 따라서, 패키징 밀도가 증가하였고 계속 증가될 것이다. 결과적으로, 과다한 열을 제거하기 위해서 또는 작동하는 디바이스 상의 열 효과를 조절하기 위해서 약간의 조정이 포함되어야 한다.

과다한 열은 여러 가지 문제를 야기할 수 있다. 고온에서는 전도도가 감소되는 한편, 최대 주파수와 최대 전력이 모두 감소된다. 더 높은 온도는 또한 디바이스 성능을 감소시키는 터널링 및 누설을 더 많이 허용하여 열화 및 디바이스 고장을 가속화한다. 보다 긍정적으로 언급하자면, 향상된 열관리는 디바이스의 예상 수명기간 동안 더 높은 주파수 작동 및 더 높은 전력 밀도를 제공할 수 있다.

몇 가지 결정 성장과 관련된 이유에서, 제III족 질화물의 벌크(즉, 합리적으로 큰 크기) 단결정은, 실제적 목적으로는 활용할 수 없다. 따라서, 제III족 질화물 디바이스는 다른 벌크 기판 재료, 가장 보편적으로는 사파이어(Al_2O_3) 및 실리콘 카바이드(SiC) 상에 형성되는 것이 전형적이다. 사파이어는 비교적 저가이고 널리 구할 수 있지만, 저급한 전열 도체이므로 고전력 동작용으로는 부적합하다. 또한, 몇몇 디바이스에서, 도전성 기판이 바람직하며, 사파이어는 도전체로 도핑되는 능력이 부족하다.

실리콘 카바이드는 사파이어보다 양호한 열 전도도, 및 제III족 질화물과의 양호한 격자 정합을 가지며(따라서, 보다 고품질 에피층을 조성한다) 도전체로 도핑될 수 있지만, 훨씬 고가이기도 하다. 더 나아가, 실리콘 카바이드 상의 GaN/AlGaN HEMT(<i> 예컨대 </i>, 앞에서 인용한 특히 및 출원 공보)를 설계하고 실증하는 데에 발전이 있었지만, 원하는 수준의 성능 파라미터에서의 인관된 신뢰도가 부족하여 상업적 개발이 계속 제한되고 있다.

따라서, 고주파 고전력 반도체를 기반으로 한 마이크로웨이브 디바이스에서의 지속적 향상이 요구되고 있다.

발명의 상세한 설명

일 태양에서, 본 발명은 저하된 접합 온도, 작동 시의 높은 전력 밀도 또는 정격 전력 밀도(rated power density)에서의 향상된 신뢰도, 또는 이러한 이점의 임의의 조합을 가진 와이드-밴드캡 반도체 재료에서의 고전력, 고주파 디바이스를 형성하는 방법이다. 이 태양에서, 본 발명은, 실리콘 카바이드 웨이퍼에 다이아몬드층을 첨가하여 얻어지는 복합 웨이퍼의 열전도도를 증가시키는 단계, 실리콘 카바이드 상의 에피택셜 성장을 지지하기에 충분한 실리콘 카바이드의 두께를 유지하면서 상기 복합 웨이퍼의 실리콘 카바이드 부분의 두께를 감소시키는 단계, 에피택셜 성장을 위해 상기 복합 웨이퍼의 실리콘 카바이드 표면을 제조하는 단계, 및 상기 제조된 웨이퍼의 실리콘 카바이드면에 제III족 질화물 혼테로구조를 부가하는 단계를 포함한다.

또 다른 태양에서, 본 발명은, 저하된 접합 온도, 작동시 높은 전력 밀도 및 정격 전력 밀도에서 향상된 신뢰도를 나타내는 고전력 와이드-밴드캡 디바이스이다. 이 태양에서, 본 발명은, 실리콘 카바이드보다 큰 열전도도를 가진 히트 싱크를 제공하기 위한 다이아몬드 기판, 다이아몬드의 결정 격자 매치(match)보다 양호한 와이드-밴드캡 물질 구조를 위해 지지하는 결정 격자 매치를 제공하기 위한 상기 다이아몬드 기판 상의 단결정 실리콘 카바이드층, 및 디바이스 특징을 제공하기 위한 상기 단결정 실리콘 카바이드층 상에 제III족 질화물 혼테로구조를 포함한다.

또 다른 태양에서, 본 발명은, 동등한 양의 실리콘 카바이드의 열전도도보다 큰 열전도도를 가진 히트 싱크를 제공하기 위한 다이아몬드 기판; 제III족 질화물 에피층(epilayer)(여기서, "에피택셜층"과 "에피층"은 상호 교환가능하게 사용된다)에 유리한 결정 성장 표면을 제공하기 위한 상기 다이아몬드 기판 상의 반절연성 실리콘 카바이드 단결정층; 상기 실리콘 카바이드 기판 상의 제1의 제III족 질화물로 된 제1 에피택셜층; 상기 제1 에피택셜층과 혼테로접합을 형성하기 위한 상기 제1 에피택셜층 상의 상이한 제III족 질화물로 된 제2 에피택셜층—여기서, 상기 제1 에피택셜층과 상기 제2 에피택셜층의 계면에서 상기 제1 에피택셜층 내에 2차원 전자 가스(2DEG)를 생성하도록, 상기 제2 에피택셜층의 상기 제III족 질화물은 상기 제1 에피택셜층의 상기 제1의 제III족 질화물보다 넓은 밴드갭을 가짐; 및 게이트에 인가되는 전압에 의해 제어되는, 소스와 드레인 사이에 전자의 흐름을 제공하기 위한 상기 제2 에피택셜 제III족 질화물층에 대한 소스, 게이트 및 드레인 콘택트를 포함하는, 와이드-밴드캡 고전자이동도 트랜지스터(HEMT)이다.

또 다른 태양에서, 본 발명은, 직경이 2인치 이상인 단결정 실리콘 카바이드의 기판, 상기 실리콘 카바이드 기판의 제1면 상의 다이아몬드층, 및 제III족 질화물 에피층 또는 능동 구조(active structure)의 성장을 위해 제조되어 있는 제2면을 포함하는 웨이퍼 전구체이다.

또 다른 태양에서, 본 발명은, 다이아몬드 기판, 상기 다이아몬드 기판 상의 단결정 실리콘 카바이드층, 상기 실리콘 카바이드층 상의 하나 이상의 제1 클래딩층(cladding layer), 제III족 질화물 능동부, 및 상기 능동부 상의 하나 이상의 제2 클래딩층을 포함하는 반도체 레이저이다.

이상과 같은 본 발명의 목적, 기타 이점 및 본 발명을 달성하는 방법은 첨부 도면을 참조하여 이하에서 제시하는 상세한 설명에 의해 더욱 명백해질 것이다.

실시예

여기에 기재된 본 발명의 이점은 서로 배타적이 아니고, 반드시 누적되는 것도 아니다. 따라서, 접합 온도를 저하시킴으로써, 주어진 조정된 신뢰도에서 더 높은 전력 밀도를 얻을 수 있고, 또는 신뢰도가 예전에 이용가능한 정격 전력 밀도로 증가될 수 있고, 또는 이들(및 기타) 이점들의 몇 가지 조합을 얻을 수 있다.

제1 실시예에서, 본 발명은 저하된 접합 온도, 작동시 높은 전력 밀도 및 정격 전력 밀도에서의 향상된 신뢰도를 가진 와이드-밴드캡 재료에서의 고전력 디바이스를 형성하는 방법이다. 상기 방법은 도 1에 개략적으로 도시되어 있으며, 도 1은 (A) 내지 (E)의 하부도를 포함한다. 도 1은 실리콘 카바이드 웨이퍼(10)를 도시한다. 바람직한 실시예에서, 디바이스 구조에 있어서 가장 유용한 바와 같이, 실리콘 카바이드 웨이퍼 또는 기판(10)은 제III족 질화물 에피택셜층에 매우 적합한 구조를 제공하고, 본 발명의 주된 목적 중 하나인 디바이스를 형성하는 단결정층이다. 본 명세서에서의 "웨이퍼"라는 용어는 넓은 의미로 사용되고, 공통 형태와 크기에 한정되지 않는다.

도 1(C)는 본 발명의 방법에서의 다음 단계, 즉 실리콘 카바이드 기판(10)에 다이아몬드층(11)을 부가하는 단계를 나타낸다. 다이아몬드층 부분(11)은 얻어지는 복합 웨이퍼의 열전도도를 증가시키는데, 그것은 다이아몬드의 열전도도(20 W/cm-K)가 실리콘 카바이드의 열전도도(4.9 W/cm-K)의 약 4배이기 때문이다. 바람직한 실시예에서, 실리콘 카바이드 웨이퍼는 화학적-기계적 폴리싱 단계(CMP)에 의해 다이아몬드 중착을 위해 제조된다. 이것은 성장된 다이아몬드의 표면 형태를 개선하는 데 도움이 될 수 있고, 가장 바람직하게는 SiC의 C-면(C-face)에서 수행된다.

도 1(D)는 다음 단계로서, 포괄적으로 도면부호 12로 표시된 복합 웨이퍼의 실리콘 카바이드 부분의 두께를 감소시키는 단계를 나타낸다. 실리콘 카바이드의 필요한 격자 매칭 특징을 유지하면서 실리콘 카바이드 상의 에피택셜 성장을 지지하기에 충분한 두께의 실리콘 카바이드가 유지된다. 바람직하게는, 질화물 에피층에 대해 필요한 격자 매칭을 제공하기에 충분한 두께를 남기면서 상기 두께를 가능한 한 최대로 감소시킨다. 즉 최소화한다. 당업자라면 인식할 수 있는 바와 같이, 실리콘 카바이드의 격자 상수는 제III족 질화물의 격자 상수와 반드시 동일하지 않아도 되지만, 다이아몬드의 격자 상수보다는 근접하다. 달리 표현하면, 앞에서 언급한 바와 같이, 큰 사이즈의 제III족 질화물 단결정 기판은 실제적 관점에서 볼 때 현재로는 이용할 수 없다. 따라서, 어떤 다른 물질이 기판으로서 사용되는 것이 일반적이며, 여러 가지 이유에서, 실리콘 카바이드가 바람직하고, 실제로 격자 상수 매칭이라는 관점에서 볼 때 다이아몬드보다 양호하다. 그러므로, 실리콘 카바이드 상 제III족 질화물의 에피택셜층의 성장에 친숙한 사람은 상기 격자 상수가 동일하게 매칭할 필요는 없지만 원하는 고품질의 단결정 성장을 촉진하도록 충분히 근접할 필요가 있음을 인식할 것이다.

도 1(B)는 실리콘 카바이드 부분의 두께를 감소시키는 한 가지 방법을 나타낸다. 바람직한 실시예에서, 실리콘 카바이드 기판(10)에는 점선(13)으로 표시된 이산화규소(SiO_2)의 층을 형성하기 위해 실리콘 카바이드의 소정 깊이에 산소가 주입된다. 이 기술에서, 도 1(C)와 관련하여 앞에서 설명한 바와 같이 다음 단계로 다이아몬드층(11)이 첨가된다. 다이아몬드가 적층된 후, 이산화규소층에서 실리콘 카바이드를 분리함으로써 실리콘 카바이드 부분(10)의 두께가 감소된다. 그 결과 도 1(D)에 도시된 구조가 얻어진다. 이 기술은 "SIMOX(산소 주입에 의한 분리)"라고도 지칭되며, 주입된 산소로부터 SiO_2 의 생성을 더욱 촉진하기 위한 가열 단계를 포함할 수 있다.

이와는 달리, 실리콘 카바이드 부분의 두께를 감소시키는 단계는 보다 통상적인 단계인 래핑 및 폴리싱을 포함할 수 있다. 그러나, 이 분야에 친숙한 사람이라면 인식할 수 있는 바와 같이, SiC 감소 단계(또는 단계들)는 디바이스 제조 단계의 나머지 부분과 일치할 필요가 있다. 따라서, 지나치게 공격적인 기계적 단계는 얻어지는 디바이스의 다이아몬드층의 목적을 해치거나 무산시킬 수 있으므로 피하는 것이 바람직하다.

다른 원소 또는 이온(예컨대, H^+)에 의한 이온 주입을 이용한 다음 주입된 물질에서 분리하는 방법이 해당 분야에서 더 잘 이해되고 있으며, 처음으로 실리콘 절연막(silicon-on-insulator) 재료를 얻기 위해 개발된 "스마트 컷(smart cut)" 프로세스라 지칭되었다. 이 기술에 대한 배경 소스는 Moriceau 등에 의해 제시되어 최근 논의되고 있는 "New Layer Transfers Obtained by the Smart Cut Process", Journal Of Electronic Materials, Vol. 32, No.8, pages 829-835(2003) 및 Cellier 등의 "Frontiers of Silicon-on-Insulator", Journal of Applied Physics, Vol. 93, No. 9, pages 4955ff(2003)에서 입수할 수 있다. 이들 문헌은 제한 목적이 아닌 예시를 위해 포함되는 것을 이해할 것이다.

다른 측면에서, 상기 분리는 열 응력(thermal stress) 기술을 이용하여 수행될 수 있는데, 이 기술에서 주입된 다음 다이아몬드가 성장된 웨이퍼는 주입된 부분에서 웨이퍼를 분리시키기에 충분하지만, 웨이퍼가 분쇄될 수 있는 냉각 속도보다는 낮은 속도로 냉각된다. 이 분리 단계는 또한 원하거나 필요로 하는 바에 따라 다이아몬드 성장 단계들 사이에서 수행될 수 있다.

바람직한 실시예에서, 다이아몬드층은 실리콘 카바이드 웨이퍼의 탄소면에 첨가되고, 실리콘면은 에피택셜 성장을 위한 복합 웨이퍼(12)의 실리콘 카바이드 표면을 제조하는 단계에 이어서, 제조된 웨이퍼의 실리콘 카바이드면에 제III족 질화물 헤테로구조를 부가하는 단계를 위해 보존된다. 이와 같이, 헤�테로구조는 복합 웨이퍼의 실리콘면에 첨가된다. 상기 단계는 도 1(E)에 도시되어 있는데, 여기서 다이아몬드 부분(11)의 배향 및 두께가 감소된 실리콘 카바이드(10)는 도 1(D)와 1(E) 사이에서 뒤집혀서(flipped), 다이아몬드(11)는 실리콘 카바이드(10)의 층이 얹혀 있는 기판이 된다. 도 1(E)는 또한, 상부가 (14)로 표시되고 하부가 (15)로 표시된 2개의 상이한 제III족 질화물로 형성된 헤�테로구조를 나타낸다. 도 1은 또한 대부분의 실시예에서, 실리콘 카바이드층(10)과 헤�테로구조층(14, 15) 사이에 베퍼층(160이 포함되는 것을 나타낸다. 배타적이 아닌 전형적인 예와 같이, 헤�테로구조층은 질화알루미늄갈륨(상층914) 및 질화갈륨(중간층15)으로 형성되고, 베퍼층(16)으로서 질화알루미늄이 선택된다. 적절한 베퍼층, 헤�테로구조, 성장 방법 및 기타 관련 정보는 앞에서 언급한 특허의 실시예 및 본 발명과 공통으로 양도되어 있는 미국 특허 제5,393,993호, 제5,210,051호 및 제5,523,589호에 제시되어 있으며, 상기 특허 문현은 그 전체가 원용되어 본 명세서에 포함된다.

그러나, 부가적 고찰로서, 버퍼층(존재할 경우)과 헤테로구조층의 제조에 사용되는 다양한 CVD 소스 가스 및 장치는 다이아몬드와 상용성을 갖도록 선택되어야 한다. 다시 말하면, 상기 소스 가스, 장치 및 관련 사항은 다이아몬드와의 불필요한 반응 또는 영향을 피하도록 선택되어야 한다.

필요할 경우, 다이아몬드는 절연 특성이 증가되도록 어닐링 처리될 수 있다. 어닐링은 제III족 질화물 에피층의 성장 이전에 가열로 또는 다이아몬드 적층 챔버에서, 또는 에피층 성장 이전 또는 에피층 성장 시 에피층 반응기에서 수행될 수 있다. 암모니아(NH_3), 수소(H_2), 및 질소(N_2)가 어닐링 시 주변 가스로서 사용될 때 향상된 결과가 관찰되었다. 그러한 향상의 요인은 아직 판정되지 않았으므로, 본 발명자들은 이점에 관한 어떠한 특정 이론에 구속되려는 의향이 없다.

몇몇 실시예에서, 다이아몬드층은 실리콘 카바이드에 결합될 수 있으며, 이 기술은 일반적으로 종래 기술에서 잘 이해되어 있다. 요약하면, 결합은 전형적으로 압력과 열을 가하면서, 원하는 재료를 서로 접촉시키는 단계를 포함한다. 그러나, 보다 바람직한 실시예에서, 다이아몬드는 화학적 증착법에 의해 실리콘 카바이드 상에 증착된다. 다이아몬드의 화학적 증착법은 최근에 더욱 보편적으로 상용화되었으며, 예시적인 서비스 및 장치를 미국 캘리포니아주 산타클라라 소재 P1 Diamond Inc. 또는 엘라웨어주 월밍턴 소재 Delaware Diamond Knives("DDK")와 같은 소스로부터 구할 수 있다. 다이아몬드는 그것이 갖는 열적 성질 때문에 포함되고 실리콘 카바이드는 결정 격자 매칭을 제공하기 때문에, 다이아몬드는 다결정 형태로 증착될 수 있다. 단결정 다이아몬드가 다소 양호한 열적 관리 이점을 제공하지만, 그것은 모든 단결정과 마찬가지로, 일반적으로는 다결정 재료보다 제조가 더 어렵거나 복잡하다. 따라서, 다결정 다이아몬드가 공정을 수행하기에 약간 더 편리하다. 당업자라면 잘 이해하는 바와 같이, 다이아몬드의 화학적 증착법은 전형적으로 증착 반응기에서 수소와 탄화수소 가스의 혼합물을 열이나 전기적 에너지로 활성화함으로써 제조된다. 상기 에너지, 소스 물질 및 관련 파라미터는, 예를 들면 www.p1diamond.com 및 www.ddk.com에서 알 수 있듯이, 모두 적합한 방식 또는 원하는 방식으로 조절될 수 있다. 가능한 경우에는 항상, 동위원소 측면에서 순수한 다이아몬드(즉, 모두 ^{12}C)는 약 1%의 ^{13}C 를 함유하는 천연산 동위원소 분포물보다 바람직하다.

또한, 다이아몬드/SiC 계면은 내열성이 최소이므로, 결합과 같은 공정이 사용될 때, 다이아몬드와 SiC 사이에 존재하는 일체의 보이드(void)를 최소화 또는 제거해야 한다.

다이아몬드는 기능상 효과를 추가로 제공하지 못하는 부가적 재료를 피하면서 첨가된 헤�테로구조를 지지하기에 충분한 두께로 증착된다. 다시 말하면, 특정 웨이퍼 또는 디바이스에 대해 필요하거나 원하는 열적 특성 및 기계적 지지를 제공하기 위해 충분한 양의 다이아몬드가 포함되어 있으면, 단순히 추가의 다이아몬드를 첨가하는 것은 더이상 이점이나 기능상 효과를 제공하지 못한다. 바람직한 실시예에서, 적절한 다이아몬드층은 본 발명이 특히 적합하게 적용되는 헤�테로구조 제III족 질화물 디바이스의 형태에 대해 약 100~300 μm (B5m)의 두께를 가진다.

그러나, 디바이스는 전형적으로 다단계 공정으로 제조되기 때문에, 본 발명은 성질이 서로 다른 다이아몬드로 이루어진 2층(또는 그 이상)(또는 다이아몬드의 1층과 제2 물질로 이루어진 다른 층)을 증착하는 단계를 추가로 포함할 수 있다. 추가의 층(들)을 첨가하는 목적은, 나중에 제거할 수 있는 추가의(일시적일지라도) 층을 제조 목적에서 존재하도록 하면서, 최종 디바이스에 대한 열전도 특성을 가진 것을 제공하기 위해서이다. 따라서, 이 태양에서, 상기 방법은 고주파 디바이스 용 반절연성 기판을 제공하기 위해 반절연성 실리콘 카바이드 상에 반절연성 다이아몬드의 층을 증착하는 단계를 포함한다. 그 후, 웨이퍼 처리 시 추가의 기계적 안정성을 제공하기 위해 상기 반절연성 층에 제2 다이아몬드(또는 다른 물질)의 층을 증착한다. 기계적 안정성을 위해 첨가되는 추가 부분은 반드시 반절연성일 필요는 없는데, 그것은 이 태양에서 상기 방법이 제2 다이아몬드(또는 다른 물질)의 층으로 웨이퍼를 처리하는 단계(예를 들면, 임의의 적절한 또는 통상적 단계) 및 그 후 디바이스를 마감처리할 때 제2층의 부분(또는 전부)을 제거하는 단계를 추가로 포함한다. 예로서, 제2층은 취급 시의 기계적 안정성 및 헤테로접합 디바이스를 형성하는 일정 수의 에피택셜 성장 단계를 제공하기 위해 첨가될 수 있지만, 그런 다음 웨이퍼 또는 디바이스를 통한 비아 홀을 개방하는 단계에 앞서 제거될 수 있다.

증착된 제2층은 또한 상보적 목적에서 선택되는 또 다른 재료를 포함할 수 있다. 예를 들면, 다른 단계 또는 얻어지는 디바이스 작동을 방해하지 않는다면 보다 저렴한 재료를 선택할 수 있다. 그렇지 않으면, 예를 들어 이산화규소, 질화규소, 다결정질 황화알루미늄 또는 실리콘 카바이드와 같이 제거가 약간 더 용이하도록 재료를 선택할 수 있다.

다이아몬드층이 형성된 상태에서, 상기 방법은 다음으로 에피택셜 성장이 이루어지는 복합 웨이퍼의 반대측 실리콘 카바이드 표면을 제조하는 단계, 및 이어서 제III족 질화물 에피층 및 제조된 면(다이아몬드가 C-면에 증착되었을 때에는 Si-면일 것임)에 헤테로접합을 포함하는 전형적으로 여러개의 층을 부가하는 단계를 포함한다. 상기 SiC 표면은 또 다른 CMP 단계에 의해 제조되는 것이 바람직하다.

도 2 및 도 3은 본 발명을 유리하게 결합하는 디바이스를 예시한다. 가능한 경우에는 항상, 도 1에서와 같이 도 2 및 도 3에서 대응하는 구성 요소는 동일한 도면 부호를 가진다. 따라서, 도 2는 저하된 접합 온도 및 작동 시의 높은 전력 밀도 및 정격 전력 밀도에서 향상된 신뢰도를 나타내는, 고전력, 고주파 와이드-밴드캡 디바이스를 포괄적으로 (20)으로 표시한다. 이 태양에서, 본 발명은 실리콘 카바이드보다 큰 열전도도를 가짐으로써 동등한 양의 SiC보다 많은 열을 제거할 수 있는 히트 싱크를 제공하는 다이아몬드 기판(11)을 포함한다. 다이아몬드의 결정 매치보다 양호한 와이드-밴드캡 재료 구조에 대한 결정 격자 매치를 제공하도록 다이아몬드 기판(11) 상에 단결정 실리콘 카바이드층(10)이 형성되어 있다. 브래킷(21)으로 표시된 제III족 질화물 헤테로구조는 디바이스 특징을 제공하도록 단결정 실리콘 카바이드층 상에 형성되어 있다. 도 2는 또한 바람직하게 본 발명의 구조에 내포되어 있는 질화알루미늄 베페층(16)을 나타낸다. 따라서, 층들이 서로의 "표면 상에" 있다고 설명할 때에는 직접 접촉해 있는 두 층 및 사이에 중간층을 두고 서로 중첩되어 있는 층들을 포괄할 수 있는 것으로 이해될 것이다.

도 1(E)와 동일한 방식으로, 헤테로구조(21)는 가장 기본적인 포맷으로 질화알루미늄갈륨층(14) 및 질화갈륨층(15)과 같은 제III족 질화물의 2개의 상이한 층으로 형성되어 있다. 그러나, 당업자는 도 2 및 도 3이 본래 개략적이며, 원하거나 필요할 경우에는, 이중 헤테로접합, 배리어 HEMT, 다중 양자 우물(multiple quantum well; MQW) 및 초격자 구조를 포함하는 보다 복잡한 구조가 포함될 수 있음을 이해할 것이다. 마찬가지로 제III족 질화물 디바이스의 부분을 설명하기 위해 단수 용어 "층"을 사용할 때, 그 용어는 제조 목적과 작동 목적에서 그러한 디바이스에 공통적으로 포함되어 있는 다층을 포함할 수 있는 것으로 이해될 것이다.

또한, 제III족 질화물에 친숙한 사람은 AlGaN과 같은 3원 화합물을 보다 설명적으로 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ (여기서 $0 < x < 1$)로 표현되고, 알루미늄과 갈륨 각각의 몰 분획(x 및 $1-x$ 로 표현됨)은 원하거나 필요로 하는 성질을 제공하도록 조절될 수 있음을 인식할 것이다. 3차의 제III족 질화물을, 예를 들면 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ (여기서 $0 < x+y < 1$)과 같이 동일한 방식으로 표현할 수 있다. 이러한 재료 중 어느 하나로 형성된 층, 접합 및 디바이스는 본 발명에 의해 제공되는 효과를 이용할 수 있다. 목표가 더 큰 가능성 범위를 표현하려는 것일 때, 상기 식들은 또한 "더 크거나 같은" 포맷($0 \leq x \leq 1$)으로 기재될 수 있다. 예를 들면, $\text{Al}_x\text{Ga}_{x-1}\text{N}$ (여기서 $0 \leq x \leq 1$)는 x 의 값에 따라 AlN, GaN 또는 AlGaN을 나타낼 수 있다.

바람직한 실시예에서, 다이아몬드 기판(11)은, 일반적으로 복잡성이 적고 제조의 어려움이 적어서 제조 효율을 높이고 제조 비용을 낮추는 데 도움이 되는 점에서 다결정질일 수 있다.

다수의 고주파 디바이스가 반절연성 기판을 필요로 하기 때문에, 그러한 예에서는 실리콘 카바이드층(10)이 반절연성이고, 필요한 경우 전반적 특성에 따라 다이아몬드 기판(11)도 반절연성일 수 있다. 반절연성 실리콘 카바이드의 특성 및 용도는 예시적인 방식으로(제한적은 아님) 공통 양도된 미국 특허 제6,218,680호, 제6,403,982호, 제6,396,080호, 제6,639,247호 및 제6,507,046호에 제시되어 있다. 상기 문헌의 내용은 전체가 원용되어 본 명세서에 포함된다.

실리콘 카바이드는 전형적으로 가장 보편적으로 입수 가능하고 전자 디바이스에 적합한 점에서 실리콘 카바이드의 3C, 4H, 6H 및 15R 폴리타입(polytype) 중에서 선택되는 폴리타입을 가진다. 적합한 기판은 미국 노스 캐롤라이나주 더햄 소재 Cree, Inc.(www.cree.com)로부터 상업적으로 입수할 수 있다.

헤테로구조(21)(도 2)에 오믹 콘택트(ohmic contact)(24, 26) 및 쇼트키 콘택트(Schottky contact)(25)를 추가함으로써, 전계효과 트랜지스터를 제조할 수 있다. 특히, 헤�테로구조(21)를 형성하는 에피택셜층의 조성 및 도핑을 제어함으로써, 고주파 고전자이동도 트랜지스터(HEMT)를 제조할 수 있다.

디바이스(20)의 다이아몬드 기판(11)이 높은 열전도도를 제공하기 때문에, 디바이스는 열전도도가 높은 재료에(즉, 상기 재료와 함께 또는 인접하게) 유리하게 패키징될 수 있다. 여기서 사용하는 "패키지"라는 용어는, 더 큰 회로 또는 최종 용도 디바이스에 결합시키기 위해 개별적 반도체 디바이스를 수용하는 용기 또는 구조를 지칭하는 통상적 의미로 사용된다. 사실상, 디바이스의 열팽창은 다이아몬드의 열팽창 계수에 의해 좌우될 것이기 때문에, 패키지는 열팽창에서 매칭되지 않는 재료로부터의 응력을 최소화하거나 제거하고, 디바이스의 열전도도를 충분히 이용하기 위해, 원하는 바 또는 필요로 하는 바에 따라 다이아몬드를 추가로 포함하거나 다이아몬드로 형성될 수 있다.

이와 관련하여, HEMT의 채널 및 관련 디바이스는 작동 시, 특히 게이트 영역에서 대부분의 열을 생성하는 경향이 있다. 따라서, 본 발명은 채널로부터 열을 분산시킬 뿐 아니라 히트 싱크로서 작용하는 데에 특히 도움이 된다.

도 3은 고전자이동도 트랜지스터(HEMT)를 보다 더 구체적으로 포괄적 도면 부호(30)으로 표시하여 나타낸다. 트랜지스터(30)는 전술한 바와 같이 히트 싱크(또는 스프레더(spreader))를 제공하기 위한 다이아몬드 기판(11)으로 형성된다. 제III족 질화물 에피층을 위한 유리한 결정 성장 표면을 제공하기 위해 실리콘 카바이드의 반절연성 층(10)이 다이아몬드 기판(11) 상에 형성되어 있다. 전형적으로 또는 바람직하게, 질화알루미늄과 같은 또 다른 제III족 질화물로 형성된 베퍼층(16)이 상기 실리콘 카바이드층(10) 상에 형성되어 실리콘 카바이드로부터 헤테로구조로 결정을 이동시킨다. 상기 헤테로구조는 베퍼층(16) 상의 제1 에피택셜층(15) 및 에피층들(15, 31) 사이에 헤테로접합을 형성하기 위한 상기 제1 에피택셜층(15) 상에 브래킷(31)으로 표시된 제2 에피택셜층(들)로 형성된다. 이 실시예에서, 제2 에피층(31)의 제III족 질화물은, 제1 에피층(15) 및 제2 에피층(31)의 계면에서 제1 에피층에 2차원 전자 가스(2DEG)를 생성하도록 제1 에피층(15)의 제1의 제III족 질화물보다 넓은 밴드갭을 가진다. 각각의 소스(34), 게이트(35) 및 드레인(36) 콘택트는 소스(34)와 드레인(36) 사이에서 게이트 콘택트(35)에 인가되는 전압에 의해 제어되는 전자의 흐름을 제공한다.

특정한 실시예에서, 제1 에피택셜층(15)은 질화갈륨을 포함하고, 제2 에피택셜층(31)은 질화알루미늄갈륨을 포함한다. 보다 바람직하게는, 질화갈륨층(150은 도핑되어 있지 않고, 질화알루미늄갈륨층(31)은 예를 들면 실리콘(Si)으로 도핑된 n-타입이다. 도 3에 구체적으로 예시된 바와 같이, 제2 에피택셜층(31)은 2층, 바람직하게는 3층의 질화알루미늄갈륨을 포함하고, 도면에 각각(40), (41), (42)로 표시되어 있다. 보다 바람직한 실시예에서, 제2 에피택셜층(31)은 질화알루미늄갈륨 도핑층(41) 및 질화알루미늄갈륨 미도핑층(40)을 포함하고, 미도핑층(40)은 질화갈륨 미도핑층(15)에 인접해 있다. 또 다른 실시예에서, 도핑된 AlGaN층(41)의 상부에 또 하나의 AlGaN 미도핑층(42)이 설치되어 있다. 이 구조는 본 발명과 공통으로 양도되어 있는 미국 특허 제6,583,454호에 제시되고 기술되어 있으며, 동 특허의 내용 전체는 원용되어 본 명세서에 포함된다. 질화갈륨층과 도핑된 질화알루미늄갈륨층 사이에 도핑되지 않은 질화알루미늄갈륨층이 사용된 것을 변조-도핑된(modulation-doped) 헤테로구조라 칭하며, 질화알루미늄갈륨층에 있는 도핀트를 도핑되지 않은 질화갈륨층으로부터 물리적으로 분리함으로써 2차원적 전자 가스에서의 전자의 이동도가 증가된다.

미국 특허 제6,583,454호에 개시된 바와 같이, 트랜지스터(30)는 부동화층(passivation layer)(43)이 층(15, 31)에 의해 형성된 헤테로구조 상부에 포함되어 있을 때 더 효율적으로 작동한다는 사실도 밝혀졌다. 또한, 상기 '454 특허에 개시된 바와 같이, 부동화 재료는 관련된 부동화 특징을 가지고 있다면 이산화규소(SiO_2) 또는 질화규소(Si_3N_4)일 수 있다.

예전에 결부된 특허 공보 제20020167023호에 개시된 바와 같이, 본 발명을 이용함으로써, 트랜지스터는 또한, 얻어지는 디바이스에서의 게이트 누설을 감소시키기 위한 배리어층, 또는 원하는 목적을 위한 다른 층들(예컨대, p-타입 재료에 대한 접촉 성능을 향상시키는 층)을 포함할 수 있다.

도 2에 도시된 실시예에 관한 것과 마찬가지로, 도 3의 트랜지스터(30)는 잠재적으로 다이아몬드 또는 다이아몬드 함유 패키지를 포함하는 열전도도가 높은 재료에 패키징될 수 있다.

본 명세서에서는 고전자이동도 트랜지스터의 측면에서 구체적으로 설명했지만, 본 발명은 향상된 열관리로 이점이 얻어지는 다른 디바이스에서도 이점을 제공한다. 그러한 다른 디바이스는 도 5에 도면 부호(45)로 개략적으로 나타낸 레이저를 포함할 수 있다. 반도체 레이저의 일반적 이론 및 작동은 당업자에게 잘 이해되고 있으므로, 여기서는 레이저가 전형적으로 복수의 클래드층(clad layer)들(47, 50)로 둘러싸인 능동층(active layer)(46)으로 형성되어 있다는 것을 언급하는 외에는 구체적으로 설명할 필요가 없다. 클래드층을 이루는 재료의 특성, 특히 밴드갭 및 굴절률은 능동층이 클래드층들 사이에서 잠재적 우물(well)을 형성하도록 선택되는 것이 바람직하다. 또한, 클래드층(47, 50)의 굴절률은, 공명을 위해 광이 능동층 내에 같은 상태로 유지시킬 수 있는 수준인 것이 바람직하다. 앞서의 실시예에서와 같이, 다이아몬드 기판은 (11)에 도시되어 있고, 실리콘 카바이드층은 (10)에 도시되어 있으며, 필요에 따라 적절한 베퍼층(16)이 포함되어 있다. 일반적으로, 반드시 배타적인 것은 아니지만, 레이저 및 발광 다이오드(LED)는 다중 양자 우물 및 초격자 구조와 같은 더 복잡한 구조를 포함하는 것이 보편적이다.

도 4는 본 발명에 따른 웨이퍼 전구체의 개략도이다. 웨이퍼 전구체는 포괄적으로 도면 부호(52)로 표시되어 있고, 여기에 포함되어 있는 이유는 실리콘 카바이드 내에 대형 단결정 기판 웨이퍼, 즉 직경이 2인치, 3인치 또는 100 mm(또는 동등한 메트릭 사이즈)의 웨이퍼의 이용가능성(availability)도 마찬가지로 본 발명의 방법을 이용하여 여기에 기재된 히트 싱크 목적의 이러한 사이즈의 다이아몬드층을 얻는, 종래에는 없었던 기회를 제공하기 때문이다. 이 태양에서, 본 발명은 직경이 2인치 이상인 단결정 실리콘 카바이드(53)의 기판이다. 다이아몬드층(54)은 실리콘 카바이드 기판(53)의 일면 상에 설치되어 있고, 브래킷(55)으로 표시된 제III족 질화물 능동 구조는 웨이퍼(53)의 반대측 면에 설치되어 있다. 기판 실리콘 카바이드 웨이퍼(53)의 직경은 바람직하게는 약 2인치(5 cm) 이상, 보다 바람직하게는 3인치(7.5 cm) 이상, 가장 바람직하게는 4인치(10 cm) 이상이다. 본 발명의 다른 실시예에 관하여 제시한 바와 같이, 제III족 질화물 능동 구조(55)는 하나 이

상의 헤테로구조를 포함하고, 웨이퍼 전구체(52)는 또한 실리콘 카바이드 기판과 헤�테로구조(55) 사이에 적절한 베퍼층을 포함할 수 있다. 간략히 도시하기 위해서 도 4에는 베퍼층을 별도로 나타내지 않았다. 앞서의 실시예에서와 같이, 실리콘 카바이드는 3C, 4H, 6H 및 15R 폴리타입의 실리콘 카바이드로 이루어지는 군으로부터 선택되는 폴리타입을 가질 수 있다.

가장 바람직한 실시예에서, 웨이퍼는 실리콘 카바이드 기판 상에 복수의 개별적 능동 구조를 포함한다.

본 명세서에서, 본 발명은 히트 싱크 재료로서 다이아몬드를 사용하고 기판 재료로서는 실리콘 카바이드를 사용하는 것에 관해 주로 설명되었다. 그러나, 본 발명은, 결과적으로 복합 웨이퍼를 제조하기 위해 열전도도가 더 높은 재료의 층을 제III족 질화물과 더 양호한 결정 격자 매칭을 갖는 열전도도가 더 낮은 재료와 함께 사용하는, 더 넓은 태양으로 이해될 수 있다. 이 태양에서, 열전도도가 더 높은 재료는 금속 및 질화붕소(BN), 특히 질화붕소 공구(cubic boron nitride; "cBN")와 같은 반도체를 포함할 수 있고, 보다 바람직한 결정 기판 재료는 실리콘, 질화갈륨, 질화알루미늄, 질화알루미늄갈륨, 산화마그네슘(MgO), 마그네슘 알루미네이트($MgAl_2O_4$), 리튬 갈레이트($LiGaO_2$), 리튬 알루미네이트($LiAlO_2$), 산화아연(ZnO), 니켈 알루미네이트($NiAl_2O_4$) 및 사파이어로 이루어지는 군으로부터 선택될 수 있고, 이중에서 AlGaN이 보다 바람직하다. 전술한 실시예에서와 같이, 전도도가 높은 재료가 기판 웨이퍼의 일부로서 존재하면, 얻어지는 복합 웨이퍼의 열전도도가 증가된다.

질화붕소 공구("cBN")는 반절연성이 될 수 있는 능력 측면, 및 본 발명의 목적에서 다이아몬드와 유사한 방식으로 처리되는 점에서 이점을 갖는 것으로 예상된다. 질화붕소는 또한 실리콘 카바이드보다 높은 열전도도(13 W/cm-K)를 가진다.

레이저 및 LED와 같은 디바이스에 있어서, 금속 히트 싱크는 반사 및 광-추출(light-extraction)을 위해 유리할 수 있다. 후보 금속으로 적합한 것으로는 Ni, Cr, Mn, W, Pt 및 이들 금속의 관련 합금이 포함된다. 앞에서 다이아몬드 히트 싱크와 관련하여 언급한 바와 같이, 이들 금속 또는 합금 중 하나 이상을 사용하는 것은 전반적 제조, 구조 및 얻어지는 디바이스의 작동과 일치되어야 한다.

앞선 실시예에서와 같이, 전술한 복합 웨이퍼에 디바이스를 형성하는 방법은, 원하는 에피택셜 성장을 표면 상에 지지하기에 충분한 두께의 낮은 열전도도 부분을 유지하면서, 복합 웨이퍼의 낮은 열전도도 부분의 두께를 감소시키는 단계를 포함한다. 낮은 열전도도 표면은 또한 에피택셜 성장을 위해 제조되는데, 상기 성장 후, 적절한 제III족 질화물 에피층, 전형적으로는 헤테로구조가 웨이퍼의 상기 낮은 열전도도 부분의 제조된 표면에 추가된다.

도면 및 명세서에서, 본 발명의 바람직한 실시예를 제시했으며, 특수한 용어를 사용했지만, 그러한 용어는 일반적이고 설명적인 의미에서 사용되는 것이며, 청구의 범위에 정의되어 있는 본 발명의 범위를 한정하려는 것이 아니다.

도면의 간단한 설명

도 1은 본 발명의 방법에 따른 공정 단계의 순서를 나타내는 개략적 단면도이다.

도 2는 본 발명에 따른 디바이스 구조에 대한 개략적 단면도이다.

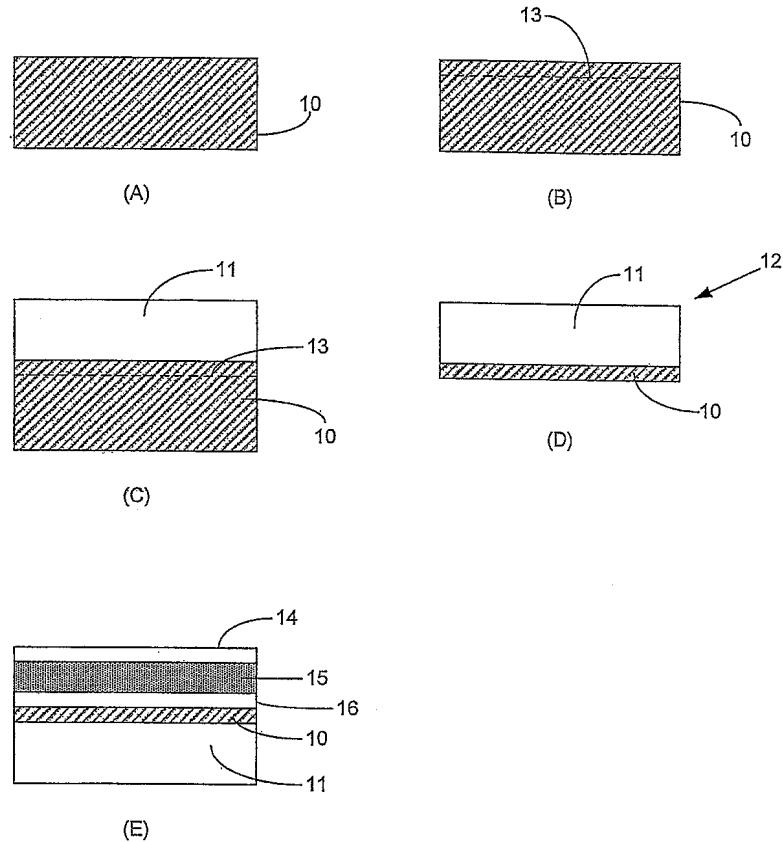
도 3은 본 발명에 따른 또 다른 디바이스의 단면도이다.

도 4는 본 발명에 따른 웨이퍼 전구체의 단면도이다.

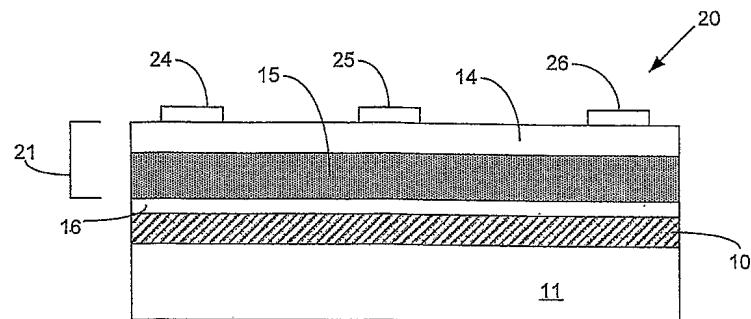
도 5는 본 발명에 따른 레이저 구조의 주요 부분에 대한 개략적 단면도이다.

도면

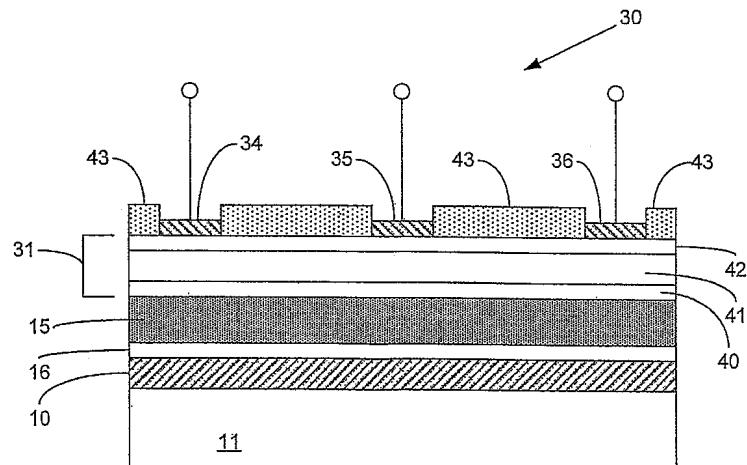
도면1



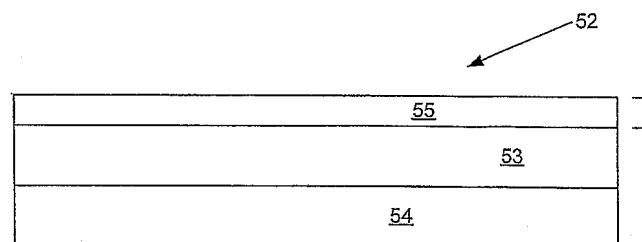
도면2



도면3



도면4



도면5

