



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2016년04월04일

(11) 등록번호 10-1608908

(24) 등록일자 2016년03월29일

(51) 국제특허분류(Int. Cl.)
HO1L 21/336 (2006.01) *HO1L 29/78* (2006.01)

(21) 출원번호 10-2011-7009991

(22) 출원일자(국제) 2009년09월29일
심사청구일자 2014년09월17일

(85) 번역문제출일자 2011년04월29일

(65) 공개번호 10-2011-0082028

(43) 공개일자 2011년07월15일

(86) 국제출원번호 PCT/EP2009/007002

(87) 국제공개번호 WO 2010/037523
국제공개일자 2010년04월08일

(30) 우선권주장
10 2008 049 733.9 2008년09월30일 독일(DE)
12/552 642 2009 100 000 2010년09월01일 미국(US)

(73) 특허권자
어드밴스드 마이크로 디바이시즈, 인코포레이티드
미국 캘리포니아 94088-3453 서니베일 피.오.박스
3453 원 에이엠디 플레이스

(72) 발명자
크론홀즈 스테판
독일 01129 드레스덴 웨인베르그스트라세 18
렌스키 마르쿠스
독일 01277 드레스덴 니에데르왈드플라츠 7
(뒷면에 계속)

(74) 대리인
박자원

(56) 선행기술조사문항

JP2007305730 A*

US20080003783 A1*

JP2006196910 A

JP09064016 A

*는 십사관에 의하여 인용된 문헌

전체 청구항 수 : 총 17 항

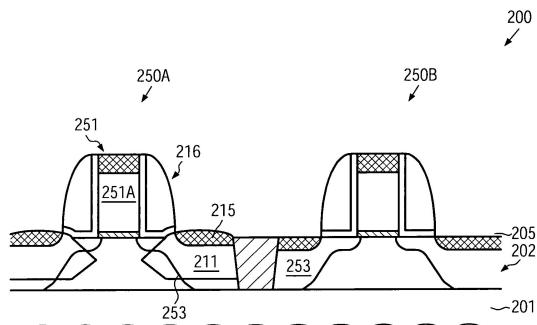
심사관 : 김진우

(54) 빨·명·의 명·청·채·널 영·역·에 대·해 감·소·된 오프·셋·을 갖·는 매·릴·된 S I / G E 를 절·을 구·비·한 트·랜·지·스·터

(57) 요약

스트레이인 유발 반도체 합금이 캐버티들을 기반을 하여 형성될 수 있으며, 이 캐버티들은 비직사각 형상을 가질 수 있고, 이것은 실리콘 다이옥사이드 물질과 같은 적절한 보호층을 제공함으로써 대응하는 고온 처리 동안에도 유지될 수 있다. 결과적으로, 스트레이인 유발 반도체 물질의 측면 오프셋이 감소될 수 있고, 그럼에도 불구하고 캐버티 예칭 공정 동안 대응하는 오프셋 스페이서들의 충분한 두께를 제공할 수 있으며, 이로 인해 게이트 전극 일체성이 유지될 수 있다. 예를 들어, p-채널 트랜지스터들이 우각 형상을 갖는 실리콘/게르마늄 합금을 가질 수 있고, 이에 따라 전체 스트레이인 전달 효율이 크게 증진될 수 있다.

대표 도 - 도2g



(72) 발명자

웨이 앤디

독일 01097 드레스덴 니에리츠스트라세 10

오트 안드레아스

독일 01099 드레스덴, 티엑스트라세 19

명세서

청구범위

청구항 1

반도체 디바이스 제조 방법으로서,

실리콘 함유 결정성 반도체 영역에 반도체 디바이스의 트랜지스터의 게이트 전극 구조에 인접하게 캐버티(cavity)들을 형성하는 단계와, 여기서 상기 게이트 전극 구조는 오프셋 스페이서(offset spacer)를 포함하고, 상기 오프셋 스페이서는 상기 게이트 전극 구조의 측벽들에 인접하여 형성되며, 상기 캐버티들은, 적어도 상기 오프셋 스페이서 아래로 연장하는 언더에칭 영역(underetched region)을 포함하고;

상기 언더에칭 영역을 포함하는 상기 캐버티들을 형성한 이후에, 상기 캐버티들의 모든 노출된 표면들 상에 보호층을 형성하는 단계와;

상기 보호층을 형성한 이후에, 상승된 제1의 온도를 갖는 공정 환경에 상기 반도체 디바이스를 삽입하는 단계와;

상기 공정 환경을 상기 상승된 제1의 온도보다 더 낮은 제2의 온도를 갖도록 조정하는 단계와;

상기 공정 환경에서 상기 보호층을 제거하는 단계와; 그리고

상기 제2의 온도를 갖는 상기 공정 환경에서 상기 캐버티들에 반도체 합금을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 디바이스 제조 방법.

청구항 2

삭제

청구항 3

제1항에 있어서,

상기 캐버티들을 형성하는 단계는, 플라즈마 환경을 포함하는 제 1 에칭 공정을 수행하는 것과, 그리고 습식 에칭 화학을 포함하는 제 2 에칭 공정을 수행하는 것을 포함하는 것을 특징으로 하는 반도체 디바이스 제조 방법.

청구항 4

제3항에 있어서,

상기 습식 에칭 화학은 결정학적 이방성 제거율(crystallographically anisotropic removal rate)을 갖는 것을 특징으로 하는 반도체 디바이스 제조 방법.

청구항 5

제4항에 있어서,

상기 습식 에칭 화학은 테트라 메틸 암모늄 하이드록사이드(Tetra Methyl Ammonium Hydroxide, TMAH)를 포함하는 것을 특징으로 하는 반도체 디바이스 제조 방법.

청구항 6

제1항에 있어서,

상기 보호층을 형성하는 단계는, 상기 캐버티들의 상기 노출된 표면들 상에 옥사이드 층을 형성하는 것을 포함하는 것을 특징으로 하는 반도체 디바이스 제조 방법.

청구항 7

제6항에 있어서,

상기 옥사이드 층은 700 °C보다 낮은 온도의 산화 가스 환경에서 형성되는 것을 특징으로 하는 반도체 디바이스 제조 방법.

청구항 8

제6항에 있어서,

상기 옥사이드 층은 습식 화학 산화 공정을 수행함으로써 형성되는 것을 특징으로 하는 반도체 디바이스 제조 방법.

청구항 9

제1항에 있어서,

적어도 부분적으로 상기 반도체 합금에 드레인 및 소스 영역들을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 디바이스 제조 방법.

청구항 10

제1항에 있어서,

상기 반도체 합금은 상기 트랜지스터의 채널 영역에 압축성 스트레인(compressive strain)을 유발시키도록 형성되는 것을 특징으로 하는 반도체 디바이스 제조 방법.

청구항 11

제10항에 있어서,

상기 반도체 합금은 실리콘과 게르마늄으로 구성되는 것을 특징으로 하는 반도체 디바이스 제조 방법.

청구항 12

제1항에 있어서,

상기 상승된 제1의 온도는 800 °C 이상인 것을 특징으로 하는 반도체 디바이스 제조 방법.

청구항 13

반도체 디바이스 제조 방법으로서,

플라즈마 환경을 포함하는 제 1 에칭 공정을 수행하고 습식 에칭 화학을 포함하는 제 2 에칭 공정을 수행함으로써, 결정성 반도체 영역에 트랜지스터의 게이트 전극 구조에 대해 측면으로 오프셋된 캐버티들을 형성하는 단계와, 여기서 상기 캐버티들은, 적어도 상기 게이트 전극 구조의 측벽 스페이서 구조 아래로 연장하는 언더에칭 영역을 포함하고;

상기 캐버티들의 모든 노출된 표면들 상에 보호층을 형성하는 단계와;

상기 보호층을 형성한 이후에, 상승된 제1의 온도에서 상기 결정성 반도체 영역을 처리하는 단계와;

상기 보호층을 형성한 이후에, 스트레인 유발 반도체 합금을 형성하도록 되어 있는 공정 환경에 상기 트랜지스터를 삽입하는 단계와, 여기서 상기 공정 환경은 상기 상승된 제1의 온도보다 더 낮은 제2의 온도를 가지며;

상기 공정 환경에서 상기 보호층을 제거하는 단계와;

상기 캐버티들에 상기 스트레인 유발 반도체 합금을 형성하는 단계와; 그리고

상기 반도체 영역에 드레인 및 소스 영역들을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 디바이스 제조 방법.

청구항 14

삭제

청구항 15

제13항에 있어서,

상기 보호층을 제거하기 전에 상기 공정 환경 내의 온도를 상기 캐버티들에 상기 스트레인 유발 반도체 합금을 증착시키기 위한 증착 온도로 조정하는 단계를 더 포함하는 것을 특징으로 하는 반도체 디바이스 제조 방법.

청구항 16

제15항에 있어서,

상기 증착 온도는 750 °C 이하인 것을 특징으로 하는 반도체 디바이스 제조 방법.

청구항 17

제13항에 있어서,

상기 보호층은 실리콘 다이옥사이드 물질로서 형성되는 것을 특징으로 하는 반도체 디바이스 제조 방법.

청구항 18

제13항에 있어서,

상기 제 2 애칭 공정의 상기 습식 애칭 화학은 결정학적 이방성 애칭 작용을 하는 것을 특징으로 하는 반도체 디바이스 제조 방법.

청구항 19

제13항에 있어서,

상기 반도체 합금은 게르마늄과 주석 중 적어도 하나를 포함하는 것을 특징으로 하는 반도체 디바이스 제조 방법.

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

발명의 설명

기술 분야

[0001] 일반적으로, 본 개시내용은 집적 회로들의 제조에 관한 것으로서, 특히 트랜지스터들의 채널 영역에서의 전하 캐리어 이동도를 강화하기 위해 실리콘/게르마늄과 같은 매립 반도체 합금을 이용함으로써 스트레인 채널 영역을 갖는 트랜지스터에 관한 것이다.

배경 기술

[0002] 복합 집적 회로들의 제조는 다수의 트랜지스터 소자들의 제공을 필요로 하는바, 이러한 트랜지스터 소자는 복합 회로에 있어 중요한 회로 소자를 나타낸다. 예를 들어, 수백만 개의 트랜지스터들이 현재 이용 가능한 복합 집적 회로에 제공될 수 있다. 일반적으로, 현재 다수의 공정 기술들이 실시되고 있는데, 이 경우 마이크로 프로세서, 저장 칩 등과 같은 복합 회로에 있어서, CMOS 기술은, 동작 속도 및/또는 전력 소비 및/또는 비용 효율을 고려할 때 그 월등한 특성으로 인해, 현재 가장 유망한 방법이다. CMOS 회로들에 있어서, 상보형 트랜지스터들(즉, p-채널 트랜지스터들 및 n-채널 트랜지스터들)이, CPU, 저장 칩 등과 같은 복잡도가 높은 회로 조립체를 설계하기 위한 회로 소자(예를 들어, 인버터 및 다른 로직 게이트)를 제조하기 위해 사용된다. CMOS 기술을 사용하여 복합 집적 회로들을 제조하는 동안, 트랜지스터들, 즉, n-채널 트랜지스터들과 p-채널 트랜지스터들이

결정성 반도체 층을 포함하는 기판 상에 형성된다. MOS 트랜지스터 혹은 일반적으로 전계 효과 트랜지스터는, n-채널 트랜지스터가 고려되는지 또는 p-채널 트랜지스터가 고려되는지 여부에 상관없이, 소위 PN 접합들을 포함하는데, 이러한 PN 접합은 고농도로 도핑된 드레인 및 소스 영역들과 이러한 드레인 및 소스 영역들 사이에 배치되는 반대로 혹은 약하게 도핑된 채널 영역과의 계면(interface)에 의해 형성된다. 채널 영역의 전도도, 즉 전도성 채널의 구동 전류 능력은, 채널 영역 근처에 형성되고 얇은 절연층에 의해 채널 영역으로부터 분리되는 게이트 전극에 의해 제어된다. 게이트 전극에 적절한 제어 전압의 인가로 인한 전도성 채널 형성시, 채널 영역의 전도도는, 도편트 농도, 전하 캐리어의 이동도에 따라 달라지고, 그리고 (트랜지스터 폭 방향으로의 채널 영역의 소정의 연장부에 대해서) 소스 영역과 드레인 영역 간의 거리(이것은 또한 채널 길이로 언급되기도 함)에 따라 달라진다. 따라서, 채널 길이의 감소(그리고 이와 관련된 채널 저항의 감소)는 집적 회로의 동작 속도를 증가시키기 위한 중요한 설계 기준이 된다.

[0003] 그러나, 트랜지스터 치수들의 계속적인 감소는 관련된 다수의 문제를 포함하는바, 이러한 문제는 MOS 트랜지스터들의 채널 길이를 계속으로 감소시킴으로써 얻어지는 이점을 과도하게 상쇄시키지 않도록 처리돼야만 한다. 예를 들어, 원하는 채널 제어도와 함께 낮은 시트 저항(sheet resistivity) 및 콘택 저항(contact resistivity)을 제공하도록, 수직 방향뿐만 아니라 측면 방향에서 고도로 정교한 도편트 프로파일이 드레인 및 소스 영역들에서 요구된다. 더욱이, 요구된 채널 제어도를 유지하기 위해, 게이트 유전체 물질은, 감소된 채널 길이에 적합하게 조정될 수 있다. 그러나, 높은 채널 제어도를 유지하기 위한 일부 메커니즘들은 또한, 트랜지스터의 채널 영역에서의 전하 캐리어 이동도에 부정적 영향을 줄 수 있고, 이에 따라 채널 길이의 감소로 인해 얻어진 이점들이 부분적으로 상쇄될 수 있다.

[0004] 임계 치수, 즉 트랜지스터들의 게이트 길이의 계속적인 크기 감소는, 공정 조정을 필요로 하고 아울러 가능하게는 고도의 복합 공정 기술의 새로운 개발을 필요로 하며, 그리고 또한 이동도의 저하로 인해 현저한 성능 이득에 기여하지 못하기 때문에, 소정의 채널 길이에 대해 채널 영역에서의 전하 캐리어 이동도를 증가시킴으로써 트랜지스터 소자들의 채널 전도도를 강화시키는 것이 제안되었는바, 이로 인해 극도로 스케일링된 임계 치수를 요구하는 기술 표준으로의 진보에 필적하는 성능 개선이 가능하게 되고, 아울러 디바이스 스케일링과 관련된 많은 공정 조정을 피할 수 있거나 적어도 우선적으로 고려하지 않아도 된다.

[0005] 전하 캐리어 이동도를 증가시키기 위한 하나의 효과적인 메커니즘은 채널 영역에서의 격자 구조를 수정하는 것인데, 이것은 예를 들어, 채널 영역 근처에 인장성 스트레스(tensile stress) 또는 압축성 스트레스(compressive stress)를 생성하여 채널 영역에 대응하는 스트레인의 발생되도록 함으로써 행해질 수 있고, 이것은 결과적으로 전자 및 정공에 대한 이동도가 각각 변경되게 한다. 예를 들어, 활성 실리콘 물질의 표준 결정학적 구성(즉, (100) 표면 배향, 이 경우 채널 길이는 <110> 방향으로 정렬됨)에 대해 채널 영역에 인장성 스트레인의 생성은, 전자의 이동도를 증가시키고, 이것은 또한 전도도에서의 대응하는 증가로 직접 변환될 수 있다. 반면, 채널 영역에서의 압축성 스트레인은 정공의 이동도를 증가시킬 수 있고, 이에 따라 P-타입 트랜지스터들의 성능을 높일 수 있는 가능성을 제공할 수 있다. 집적 회로 제조에 스트레스 또는 스트레인 공학을 도입하는 것은 매우 유망한 방법인데, 왜냐하면 스트레인된 실리콘은 "새로운" 타입의 반도체 물질로서 고려될 수 있기 때문인데, 이것은 값비싼 반도체 물질을 필요로 하지 않고 빠르고 강력한 반도체 디바이스들의 제조를 가능하게 하며, 아울러 다수의 잘 확립된 제조 기술이 여전히 사용될 수 있기 때문이다.

[0006] 결과적으로, 채널 영역 옆에 실리콘/게르마늄 물질을 도입하여 대응하는 스트레인을 일으킬 수 있는 압축성 스트레스를 유발시키는 것이 제안되었다. Si/Ge 물질을 형성할 때, PMOS 트랜지스터들의 드레인 및 소스 영역들은 캐버티(cavity)가 형성되도록 선택적으로 리세스(recess)되고, 반면 NMOS 트랜지스터들은 마스킹되며, 후속적으로 실리콘/게르마늄 물질이 에피택셜 성장(epitaxial growth)에 의해 PMOS 트랜지스터의 캐버티를 내에 선택적으로 형성된다.

[0007] 비록 이러한 기술이 p-채널 트랜지스터들의 성능 이득 및 이에 따른 전체 CMOS 디바이스의 성능 이득 면에서 상당한 이점들을 제공하지만, 채널 영역에서의 스트레인 성분의 추가적인 증가는 (실리콘/게르마늄 합금을 형성하기 위한 종래의 일 방법을 더욱 명확히 보여 주기 위한 도 1a 내지 1e를 참조하여 이제 상세히 설명되는 바와 같이) 게이트 전극 구조의 일체성을 손상시킬 없이 채널 영역에 대한 실리콘/게르마늄 합금의 측면 오프셋을 감소시킴으로써 달성하기에는 어려울 수 있음이 판명되었다.

[0008] 도 1은 초기 제조 단계에서의 종래 반도체 디바이스(100)의 단면도를 개략적으로 나타낸다. 설명된 바와 같이, 반도체 디바이스(100)는 실리콘 기판과 같은 기판(101)을 포함하며, 만약 SOI(Silicon On Insulator) 구성이 고려된다면, 기판 위에 매립된 절연층(미도시)이 형성될 수 있다. 더욱이, 실리콘 기반 반도체 층(102)이 기판

(101) 위에 형성되고, 이러한 실리콘 기반 반도체 층(102)은 그 안에 그리고 그 위에 트랜지스터 등과 같은 회로 소자들을 형성하기 위한 "활성" 반도체 물질을 나타낸다. 예시된 바와 같이, 반도체 층(102)은 얇은 트렌치 격리(shallow trench isolation) 등과 같은 격리 구조(isolation structure)(103)에 의해 분리된 제 1 활성 영역(102a)과 제 2 활성 영역(102b)을 포함한다. 활성 영역(102a)은 그 안에 그리고 그 위에 p-채널 트랜지스터(150a)를 형성하기 위한 적절히 도핑된 반도체 물질을 나타내며, 활성 영역(102b)은 n-채널 트랜지스터(150b)에 대한 기본적 특성을 제공하도록 적절한 도편트 농도를 가질 수 있다. 제시된 제조 단계에서, 트랜지스터들(150a, 150b)은 게이트 전극 구조(151)를 포함하며, 이는 게이트 전극 물질(151a)과, 게이트 전극(151a)의 상부 표면에 형성된 캡층(151b)과, 그리고 게이트 절연층(151c)을 포함할 수 있으며, 게이트 절연층(151c)은 대응하는 활성 영역들(102a, 102b)의 채널 영역(152)으로부터 게이트 전극 물질(151a)을 분리한다. 더욱이, 스페이서 소자(104a)가, 가능하게는 에칭 정지 라이너(etch stop liner)(105)와 결합하여, p-채널 트랜지스터(150a)의 게이트 전극 구조(151)의 측벽들 상에 형성된다. 반면, n-채널 트랜지스터(150b)는, 가능하게는 에칭 정지 라이너(105)와 결합하여, 스페이서 층(104)에 의해 덮여진다.

[0009]

반도체 디바이스(100)는 실리콘/게르마늄 합금을 제공하기 위한 잘 확립된 종래의 방법에 따른 다음의 공정 기술에 따라 형성될 수 있다. 격리 구조(103)를 형성함으로써 활성 영역들(102a, 102b)을 정의하고, 그리고 기본적 도편트 농도를 확립하기 위해 적절한 주입 시퀀스를 수행한 이후에, 게이트 전극 구조들(151)이, 게이트 절연층들(151c)에 적합한 물질을 제공하고 이후 게이트 전극 물질의 증착을 수행함으로써, 형성될 수 있다. 더욱이, 캡층(151b)의 물질이 또한 증착될 수도 있다. 이러한 목적으로, 잘 확립된 산화, 표면 처리 및 증착 기술이, 원하는 물질 및 그 특성에 따라, 사용될 수 있다. 예를 들어, 게이트 절연층(151c)을 위한 물질이, 예를 들어, 정교한 반도체 디바이스들에 대략 1 내지 수 나노미터의 두께를 갖는 실리콘 다이옥사이드 기반의 물질을 형성하기 위한, 산화 및/또는 증착 혹은 표면 처리에 의해 형성될 수 있다. 다른 경우에, 전형적으로 10 이상의 유전 상수를 가질 수 있는 하이- k (high- k) 유전체 물질들(예를 들어, 하프늄 옥사이드 등과 같은 것)이 사용될 수 있어, 게이트 유전체 물질의 소정의 물리적 두께를 대한 게이트 전극 물질(151) 대 채널 영역(152)의 용량성 커플링(capacitive coupling)을 증가시킬 수 있다. 이후, 게이트 전극(151a)을 위한 임의의 적합한 물질이, 예를 들어, 폴리실리콘 등의 형태로 제공될 수 있고, 그 다음에, 실리콘 나이트라이드 물질 등의 형태로 제공될 수 있는 캡 물질(151b)의 증착이 수행된다. 이러한 물질 층들의 후속 패터닝 동안, 디바이스(100)에 대한 설계 규칙에 따른 원하는 게이트 길이를 구비한 게이트 전극 구조를 얻기 위해 정교한 리소그래피 기술 및 에칭 공정이 사용될 수 있다. 그 다음에, 에칭 정지 라이너(105)가, 증착 및/또는 산화에 의해 형성될 수 있고, 그 다음에, 전형적으로 실리콘 나이트라이드 물질의 형태로 제공되는 스페이서 층(104)의 증착이 수행되는바, 이것은 열적으로 활성화된 CVD(Chemical Vapour Deposition) 방식, 플라즈마 보조 공정 등에 의해 증착될 수 있다. 스페이서 층(104)을 증착할 때, 그 두께는 스페이서 소자(104a)의 원하는 폭(104w)을 고려하여 선택될 수 있는 바, 이것은 또한, 이후의 제조 단계에서 활성 영역(102a)에 형성될 실리콘/게르마늄 합금의 오프셋을 결정할 수 있다. 정교한 애플리케이션에서, 폭(104w)은 실리콘/게르마늄 물질에 의해 얻어지는 스트레인 유발 메커니즘을 강화하기 위해 바람직하게는 감소된다. 그러나, 비록 스페이서 층(104)의 감소된 두께가 트랜지스터(150a)의 성능 이득 측면에서 바람직할지라도, 스페이서 층(104)의 두께에 대한 바람직한 값은, 스트레인된 실리콘/게르마늄 합금을 제공함에 있어서의 후속 공정을 수행하는 동안, 게이트 전극 물질(151a) 및 게이트 절연층(151c)의 전체적 일체성을 유지시키는 것을 고려하여 제공해야 한다. 이에 따라, 전형적으로 10-30 nm의 두께가 선택될 수 있어, 후속 제조 공정을 고려하여 원하는 공정 마진이 제공될 수 있다. 스페이서 층(104)을 형성한 이후에, 에칭 마스크(106)가, 트랜지스터(150b) 및 스페이서 층(104)의 대응하는 부분을 덮기 위해 아울러 트랜지스터(150a)를 에칭 환경(107)에 노출시키기 위해, 포토리소그래피 기술을 기반으로 하여 제공되는바, 여기서 에칭 환경(107)은 스페이서 층(104)의 물질을 선택적으로 제거하여 스페이서 소자(104a)를 형성하도록 설계되어 있다. 에칭 공정(107)은 잘 확립된 플라즈마 보조 이방성 에칭 기술을 기반으로 하여 수행될 수 있는바, 여기서 만약 필요한 경우, 에칭 공정의 제어는 에칭 정지 라이너(105)에 근거하여 달성될 수 있다. 이후, 라이너(105)는 제거될 수 있고, 후속 에칭 공정 혹은 공정(107)의 후속 단계가, 스페이서(104a) 및 격리 구조(103)에 대해 선택적인 활성 영역(102a)으로의 에칭을 위해, 적절히 선택된 에칭 파라미터 및 에칭 화학을 기반으로 하여 수행될 수 있다. 예를 들어, 옥사이드 및 나이트라이드에 대해 선택적으로 실리콘을 제거하기 위한 선택도 높은 이방성 에칭 기술이 종래 기술 분야에서 잘 확립되어 있다.

[0010]

도 1b는 더 진행된 제조 단계에서의 반도체 디바이스(100)를 개략적으로 도시한다. 도시된 바와 같이, 대응하는 캐버티들(108)이 게이트 전극 구조(151)와 스페이서 소자(104a)에 인접하여 형성되고, 여기서, 앞선 플라즈마 보조 에칭 공정의 이방성 성질로 인해 실질적으로 수직인 측벽들(108s)이 형성되어, 캐버티들(108)의 측면 오프셋 및 이에 따른 실리콘/게르마늄 합금(이것은 또한 게이트 전극 물질(151a)에 대한 이후의 제조 단계에서 형성

됨)의 오프셋이, (에칭 정지 라이너(105)가 제공되는 경우, 가능하게는 에칭 정지 라이너(105)의 두께와 결합된) 스페이서(104a)의 폭(104w)에 의해 실질적으로 결정된다. 대응하는 캐버티 에칭 공정 이후 혹은 이러한 공정 이전에 에칭 마스크(106)가 제거될 수 있다.

[0011] 도 1c는 후속 제조 단계에서의 반도체 디바이스(100)를 개략적으로 나타내고, 여기서 디바이스(100)는 고온, 예를 들어, 800 °C 이상의 온도까지 가열될 수 있어, 디바이스(100)는 선택적 에피택셜 성장 공정을 수행하기에 적합한 대응하는 공정 챔버 혹은 공정 환경(160)으로의 로딩을 위해 준비될 수 있다.

[0012] 도 1d는 공정 환경(160)에서 수행된 열 처리(109) 동안의 반도체 디바이스(100)를 개략적으로 나타낸 것이며, 이것은 캐버티들(108)의 노출된 표면 영역 상에 형성될 수 있는 임의의 자연 발생 옥사이드를 제거하도록, 예를 들어 850 °C의 온도에서 수행될 수 있다. 대략 800 °C 이상의 높은 온도 동안, 어느 정도의 실리콘 리플로우(reflow)가 일어날 수 있고, 따라서 캐버티들(108)의 초기 형상이 모호해질 수 있다. 열 처리(109) 후에, 공정 환경(160) 내의 온도는 원하는 증착 온도(대략 750 °C 이하일 수 있음)까지 조정될 수 있는바, 이것은 압력, 전구체 가스 흐름율, 도편트 종에 대한 전구체에 대한 비율 등과 같은 전체적 공정 파라미터에 따라 달라진다.

[0013] 도 1e는 대응하는 선택적 에피택셜 성장 공정(110) 동안의 디바이스(100)를 개략적으로 나타내며, 이 동안 실리콘/게르마늄 합금(111)이 캐버티들(108)에 형성될 수 있고, 여기서, 앞서 설명된 바와 같이, 게이트 전극 물질(151a)에 관한 물질(111)의 측면 오프셋이 폭(104w)에 의해 실질적으로 정의된다. 결과적으로, 물질(111)에 미리 정의된 소량의 게르마늄 종을 사용함으로써, 대응하는 고도의 내부 스트레인이 생성될 수 있으며, 그러나 여기서 채널 영역(152)에서의 실제 스트레인은 물질(111)의 측면 오프셋에 의해 크게 영향을 받을 수 있다.

[0014] 스페이서 폭(104w)의 추가적인 감소는 게이트 전극 구조(151)에 결함 생성의 위험성을 높이는 것과 관련되어 있어, 각각의 방법은 전체 생산 수율 및 제품 신뢰도를 고려할 때 바람직하지 않다.

[0015] 앞서 설명된 상황을 고려할 때, 본 개시내용은, 매립된 반도체 합금이 채널 영역에 근접하여 배치될 수 있고 아래 앞서 확인된 문제들 중 하나 이상을 피하거나 적어도 감소시킬 수 있는 반도체 디바이스 및 공정에 관한 것이다.

발명의 내용

과제의 해결 수단

[0016] 일반적으로, 본 개시내용은 게이트 전극 구조에 인접하여 형성될 각각의 캐버티의 형상에 관하여, 그리고 또한 실제 선택적 에피택셜 성장 공정 이전에 캐버티의 원하는 형상을 유지시키는 것에 관하여, 증가된 유연도가 획득될 수 있는 반도체 디바이스 및 기술을 제공한다. 본 명세서에서 개시되는 일부 예시적 실시형태에서, 캐버티들이 대응하는 스페이스 구조 아래로 연장하도록 형성될 수 있고, 이에 따라 채널 영역에 대해 감소된 측면 오프셋이 달성될 수 있으며, 이 경우, 언더에칭된 영역의 대응하는 적절한 형상이 전체 공정 시퀀스에 걸쳐 유지될 수 있다. 이러한 목적으로, 디바이스를 고온에 노출시키기 전에, 보호층이 캐버티들의 노출된 표면 영역들 상에 제공될 수 있어, 실리콘 물질의 리플로우를 실질적으로 막을 수 있다. 결과적으로, 캐버티의 대응하는 유리한 형상이 유지될 수 있는바, 이러한 형상으로는 예를 들어, 육각 형상(hexagonal shape)이 있으며, 이것은 결정학적 이방성 에칭 절차를 기반으로 하여 획득될 수 있어, 전체적인 스트레스 전달 매커니즘을 증진시킬 수 있고, 그럼에도 불구하고, 대응하는 오프셋 스페이서 구조의 적절하게 선택된 대응하는 두께로 인해 게이트 전극 구조의 일체성이 유지될 수 있다.

[0017] 본 명세서에서 개시되는 하나의 예시적 방법은, 실리콘 함유 결정성 반도체 영역에 반도체 디바이스의 트랜지스터의 게이트 전극 구조에 인접하게 캐버티들을 형성하는 것을 포함하며, 여기서 상기 게이트 전극 구조는 그 측벽들 상에 형성되는 오프셋 스페이서(offset spacer)를 포함한다. 이러한 방법은 또한, 상기 캐버티들의 노출된 표면들 상에 보호층을 형성하는 것과, 그리고 상승된 제1의 온도를 갖는 공정 환경에 상기 반도체 디바이스를 삽입하는 것을 포함한다. 이 방법은 또한, 상기 공정 환경을 더 낮은 제2의 온도를 갖도록 조정하는 것과, 그리고 상기 더 낮은 제2의 온도를 갖는 상기 공정 환경에서 상기 보호층을 제거하는 것을 포함한다. 마지막으로, 반도체 합금이 상기 제2의 온도를 갖는 상기 공정 환경에서 상기 캐버티들에 형성된다.

[0018] 본 명세서에서 개시되는 또 다른 예시적 방법은, 플라즈마 환경을 기반으로 하여 제 1 에칭 공정을 수행하고 습식 에칭 화학을 기반으로 하여 제 2 에칭 공정을 수행함으로써, 결정성 반도체 영역에 트랜지스터의 게이트 전극 구조에 인접하게 캐버티들을 형성하는 것을 포함한다. 이 방법은 또한, 상기 캐버티들에 스트레인 유발 반도체 합금을 형성하는 것과, 그리고 상기 반도체 영역에, 그리고 적어도 부분적으로 상기 스트레인 유발 반도체

합금에 드레인 및 소스 영역들을 형성하는 것을 포함한다.

[0019] 본 명세서에서 개시되는 하나의 예시적 반도체 디바이스는, 기판 위에 형성되는 트랜지스터를 포함한다. 상기 트랜지스터는, 결정성 반도체 영역 위에 형성되는 게이트 전극 구조와, 그리고 상기 결정성 반도체 영역에서 상기 트랜지스터의 드레인측과 소스측에 형성되는 스트레인 유발 반도체 합금을 포함한다. 더욱이, 상기 스트레인 유발 반도체 합금은 상기 드레인측과 상기 소스측 각각에서 상기 결정성 반도체 영역과의 제 1 경사 계면 및 제 2 경사 계면을 형성하고, 여기서 상기 제 1 경사 계면과 상기 제 2 경사 계면은 에지(edge)가 형성되도록 서로 연결된다. 더욱이, 상기 트랜지스터는 상기 결정성 반도체 영역에, 그리고 적어도 부분적으로 상기 반도체 합금에 형성되는 드레인 및 소스 영역들을 포함한다.

[0020] 본 개시내용의 다양한 실시예들이, 첨부되는 특허청구범위에서 정의되고, 그리고 첨부되는 도면들을 참조하여 기술되는 다음의 상세한 설명을 통해 더욱 명백하게 될 것이다.

도면의 간단한 설명

[0021] 도 1a 내지 도 1e는 종래 방식에 따른, p-채널 트랜지스터에 실리콘/게르마늄 합금 형성시의 다양한 제조 단계 동안의 종래 반도체 디바이스의 단면도를 개략적으로 나타낸다.

도 2a 및 도 2b는 예시적 실시예들에 따른, 적절한 크기의 오프셋 스페이서 소자를 포함하는 게이트 전극 구조에 인접하여 활성 영역에 비직사각 캐버티 형성시의 다양한 제조 단계 동안의 반도체 디바이스의 단면도를 개략적으로 나타낸다.

도 2c는 또 다른 예시적 실시예들에 따른, 캐버티들의 노출된 표면 영역들 상에 보호층을 형성하기 위한 공정 동안의 비직사각 캐버티들을 갖는 반도체 디바이스를 개략적으로 나타낸다.

도 2d 내지 도 2f는 예시적 실시예들에 따른, 후속의 선택적 에피택셜 성장 공정을 위해 반도체 디바이스 준비 시의 다양한 제조 단계 동안의 반도체 디바이스를 개략적으로 나타내며, 여기서 보호층은 높은 온도 동안 캐버티들의 일체성을 증진시킬 수 있고, 보호층은 스트레인 유발 반도체 합금을 실제로 증착하기 전에 제거될 수 있다.

도 2g는 예시적 실시예들에 따른, 더 많이 진행된 제조 단계에서의 반도체 디바이스를 개략적으로 나타낸다.

발명을 실시하기 위한 구체적인 내용

[0022] 본 개시내용이 다음의 상세한 설명 및 도면에서 예시되는 바와 같은 실시예들을 참조하여 설명되지만, 다음의 상세한 설명 및 도면은 본 개시내용을 개시되는 특정 예시적 실시예로만 한정시키려는 것이 아님을 이해해야 하며, 오히려 설명되는 예시적 실시예들은 단지 본 개시내용의 다양한 실시형태를 예시하는 것이며, 그 범위는 첨부되는 특허청구범위에 의해 정의됨을 이해해야 한다.

[0023] 일반적으로, 본 개시내용은 반도체 디바이스 및 그 제조 기술을 제공하고, 이 경우, 활성 영역에서의 트랜지스터의 드레인측 및 소스측에 형성된 반도체 합금의 변형 유발 매커니즘이 증가될 수 있고, 그럼에도 불구하고 대응하는 오프셋 스페이서들의 원하는 폭이 유지될 수 있는바, 이것은 캐버티들의 전체 형상 설계에 있어 증가된 유연도가 제공될 수 있기 때문이다. 이러한 목적으로, 본 명세서에서 개시되는 예시적 일 실시형태에서, 실리콘 함유 베이스 물질에 형성되는 캐버티들의 안정도가, 높은 온도 동안, 예를 들어, 선택적 에피택셜 성장 공정을 실시하기 위한 대응하는 증착 챕버로의 로딩 절차 동안, 증가될 수 있는바, 이것은, 옥사이드 층, 나이트라이드 층 등과 같은 적절한 보호층을 형성함으로써 가능하고, 이 보호층은 비임계적 온도에서 스트레인 유발 반도체 합금을 실제로 증착하기 이전에, 감소된 비임계적 온도를 갖는 공정 환경 내에서 제거될 수 있다. 결과적으로, 이러한 방법에 따르면, 캐버티들이 임의의 원하는 형상을 갖도록 형성될 수 있는바, 예를 들어, 언더에칭된 영역이, 대응하는 에칭 시퀀스 동안 생성될 수 있고, 이에 따라 원하는 두께를 갖는 오프셋 스페이서 소자들을 제공할 수 있어, 게이트 전극 일체성이 유지될 수 있고, 그럼에도 불구하고 스트레인 유발 반도체 합금의 측면 오프셋은 감소될 수 있다. 보호층으로 인해, 캐버티의 대응하는 초기 형상은 반도체 합금을 형성하기 위한 전체 공정 시퀀스에 걸쳐 실질적으로 유지될 수 있는바, 이는 반도체 합금의 소정의 조성에 대해 증진된 스트레인을 제공할 수 있다.

[0024] 다른 예시적 실시형태에서, 캐버티들을 형성하기 위한 공정들은 플라즈마 보조 에칭 공정 및 이후 습식 화학 에칭 공정에 기반을 둘 수 있는데, 이는 채널 영역에 대한 캐버티들의 감소된 측면 오프셋을 제공할 수 있고, 이 경우, 일부 예시적 실시예에서, 습식 화학 에칭 공정은 결정학적 이방성 에칭 공정으로서 수행될 수 있으며, 이

에 따라 잘 정의된 캐버티 형상을 얻을 수 있다. 예를 들어, (111) 결정 방향에 대해 감소된 제거율을 제공하는 습식 에칭 화학이 사용될 수 있으며, 따라서 이것은 앞선 이방성 플라즈마 보조 에칭 공정으로부터 얻어진 실질적으로 직사각형 캐버티들을, 인접하는 반도체 영역과의 경사 계면을 갖는 "육각형" 혹은 다이아몬드 형상의 캐버티들로 "변환"시킬 수 있다(이것은 기본적 반도체 물질의 결정학적 구성에 의해 결정되는 바와 같음). 일부 예시적 실시예들에서, 캐버티들은 적절한 보호층과 함께 제공될 수 있어, 대응하는 초기 비직사각 형상의 캐버티들이 고온 처리 동안에도 유지될 수 있고, 이에 따라 스트레인 유발 반도체 합금을 비직사각 캐버티들 내에 형성하기 위한 적절한 공정 방식을 선택할 때 증진된 유연도가 또한 제공될 수 있다. 이와 같이 잘 정의된 캐버티 형상을 기반으로 하여, 스트레인 유발 합금의 소정의 조성에 대해 인접하는 채널 영역에서 스트레인 성분의 상당량의 증가가 획득될 수 있는바, 스트레인 유발 합금의 예를 들면, 실리콘/게르마늄 합금, 실리콘/게르마늄/주석 합금, 실리콘/주석 합금, 또는 실리콘/탄소 합금이 있으며, 이는 인장성 스트레인 성분이 요구될 수 있는 경우이다.

[0025] 도 2a 내지 2g를 참조하여, 후속의 예시적 실시예들이 이제 더 상세히 설명될 것이며, 또한 적절한 경우 도 1a 내지 도 1e의 도면도 참조된다.

도 2a는 기판(201)을 포함하는 반도체 디바이스(200)의 단면도를 개략적으로 나타내며, 기판 위에 반도체 층(202)이 형성될 수 있다. 더욱이, 또한 디바이스(100)를 참조하여 앞서 설명된 바와 같이, 매립된 절연 층(미도시)이 기판(201)과 실리콘-함유 반도체 층(202) 사이에 적어도 국부적으로 배치될 수 있다(디바이스(200)의 일부 디바이스 영역에서 SOI 구조가 요구되는 경우). 더욱이, 트랜지스터들(250a, 250b)을 위한 대응하는 활성 영역들(202a, 202b)이 반도체 층(202)에 형성될 수도 있고, 아울러 격리 구조(203)에 의해 분리될 수 있다. 더욱이, 트랜지스터들(250a, 250b)은, 예를 들어, 게이트 전극 물질(251), 캡층(251b) 및 게이트 절연층(251c)을 포함하는 게이트 전극 구조(251)를 포함할 수 있다. 부가적으로, 트랜지스터(250a)의 게이트 전극(251)의 측벽들 상에는, 스페이서 구조(204a)가 가능하게는 에칭 정지 라이너와 결합하여 형성될 수 있다. 반면, 트랜지스터(250b)는 가능하게는 에칭 정지 라이너(205)와 결합된 스페이서 층(204)에 의하여 덮일 수 있다. 지금까지 설명된 컴포넌트들에 있어서, 반도체 디바이스(100)의 대응하는 컴포넌트들을 참조하여 앞서에서 또한 설명된 바와 동일한 기준이 적용될 수 있음을 이해해야 한다. 예를 들어, 앞서 설명된 바와 같이, 스페이서(204a)의 폭(204w)은 게이트 전극 구조(251)의 일체성을 유지하도록 선택될 수 있고, 아울러 드레인측(253d) 및 소스측(253s)에 형성될 반도체 합금의 대응하는 오프셋은 텔 임계적일 수 있는데, 왜냐하면 캐버티들(208)의 형상은 이후 제조 단계에서 예시적 실시예들에 따라 변할 수 있기 때문이다. 더욱이, 도 2a에 제시된 제조 단계에서, 레지스트 마스크, 하드 마스크 물질 등과 같은 에칭 마스크(206)가 트랜지스터(250b) 위에 형성될 수 있고, 반면 트랜지스터(250a)를 에칭 환경(207)에 노출시키는바, 이는 반도체 디바이스(100)를 참조하여 앞서에서 또한 설명된 바와 같이, 실질적으로 이방성 에칭 작용이 획득되도록 하기 위해 플라즈마 환경을 기반으로 하여 확립될 수 있다.

[0027] 도 2a에 제시된 바와 같은 반도체 디바이스(200)는 디바이스(100)를 참조하여 앞서에서 또한 설명된 바와 유사한 공정 기술을 기반으로 하여 형성될 수 있으며, 그러나 여기서 캐버티들(208)의 깊이(208d)는 캐버티들(208)의 최종 형상을 적절히 조정하기 위한 후속 에칭 공정의 수행이 가능하도록 선택될 수 있다. 예를 들어, 만약 게이트 전극 물질(251a)에 대한 캐버티들(208)의 측면 오프셋의 대응하는 감소가 요구되면, 초기 깊이(208d)는 조정되어, 깊이 방향으로 상응하는 물질 제거가 기본 활성 영역(202a)의 충분한 템플릿 물질을 여전히 제공할 수 있게 한다. 다른 예시적인 실시예들에서, 에칭 공정(207) 이전 또는 이러한 공정(207) 이후에, 적절한 에칭 제어 종(미도시)이, 활성 영역(202a)에 도입될 수 있고, 그리고 원하는 높이 레벨에 배치될 수 있어, 대응하는 추가적 에칭 공정 동안 및 그 이후에 캐버티들(208)의 적절한 깊이가 정의될 수 있게 된다. 예를 들어, 게이트 전극 구조(251)를 형성하기 전에 또는 게이트 전극 구조(251)를 패터닝한 후에, n-타입 도편트 종이 적절한 깊이에서 배치될 수 있는바, 이는 도 2b를 참조하여 이후에 설명되는 바와 같이, 대응하는 습식 화학 에칭 공정에서 에칭 정지 물질로서 동작할 수 있다. 이러한 경우에, 초기 깊이(208d)는 대응하는 캐버티들의 최종 원하는 깊이와 실질적으로 일치할 수 있다.

[0028] 도 2b는 진행된 제조 단계에서의 반도체 디바이스(200)를 개략적으로 나타낸 것이다, 여기서 디바이스(200)는 후속 에칭 환경(207a)에 노출되며, 이 에칭 환경은 게이트 전극 물질(251a)에 대한 캐버티들(208)의 측면 오프셋을 적어도 국부적으로 감소시키기 위해 측면 제거율을 제공할 수 있다. 예를 들어, 일부 실시예들에서, 에칭 공정(207a)은 실질적으로 이방성 에칭 작용을 하는 플라즈마를 기반으로 하여 수행될 수 있으며, 이에 따라 초기 깊이(208d)가 증가하고 아울러 또한 언더에칭된 영역이 형성되어 캐버티(208)가 스페이서 구조(204a) 아래로 연장할 수 있게 된다. 도 2b에 제시된 실시예에서, 에칭 공정(207a)은 습식 화학 에칭 공정으로서 수행될 수 있

으며, 이에 따라 캐버티들(208a)의 오프셋을 감소시키기 위해 요구될 수 있는 바와 같은 측면 제거율이 또한 획득될 수 있다. 제시된 바와 같은 예시적 일 실시예에서, 습식 화학 에칭 공정(207a)은 결정학적 이방성 에칭 작용을 추가적으로 제공할 수 있는바, 이는 적어도 하나의 결정학적 배향에서의 제거율이 하나 이상의 다른 결정학적 방향과 비교하여 크게 감소될 수 있는 에칭 작용을 설명하는 것으로서 이해돼야 한다. 예를 들어, 포타슘 하이드록사이드(potassium hydroxide)를 기반으로 하는 습식 에칭 화학은 실리콘에서의 <111> 방향에 대해 크게 감소된 에칭율을 제공할 수 있는바, 이것은 따라서 결과적으로 캐버티들(208)의 대응하는 경사 측벽 표면들(208s)을 생성할 수 있고, 여기서 노멀 표면(surface normal)(201)에 대한 경사 표면(208s)의 대응하는 각도는 영역(202a)의 베이스 물질의 결정학적 구성에 의해 정해질 수 있다. 예를 들어, 영역(202a)의 결정학적 구성이 실리콘 기반의 반도체 디바이스들에 대한 표준 구성과 일치할 수 있고, 이 경우 노멀 표면(201n)은 <100> 또는 물리적 등가 방향에 대응할 수 있으며, 반면 채널 길이 방향, 즉 도 2b의 수평 방향은 <110> 방향에 대응할 수 있다. 이러한 경우에, 표면들(208s)은 실리콘 결정의 <111> 평면들의 배향에 실질적으로 대응할 수 있고, 이것은 노멀 표면(201n)에 대해 대략 36°의 각도를 가질 수 있다. 따라서, 경사 표면들(208s)은 공통의 "정점(apex)" 또는 에지(208e)를 가질 수 있어, 캐버티들(208) 사이에 배치되는 영역(202a)의 반도체 물질은 육각형 영역으로 고려될 수 있으며, 그리고 또한 캐버티들(208)은 "육각형" 캐버티들로 언급될 수 있다(격리 구조(203)에서의 대응하는 측벽들은, 구조(203)의 절연 물질에 의해, 구조(203)의 측벽 부분들의 대응하는 각도에 따라, 실질적으로 정의될 수 있음).

[0029] 일 예시적인 실시예에서, 에칭 공정(207a)은 포토레지스트 물질을 에칭하기 위해 전형적으로 사용될 수 있는 습식 화학 에이전트인 테트라 메틸 암모늄 하이드록사이드(Tetra Methyl Ammonium Hydroxide, TMAH)를 기반으로 하여 수행될 수 있으며, 그러나 이것은 또한 실리콘 물질을 에칭하도록 대략 50 - 100 °C의 고온에서 고농도로 사용될 수 있다. 더욱이, TMAH는 실리콘 다이옥사이드에 대해 그리고 또한 실리콘 나이트라이드에 대해 높은 선택도를 나타낼 수 있어, 에칭 공정(207a) 동안(TMAH를 사용하여 수행되는 경우) 비실리콘 표면 영역들의 일체성이 유지될 수 있다. 또한, 각각의 결정학적 이방성 에칭 작용이 TMAH를 사용함으로써 달성될 수 있다. 더욱이, 앞서 설명된 바와 같이, 일부 경우에 있어서, 캐버티들(208)의 깊이를 충분히 더 증가시키지 않으면서 채널 영역(252)쪽으로 에지(208e)를 더 "진행"시키기 위해 수직 에칭율을 측면 에칭율과 분리시키는 것이 바람직할 수 있다. 이러한 경우에, TMAH가 특정 깊이에서 반도체 영역(202a)에 통합된 n-타입 도편트 종과 결합하여 유리하게 사용될 수 있는데, 왜냐하면 TMAH의 에칭율이 n-도핑 실리콘 물질에서 크게 감소될 수 있기 때문이다. 따라서, 일부 예시적 실시예들에서, 비소와 같은 대응하는 도편트 종이, 예를 들어 에칭 공정(207) 전에 그리고 습식 화학 에칭 공정(207a)을 형성하기 전에, 전체 공정 방식에 따라, 영역(202a)에 도입될 수 있다.

[0030] 도 2c는 더 진행된 제조 단계에서의 반도체 디바이스(200)를 개략적으로 나타낸 것으로, 여기서, 보호층(212)이 캐버티들(208)의 적어도 노출된 표면들 상에 형성될 수 있다. 예를 들어, 보호층(212)은, 선택적 에피택셜 성장 공정을 수행하기 위해 사용되는 증착 챔버 내에 확립된 에칭 환경에서 제거될 수 있는 임의의 적절한 물질로 구성될 수 있다. 예시적 일 실시예에서, 보호층(212)은 노(furnace) 등에서의 가스 환경을 기반으로 하여 확립될 수 있는 산화 환경(213)을 기반으로 하여 형성될 수 있으며, 여기서, 대응하는 온도가, 캐버티들(208)의 기본 형상의 임의의 변형이 피해지도록, 적절히 선택될 수 있다. 예를 들어, 노 공정(furnace process)은 대략 700 °C 이하의 온도를 갖는 산화 환경에서 수행될 수 있고, 이에 따라 고도의 제어가능한 방법으로 보호층(212)을 노출된 실리콘 표면 상에 형성할 수 있다. 보호층(212)이 적절한 두께로 형성될 수 있어, 임의의 고온 처리 동안 충분한 안정도를 제공할 수 있는바, 이러한 고온 처리에서는 전형적으로 실리콘 물질이 어느 정도까지 리플로우할 수 있고, 따라서 이것은 이전에 수행된 에칭 공정(207a)(도 2b 참조)에 의해 얻어진 캐버티들(208)의 형상의 원치 않는 손실을 일으킬 수 있다. 예를 들어, 적당하게 고밀도인 실리콘 다이옥사이드 물질에 있어, 전체 공정 및 디바이스 요건에 따라, 2-10 nm의 두께가 선택될 수 있다. 더욱이, 산화 공정에 의해 얻어진 실리콘 다이옥사이드 형태로 보호층(212)을 제공함으로써, 추가적인 실리콘 물질이 "소비"될 수 있으며, 이에 따라 더 진행된 제조 단계에서 보호층(212)을 제거한 후에 캐버티들(208)의 최종적으로 획득되는 오프셋이 더 감소될 수 있는 가능성이 제공될 수 있다. 산화에 의해 얻어진 옥사이드 물질로 구성된 보호층(212)의 대응하는 두께가, 캐버티들(208)의 적절한 깊이를 선택할 때, 또한 고려될 수 있어, 보호층(212)의 제거 이후에도 탬플릿 물질의 대응하는 부분이 보존될 수 있음을 이해해야 한다. 다른 예시적 실시예들에서, 보호층(212)은, 예를 들어, 오존과 결합된 물을 사용하여 습식 화학 산화 공정을 수행함으로써 혹은 제어가능한 방법으로 실리콘을 산화시키기 위해 적절한 다른 습식 화학 용액을 사용함으로써, 산화된 물질 형태로 제공될 수 있다.

[0031] 도 2d는 제조 흐름의 후속 단계에서의 반도체 디바이스(200)를 개략적으로 나타낸 것으로, 여기서 디바이스(200)는 (선택적 에피택셜 성장 공정을 수행하기에 적절한 증착 챔버와 같은 공정 환경(260)에 디바이스(200)를 삽입하기 위해 요구될 수 있는 바와 같이) 고온, 예를 들어, 대략 800 °C 이상의 온도에 노출될 수 있고, 그리

고 비임계적 전체 공정 온도가 탈성되는 경우 대응하는 반응성 환경이 보호층(212)을 제거하도록 확립될 수 있다.

[0032] 도 2e는 실리콘의 안정적 상태로 남아 있을 수 있는 온도에서 공정 환경(260) 내에 확립된 반응성 환경(214)에 노출된 반도체 디바이스(200)를 개략적으로 나타낸다. 예를 들어, 반응성 환경(214)은, 대략 750 °C 이하의 온도를 기반으로 하여 확립될 수 있고, 보호층(212)을 제거하기 위해 임의의 적절한 애칭 화학을 포함할 수 있는 바, 이는 도 2d에 제시된 바와 같이 공정 환경(260)으로의 삽입과 같은 이전의 고온 공정 동안 캐버티(208)의 일체성을 제공한다. 예를 들어, 실리콘 다이옥사이드가 제거해야 할 때 염소 기반의 애칭 화학을 기반으로 하는 환경(214)이 확립될 수 있다. 앞서 표시된 바와 같이, 캐버티(208)의 최종 오프셋(208o)은 제거 공정(214) 동안 더 감소될 수 있다. 예를 들어, 도 2e에 제시된 바와 같은 육각형 캐버티(208)에 있어서, 오프셋(208o)은 에지(208e)와 게이트 전극 물질(251a)(즉, 대응하는 캐버티에 측면으로 가장 근접하고 있는 그 대응하는 측벽(251))의 측면 거리로서 정의될 수 있다. 에지(208e)가 게이트 전극 물질(251a) 아래로 연장할 수 있을 때 오프셋(208o)은 또한 "오버랩(overlap)"을 나타낼 수 있음을 이해해야 한다.

[0033] 일부 예시적인 실시예들에서, 보호층(212)을 제거한 후에 임의의 후속 고온 처리가 생략될 수 있고, 이에 따라 보호층(212)의 제거 이후 얻어진 바와 같은 캐버티들(208)의 형상이 유지될 수 있다.

[0034] 도 2f는 공정 환경(260) 내의 증착 환경(210)에 노출되는 경우의 반도체 디바이스(200)를 개략적으로 나타낸다. 공정(210) 동안, 실리콘/게르마늄, 실리콘/게르마늄/주석, 실리콘/주석과 같은 적절한 반도체 합금이, 실리콘 안정도에 관해 비임계 온도에서, 예를 들어, 대략 750 °C 이하의 온도에서, 잘 확립된 공정 파라미터들을 사용함으로써, 증착될 수 있다. 따라서, 앞서 특정된 반도체 합금에 있어서, 대응하는 압축성 스트레인의 트랜지스터(250a)의 채널 영역(252)에서 획득될 수 있는 바, 여기서, 반도체 합금(211)의 소정의 조성에 대해, 앞서 설명된 바와 같이 캐버티(208)의 특정 형상으로 인해, 앞서 설명된 바와 같이, 종래 방식과 비교하여 증가된 크기가 획득될 수 있다. 따라서, 반도체 합금(211)은 영역(202a)의 잔존하는 실리콘 물질과 대응하는 계면들(211s)을 형성할 수 있고, 이는 적어도 부분적으로 스페이서들(204a)의 폭(204w)과 비교해 감소된 오프셋을 가질 수 있다. 일부 예시적 실시예들에서, 계면들(211s)은 경사 계면들을 나타낼 수 있으며, 이 계면들은, 캐버티들(208)(도 2b 참조)을 참조하여 앞서 또한 설명된 바와 같이, 대응하는 에지(211e)로 병합될 수 있고, 따라서 결과적으로 대응하는 "육각형" 반도체 합금(211)이 생성되게 할 수 있다. 따라서, 이러한 경우에, 물질(211)의 잘 정의되고 제어 가능한 구성이 획득될 수 있고, 예를 들어, 종래 디바이스(100)를 참조하여 앞서 설명된 바와 같이, 실질적으로 "직사각형" 캐버티들과 비교하여 크게 증진된 스트레인의 트랜지스터(250a)를 획득될 수 있다.

[0035] 이해해야 하는 것으로, 다른 예시적 실시예들에서, 반도체 합금(211)은 실리콘/탄소 합금 형태로 제공될 수 있는 바, 따라서 이것은 트랜지스터(250a)가 n-채널 트랜지스터를 나타낼 수 있는 경우 채널 영역(252)에 인장성 스트레인 성분을 제공할 수 있다. 다른 예시적인 실시예들에서, 각각의 캐버티들이 양쪽 트랜지스터들(250a, 250b)에 형성될 수 있고, 서로 다른 반도체 합금들로 충전될 수 있다. 예를 들어, 대응하는 캐버티들이 또한 앞선 제조 시퀀스 동안 트랜지스터(250b)에 형성될 수 있고, 대응하는 보호층이 또한 대응하는 캐버티들의 임의의 표면 영역들을 덮을 수 있다. 더욱이, 이러한 캐버티들의 형상은 대응하는 보호층을 기반으로 하여 유지될 수 있다. 더욱이, 트랜지스터(250a)에 물질(211)을 제공하기 위한 애피택셜 성장 공정(210) 동안, 대응하는 보호층이, 성장 마스크로서 동작할 수 있고, 그 다음에 물질(211)에 대해 선택적으로 제거될 수 있는 바, 이에 따라, 만약 물질(211)이 압축성 스트레인 유발 물질로서 제공된다면, 실리콘/탄소 물질과 같은 추가적인 반도체 합금의 증착을 위해 디바이스(200)가 준비될 수 있다.

[0036] 도 2g는 더 진행된 제조 단계에서의 반도체 디바이스(200)를 개략적으로 나타낸다. 예시된 바와 같이, 트랜지스터들(250a, 250b)은 드레인 및 소스 영역들(253)을 포함할 수 있는 바, 이는 트랜지스터(250a)에서의 스트레인된 반도체 합금(211) 내에 적어도 부분적으로 형성될 수 있다. 제시된 실시예에서, 트랜지스터(250b)는 임의의 스트레인 유발 반도체 합금 없이 형성될 수 있고, 반면, 다른 경우(미도시)에는 또한 적절한 반도체 합금이 적어도 부분적으로 드레인 및 소스 영역들(253) 내에 제공될 수도 있다. 더욱이, 측벽 스페이서 구조(216)가 게이트 전극 구조(251)의 측벽들 상에 형성될 수 있으며, 여기서 스페이서 구조(216)는 트랜지스터들(250a, 250b)의 전체 공정 방식 및 요건에 대해 필요한 바와 같은 임의의 적절한 구성을 가질 수 있다. 더욱이, 필요한 경우, 대응하는 금속 실리사이드 영역들(215)이 드레인 및 소스 영역들(253)에 그리고 게이트 전극 물질(251a)에 형성될 수 있다.

[0037] 도 2g에 제시된 바와 같은 반도체 디바이스(200)는 다음의 공정들을 기반으로 하여 형성될 수 있다. 적어도 반도체 물질(211)(도 2f 참조)을 제공한 후에, 스페이서(204a) 및 마스크 층(204)이 라이너(205)(도 2f 참조)와

함께 제거될 수 있고, 이후에, 드레인 및 소스 영역들(253)의 적어도 일부분이 이온 주입 공정을 기반으로 하여 형성돼야 하는 경우 주입 마스크로서 동작하도록 스페이서 구조(216)가 형성될 수 있거나 혹은 적어도 그 일부가 형성될 수 있다. 다른 경우에, 적어도 드레인 및 소스 영역들(253)은 또한, 증착 동안에 물질(211)에 통합될 수 있는 도편트 종을 기반으로 하여 형성될 수 있다. 가능하게는 트랜지스터들(250a) 및 트랜지스터들(250b) 양 쪽 모두에 대한 이온 주입 기술을 기반으로 하여 드레인 및 소스 영역들(253)을 형성한 후에, 적절한 어닐링 공정이, 도편트 종을 활성화시킴과 아울러 또한 주입으로 유발된 손상을 재결정화시키기 위해, 수행될 수 있다. 그 다음에, 금속 실리사이드 영역들(215)이 잘 확립된 기술을 기반으로 하여 형성될 수 있다. 후속적으로, 임의의 또 다른 스트레인 유발 메커니즘들이 구현될 수 있는바, 예를 들어, 트랜지스터들(250a, 250b) 중 적어도 하나 위에 크게 스트레스받는 유전체 물질을 제공하고 이후 적절한 충간 유전체 물질의 증착을 수행하는 형태로 구현될 수 있다.

[0038]

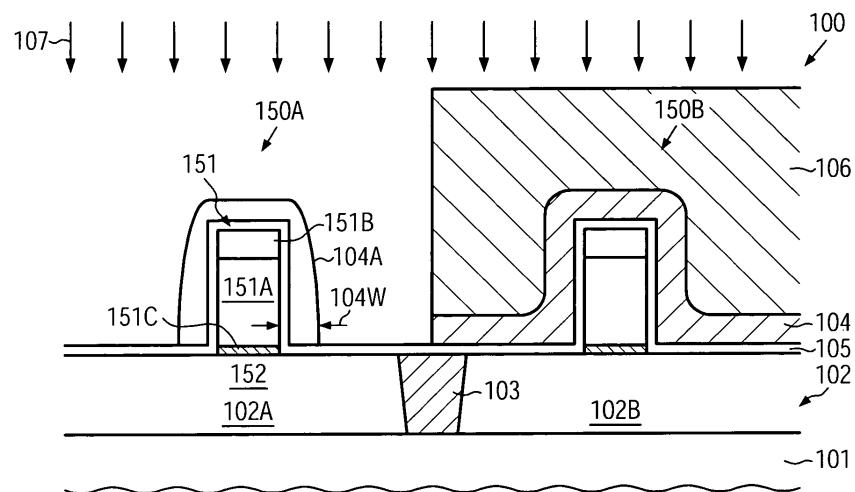
결과적으로, 본 개시내용은 대응하는 캐버티들을 적절하게 성형함으로써 아울러 그 성형된 형상을 전체 제조 시퀀스에 걸쳐 유지함으로써 스트레인 유발 반도체 합금 형성시 증가된 유연도가 획득될 수 있는 반도체 디바이스 및 기술을 제공한다. 이러한 것을 위해, 예시적 일 실시예에서, 캐버티들은 플라즈마 보조 에칭 공정 및 후속의 습식 화학 에칭 단계를 기반으로 하여 형성될 수 있는바, 이것은 결정학적 이방성 에칭 작용을 하여, 원하는 정도의 언더에칭을 제공할 수 있고, 그 크기 및 형상이 아주 잘 제어될 수 있다. 이후, 후속의 고온 처리 동안 캐버티 형상을 유지시키기 위하여 보호층이 제공될 수 있다. 이후, 스트레인 유발 반도체 물질이 비임계적 온도를 기반으로 하는 선택적 에피택셜 성장 공정을 기반으로 하여 증착될 수 있고, 이에 따라 반도체 합금의 잘 정의된 형상을 얻을 수 있는바, 이것은 따라서 인접한 채널 영역에 증진된 스트레인을 제공할 수 있고, 그럼에도 불구하고 전체 공정 시퀀스 동안 게이트 전극 일체성을 제공할 수 있다.

[0039]

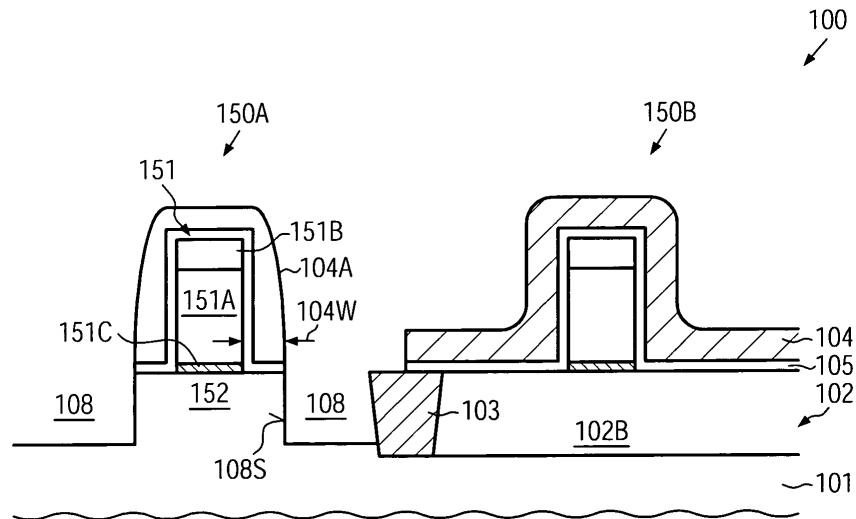
본 개시내용의 또 다른 수정 및 변형은 이러한 상세한 설명을 고려하는 경우 본 발명의 기술분야에서 숙련된 기술을 가진 자들에게 명백하게 될 것이다. 따라서, 이러한 상세한 설명은 단지 예시적인 것으로서 해석돼야 하며, 본 개시내용을 수행하는 일반적인 방식을 본 발명의 기술분야에서 숙련된 자들에게 가르칠 목적을 가지고 있다. 본 명세서에서 제시 및 설명되는 형태들은 현재 바람직한 실시예들로서 고려돼야함을 이해해야 한다.

도면

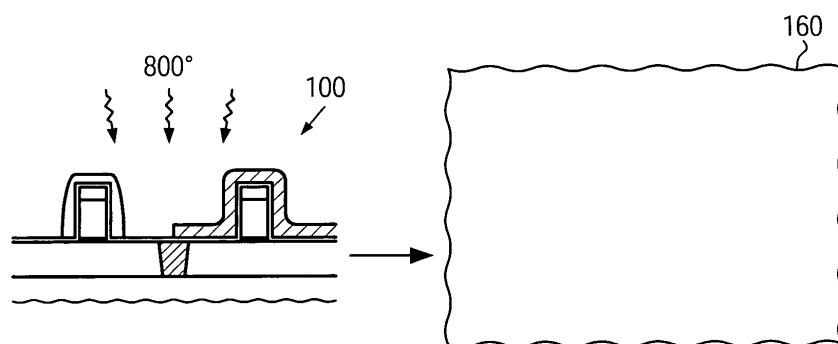
도면1a



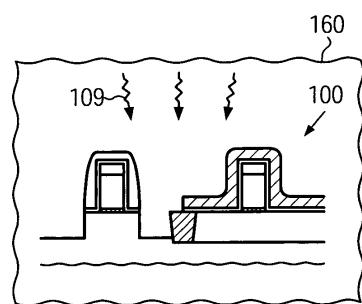
도면 1b



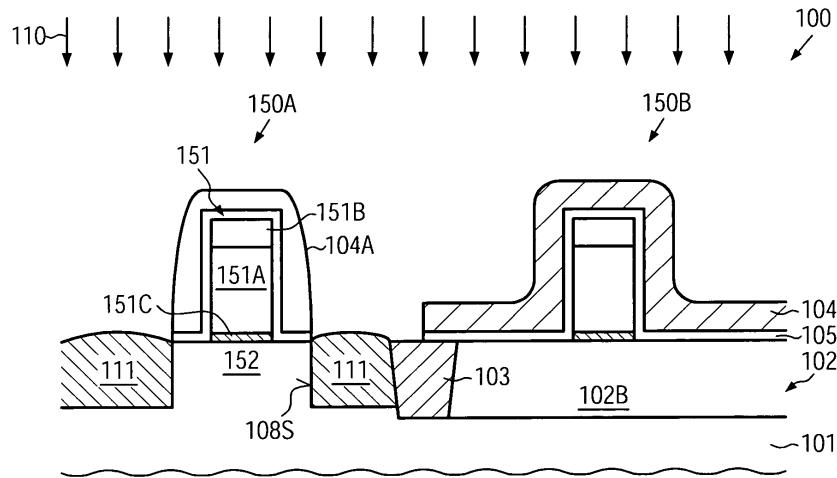
도면 1c



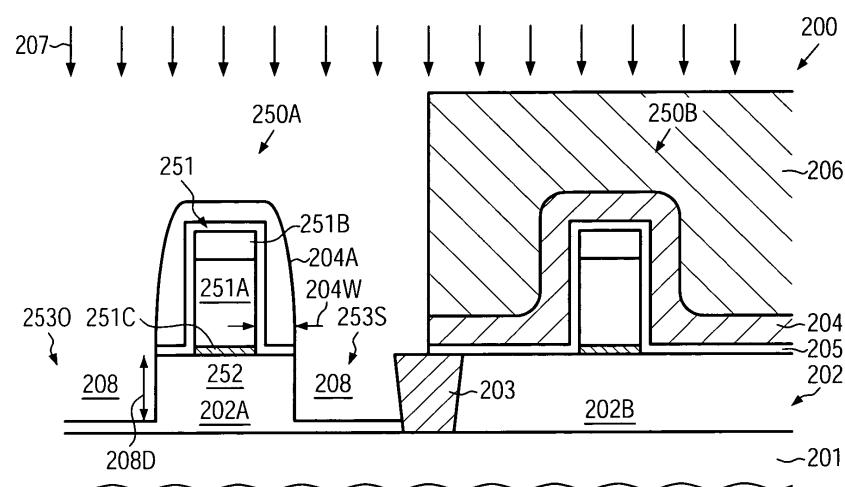
도면 1d



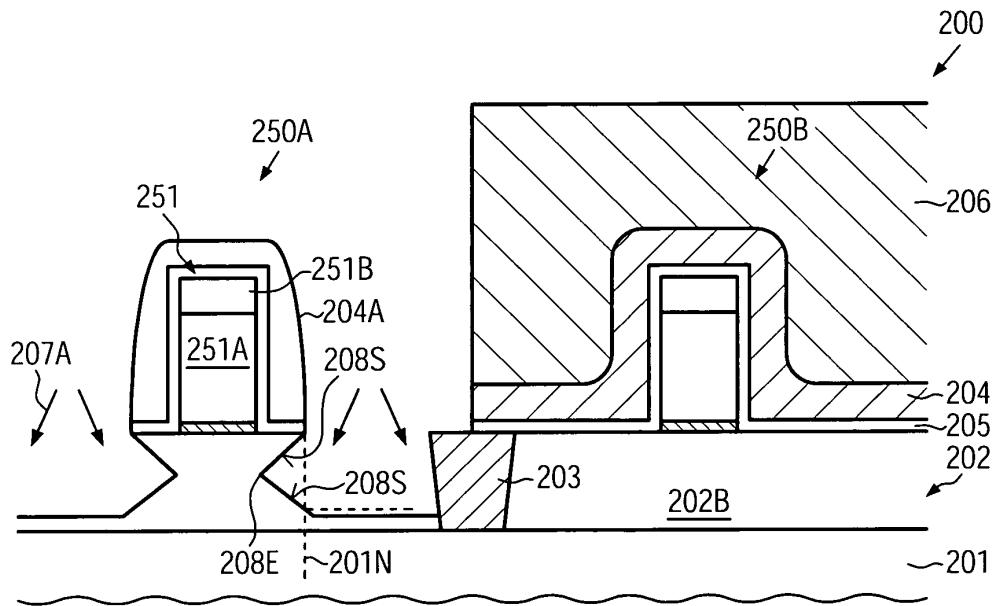
도면1e



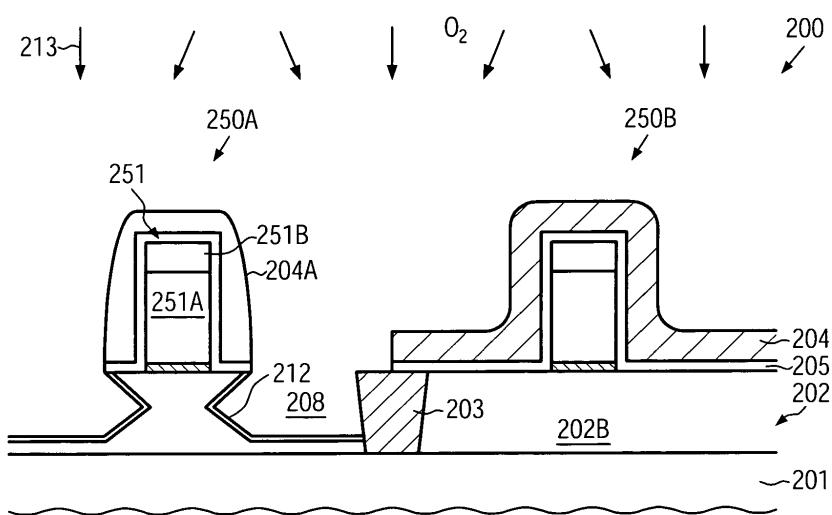
도면2a



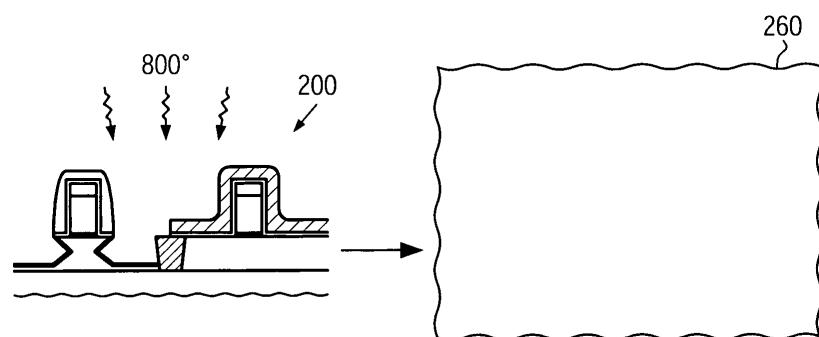
도면2b



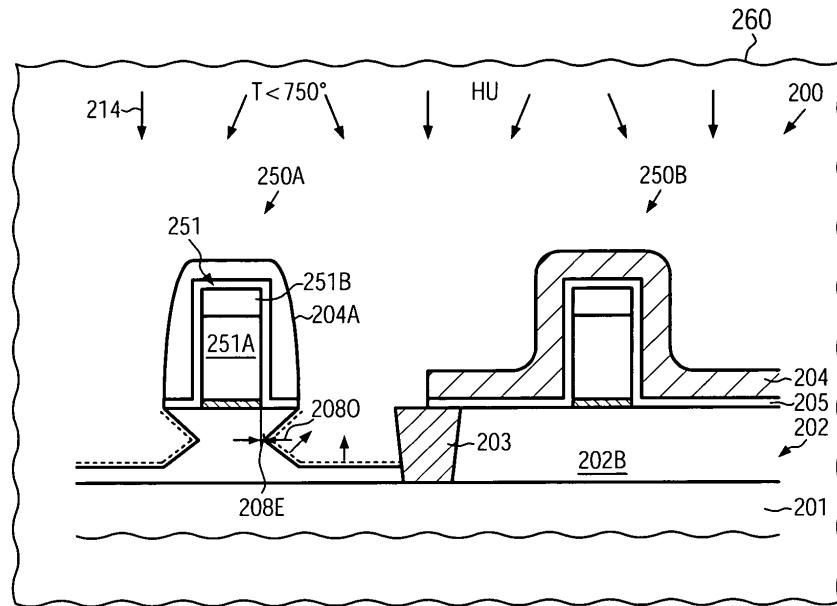
도면2c



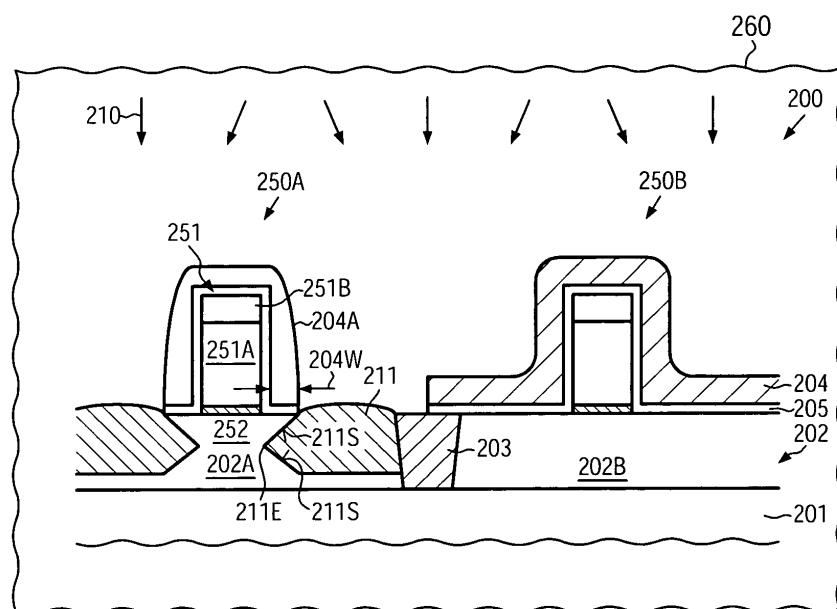
도면2d



도면2e



도면2f



도면2g

