【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第３区分
【発行日】平成16年9月24日(2004.9.24)

【公開番号】特開2000-349602(P2000-349602A)
【公開日】平成12年12月15日(2000.12.15)
【出願番号】特願平11-155925
【国際特許分類第７版】
　Ｈ０３Ｋ　3/3562
【ＦＩ】
　Ｈ０３Ｋ　3/356　　Ｃ

【手続補正書】
【提出日】平成15年9月11日(2003.9.11)
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】特許請求の範囲
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
第１および第２データ入力端子と、
第１から第３ノードと、
前記第１データ入力端子と前記第１ノードとの間に接続された第１のトランスミッションゲートと、
前記第２データ入力端子と前記第１ノードとの間に接続された第２のトランスミッションゲートと、
前記第１ノードに接続された入力ノードと前記第２ノードに接続された出力ノードとを有する第１のラッチ回路と、
前記第２および前記第３ノードとの間に接続された第３のトランスミッションゲートとからなり、
前記第１から第３のトランスミッションゲートは、基準信号と相補的に禁止される前記第１および前記第２のトランスミッションゲートへの入力とにより制御されることを特徴とするフリップフロップ回路。
【請求項２】
出力端子と、
前記第３ノードに接続された入力ノードと前記出力端子に接続された出力ノードとを有する第２のラッチ回路とからなる請求項１に記載のフリップフロップ回路。
【請求項３】
前記第１から第３のトランスミッションゲートは、ｎチャネル電界効果トランジスタとｐチャネル電界効果トランジスタとで形成される請求項１に記載のフリップフロップ回路。
【請求項４】
前記ｎチャネル電界効果トランジスタとｐチャネル電界効果トランジスタは、相補的な制御信号が入力される請求項３に記載のフリップフロップ回路。
【請求項５】
前記第１のラッチ回路は第１インバータと第２インバータとを含み、
前記第１インバータの入力ノードは前記第１ノードと前記第２インバータの出力ノードに接続され、
前記第１インバータの出力ノードは前記第２インバータの入力ノードに接続される請求項１に記載のフリップフロップ回路。

【請求項６】
前記第２インバータはトライステートインバータである請求項１に記載のフリップフロップ回路。
【請求項７】
前記第２ラッチ回路は第３インバータと第４インバータとを含み、
前記第３インバータの入力ノードは前記第３ノードと前記第４インバータの出力ノードに接続され、
前記第３インバータの出力ノードは前記第４インバータの入力ノードに接続される請求項２に記載のフリップフロップ回路。
【請求項８】
前記第４インバータはトライステートインバータである請求項７に記載のフリップフロップ回路。