

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017年9月8日 (08.09.2017)



(10) 国际公布号
WO 2017/147974 A1

- (51) 国际专利分类号:
H01L 21/77 (2006.01) *G02F 1/1362* (2006.01)
H01L 27/12 (2006.01)
- (21) 国际申请号: PCT/CN2016/078878
- (22) 国际申请日: 2016年4月8日 (08.04.2016)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201610115744.7 2016年3月1日 (01.03.2016) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO.,LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道9-2号, Guangdong 518132 (CN)。
- (72) 发明人: 甘启明 (GAN, Qiming); 中国广东省深圳市光明新区塘明大道9-2号, Guangdong 518132 (CN)。
王勤 (WANG, Meng); 中国广东省深圳市光明新区塘明大道9-2号, Guangdong 518132 (CN)。
- (74) 代理人: 深圳市德力知识产权代理事务所 (COMIPS INTELLECTUAL PROPERTY OFFICE); 中国广

东省深圳市福田区上步中路深勘大厦 15E, Guangdong 518028 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

[见续页]

(54) Title: METHOD OF MANUFACTURING ARRAY PANEL AND ARRAY PANEL MANUFACTURED THEREBY

(54) 发明名称: 阵列基板的制作方法及其制得的阵列基板

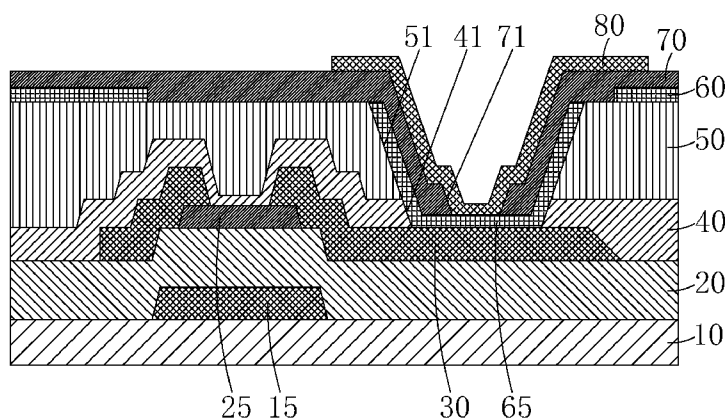


图7

(57) Abstract: A method of manufacturing an array panel and an array panel manufactured thereby use a photomask to implement hole formation on a planarization layer (50) and a passivation layer (40), saving a photomask, reducing manufacturing costs, and decreasing manufacturing time in comparison to the prior art. When forming a common electrode (60), an electrically conductive connection layer (45) enclosing a first through hole (51) on the planarization layer and a second through hole (51) on the planarization layer is simultaneously formed, thereby preventing a source/drain (30) and the planarization layer from exposing to the environment, eliminating possibility of the two layers having a reaction, facilitating an increase in electrical performance of the array panel, and implementing signal transmission. The array panel manufactured according to the invention provides smooth signal transmission and has favorable electrical performance.

(57) 摘要:

[见续页]



WO 2017/147974 A1



本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

一种阵列基板的制作方法及制得的阵列基板，通过采用一道光罩来实现平坦层（50）与第一钝化层（40）的开孔处理，与现有技术相比，可节约一道光罩，节约生产成本，降低制程时间；在形成公共电极（60）的同时形成包覆平坦层上的第一通孔（51）与第一钝化层上的第二通孔（41）的导电连接层（65），从而避免源/漏极（30）与平坦层裸露于环境中，消除了二者发生反应的可能，有利于提高阵列基板的电学性能，实现信号导通。该阵列基板，信号传导畅通，具有良好的电学性能。

阵列基板的制作方法及其制得的阵列基板

技术领域

5 本发明涉及显示技术领域，尤其涉及一种阵列基板的制作方法及其制得的阵列基板。

背景技术

10 随着显示技术的发展，液晶显示器（Liquid Crystal Display，LCD）等平面显示装置因具有高画质、省电、机身薄及应用范围广等优点，而被广泛的应用于手机、电视、个人数字助理、数字相机、笔记本电脑、台式计算机等各种消费性电子产品，成为显示装置中的主流。

15 现有市场上的液晶显示装置大部分为背光型液晶显示器，其包括液晶显示面板及背光模组（backlight module）。液晶显示面板的工作原理是在两片平行的玻璃基板当中放置液晶分子，两片玻璃基板中间有许多垂直和水平的细小电线，通过通电与否来控制液晶分子改变方向，将背光模组的光线折射出来产生画面。

通常液晶显示面板由彩膜（CF，Color Filter）基板、薄膜晶体管（TFT，Thin Film Transistor）阵列基板、夹于彩膜基板与薄膜晶体管阵列基板之间的液晶（LC，Liquid Crystal）及密封胶框（Sealant）组成。

20 图 1 为现有的一种阵列基板的制作方法的示意图，该阵列基板的制作方法包括如下步骤：

步骤 1、提供一衬底基板 100，在所述衬底基板 100 上依次形成栅极（未图示）、栅极绝缘层 200、有源层（未图示）、及源/漏极 300；

25 步骤 2、在所述源/漏极 300 及栅极绝缘层 200 上形成第一钝化层 400，并对该第一钝化层 400 进行图形化处理，得到位于第一钝化层 400 上的第一过孔 410；

步骤 3、在所述第一钝化层 400 上形成平坦层 500，并对该平坦层 500 进行图形化处理，得到位于第一过孔 410 中的第二过孔 510；之后对平坦层 500 进行退火处理；

30 步骤 4、在所述平坦层 500 上形成公共电极 600；

步骤 5、在所述公共电极 600、平坦层 500 上形成第二钝化层 700，并对该第二钝化层 700 进行图形化处理，得到位于第二过孔 510 内的第三过孔 710；

步骤 6、在所述第二钝化层 700 上形成像素电极 800，所述像素电极 800 经由第三过孔 710 与源/漏极 300 相接触。

上述阵列基板的制作方法步骤 3 中，在对平坦层 500 进行退火处理时，位于第一过孔 410 中的平坦层 500 的光阻材料会与源/漏极 300 的金属材料发生反应，生成不导电的络合物 550，从而阻隔所述像素电极 800 与源/漏极 300 的导通，导致数据（Data）信号无法传输至像素电极 300，从而对阵列基板的性能造成致命性的影响。

发明内容

10 本发明的目的在于提供一种阵列基板的制作方法，在各膜层的退火过程中有效阻隔平坦层与源/漏极的接触，防止二者发生反应，同时减少光罩数量，减少制程时间，降低生产成本。

本发明的目的还在于提供一种阵列基板，信号传导畅通，具有良好的电学性能。

15 为实现上述目的，本发明提供一种阵列基板的制作方法，包括如下步骤：

步骤 1、提供一基板，在所述基板上依次形成栅极、栅极绝缘层、有源层、及源/漏极；

20 步骤 2、在所述源/漏极及栅极绝缘层上形成第一钝化层，在所述第一钝化层上形成平坦层，对所述平坦层进行图形化处理，得到对应于源/漏极上方的第一通孔；

步骤 3、以所述平坦层为掩模，对所述第一钝化层进行蚀刻，形成对应于所述第一通孔的第二通孔；

25 步骤 4、在所述平坦层上沉积第一透明导电层，并对所述第一透明导电层进行图形化处理，形成公共电极、以及与所述公共电极间隔设置的导电连接层，所述导电连接层包覆所述第一通孔与第二通孔的孔壁、以及暴露于第二通孔处的源/漏极；

30 步骤 5、在所述公共电极、平坦层上形成第二钝化层，对所述第二钝化层上位于第一通孔与第二通孔内的部分进行开孔处理，得到位于第二钝化层上的第三通孔，所述第三通孔暴露出部分导电连接层；

步骤 6、在所述第二钝化层上沉积第二透明导电层，并对所述第二透明导电层进行图形化处理，形成像素电极，所述像素电极经由第三通孔与导电连接层相接触，由于导电连接层与源/漏极相接触，从而实现像素电极与源/漏极的导通。

所述步骤 2 还包括：在所述平坦层上形成第一通孔后，对所述平坦层进行退火处理。

所述步骤 3 还包括：对所述公共电极与导电连接层进行退火处理；所述步骤 6 还包括：对所述像素电极进行退火处理。

5 所述第一钝化层与第二钝化层为氧化硅层、氮化硅层、或者由氧化硅层与氮化硅层叠加构成的复合层；所述第一钝化层与第二钝化层的膜厚为 1500-2500Å。

所述第三通孔的尺寸小于所述第一通孔与第二通孔的尺寸。

10 所述第一通孔、第二通孔、及第三通孔均为圆形孔，所述第一通孔与第二通孔的直径为 7-12 μm，所述第三通孔的直径为 3-5 μm。

本发明还提供一种阵列基板，包括基板、设于所述基板上的栅极、设于所述栅极及基板上的栅极绝缘层、设于所述栅极绝缘层上的有源层、设于所述有源层及栅极绝缘层上的源/漏极、设于所述源/漏极、有源层、及栅极绝缘层上的第一钝化层、设于所述第一钝化层上的平坦层、设于所述平坦层上且间隔设置的公共电极与导电连接层、设于所述公共电极、导电连接层、及平坦层上的第二钝化层、及设于所述第二钝化层上的像素电极；

所述平坦层与第一钝化层上分别设有对应于源/漏极上方且相贯通的第一通孔与第二通孔，所述导电连接层包覆所述第一通孔与第二通孔的孔壁、以及暴露于第二通孔处的源/漏极；

20 所述第二钝化层上位于所述第一通孔与第二通孔内的部分上设有第三通孔，所述第三通孔暴露出部分导电连接层；所述像素电极经由第三通孔与导电连接层相接触，由于导电连接层与源/漏极相接触，从而实现像素电极与源/漏极的导通。

25 所述第一钝化层与第二钝化层为氧化硅层、氮化硅层、或者由氧化硅层与氮化硅层叠加构成的复合层；所述第一钝化层与第二钝化层的膜厚为 1500-2500Å。

所述第三通孔的尺寸小于所述第一通孔与第二通孔的尺寸。

所述第一通孔、第二通孔、及第三通孔均为圆形孔，所述第一通孔与第二通孔的直径为 7-12 μm，所述第三通孔的直径为 3-5 μm。

30 本发明还提供一种阵列基板，包括基板、设于所述基板上的栅极、设于所述栅极及基板上的栅极绝缘层、设于所述栅极绝缘层上的有源层、设于所述有源层及栅极绝缘层上的源/漏极、设于所述源/漏极、有源层、及栅极绝缘层上的第一钝化层、设于所述第一钝化层上的平坦层、设于所述平坦层上且间隔设置的公共电极与导电连接层、设于所述公共电极、导电连

接层、及平坦层上的第二钝化层、及设于所述第二钝化层上的像素电极；

所述平坦层与第一钝化层上分别设有对应于源/漏极上方且相贯通的第一通孔与第二通孔，所述导电连接层包覆所述第一通孔与第二通孔的孔壁、以及暴露于第二通孔处的源/漏极；

- 5 所述第二钝化层上位于所述第一通孔与第二通孔内的部分上设有第三通孔，所述第三通孔暴露出部分导电连接层；所述像素电极经由第三通孔与导电连接层相接触，由于导电连接层与源/漏极相接触，从而实现像素电极与源/漏极的导通；

- 10 其中，所述第一钝化层与第二钝化层为氧化硅层、氮化硅层、或者由氧化硅层与氮化硅层叠加构成的复合层；所述第一钝化层与第二钝化层的膜厚为 1500-2500Å；

其中，所述第三通孔的尺寸小于所述第一通孔与第二通孔的尺寸。

- 15 本发明的有益效果：本发明提供一种阵列基板的制作方法，通过采用一道光罩来实现平坦层与第一钝化层的开孔处理，与现有技术相比，可节约一道光罩，节约生产成本，降低制程时间；在形成公共电极的同时形成包覆平坦层上的第一通孔与第一钝化层上的第二通孔的导电连接层，从而避免源/漏极与平坦层裸露于环境中，消除了二者发生反应的可能，有利于提高阵列基板的电学性能，实现信号导通。本发明制得的阵列基板，信号传导畅通，具有良好的电学性能。

- 20 为了能更进一步了解本发明的特征以及技术内容，请参阅以下有关本发明的详细说明与附图，然而附图仅提供参考与说明用，并非用来对本发明加以限制。

附图说明

- 25 下面结合附图，通过对本发明的具体实施方式详细描述，将使本发明的技术方案及其它有益效果显而易见。

附图中，

图 1 为现有的一种阵列基板的制作方法的示意图；

图 2 为本发明的阵列基板的制作方法的步骤 1 的示意图；

- 30 图 3 为本发明的阵列基板的制作方法的步骤 2 的示意图；

图 4 为本发明的阵列基板的制作方法的步骤 3 的示意图；

图 5 为本发明的阵列基板的制作方法的步骤 4 的示意图；

图 6 为本发明的阵列基板的制作方法的步骤 5 的示意图；

图 7 为本发明的阵列基板的制作方法的步骤 6 的示意图暨本发明制得

的阵列基板的结构示意图。

具体实施方式

为更进一步阐述本发明所采取的技术手段及其效果，以下结合本发明的
5 的优选实施例及其附图进行详细描述。

请参阅图 2-7，本发明提供一种阵列基板的制作方法，包括如下步骤：

步骤 1、如图 2 所示，提供一基板 10，在所述基板 10 上依次形成栅极
15、栅极绝缘层 20、有源层 25、及源/漏极 30。

具体的，所述基板 10 为透明基板，优选为玻璃基板。

10 具体的，所述栅极 15、及源/漏极 30 的材料为钼 (Mo)、钛 (Ti)、铝
(Al)、铜 (Cu) 中的一种或多种的堆栈组合。所述源/漏极 30 的材料优选
为铜。

具体的，所述栅极绝缘层 20 为氧化硅 (SiO_x) 层、氮化硅 (SiN_x) 层、
或者由氧化硅层与氮化硅层叠加构成的复合层。

15 具体的，所述有源层 25 的材料为铟镓锌氧化物 (IGZO, indium gallium
zinc oxide)。

步骤 2、如图 3 所示，在所述源/漏极 30 及栅极绝缘层 20 上形成第一
钝化层 40，在所述第一钝化层 40 上形成平坦层 50，采用一道光罩对所述
平坦层 50 进行曝光、显影，以对所述平坦层 50 进行图形化处理，得到对
20 应于源/漏极 30 上方的第一通孔 51。

具体的，所述平坦层 50 的材料为正性光阻。

具体的，所述步骤 2 还包括：在所述平坦层 50 上形成第一通孔 51 后，
对所述平坦层 50 进行退火 (anneal) 处理，使其加热固化。在对平坦层 50
进行退火处理时，由于平坦层 50 与源/漏极 30 之间设有第一钝化层 40，不
25 能够相接触，因此不会发生反应生成络合物。

步骤 3、如图 4 所示，以所述平坦层 50 为掩模，对所述第一钝化层 40
进行蚀刻，形成对应于所述第一通孔 51 的第二通孔 41。

具体的，所述步骤 3 中，所述第一钝化层 40 的蚀刻制程为干蚀刻制程。

所述步骤 2-3 仅采用一道光罩即实现所述平坦层 50 与第一钝化层 40
30 的开孔处理，与现有技术相比，可节约一道光罩，节约生产成本，降低制
程时间。但是，经过所述步骤 2-3 的蚀刻制程之后，所述平坦层 50 与源/
漏极 30 又分别在第一通孔 51 与第二通孔 41 处暴露于空气中，因此还存在
发生反应的可能。

步骤 4、如图 5 所示，在所述平坦层 50 上沉积第一透明导电层，并采

用一道光刻制程对所述第一透明导电层进行图形化处理, 形成公共电极 60、以及与所述公共电极 60 间隔设置的导电连接层 65, 所述导电连接层 65 包覆所述第一通孔 51 与第二通孔 41 的孔壁、以及暴露于第二通孔 41 处的源/漏极 30, 从而避免源/漏极 30 与平坦层 50 裸露于环境中, 消除了二者发生反应的可能。

具体的, 所述公共电极 60 与导电连接层 65 的材料为透明导电金属氧化物, 如氧化铟锡 (ITO) 等。

优选的, 所述步骤 4 还包括: 对所述公共电极 60 与导电连接层 65 进行退火处理, 使其中的透明导电金属氧化物加热固化结晶, 从而改善公共电极 60 与导电连接层 65 的膜质结构, 降低方块电阻, 使其结构更稳定, 寿命更长。在对公共电极 60 与导电连接层 65 进行退火处理的过程中, 由于导电连接层 65 包覆所述第一通孔 51 与第二通孔 41, 使得源/漏极 30 与平坦层 50 无法裸露于环境中, 消除了二者发生反应的可能。

步骤 5、如图 6 所示, 在所述公共电极 60、平坦层 50 上形成第二钝化层 70, 采用一道光刻制程对所述第二钝化层 70 上位于第一通孔 51 与第二通孔 41 内的部分进行开孔处理, 得到位于第二钝化层 70 上的第三通孔 71, 所述第三通孔 71 暴露出部分导电连接层 65。

具体的, 所述步骤 5 中, 所述第二钝化层 70 的光刻制程中的蚀刻制程为干蚀刻制程。

具体的, 所述第一钝化层 40 与第二钝化层 70 为氧化硅 (SiO_x) 层、氮化硅 (SiN_x) 层、或者由氧化硅层与氮化硅层叠加构成的复合层。

优选的, 所述第一钝化层 40 与第二钝化层 70 的膜厚为 1500-2500Å。

具体的, 所述第三通孔 71 的尺寸小于所述第一通孔 51 与第二通孔 41 的尺寸。

优选的, 所述第一通孔 51、第二通孔 41、及第三通孔 71 均为圆形孔, 所述第一通孔 51 与第二通孔 41 的直径为 7-12 μm , 所述第三通孔 71 的直径为 3-5 μm 。

步骤 6、如图 7 所示, 在所述第二钝化层 70 上沉积第二透明导电层, 并采用一道光刻制程对所述第二透明导电层进行图形化处理, 形成像素电极 80, 所述像素电极 80 经由第三通孔 71 与导电连接层 65 相接触, 由于导电连接层 65 与源/漏极 30 相接触, 从而实现像素电极 80 与源/漏极 30 的导通。

具体的, 所述像素电极 80 的材料为透明导电金属氧化物, 如氧化铟锡 (ITO) 等。

优选的,所述步骤6还包括:对所述像素电极80进行退火处理,使其中的透明导电金属氧化物加热固化结晶,从而改善像素电极80的膜质结构,降低方块电阻,使其结构更稳定,寿命更长。

请参阅图7,本发明还提供一种阵列基板,包括基板10、设于所述基板10上的栅极15、设于所述栅极15及基板10上的栅极绝缘层20、设于所述栅极绝缘层20上的有源层25、设于所述有源层25及栅极绝缘层20上的源/漏极30、设于所述源/漏极30、有源层25、及栅极绝缘层20上的第一钝化层40、设于所述第一钝化层40上的平坦层50、设于所述平坦层50上且间隔设置的公共电极60与导电连接层65、设于所述公共电极60、导电连接层65、及平坦层50上的第二钝化层70、及设于所述第二钝化层70上的像素电极80;

所述平坦层50与第一钝化层40上分别设有对应于源/漏极30上方且相贯通的第一通孔51与第二通孔41,所述导电连接层65包覆所述第一通孔51与第二通孔41的孔壁、以及暴露于第二通孔41处的源/漏极30;

所述第二钝化层70上位于所述第一通孔51与第二通孔41内的部分上设有第三通孔71,所述第三通孔71暴露出部分导电连接层65;所述像素电极80经由第三通孔71与导电连接层65相接触,由于导电连接层65与源/漏极30相接触,从而实现像素电极80与源/漏极30的导通。

具体的,所述基板10为透明基板,优选为玻璃基板。

具体的,所述栅极15、及源/漏极30的材料为钼(Mo)、钛(Ti)、铝(Al)、铜(Cu)中的一种或多种的堆栈组合。所述源/漏极30的材料优选为铜。

具体的,所述栅极绝缘层20为氧化硅(SiO_x)层、氮化硅(SiN_x)层、或者由氧化硅层与氮化硅层叠加构成的复合层。

具体的,所述有源层25的材料为铟镓锌氧化物(IGZO, indium gallium zinc oxide)。

具体的,所述平坦层50的材料为正性光阻。

具体的,所述公共电极60、导电连接层65、及像素电极80的材料为透明导电金属氧化物,如氧化铟锡(ITO)等。

具体的,所述第一钝化层40与第二钝化层70为氧化硅(SiO_x)层、氮化硅(SiN_x)层、或者由氧化硅层与氮化硅层叠加构成的复合层。

优选的,所述第一钝化层40与第二钝化层70的膜厚为1500-2500Å。

具体的,所述第三通孔71的尺寸小于所述第一通孔51与第二通孔41的尺寸。

优选的,所述第一通孔 51、第二通孔 41、及第三通孔 71 均为圆形孔,所述第一通孔 51 与第二通孔 41 的直径为 7-12 μm ,所述第三通孔 71 的直径为 3-5 μm 。

综上所述,本发明提供的一种阵列基板的制作方法,通过采用一道光罩来实现平坦层与第一钝化层的开孔处理,与现有技术相比,可节约一道光罩,节约生产成本,降低制程时间;在形成公共电极的同时形成包覆平坦层上的第一通孔与第一钝化层上的第二通孔的导电连接层,从而避免源/漏极与平坦层裸露于环境中,消除了二者发生反应的可能,有利于提高阵列基板的电学性能,实现信号导通。本发明制得的阵列基板,信号传导畅通,具有良好的电学性能。

以上所述,对于本领域的普通技术人员来说,可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形,而所有这些改变和变形都应属于本发明权利要求的保护范围。

权 利 要 求

1、一种阵列基板的制作方法，包括如下步骤：

5 步骤 1、提供一基板，在所述基板上依次形成栅极、栅极绝缘层、有源层、及源/漏极；

步骤 2、在所述源/漏极及栅极绝缘层上形成第一钝化层，在所述第一钝化层上形成平坦层，对所述平坦层进行图形化处理，得到对应于源/漏极上方的第一通孔；

10 步骤 3、以所述平坦层为掩模，对所述第一钝化层进行蚀刻，形成对应于所述第一通孔的第二通孔；

步骤 4、在所述平坦层上沉积第一透明导电层，并对所述第一透明导电层进行图形化处理，形成公共电极、以及与所述公共电极间隔设置的导电连接层，所述导电连接层包覆所述第一通孔与第二通孔的孔壁、以及暴露于第二通孔处的源/漏极；

15 步骤 5、在所述公共电极、平坦层上形成第二钝化层，对所述第二钝化层上位于第一通孔与第二通孔内的部分进行开孔处理，得到位于第二钝化层上的第三通孔，所述第三通孔暴露出部分导电连接层；

20 步骤 6、在所述第二钝化层上沉积第二透明导电层，并对所述第二透明导电层进行图形化处理，形成像素电极，所述像素电极经由第三通孔与导电连接层相接触，由于导电连接层与源/漏极相接触，从而实现像素电极与源/漏极的导通。

2、如权利要求 1 所述的阵列基板的制作方法，其中，所述步骤 2 还包括：在所述平坦层上形成第一通孔后，对所述平坦层进行退火处理。

25 3、如权利要求 1 所述的阵列基板的制作方法，其中，所述步骤 4 还包括：对所述公共电极与导电连接层进行退火处理；所述步骤 6 还包括：对所述像素电极进行退火处理。

4、如权利要求 1 所述的阵列基板的制作方法，其中，所述第一钝化层与第二钝化层为氧化硅层、氮化硅层、或者由氧化硅层与氮化硅层叠加构成的复合层；所述第一钝化层与第二钝化层的膜厚为 1500-2500Å。

30 5、如权利要求 1 所述的阵列基板的制作方法，其中，所述第三通孔的尺寸小于所述第一通孔与第二通孔的尺寸。

6、如权利要求 5 所述的阵列基板的制作方法，其中，所述第一通孔、第二通孔、及第三通孔均为圆形孔，所述第一通孔与第二通孔的直径为 7-12

μm ，所述第三通孔的直径为 $3\text{-}5\ \mu\text{m}$ 。

7、一种阵列基板，包括基板、设于所述基板上的栅极、设于所述栅极及基板上的栅极绝缘层、设于所述栅极绝缘层上的有源层、设于所述有源层及栅极绝缘层上的源/漏极、设于所述源/漏极、有源层、及栅极绝缘层上的第一钝化层、设于所述第一钝化层上的平坦层、设于所述平坦层上且间隔设置的公共电极与导电连接层、设于所述公共电极、导电连接层、及平坦层上的第二钝化层、及设于所述第二钝化层上的像素电极；

所述平坦层与第一钝化层上分别设有对应于源/漏极上方且相贯通的第一通孔与第二通孔，所述导电连接层包覆所述第一通孔与第二通孔的孔壁、以及暴露于第二通孔处的源/漏极；

所述第二钝化层上位于所述第一通孔与第二通孔内的部分上设有第三通孔，所述第三通孔暴露出部分导电连接层；所述像素电极经由第三通孔与导电连接层相接触，由于导电连接层与源/漏极相接触，从而实现像素电极与源/漏极的导通。

8、如权利要求 7 所述的阵列基板，其中，所述第一钝化层与第二钝化层为氧化硅层、氮化硅层、或者由氧化硅层与氮化硅层叠加构成的复合层；所述第一钝化层与第二钝化层的膜厚为 $1500\text{-}2500\text{\AA}$ 。

9、如权利要求 7 所述的阵列基板，其中，所述第三通孔的尺寸小于所述第一通孔与第二通孔的尺寸。

10、如权利要求 9 所述的阵列基板，其中，所述第一通孔、第二通孔、及第三通孔均为圆形孔，所述第一通孔与第二通孔的直径为 $7\text{-}12\ \mu\text{m}$ ，所述第三通孔的直径为 $3\text{-}5\ \mu\text{m}$ 。

11、一种阵列基板，包括基板、设于所述基板上的栅极、设于所述栅极及基板上的栅极绝缘层、设于所述栅极绝缘层上的有源层、设于所述有源层及栅极绝缘层上的源/漏极、设于所述源/漏极、有源层、及栅极绝缘层上的第一钝化层、设于所述第一钝化层上的平坦层、设于所述平坦层上且间隔设置的公共电极与导电连接层、设于所述公共电极、导电连接层、及平坦层上的第二钝化层、及设于所述第二钝化层上的像素电极；

所述平坦层与第一钝化层上分别设有对应于源/漏极上方且相贯通的第一通孔与第二通孔，所述导电连接层包覆所述第一通孔与第二通孔的孔壁、以及暴露于第二通孔处的源/漏极；

所述第二钝化层上位于所述第一通孔与第二通孔内的部分上设有第三通孔，所述第三通孔暴露出部分导电连接层；所述像素电极经由第三通孔与导电连接层相接触，由于导电连接层与源/漏极相接触，从而实现像素电

极与源/漏极的导通;

其中, 所述第一钝化层与第二钝化层为氧化硅层、氮化硅层、或者由氧化硅层与氮化硅层叠加构成的复合层; 所述第一钝化层与第二钝化层的膜厚为 1500-2500Å;

5 其中, 所述第三通孔的尺寸小于所述第一通孔与第二通孔的尺寸。

12、如权利要求 11 所述的阵列基板, 其中, 所述第一通孔、第二通孔、及第三通孔均为圆形孔, 所述第一通孔与第二通孔的直径为 7-12 μm, 所述第三通孔的直径为 3-5 μm。

10

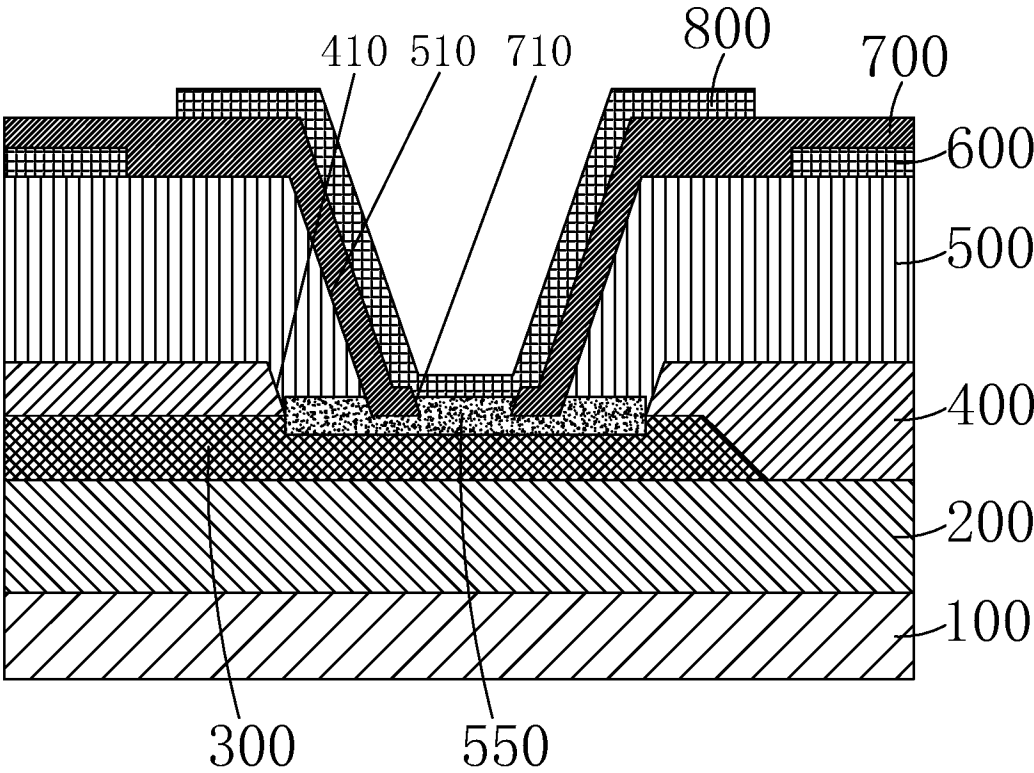


图1

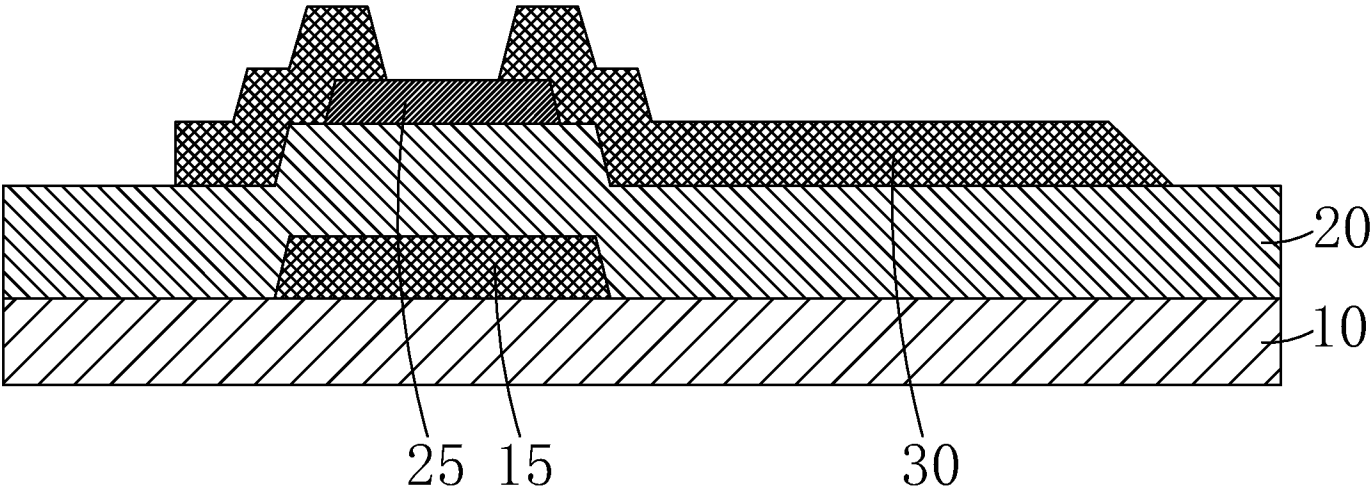


图2

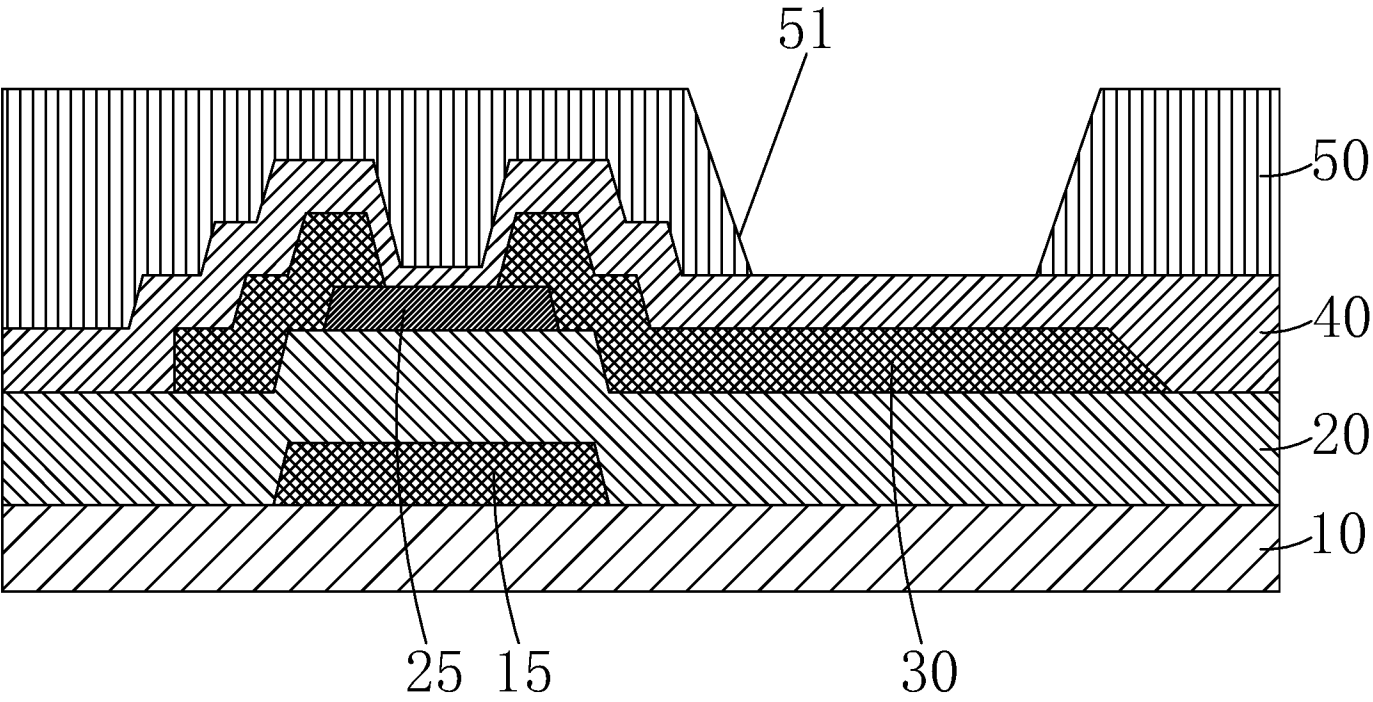


图3

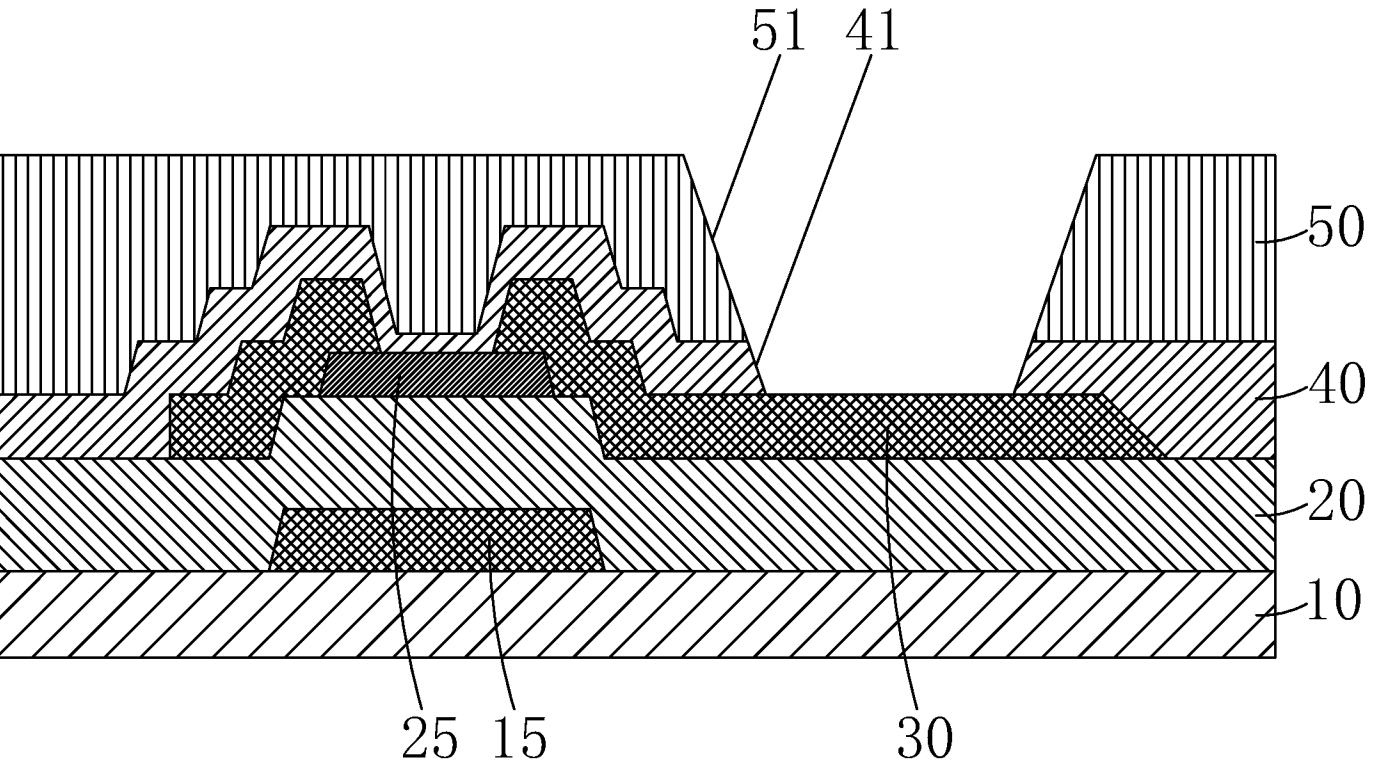


图4

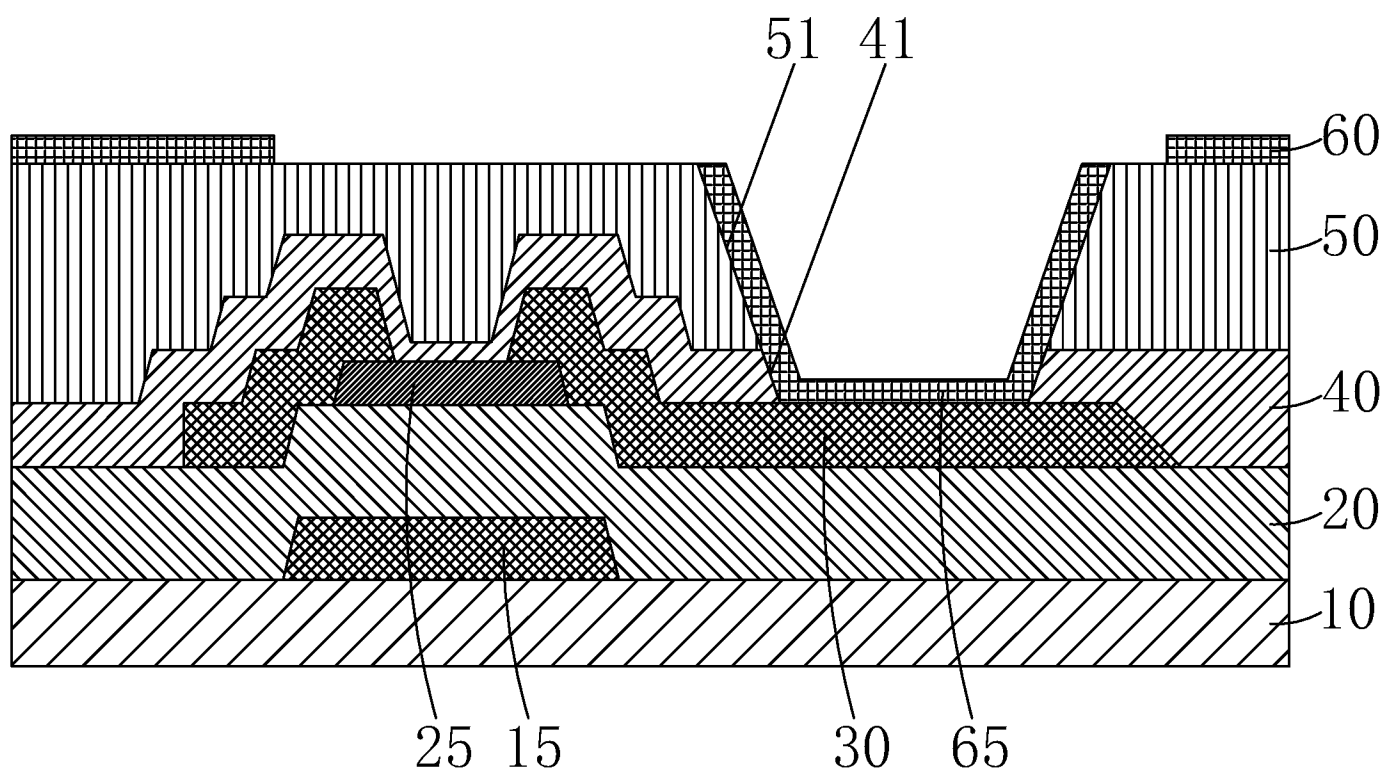


图5

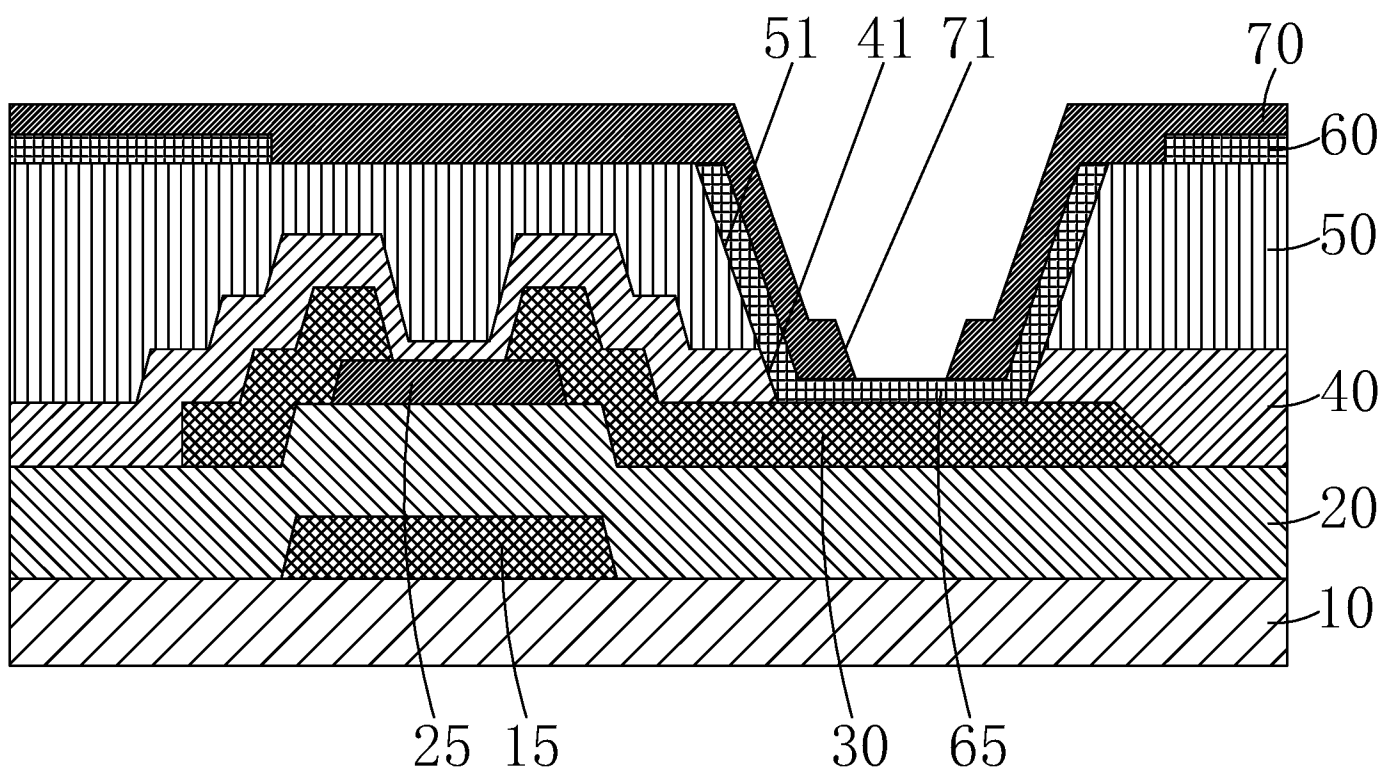


图6

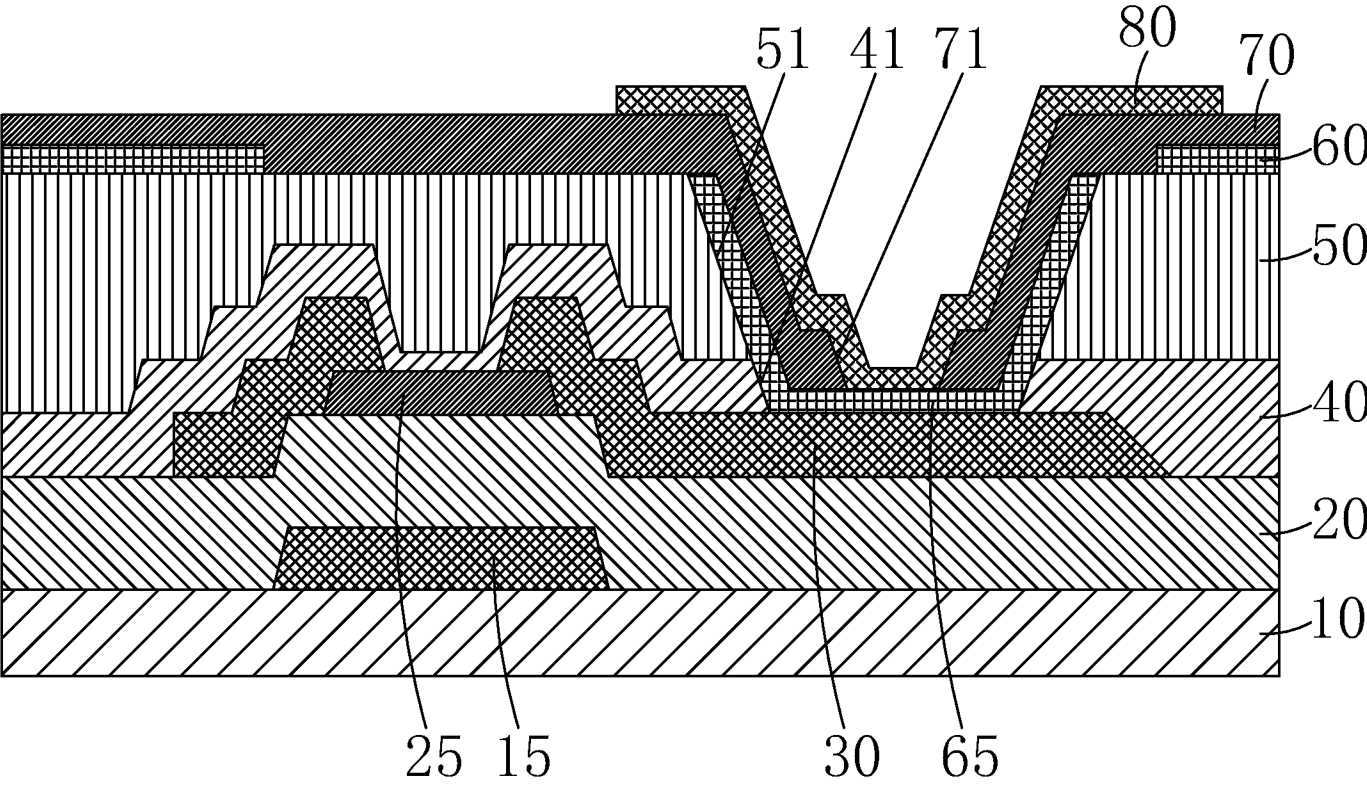


图7

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2016/078878

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/77 (2006.01) i; H01L 27/12 (2006.01) i; G02F 1/1362 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L; G02F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, DWPI: electrogenic, field, electric field, attach, gap, EL, OLED, OELD, FPD, PPD, planar, flat, display, polymer, electrooptic, electroluminescent+, light, organic, conduct+, connect+, additional, assist+, film, layer, wall, side, passivat+, insulat+, isolat+, pixel definition, rib, septum, anneal+, heat process+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 103003743 A (SHARP KABUSHIKI KAISHA), 27 March 2013 (27.03.2013), description, paragraphs 0063-0100, and figures 1-11	1-12
A	CN 103531593 A (BOE TECHNOLOGY GROUP CO., LTD.), 22 January 2014 (22.01.2014), the whole document	1-12
A	CN 103413898 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 27 November 2013 (27.11.2013), the whole document	1-12

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 01 December 2016 (01.12.2016)	Date of mailing of the international search report 12 December 2016 (12.12.2016)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer SUN, Zhongqing Telephone No.: (86-10) 62412093

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2016/078878

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103003743 A	27 March 2013	US 2013083265 A1	04 April 2013
		JP 5232937 B2	10 July 2013
		KR 101311651 B1	25 September 2013
		KR 20130037219 A	15 April 2013
		WO 2012011217 A1	26 January 2012
		JPWO 2012011217S X	09 September 2013
CN 103531593 A	22 January 2014	CN 103531593 B	04 March 2015
		WO 2015062265 A1	07 May 2015
CN 103413898 A	27 November 2013	GB 2530222 A	16 March 2016
		JP 2016527696 A	08 September 2016
		CN 103413898 B	11 November 2015
		WO 2015027532 A1	05 March 2015
		KR 20160034414 A	29 March 2016

A. 主题的分类 H01L 21/77 (2006.01) i; H01L 27/12 (2006.01) i; G02F 1/1362 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类		
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) H01L; G02F 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNABS, CNTXT, DWPI: 有机, 电致, 场致, 电场, 发光, 电光, 显示, 导电, 连接, 附加, 辅助, 膜, 层, 壁, 墙, 侧面, 侧边, 平坦, 钝化, 绝缘, 隔离, 间隔, 像素限定, 肋, 阻隔壁, 退火, 热处理 EL, OLED, OELD, FPD, PPD, planar, flat, display, polymer, electrooptic, electroluminescent+, light, organic, conduct+, connect+, additional, assist+, film, layer, wall, side, planar, passivat+, insulat+, isolat+, pixel definition, rib, septum, anneal+, heat process+		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 103003743 A (夏普株式会社) 2013年 3月 27日 (2013 - 03 - 27) 说明书第0063-0100段、图1-11	1-12
A	CN 103531593 A (京东方科技集团股份有限公司) 2014年 1月 22日 (2014 - 01 - 22) 全文	1-12
A	CN 103413898 A (深圳市华星光电技术有限公司) 2013年 11月 27日 (2013 - 11 - 27) 全文	1-12
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2016年 12月 1日		国际检索报告邮寄日期 2016年 12月 12日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10) 62019451		受权官员 孙重清 电话号码 (86-10) 62412093

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/078878

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	103003743	A	2013年 3月 27日	US	2013083265	A1	2013年 4月 4日
				JP	5232937	B2	2013年 7月 10日
				KR	101311651	B1	2013年 9月 25日
				KR	20130037219	A	2013年 4月 15日
				WO	2012011217	A1	2012年 1月 26日
				JPWO	2012011217S	X	2013年 9月 9日
CN	103531593	A	2014年 1月 22日	CN	103531593	B	2015年 3月 4日
				WO	2015062265	A1	2015年 5月 7日
CN	103413898	A	2013年 11月 27日	GB	2530222	A	2016年 3月 16日
				JP	2016527696	A	2016年 9月 8日
				CN	103413898	B	2015年 11月 11日
				WO	2015027532	A1	2015年 3月 5日
				KR	20160034414	A	2016年 3月 29日