

ITALIAN PATENT OFFICE

Document No.

102012902078992A1

Publication Date

20140224

Applicant

STMICROELECTRONICS S.R.L.

Title

DISPOSITIVO A SEMICONDUTTORE CON MODALITA' OPERATIVE LINEARE
E A COMMUTAZIONE MIGLIORATE, METODO DI FABBRICAZIONE DEL
DISPOSITIVO A SEMICONDUTTORE, E METODO DI POLARIZZAZIONE DEL
DISPOSITIVO A SEMICONDUTTORE

DESCRIZIONE

del brevetto per invenzione industriale dal titolo:

"DISPOSITIVO A SEMICONDUTTORE CON MODALITA' OPERATIVE LINEARE E A COMMUTAZIONE MIGLIORATE, METODO DI FABBRICAZIONE DEL DISPOSITIVO A SEMICONDUTTORE, E METODO DI POLARIZZAZIONE DEL DISPOSITIVO A SEMICONDUTTORE"

di STMICROELECTRONICS S.R.L.

di nazionalità italiana

con sede: VIA C. OLIVETTI, 2

AGRATE BRIANZA (MB)

Inventori: CONSENTINO Giuseppe, GRIMALDI Antonio Giuseppe, MICCICHE' Monica

*** ***** ***

La presente invenzione è relativa ad un dispositivo a semiconduttore con modalità operative lineare e a commutazione migliorate, ad un metodo di fabbricazione del dispositivo a semiconduttore, e ad un metodo di funzionamento del ("for operating the") dispositivo a semiconduttore. In particolare, il dispositivo a semiconduttore è un transistor MOSFET di potenza provvisto di una regione di porta ("gate") di tipo planare e di una regione di porta di tipo a trincea ("trench"), polarizzabili contemporaneamente mediante un singolo terminale di polarizzazione e tali da coniugare la stabilità termica della tecnologia planare in zona lineare

con le caratteristiche di funzionamento in commutazione ("switching") della tecnologia trench.

I transistori MOSFET di potenza sono dispositivi elettronici ampiamente utilizzati in vari sistemi elettronici. Dispositivi MOSFET di potenza con terminale di gate a trincea ("trench gate"), o di tipo planare, sono disponibili sul mercato. Nei MOSFET di potenza, il segnale di controllo è applicato ad un elettrodo di porta ("gate") che è separato dalla superficie a semiconduttore mediante uno strato isolante, tipicamente biossido di silicio SiO_2 . Il segnale di controllo richiesto è essenzialmente una tensione di polarizzazione. Rispetto ad un transistor bipolare, il MOSFET di potenza è un dispositivo unipolare, cioè la conduzione di corrente avviene per mezzo di trasporto di portatori maggioritari nella regione di deriva ("drift") in assenza di presenza di iniezione di portatori minoritari richiesta per operare un transistor bipolare. In conseguenza di ciò, non è osservabile un ritardo significativo a causa di accumulo o ricombinazione di portatori minoritari durante la fase di spegnimento ("turn-off"). La velocità di commutazione ("switching speed") è, dunque, maggiore di quella dei transistori bipolari. Questa caratteristica è particolarmente utile in circuiti operanti ad alta frequenza, dove le perdite dovute alle commutazioni sono particolarmente rilevanti.

La figura 1a mostra, in vista in sezione, un transistor 1, in particolare un MOSFET di potenza planare, comprendente un substrato 2 di silicio drogato di tipo N⁺ avente un lato fronte ("front side") 2a e un lato retro (back side") 2b.

Sul lato fronte 2a del substrato 2 è formato uno strato di deriva 6 ("drift layer"), di silicio drogato di tipo N⁻. Lo strato di deriva 6 alloggia, in corrispondenza di una sua faccia superiore 6a, una regione di corpo ("body region") 8, estendentesi in profondità nello strato di deriva 6 a partire dalla faccia superiore 6a, e formata mediante impianto di specie droganti di tipo P. All'interno della regione di corpo 8 è formata una regione di sorgente 10, mediante impianto di specie droganti di tipo N così da formare una regione drogata N⁺ estendentesi nella regione di corpo 8 a partire dalla faccia superiore 6a. Il transistor 1 comprende inoltre uno strato metallico 12 formato sulla faccia superiore 6a dello strato di deriva 6, in contatto diretto con la regione di corpo 8 e, parzialmente, con la regione di sorgente 10. Lo strato metallico 12 è inoltre separato da porzioni della faccia superiore 6a esterne, in vista dall'alto, alla regione di corpo 8 mediante strati sovrapposti di materiale isolante 14 e polisilicio 16, estendentisi in modo tale che il polisilicio 16 sia elettricamente isolato sia dalla faccia

superiore 6a che dallo strato metallico 12, mediante gli strati di materiale isolante 14. Si forma così una regione di porta ("gate") 18 del transistor 1. Infine, sul lato retro 2b del substrato 2, è formato un terminale di pozzo ("drain") 19, di materiale metallico in contatto elettrico diretto con il substrato 2.

La figura 1b mostra una piastrina ("chip" o "die") 15 comprendente una pluralità di transistori 1. La piastrina 15 di figura 1b comprende dunque una pluralità di regioni di porta 18. Tra due regioni di porta 18 affiancate si estende una rispettiva regione di corpo 8, che a sua volta alloggia una regione di sorgente 10. Il terminale di pozzo 19 è un terminale comune a tutti i transistori 1.

Durante l'uso, polarizzando opportunamente i terminali di porta 18, le regioni di sorgente 10 e il terminale di pozzo 19, una corrente i_1 fluisce tra le regioni di sorgente 10 e il terminale di pozzo 19.

La figura 2a mostra un transistor 20 con terminale di porta ("gate") a trincea, secondo una forma di realizzazione della presente invenzione. Il transistor 20 comprende un substrato 22, di materiale semiconduttore drogato, ad esempio di silicio drogato N+. Il substrato 22 ha un lato fronte 22a e un lato retro 22b. Sul lato fronte 22a del substrato 22 si estende uno strato strutturale 26 di materiale semiconduttore drogato, ad esempio di silicio

drogato N-. Lo strato strutturale 26 è, ad esempio, cresciuto epitassialmente sul substrato 22 ed ha la funzione di strato di deriva ("drift").

Lo strato strutturale 26 alloggia una regione di corpo ("body region") 28, drogata P, estendentesi in profondità nello strato strutturale 26 a partire dalla faccia superiore 26a.

Sono inoltre presenti regioni di sorgente 23, drogate N+, estendentisi nello strato strutturale 26 all'interno della regione di corpo 28 e affacciate alla faccia superiore 26a dello strato strutturale 26.

Il transistor 20 comprende inoltre regioni di porta ("gate regions") 29 formate in rispettive trincee estendentisi nello strato strutturale 26, a partire dalla faccia superiore 26a verso il substrato 22. Ciascuna trincea alloggiante una regione di porta 29 ha una profondità superiore allo spessore della regione di corpo 28 ed inferiore allo spessore dello strato strutturale 26.

Ciascuna regione di porta 29 comprende una porzione isolante 29a ed una porzione conduttiva 29b, reciprocamente disposte in modo tale che la porzione conduttiva 29b sia isolata dallo strato strutturale 26 mediante la porzione isolante 29a.

Il transistor 20 comprende inoltre uno strato di terminale di contatto 30, di materiale conduttore, ad

esempio metallo, estendentesi al di sopra della faccia superiore 26a dello strato strutturale 26, in contatto diretto con la regione di corpo 28 e, almeno parzialmente, con le regioni di sorgente 23. Lo strato di terminale di contatto 30 ha, in uso, la funzione di contatto di sorgente del transistor 20.

Lo strato di terminale di contatto 30 è inoltre separato dalle porzioni delle regioni di porta 29 che si affacciano al lato superiore 26a dello strato strutturale 26 mediante rispettive regioni isolanti 31, ad esempio di vetro boro-fosfo-silicato (BPSG - "Borophosphosilicate glass"), ciascuna formata al di sopra di una rispettiva regione di porta 29.

Infine, sul lato retro 22b del substrato 22, si estende, in contatto elettrico diretto con il substrato 22, uno strato di terminale di collettore 32 di materiale conduttore, ad esempio metallo.

La figura 2b mostra una piastrina ("chip" o "die") 35 comprendente una pluralità di transistori 20. La piastrina 35 comprende una pluralità di regioni di porta 26, ed una rispettiva pluralità di regioni di sorgente 23.

Integrando una pluralità di transistori 20 in una singola piastrina 35, si forma di solito una regione di terminazione di bordo ("edge termination region"), qui non mostrata. La regione di corpo 28 si estende con continuità

tra le regioni di porta 29, così che ciascuna regione di corpo 28 confina lateralmente (in vista in sezione) con due regioni di porta 29.

Il terminale di pozzo 32 è un terminale comune a tutti i transistori 20. Durante l'uso, polarizzando opportunamente i terminali di porta 29, le regioni di sorgente 23 e il terminale di pozzo 32, una corrente i_2 fluisce tra le regioni di sorgente 23 e il terminale di pozzo 32.

Alcune applicazioni di transistori MOSFET di potenza prevedono l'uso di questi ultimi nella cosiddetta zona operativa lineare ("linear operating zone"). Questa condizione si verifica quando al transistore vengono applicate contemporaneamente elevate correnti ed elevate tensioni. Anche durante l'uso in commutazione i transistori MOSFET di potenza lavorano in zona lineare, in particolare durante il passaggio attraverso la regione di Miller. È noto in letteratura che quando un MOSFET di potenza opera in queste condizioni, esso potrebbe avere un comportamento elettro-termico instabile (processo noto come "thermal runaway") che potrebbe portare il transistore in condizioni di funzionamento non corretto, o addirittura alla sua rottura. Uno dei parametri elettrici utilizzati per valutare l'instabilità termica di un MOSFET di potenza operante in zona lineare è il coefficiente termico (TC). Il

coefficiente termico TC è definito come la derivata con la temperatura della corrente di pozzo I_{drain} ($TC=dI_{\text{drain}}/dT$). Il valore di TC può essere negativo, zero, o positivo. Quanto $TC>0$, applicando un impulso di potenza, la temperatura T aumenta (il transistor si riscalda) e anche la corrente di pozzo I_{drain} aumenta. Un processo di runaway termico ("thermal runaway") ha inizio, portando il transistor alla rottura. Al contrario, quando $TC\leq 0$, con l'aumento della temperatura T si osserva una riduzione della corrente di pozzo I_{drain} , e il transistor opera in condizioni stabili. Con la continua riduzione delle dimensioni, MOSFET di potenza di ultima generazione (ad esempio del tipo illustrato nelle figure 1a, 1b e 2a, 2b) gestiscono elevate potenze in volumi di area ridotti, e sono per questo motivo particolarmente soggetti a fenomeni di instabilità termica.

Scopo della presente invenzione è fornire un dispositivo a semiconduttore con modalità operative lineare e a commutazione migliorate, un metodo di fabbricazione del dispositivo a semiconduttore, e un metodo di funzionamento del dispositivo a semiconduttore, in grado di superare gli inconvenienti dell'arte nota.

Secondo la presente invenzione vengono forniti ("provided") un dispositivo a semiconduttore con modalità operative lineare e a commutazione migliorate, un metodo di fabbricazione del dispositivo a semiconduttore, e un metodo

di funzionamento del dispositivo a semiconduttore, come definiti nelle rivendicazioni allegate.

Per una migliore comprensione della presente invenzione, ne vengono ora descritte forme di realizzazione preferite, a puro titolo di esempio non limitativo e con riferimento ai disegni allegati, nei quali:

- le figure 1a, 1b, 2a e 2b mostrano, in vista in sezione, transistori MOSFET di tipo noto;

- la figura 3 mostra, in vista in sezione, un dispositivo a semiconduttore secondo una forma di realizzazione della presente invenzione;

- la figura 4 mostra, in vista superiore, il dispositivo a semiconduttore di figura 3;

- la figura 5 mostra, in vista in sezione, una piastrina comprendente una pluralità di dispositivi a semiconduttore del tipo mostrato in figura 3;

- la figura 6 mostra, in vista in sezione, un dispositivo a semiconduttore secondo una ulteriore forma di realizzazione della presente invenzione;

- la figura 7 mostra, in vista superiore, il dispositivo a semiconduttore di figura 6;

- la figura 8 mostra, a confronto tra loro, curve di transcaratteristica I-V relative ai transistori delle figure da 1 a 3;

- la figura 9 mostra, a confronto tra loro, curve di

variazione del coefficiente termico relative ai transistori delle figure da 1 a 3;

- la figura 10 mostra un dispositivo a semiconduttore secondo una ulteriore forma di realizzazione della presente invenzione;

- la figura 11 mostra un dispositivo a semiconduttore secondo una ulteriore forma di realizzazione della presente invenzione; e

- la figura 12 e 13 mostrano un rispettivo dispositivo a semiconduttore secondo rispettive ulteriori forme di realizzazione della presente invenzione.

La figura 3 mostra, in vista in sezione, un dispositivo a semiconduttore 100, in particolare un transistor, ancora più in particolare un MOSFET di potenza secondo, una forma di realizzazione della presente invenzione. Il transistor 100 di figura 3 comprende un substrato 102 di materiale semiconduttore, ad esempio di silicio drogato di tipo N+, avente un lato fronte ("front side") 102a e un lato retro ("back side") 102b, opposti l'uno all'altro lungo la direzione dell'asse Z.

Sul lato fronte 102a del substrato 102 si estende uno strato strutturale 106, di materiale semiconduttore, ad esempio di silicio drogato di tipo N-. Lo strato strutturale 106 è formato, ad esempio, mediante crescita epitassiale di materiale semiconduttore, in modo di per sé

noto. Tuttavia, lo strato strutturale 106 può essere formato in modo diverso dalla crescita epitassiale, ad esempio depositando materiale semiconduttore. Lo strato strutturale 106 ha, in uso, la funzione di strato di deriva ("drift layer") in cui avviene la conduzione di corrente elettrica. Lo strato strutturale 106 possiede un lato fronte ("front side") 106a e un lato retro ("back side") 106b. Il lato retro 106b dello strato strutturale 106 è direttamente affacciato al lato fronte 102a del substrato 102. Il substrato 102 e lo strato strutturale 106 formano, insieme, un corpo semiconduttore 107. Il lato fronte 106 dello strato strutturale 106 forma un lato fronte del corpo semiconduttore 107; il lato retro 102b del substrato 102 forma un lato retro del corpo semiconduttore 107.

Lo strato strutturale 106 alloggia una regione di corpo ("body region") 108 estendentesi in profondità nello strato strutturale 106 a partire dal, e direttamente affacciata al, lato fronte 106a. La regione di corpo 108 ha un tipo di conducibilità opposto al tipo di conducibilità dello strato strutturale 106, ed in particolare è di tipo P. All'interno della regione di corpo 108 è formata almeno una regione di sorgente 110. In particolare, la figura 3 mostra due regioni di sorgente 110 aventi una conducibilità di tipo N. Le regioni di sorgente 110 sono drogate N⁺ e si estendono nella regione di corpo 108 a partire dal lato

fronte 106a dello strato strutturale 106, a distanza (lungo l'asse X) l'una dall'altra. Secondo una forma di realizzazione, le regioni di sorgente 110 hanno, in vista superiore (sul piano XY), forma sostanzialmente rettangolare (forma a striscia). Si veda ad esempio la figura 4.

Al di sopra del lato fronte 106a dello strato strutturale 106, lateralmente alle regioni di sorgente 110, si estendono strati sovrapposti di materiale dielettrico 114 (ad esempio materiale isolante, quale SiO_2) e polisilicio 116. Lo strato dielettrico 114 si estende a contatto diretto con lo strato strutturale 106; lo strato di polisilicio 116 si estende al di sopra dello strato dielettrico 114 in modo tale da essere elettricamente isolato dal lato fronte 106a mediante lo strato dielettrico 114 (ad esempio, di diossido di silicio). Un ulteriore strato dielettrico 115 si estende al di sopra dello strato di polisilicio 116, in modo tale da isolare superiormente quest'ultimo. Lo strato di polisilicio 116 può essere sostituito da uno strato conduttivo di altro materiale, ad esempio metallo.

La pila ("stack") dello strato dielettrico 114, di polisilicio 116 e dielettrico 115 forma una prima regione di porta ("gate region") 118 del transistor 100. La forma di realizzazione di figura 3 mostra il transistor 100

comprendente due regioni di porta 118. Secondo una ulteriore forma di realizzazione, il transistor 100 comprende una singola regione di porta 118.

Il transistor 100 comprende inoltre almeno una seconda regione di porta 129 estendentesi in profondità nello strato strutturale 106. In particolare, la seconda regione di porta 129 ha un'estensione principale lungo l'asse Z e si estende a partire dal lato fronte 106a (a cui è direttamente affacciata) verso il substrato 102. Secondo una forma di realizzazione, la seconda regione di porta 129 si estende nello strato strutturale 106 per una profondità (misurata lungo l'asse Z), maggiore dell'estensione (sempre lungo Z) della regione di corpo 108, e comunque inferiore allo spessore totale dello strato strutturale 106. Secondo una diversa forma di realizzazione, la seconda regione di porta 129 si estende nello strato strutturale 106 per una profondità (misurata lungo l'asse Z), pari dell'estensione (sempre lungo Z) della regione di corpo 108.

La seconda regione di porta 129 comprende una porzione isolante 129a (ad esempio di ossido di silicio SiO_2) ed una porzione conduttiva 129b (ad esempio di polisilicio drogato N, o materiale metallico), reciprocamente disposte in modo tale che la porzione conduttiva 129b sia isolata dallo strato strutturale 106 mediante la porzione isolante 129a.

La seconda regione di porta 129 è formata, secondo una

forma di realizzazione, mediante le fasi di: scavare una trincea (non mostrata) nello strato strutturale 106, in corrispondenza del lato fronte 106a; formare (ad esempio mediante deposizione di SiO_2 , o crescita termica di SiO_2), in corrispondenza di una parete interna della trincea, la porzione isolante 129a; formare (ad esempio mediante deposizione di polisilicio drogato N), nella trincea e internamente alla porzione isolante, la porzione conduttiva 129b, in modo tale che la porzione conduttiva 129b sia elettricamente isolata dallo strato strutturale 106.

La seconda regione di porta 129 si estende tra le due regioni di sorgente 110, e, in particolare, confina direttamente con esse lungo l'asse X (si veda la vista superiore di figura 4). Come detto, la porzione conduttiva 129b è elettricamente isolata dalle regioni di sorgente 110 mediante la porzione isolante 129a. Inoltre, una regione isolante 131, ad esempio di vetro boro-fosfo-silicato (BPSG - "Borophosphosilicate glass"), formata in modo di per sé noto, si estende al di sopra del lato fronte 106a dello strato strutturale 106, in corrispondenza della seconda regione di porta 129 (in particolare allineata, lungo Z, alla porzione conduttiva 129b). La regione isolante 131 ha la funzione di isolare elettricamente superiormente la porzione conduttiva 129b della seconda regione di porta 129. La regione isolante 131 si estende al di sopra dello

strato strutturale 106 tra due prime regioni di porta 118, ma non è in contatto diretto con esse. In questo modo, come osservabile in vista superiore in figura 4, tra la regione isolante 131 e rispettivi strati dielettrici 115 delle prime regioni di porta 118, è esposta una porzione superficiale 110' delle regioni di sorgente 110.

Il transistor 100 di figura 3 comprende inoltre uno strato metallico 112 formato sul lato fronte 106a dello strato strutturale 106, ed estendentesi tra la regione isolante 131 e i rispettivi strati dielettrici 115 delle prime regioni di porta 118, fino a raggiungere e contattare elettricamente porzioni superficiali 110' delle regioni di sorgente 110. Lo strato metallico 112 è configurato per formare un terminale di contatto di sorgente del transistor 100. Sul lato retro 102b del substrato 102, è formato uno strato metallico 119, in contatto elettrico diretto con il substrato 102. Lo strato metallico 119 è configurato per formare un terminale di pozzo ("drain") del transistor 100.

Il transistor 100 è dunque provvisto di una doppia porta ("double gate"), cioè la prima regione di porta 118 (porta planare - planar gate) e la seconda regione di porta 129 (porta a trincea - trench gate).

In uso, entrambe le regioni di porta 118, 129 sono polarizzate contemporaneamente mediante un terminale di

polarizzazione comune (non mostrato), in modo da operare il transistor 100 come transistor planare (analogamente al transistor di figura 1a) e come transistor a trincea (analogamente al transistor di figura 2a), quando le rispettive soglie di conduzione sono raggiunte. Polarizzando le prime regioni di porta 118, si formano rispettivi canali conduttivi 140 nella regione di corpo 108 prossimi al lato fronte 106a dello strato strutturale 106, così che un flusso di corrente i_p può scorrere tra le regioni di sorgente 110 e il terminale di pozzo 119, attraverso i canali conduttivi 140. Polarizzando la seconda regione di porta 129, si formano canali conduttivi 142 nella regione di corpo 108 prossimi alla seconda regione di porta 129, così che un ulteriore flusso di corrente i_T può scorrere tra le regioni di sorgente 110 e il terminale di pozzo 119, attraverso i canali conduttivi 142.

Il transistor 100 di figura 3 consente di ottenere flussi di corrente i_p e i_T gestibili attraverso due diverse regioni di porta (gates 118 e 129) e che fluiscono attraverso due diversi canali (canali 140 e 142). La struttura del transistor 100 di figura 3 consente di avere due diversi valori di tensione soglia V_{TH_P} e V_{TH_T} (con $V_{TH\_P} < V_{TH\_T}$) in un singolo transistor. Il primo valore di soglia V_{TH_P} , più basso, è associato alla formazione del canale di conduzione 140; il secondo valore di soglia V_{TH_T} ,

maggiore del primo valore di soglia V_{TH_P} , è associato alla formazione del canale di conduzione 142. In altre parole, il valore di transconduttanza g_{fs} associata al canale 140 è minore del valore di transconduttanza g_{fs} associata al canale 142. Di conseguenza, al canale 140 è associato un valore di resistenza pozzo-sorgente in stato acceso $R_{DS_{ON\_P}}$ maggiore del valore di resistenza pozzo-sorgente in stato acceso $R_{DS_{ON\_T}}$ associato al canale 142.

In uso, polarizzando contemporaneamente sia le prime regioni di porta 118 che la seconda regione di porta 129 con una stessa tensione porta-sorgente V_{gs} (inizialmente $V_{gs} < V_{TH\_P}$), e quindi aumentando la tensione porta-sorgente V_{gs} , si osserva innanzitutto la formazione del canale 140 (quando $V_{gs} = V_{TH\_P}$) e, in seguito, la formazione del canale 142 (quando $V_{gs} = V_{TH\_T} > V_{TH\_P}$).

In conclusione, in zona di operazione lineare, il flusso di corrente i_p tra sorgente e pozzo avviene attraverso il canale 140 ed è controllato dalla/dalle regione/i di porta 118; per operazioni di commutazione veloce, invece, si utilizzano sia il canale 140 che il canale 142, polarizzando la prima e la seconda regione di porta 129 con $V_{gs} \geq V_{TH\_T}$.

Risulta evidente che in una singola piastrina sono integrabili una pluralità di transistori 100.

Ad esempio, la figura 5 mostra una piastrina ("chip"),

o "die", 200 comprendente una pluralità di transistori 100. La piastrina 200 di figura 5 comprende una pluralità di prime regioni di porta 118 ed una pluralità di seconde regioni di porta 129, estendentisi nello strato strutturale 106, internamente alla regione di corpo 108 come precedentemente descritto. Tra le prime regioni di porta e le seconde regioni di porta si estendono rispettive regioni di sorgente 110.

Secondo una forma di realizzazione, una regione di terminazione di bordo ("edge termination region"), non mostrata e di tipo di per sé noto, si estende in porzioni periferiche della piastrina 200, in modo da circondare completamente i transistori 100.

La figura 6 mostra, in vista in sezione presa lungo la linea di sezione VII-VII di figura 7, un transistor 300 secondo una ulteriore forma di realizzazione della presente invenzione. La figura 7 mostra il transistor 300 in vista superiore. Elementi comuni del transistor 300 di figura 6 e del transistor 100 di figura 3 non sono ulteriormente descritti, e sono indicati con gli stessi numeri di riferimento.

Il transistor 300 differisce dal transistor 100 per il fatto di comprendere una regione di sorgente 310 atta a alimentare ("supply") portatori di carica al canale conduttivo 140, ed una ulteriore regione di sorgente 311

atta a alimentare ("supply") portatori di carica al canale conduttivo 142. Le regioni di sorgente 310 e 311, aventi una conducibilità di tipo N (in particolare drogate N+), si estendono nella regione di corpo 108 in corrispondenza di uno stesso lato della seconda regione di porta 129 (quando considerata in vista in sezione di figura 6 o in vista superiore di figura 7), e a partire dal lato fronte 106a dello strato strutturale 106. Le regioni di sorgente 310 e 311 sono tra loro separate da una porzione della regione di corpo 108.

In altre parole, la regione di sorgente 311 si estende nella regione di corpo 108 tra la seconda regione di porta 129 e la regione di sorgente 310. Questa forma di realizzazione ha il vantaggio che, utilizzando due impianti di source separati con dosi diverse ed energie diverse, è possibile ottenere un grado di libertà maggiore per formare due (o più) transistori con soglia diversa tra loro.

In particolare, la figura 6 mostra due regioni di sorgente 310 e due regioni di sorgente 311. Una prima coppia formata da una regione di sorgente 310 e una regione di sorgente 311 si estende, come descritto precedentemente, su un primo lato della seconda regione di porta 129; una seconda coppia formata da una regione di sorgente 310 e una regione di sorgente 311 si estende su un secondo lato, opposto al primo lato lungo X, della seconda regione di

porta 129. Le regioni di sorgente 310, 311 sono drogate N⁺ e sono realizzate, ad esempio, mediante impianto di specie droganti. Secondo una forma di realizzazione, le regioni di sorgente 310, 311 hanno, in vista superiore (sul piano XY), forma sostanzialmente rettangolare (forma a striscia). Si veda ad esempio la figura 7.

Analogamente a quanto mostrato in figura 5 e descritto con riferimento a tale figura, una pluralità di transistori 300 possono essere integrati in una singola piastrina ("chip"), o "die".

La figura 8 mostra curve esemplificative di transcaratteristiche I-V (corrente-tensione) relative al transistore 1 di figura 1 (curva C1); al transistore 20 di figura 2 (curva C2); e al transistore 100 di figura 3, o transistore 300 di figura 6 (curva C3). Come detto, le curve mostrate sono esemplificative dei comportamenti I-V (dove I è la corrente di drain e V la tensione gate-source) dei rispettivi transistori in condizioni strutturali e operative paragonabili. Le curve C1-C3 mostrano dunque la dipendenza della corrente di drain dalla tensione gate-source che regola la conduttanza del rispettivo transistore 1, 20, 100 (o 300). Naturalmente le curve C1-C3 sono relative ad un prefissato valore della tensione drain-source.

Come si può osservare, per bassi valori di corrente di

drain, la curva C3 mostra che il transistor 100 ha un comportamento analogo al comportamento di un transistor planare (cioè l'andamento di C3 è simile a quello di C1); al contrario, per alti valori della corrente di drain, il transistor 100 (o 300) ha un comportamento analogo al comportamento di un transistor trench (cioè l'andamento di C3 è simile a quello di C2).

La figura 9 mostra, esemplificativamente, curve per valutare il grado di instabilità termica relative al transistor 1 di figura 1 (curva C4); al transistor 20 di figura 2 (curva C5); e al transistor 100 di figura 3, o transistor 300 di figura 6 (curva C6). Le curve C5-C6 mostrano la variazione del coefficiente termico TC all'aumentare del valore di tensione gate-source, per i transistori 1, 20, 100 (o 300).

Come si può osservare, la curva C6 relativa al transistor 100 mostra che il valore massimo di coefficiente termico TC raggiunto dal transistor 100 (o 300) durante l'uso è sempre inferiore al valore massimo raggiunto dai transistori planari e trench di tipo noto (curve C4 e C5). La richiedente ha verificato che, in casi estremi di correnti molto elevate, la curva C6 può superare la curva C4 in termini di valore massimo del coefficiente termico TC, tuttavia, essa permane sempre al di sotto del valore massimo raggiunto dalla curva C5.

Da un esame delle caratteristiche del trovato realizzato secondo la presente invenzione sono evidenti i vantaggi che essa consente di ottenere.

In particolare, la struttura ibrida planare-trench del dispositivo secondo la presente invenzione consente di coniugare le migliori qualità delle due tecnologie, una migliore stabilità termica della tecnologia planare in zona lineare e una migliore performance in funzionamento a commutazione ("switching") della tecnologia trench.

Risulta infine chiaro che a quanto qui descritto ed illustrato possono essere apportate modifiche e varianti senza per questo uscire dall'ambito di protezione della presente invenzione, come definito nelle rivendicazioni allegate.

In particolare, secondo una ulteriore forma di realizzazione della presente invenzione, mostrata nella figura 10, un transistore 100' comprende una singola regione di sorgente 110, una singola regione di porta 118, ed una singola regione di porta 129. Più in dettaglio, il transistore 100' comprende (elementi comuni al transistore 100 sono indicati con gli stessi numeri di riferimento) il corpo semiconduttore 107, formato dal substrato 102 e dallo strato strutturale 106; la regione di deriva ("drift region") 106 drogata N-, estendentesi nel corpo semiconduttore 107; la regione di corpo ("body region")

108, di tipo P, estendentesi nel corpo a semiconduttore 107 affacciata al lato fronte 106a dello strato strutturale 106, e circondata (parzialmente o completamente) dalla regione di deriva 106; una regione di sorgente 110 di tipo N, estendentesi nella regione di corpo 108, anch'essa affacciata al lato fronte 106a; la regione di porta 118, estendentesi sul lato fronte 106a del corpo semiconduttore, parzialmente sovrapposta alla prima regione di corpo 108 ed estendentesi lateralmente alla regione di sorgente 110, in corrispondenza di una prima porzione laterale della regione di sorgente 110; e la regione di porta 129 estendentesi nel corpo semiconduttore 107, affacciata al lato fronte 106a, internamente ("within") alla regione di corpo 108 ed estendentesi in corrispondenza di una seconda porzione laterale, opposta alla prima porzione laterale, della regione di sorgente 110.

Secondo una ulteriore forma di realizzazione della presente invenzione, mostrata in figura 11, il corpo semiconduttore 107 comprende il solo substrato 102, drogato di tipo N (e valore di drogaggio scelto opportunamente, ad esempio N-), e non comprende lo strato strutturale 106. La regione di corpo 108, di sorgente 110, e di porta 129 sono formate nel substrato 102 e si estendono in esso in modo analogo a quanto precedentemente descritto con riferimento ad una qualsiasi delle forme di realizzazione della

presente invenzione.

Inoltre, il corpo semiconduttore 107 (includente il solo substrato 102, o il substrato 102 e lo strato strutturale 106) può essere di materiale semiconduttore diverso dal silicio, ad esempio carburo di silicio, nitruro di gallio, arsenuro di gallio, o altri ancora.

Inoltre, risulta evidente che è possibile realizzare un transistor in cui i portatori maggioritari sono lacune ("holes"). In questo caso, i tipi di conducibilità N e P sono invertiti (il corpo semiconduttore 107 ha una conducibilità di tipo P, la regione di corpo 108 di tipo N, e la regione di sorgente di tipo P).

Inoltre, come mostrato in figura 12 secondo una forma di realizzazione esemplificativa, il dispositivo a semiconduttore 100' comprendente inoltre una regione impiantata 150, di tipo N, estendentesi nel corpo semiconduttore 107 in corrispondenza della porzione terminale ad una profondità maggiore della profondità a cui si estende la seconda regione di porta 129, ed allineata alla seconda regione di porta 129 lungo Z. Inoltre, tale regione impiantata 150 si estende lateralmente alla seconda regione di porta 129 (cioè ha una larghezza, lungo X, maggiore della rispettiva larghezza, lungo X, della seconda regione di porta 129), in modo tale da intercettare la regione in cui, in uso, si forma il canale conduttivo 142.

Una regione impiantata di questo tipo è descritta, ad esempio, in US 7,202,525, ed ha il vantaggio di consentire una riduzione della resistenza pozzo-sorgente in stato acceso ($R_{\text{DS(on)}}$). L'insegnamento della figura 12 è applicabile ad una qualsiasi delle forme di realizzazione della presente invenzione.

Inoltre, la seconda regione di porta 129 può essere un "trench gate" formato in modo diverso da quanto qui descritto, ad esempio del tipo descritto in US 7,319,256.

Inoltre, come mostrato esemplificativamente in figura 13, il dispositivo a semiconduttore secondo la presente invenzione comprende, in una forma di realizzazione, una struttura a supergiunzione (superjunction - SJ), ad esempio del tipo mostrato e descritto in "Low Voltage Superjunction Power MOSFET: An Application Optimized Technology", di Phil Rutter, Steven T Peake, NXP Semiconductors, Manchester, UK, in cui la regione di corpo 108 comprende una o più colonne ("pillars") 210 di tipo P si estendono in profondità nella regione di deriva di tipo N, tra seconde regioni di porta 129 affiancate e allineate, lungo Z, con una rispettiva prima regione di porta 118. L'insegnamento della figura 13 è applicabile ad una qualsiasi delle forme di realizzazione della presente invenzione.

Inoltre, risulta evidente che, per tutte le forme di realizzazione descritte secondo la presente invenzione, le

regioni di tipo N possono essere sostituite con regioni di tipo P, e viceversa, così da realizzare dispositivi aventi un predefinito tipo di portatori di carica (P o N secondo necessità).

Infine, l'insegnamento secondo la presente invenzione si può applicare a diversi tipi di dispositivi, quali ad esempio transistori IGBT o altri ancora.

RIVENDICAZIONI

1. Dispositivo a semiconduttore (100; 100'; 300), comprendente:

- un corpo semiconduttore (107), avente un lato fronte (106a) e un lato retro (102b) opposti tra loro lungo una prima direzione di estensione (Z);

- una regione di deriva ("drift region") (106), estendentesi nel corpo semiconduttore (107), affacciata al lato fronte (106a) e avente un primo tipo di conducibilità (N) e un primo valore di drogaggio;

- una regione di corpo ("body region") (108), avente un secondo tipo di conducibilità (P) opposta al primo tipo di conducibilità (N), estendentesi nella regione di deriva (106) e affacciata al lato fronte (106a) del corpo semiconduttore (107),

caratterizzato dal fatto di comprendere inoltre:

- un primo terminale di controllo (118), estendentesi al di sopra del lato fronte (106a) del corpo semiconduttore, almeno parzialmente sovrapposto, lungo la prima direzione di estensione (Z), alla prima regione di corpo (108); e

- un secondo terminale di controllo (129) estendentesi ad una prima profondità ("to a first depth") nel ("in") corpo semiconduttore (107), internamente ("within") alla prima regione di corpo (108), e sfalsato ("staggered")

rispetto al primo terminale di controllo lungo la prima direzione di estensione (Z).

2. Dispositivo a semiconduttore secondo la rivendicazione 1, in cui il primo e il secondo terminale di controllo sono elettricamente accoppiati ad un terminale di polarizzazione comune.

3. Dispositivo a semiconduttore secondo la rivendicazione 1 o 2, comprendente inoltre una prima regione di canale estendentesi nella regione di corpo (108) affacciata al primo terminale di controllo, e una seconda regione di canale estendentesi ad una seconda profondità nella regione di corpo (108), affacciata al secondo terminale di controllo, detta seconda profondità essendo pari o maggiore di detta prima profondità.

4. Dispositivo a semiconduttore secondo la rivendicazione 3, in cui il primo terminale di controllo (118) è configurato per essere polarizzato in modo da formare, nella prima regione di canale, un primo canale conduttivo (140) avente una direzione di conduzione principale lungo una seconda direzione di estensione (X) trasversale alla prima direzione di estensione (Z),

ed in cui il secondo terminale di controllo (129) è configurato per essere polarizzato in modo da formare, nella seconda regione di canale, un secondo canale conduttivo (142) avente una direzione di conduzione

principale lungo la prima direzione di estensione (Z).

5. Dispositivo a semiconduttore secondo la rivendicazione 3 o 4, in cui detta prima regione di canale presenta un primo valore di tensione soglia (V_{TH_P}) associato alla formazione del primo canale conduttivo, e la seconda regione di canale presenta un secondo valore di tensione soglia (V_{TH_T}) associato alla formazione del secondo canale conduttivo, detto primo valore di soglia (V_{TH_P}) essendo inferiore al secondo valore di soglia (V_{TH_T}).

6. Dispositivo a semiconduttore secondo una qualsiasi delle rivendicazioni precedenti, comprendente inoltre una prima regione di sorgente (110; 310), avente il primo tipo di conducibilità (N), estendentesi nella prima regione di corpo (108) e affacciata al lato fronte (106a),

in cui il primo terminale di controllo (118) si estende in corrispondenza di ("at") un primo lato della prima regione di sorgente (110; 310),

e in cui il secondo terminale di controllo (129) si estende in corrispondenza di ("at") un secondo lato, opposto al primo lato, della prima regione di sorgente (110; 310).

7. Dispositivo a semiconduttore secondo la rivendicazione 6, in cui il primo terminale di controllo (118) è sostanzialmente allineato, lungo detta prima

direzione di estensione (Z), al primo lato della prima regione di sorgente (110; 310), e il secondo terminale di controllo (129) è sostanzialmente allineato, lungo detta prima direzione di estensione (Z), al secondo lato della prima regione di sorgente (110; 310).

8. Dispositivo a semiconduttore secondo la rivendicazione 6, comprendente inoltre una seconda regione di sorgente (311) avente il primo tipo di conducibilità (N) ed estendentesi nella prima regione di corpo (108) tra la prima regione di sorgente (110; 310) e il secondo terminale di controllo (129).

9. Dispositivo a semiconduttore secondo una qualsiasi delle rivendicazioni precedenti, in cui detto dispositivo è un transistor, il primo e il secondo terminale di controllo (118, 129) realizzano rispettivamente una prima e una seconda regione di porta ("gate") isolata comprendenti una rispettiva porzione conduttiva (116, 129b) ed una rispettiva porzione isolante (114, 129a) dette porzioni isolanti (114, 129a) circondando almeno parzialmente la rispettiva porzione conduttiva (116, 129b) in modo da isolare elettricamente detta rispettiva porzione conduttiva (116, 129b) dal corpo semiconduttore (107).

10. Dispositivo a semiconduttore secondo una qualsiasi delle rivendicazioni precedenti, in cui detta seconda regione di porta (129) si estende nel corpo semiconduttore

per una profondità pari alla, o maggiore della, profondità massima raggiunta dalla prima regione corpo (108).

11. Dispositivo a semiconduttore secondo una qualsiasi delle rivendicazioni precedenti, comprendente inoltre una regione impiantata, avente il primo tipo di conducibilità, estendentesi nel corpo semiconduttore (107) ad una terza profondità maggiore di detta prima profondità.

12. Piastrina ("chip") (200) comprendente una pluralità di dispositivi a semiconduttore (100; 100'; 300) secondo una qualsiasi delle rivendicazioni 1-11.

13. Metodo di fabbricazione di un dispositivo semiconduttore (100; 100'; 300), comprendente le fasi di:

- disporre un corpo semiconduttore (107), avente un lato fronte (106a) e un lato retro (102b) opposti tra loro lungo una prima direzione di estensione (Z);

- formare una regione di deriva ("drift region") (106), avente un primo tipo di conducibilità (N) e un primo valore di drogaggio, nel corpo semiconduttore (107), affacciata al lato fronte (106a);

- formare una regione di corpo ("body region") (108), avente un secondo tipo di conducibilità (P) opposta al primo tipo di conducibilità (N), nella regione di deriva (106), affacciata al lato fronte (106a) del corpo a semiconduttore,

caratterizzato dal fatto di comprendere inoltre le

fasi di:

- formare un primo terminale di controllo (118) sul lato fronte (106a) del corpo semiconduttore, almeno parzialmente sovrapposto, lungo la prima direzione di estensione (Z), alla prima regione di corpo (108); e

- formare un secondo terminale di controllo (129) ad una prima profondità nel ("in") corpo semiconduttore (107), internamente ("within") alla prima regione di corpo (108), e sfalsato ("staggered") rispetto al primo terminale di controllo lungo la prima direzione di estensione (Z).

14. Metodo secondo la rivendicazione 13, comprendente inoltre la fase di formare una prima regione di sorgente (110; 310), avente il primo tipo di conducibilità (N), nella prima regione di corpo (108) e affacciata al lato fronte (106a),

in cui la fase di formare il primo terminale di controllo (118) comprende formare il primo terminale di controllo in corrispondenza di un primo lato della prima regione di sorgente,

e in cui la fase di formare il secondo terminale di controllo (129) comprende formare il secondo terminale di controllo in corrispondenza di un secondo lato, opposto al primo lato, della prima regione di sorgente.

15. Metodo secondo la rivendicazione 14, in cui formare il primo terminale di controllo comprende inoltre

formare il primo terminale di controllo sostanzialmente allineato, lungo detta prima direzione di estensione (Z), al primo lato della prima regione di sorgente (110; 310), e formare il secondo terminale di controllo (129) comprende formare il secondo terminale di controllo sostanzialmente allineato, lungo detta prima direzione di estensione (Z), al secondo lato della prima regione di sorgente (110; 310).

16. Metodo secondo la rivendicazione 14, comprendente inoltre formare una seconda regione di sorgente (311), avente il primo tipo di conducibilità (N), nella prima regione di corpo (108) tra la prima regione di sorgente (110; 310) e il secondo terminale di controllo (129).

17. Metodo secondo una qualsiasi delle rivendicazioni 13-16, in cui formare la seconda regione di porta (129) comprende le fasi di:

- scavare una trincea nel corpo semiconduttore (107);
- formare, in corrispondenza di una parete di detta trincea, una porzione isolante (129a);
- formare, in detta trincea e internamente alla porzione isolante, una porzione conduttiva (129b), così che la porzione conduttiva è elettricamente isolata dal corpo semiconduttore (107).

18. Metodo secondo una qualsiasi delle rivendicazioni 13-17, in cui la fase di formare detta seconda regione di porta (129) comprende formare la seconda regione di porta

(129) nel corpo semiconduttore per una profondità pari alla, o maggiore della, profondità massima raggiunta dalla prima regione corpo (108).

19. Metodo per operare il dispositivo a semiconduttore (100; 100'; 300) secondo una qualsiasi delle rivendicazioni 1-11, detto dispositivo avendo un primo valore di soglia (V_{TH_P}) associato alla formazione di un primo canale conduttivo (140) per mezzo del primo terminale di controllo (118), e un secondo valore di soglia (V_{TH_T}) associato alla formazione di un secondo canale conduttivo (142) per mezzo del secondo terminale di controllo (129), il metodo comprendendo le fasi di:

- polarizzare, durante una prima condizione operativa, il primo e il secondo terminale di controllo (118, 129) ad una tensione avente valore compreso tra il primo ed il secondo valore di soglia (V_{TH_P} , V_{TH_T}), in modo da formare il primo canale conduttivo (140); e

- polarizzare, durante una seconda condizione operativa, il primo e il secondo terminale di controllo (118, 129) ad una tensione avente valore pari al, o maggiore del, secondo valore di soglia (V_{TH_T}), in modo da mantenere il primo canale conduttivo e formare il secondo canale conduttivo (142).

20. Metodo secondo la rivendicazione 19, in cui durante detta prima condizione operativa il dispositivo a

semiconduttore è operato in zona lineare, e durante detta seconda condizione operativa il dispositivo a semiconduttore è operato in commutazione.

p.i.: STMICROELECTRONICS S.R.L.

Simone BERTOLOTTTO

CLAIMS

1. A semiconductor device (100; 100'; 300), comprising:

- a semiconductor body (107), having a front side (106a) and a
5 back side (102b) opposite to one another along a first
direction of extension (Z);

- a drift region (106), which extends in the semiconductor
body (107) facing the front side (106a), and has a first type
of conductivity (N) and a first doping value; and

10 - a body region (108), having a second type of conductivity
(P) opposite to the first type of conductivity (N), which
extends in the drift region (106) and faces the front side
(106a) of the semiconductor body (107),

said device being characterized in that it further comprises:

15 - a first control terminal (118), which extends on the front
side (106a) of the semiconductor body, at least partially
overlapping, along the first direction of extension (Z), the
first body region (108); and

20 - a second control terminal (129) which extends to a first
depth in the semiconductor body (107), within the first body
region (108), and is staggered with respect to the first
control terminal along the first direction of extension (Z).

2. The semiconductor device according to claim 1, wherein the
25 first and second control terminals are electrically coupled to
a common biasing terminal.

3. The semiconductor device according to claim 1 or claim 2,
further comprising a first channel region, which extends in
30 the body region (108) facing the first control terminal, and a
second channel region, which extends to a second depth in the
body region (108), facing the second control terminal, said
second depth being equal to, or greater than, said first
depth.

4. The semiconductor device according to claim 3, wherein the first control terminal (118) is configured for being biased so as to form, in the first channel region, a first conductive channel (140) having a main direction of conduction in a second direction of extension (X) transverse to the first direction of extension (Z), and wherein the second control terminal (129) is configured for being biased so as to form, in the second channel region, a second conductive channel (142) having a main direction of conduction in the first direction of extension (Z).

5. The semiconductor device according to claim 3 or claim 4, wherein said first channel region has a first value of threshold voltage (V_{TH_P}) associated to the formation of the first conductive channel, and the second channel region has a second value of threshold voltage (V_{TH_T}) associated to the formation of the second conductive channel, said first threshold value (V_{TH_P}) being lower than the second threshold value (V_{TH_T}).

6. The semiconductor device according to any one of the preceding claims, further comprising a first source region (110; 310), having the first type of conductivity (N), which extends in the first body region (108) and faces the front side (106a), wherein the first control terminal (118) extends at a first side of the first source region (110; 310), and wherein the second control terminal (129) extends at a second side, opposite to the first side, of the first source region (110; 310).

7. The semiconductor device according to claim 6, wherein the first control terminal (118) is substantially aligned, in said first direction of extension (Z), to the first side of the first source region (110; 310), and the second control

terminal (129) is substantially aligned, in said first direction of extension (Z), to the second side of the first source region (110; 310).

5 8. The semiconductor device according to claim 6, further comprising a second source region (311), which has the first type of conductivity (N) and extends in the first body region (108) between the first source region (110; 310) and the second control terminal (129).

10 9. The semiconductor device according to any one of the preceding claims, wherein said device is a transistor, the first and second control terminals (118, 129) provide respectively a first insulated-gate region and a second
15 insulated-gate region, which comprise a respective conductive portion (116, 129b) and a respective insulating portion (114, 129a), said insulating portions (114, 129a) surrounding at least partially the respective conductive portion (116, 129b) so as to insulate electrically said respective conductive
20 portion (116, 129b) from the semiconductor body (107).

10. The semiconductor device according to any one of the preceding claims, wherein said second gate region (129) extends in the semiconductor body for a depth equal to, or
25 greater than, the maximum depth reached by the first body region (108).

11. The semiconductor device according to any one of the preceding claims, further comprising an implanted region,
30 having the first type of conductivity, which extends in the semiconductor body (107) to a third depth greater than said first depth.

12. A chip (200) comprising a plurality of semiconductor
35 devices (100; 100'; 300) according to any one of claims 1-11.

13. A method for manufacturing a semiconductor device (100; 100'; 300), comprising the steps of:

- providing a semiconductor body (107), having a front side (106a) and a back side (102b) opposite to one another along a first direction of extension (Z);

- forming, in the semiconductor body (107), a drift region (106) having a first type of conductivity (N) and a first doping value, and facing the front side (106a); and

- forming, in the drift region (106), a body region (108) having a second type of conductivity (P) opposite to the first type of conductivity (N), facing the front side (106a) of the semiconductor body,

said method being characterized in that it further comprises the steps of:

- forming a first control terminal (118) on the front side (106a) of the semiconductor body, at least partially overlapping, in the first direction of extension (Z), the first body region (108); and

- forming a second control terminal (129) at a first depth in the semiconductor body (107), within the first body region (108), and staggered with respect to the first control terminal along the first direction of extension (Z).

14. The method according to claim 13, further comprising the step of forming a first source region (110; 310), having the first type of conductivity (N), in the first body region (108) and facing the front side (106a),

wherein the step of forming the first control terminal (118)

comprises forming the first control terminal at a first side of the first source region,

and wherein the step of forming the second control terminal (129) comprises forming the second control terminal in an area corresponding to a second side, opposite to the first side, of

the first source region.

15. The method according to claim 14, wherein forming the first control terminal further comprises forming the first control terminal substantially aligned, in said first direction of extension (Z), to the first side of the first source region (110; 310), and forming the second control terminal (129) comprises forming the second control terminal substantially aligned, in said first direction of extension (Z), to the second side of the first source region (110; 310).

16. The method according to claim 14, further comprising forming a second source region (311), having the first type of conductivity (N), in the first body region (108) between the first source region (110; 310) and the second control terminal (129).

17. The method according to any one of claims 13-16, wherein forming the second gate region (129) comprises the steps of:

- digging a trench in the semiconductor body (107);
- forming, in an area corresponding to a wall of said trench, an insulating portion (129a);
- forming, in said trench and inside the insulating portion, a conductive portion (129b), so that the conductive portion is electrically insulated from the semiconductor body (107).

18. The method according to any one of claims 13-17, wherein the step of forming said second gate region (129) comprises forming the second gate region (129) in the semiconductor body for a depth equal to, or greater than, the maximum depth reached by the first body region (108).

19. A method for driving the semiconductor device (100; 100'; 300) according to any one of claims 1-11, said device having a first threshold value (V_{TH_P}) associated to the formation of a first conductive channel (140) by the first control terminal

(118), and a second threshold value (V_{TH_T}) associated to the formation of a second conductive channel (142) by the second control terminal (129), the method comprising the steps of:

- biasing, in a first operating condition, the first and
5 second control terminals (118, 129) to a voltage having value comprised between the first threshold value (V_{TH_P}) and the second threshold value (V_{TH_T}) so as to form the first conductive channel (140); and

- biasing, in a second operating condition, the first and
10 second control terminals (118, 129) to a voltage having a value equal to, or higher than, the second threshold value (V_{TH_T}) so as to maintain the first conductive channel and form the second conductive channel (142).

15 20. The method according to claim 19, wherein in said first operating condition the semiconductor device is driven in the linear zone, and in said second operating condition the semiconductor device is driven in switching.

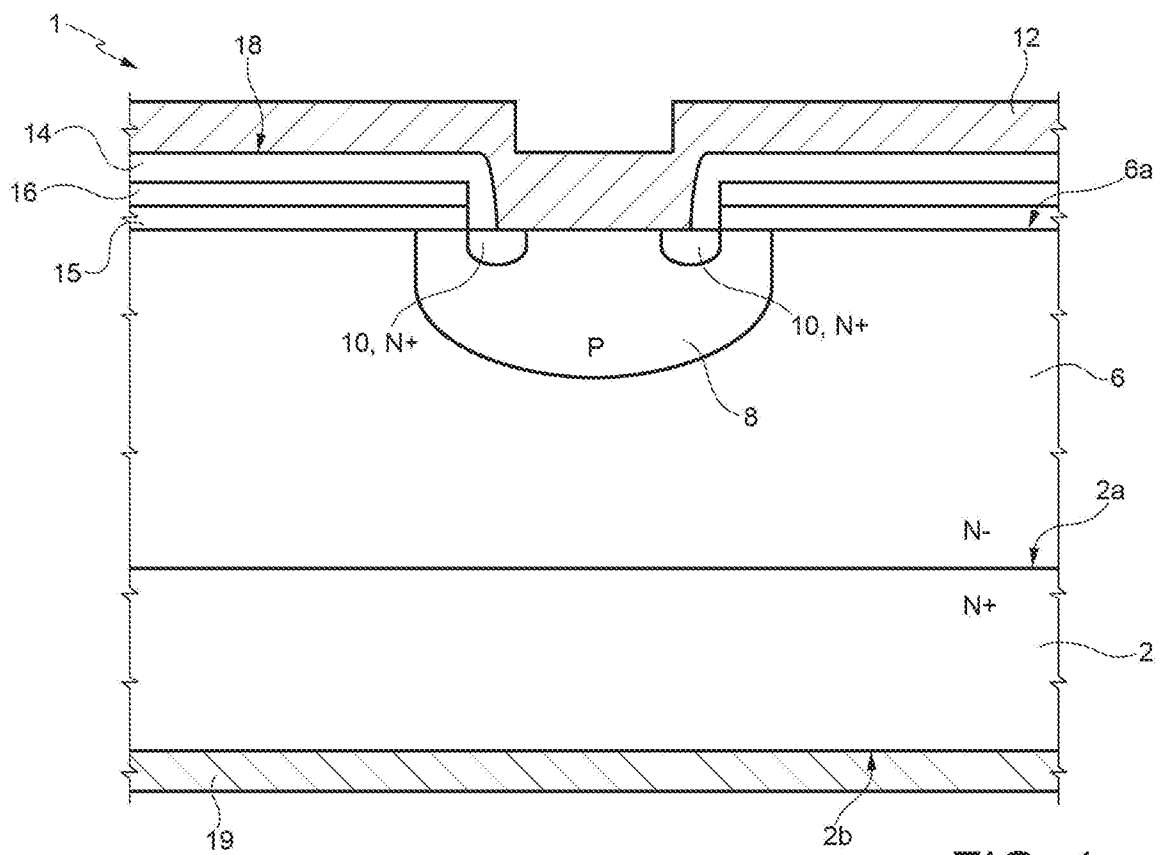


FIG. 1a

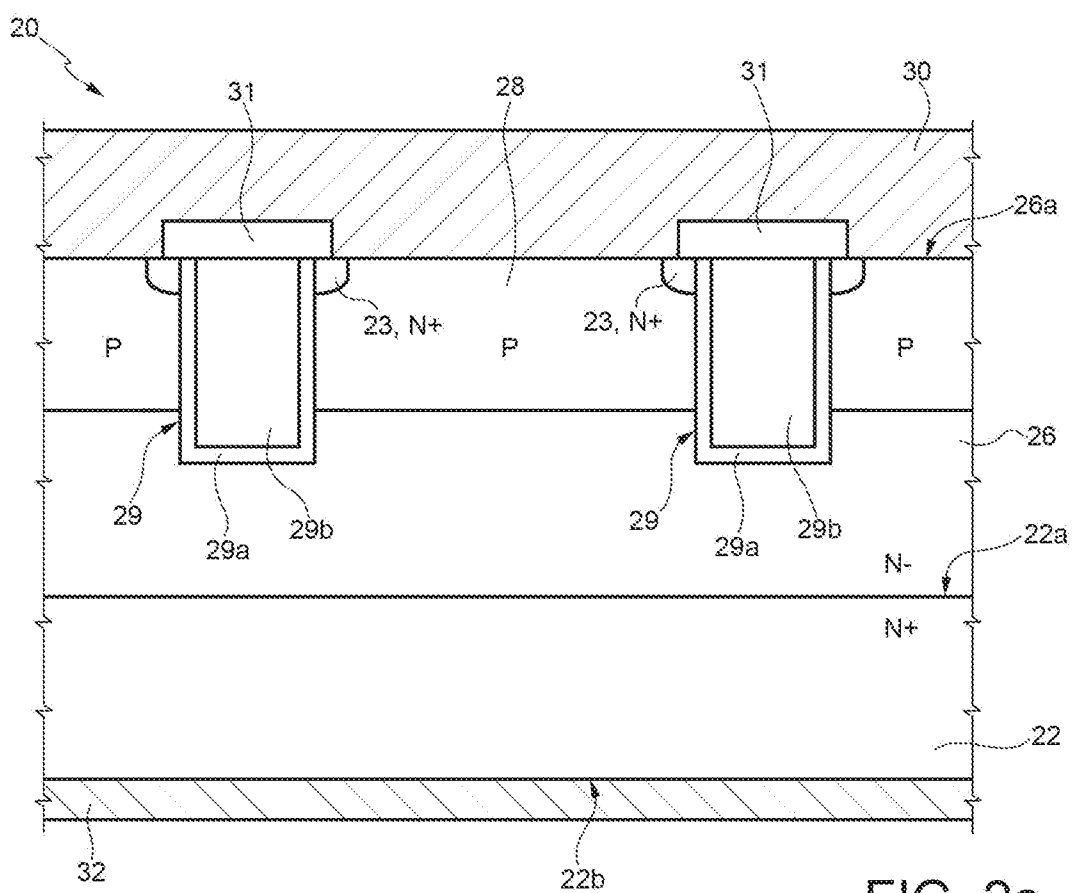


FIG. 2a

p.i.: STMICROELECTRONICS S.R.L.

Simone BERTOLOTTO
(Iscrizione Albo nr. 1422/B)

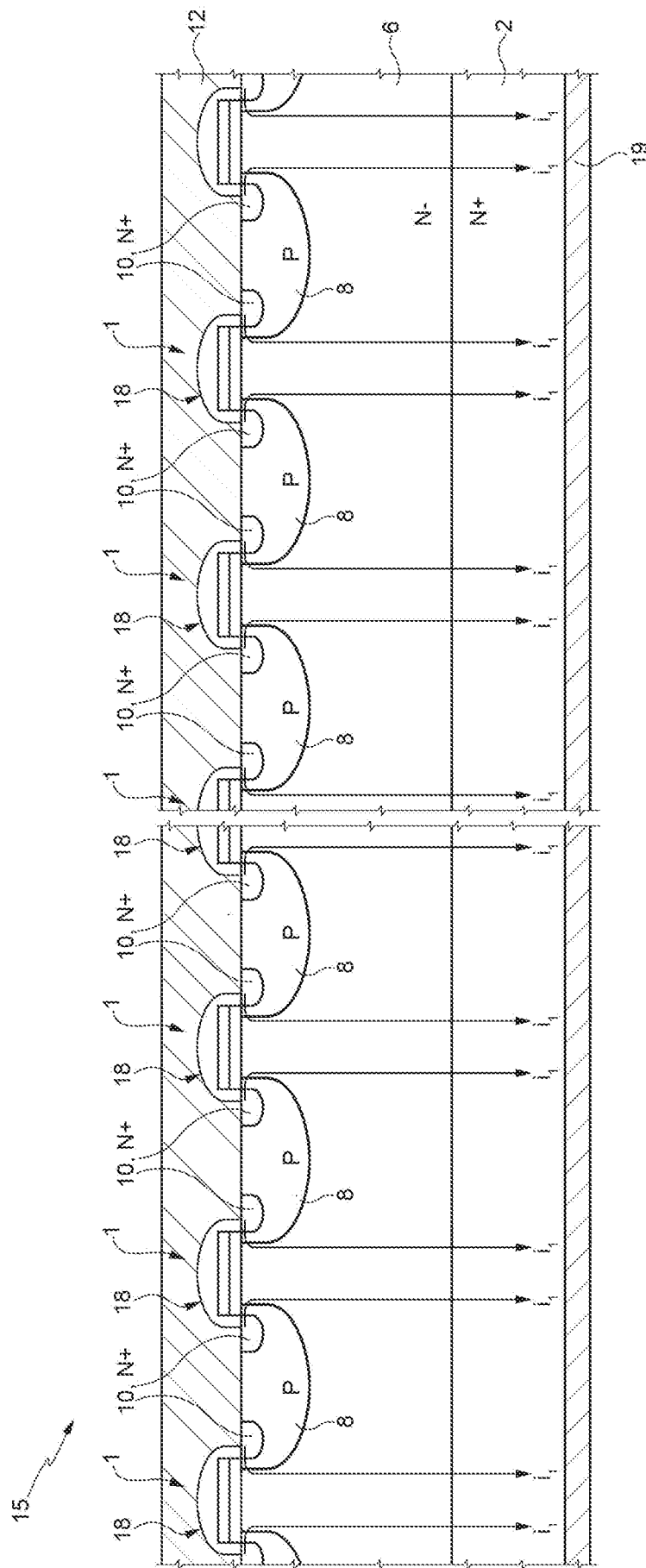


FIG. 1b

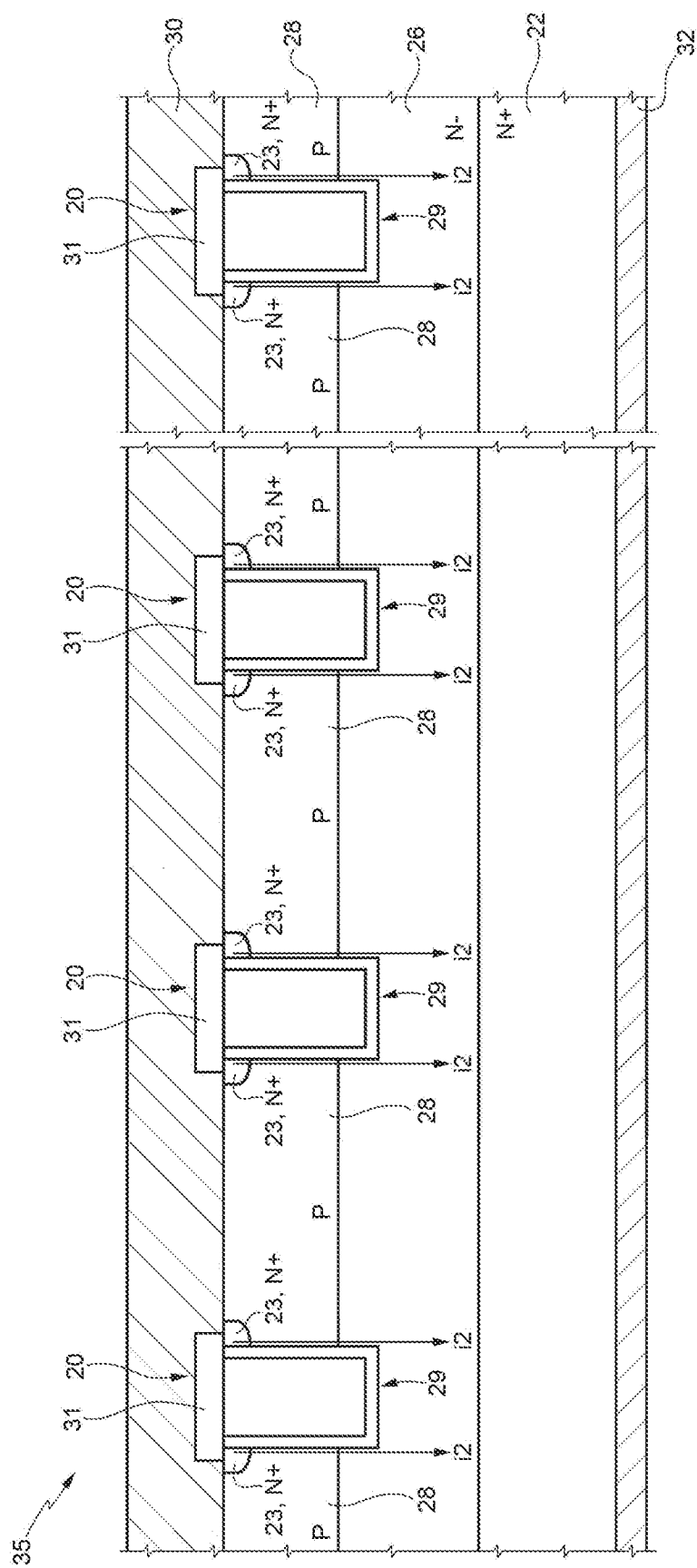


FIG. 2b

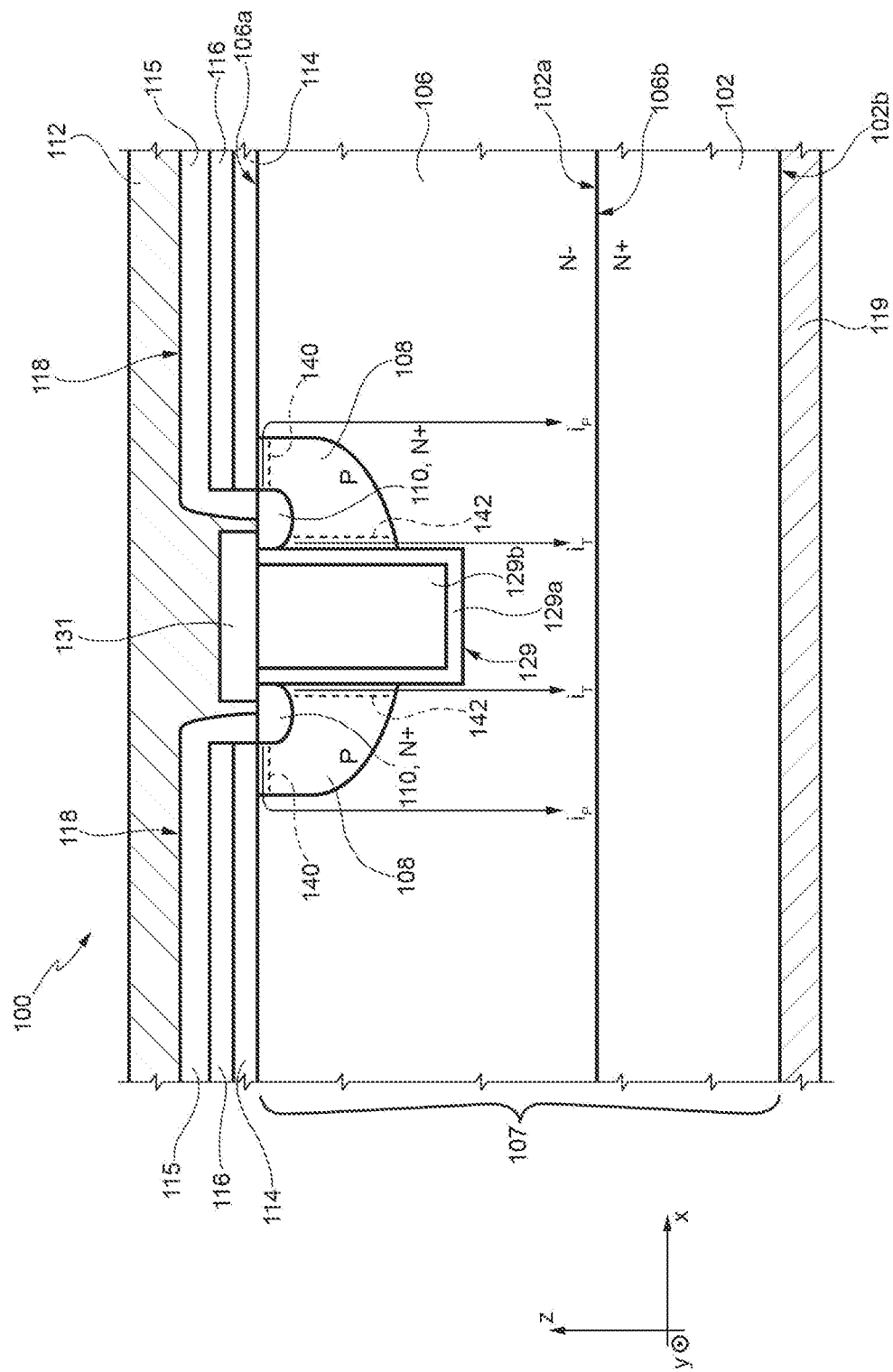


FIG. 3

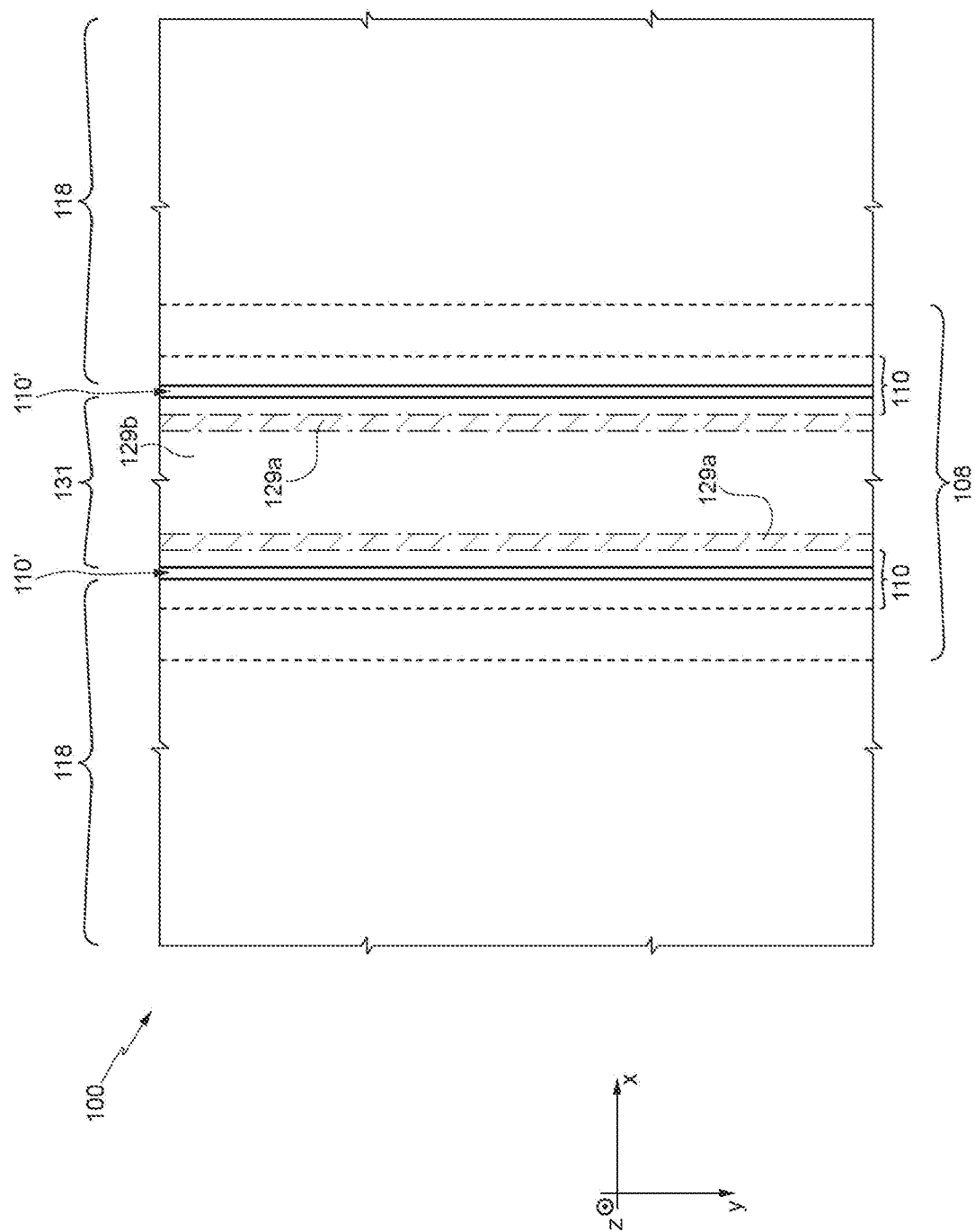


FIG. 4

p.i.: STMICROELECTRONICS S.R.L.

Simone BERTOLOTTI
(Iscrizione Albo nr. 1422/B)

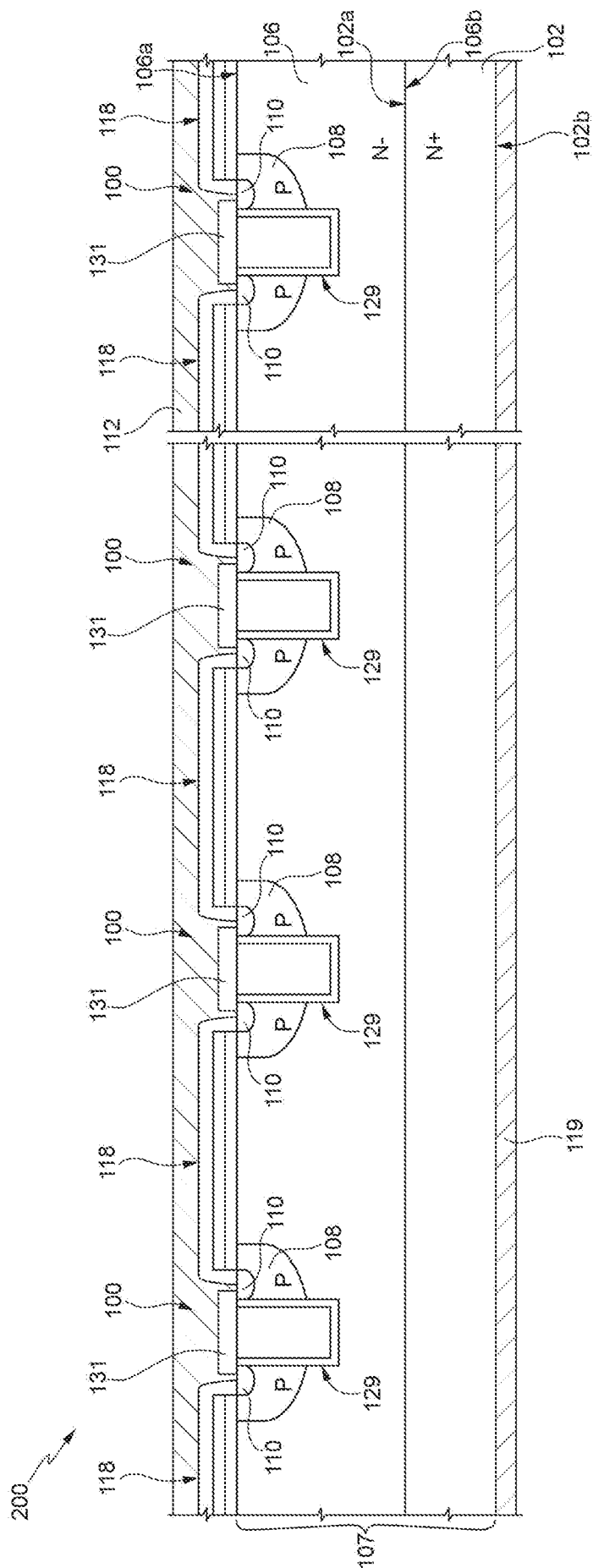


FIG. 5

p.i.: STMICROELECTRONICS S.R.L.

Simone BERTOLOTTO
(Iscrizione Albo nr. 1422/B)

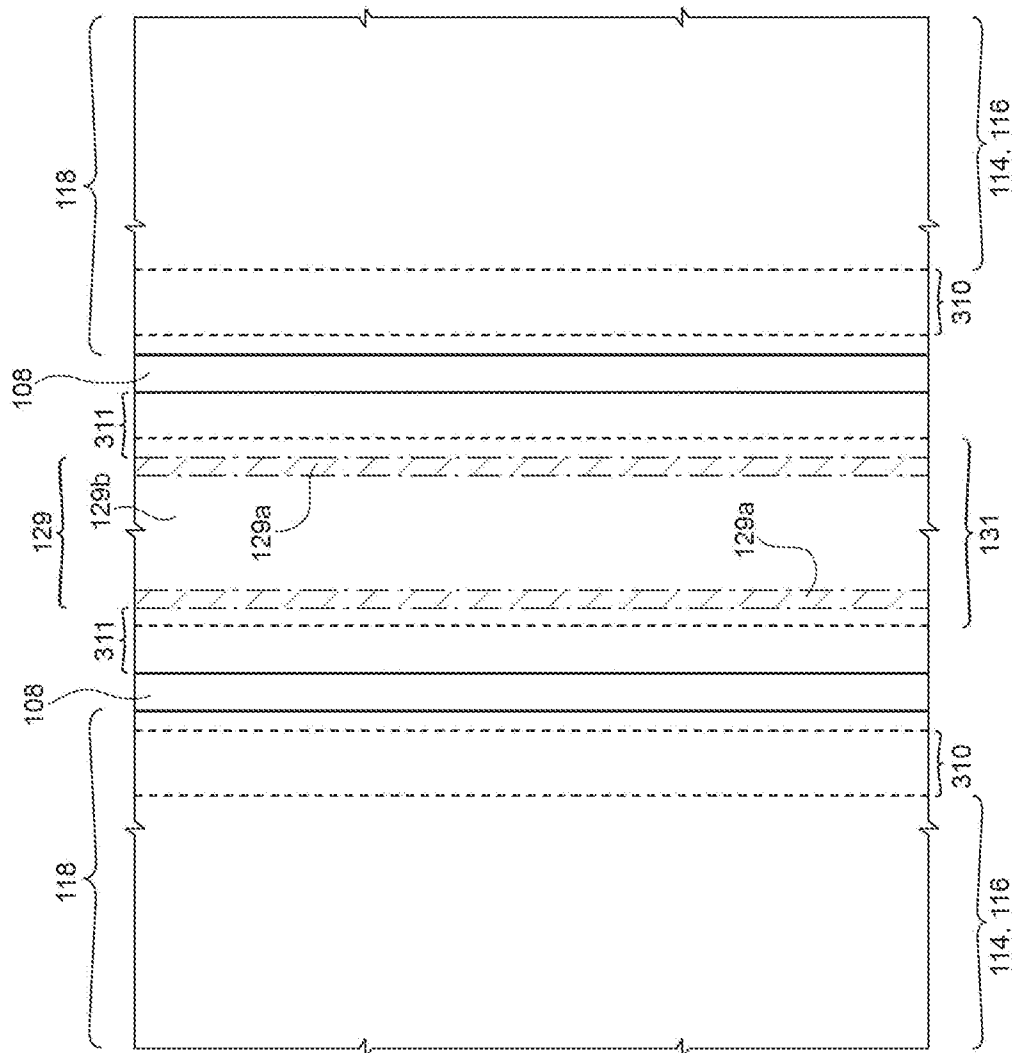
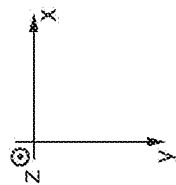


FIG. 7

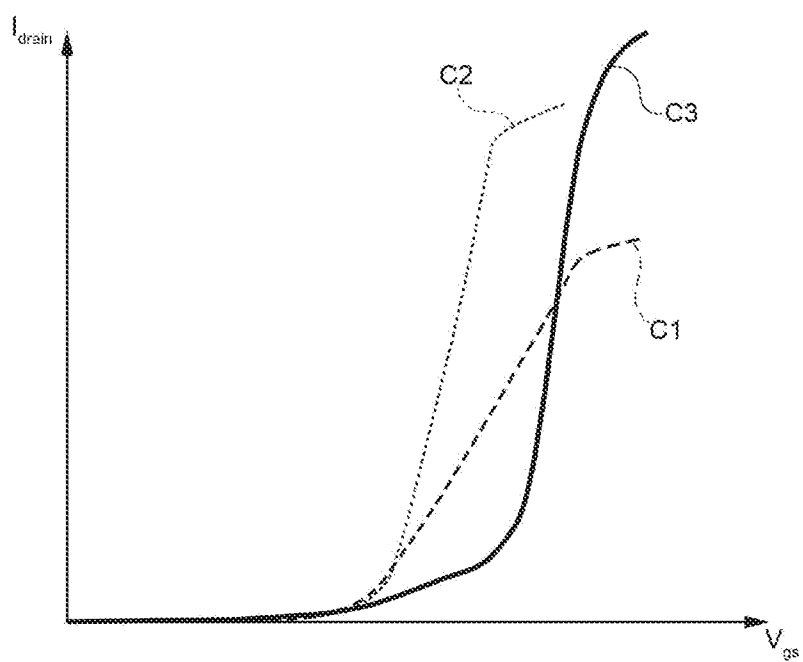


FIG. 8

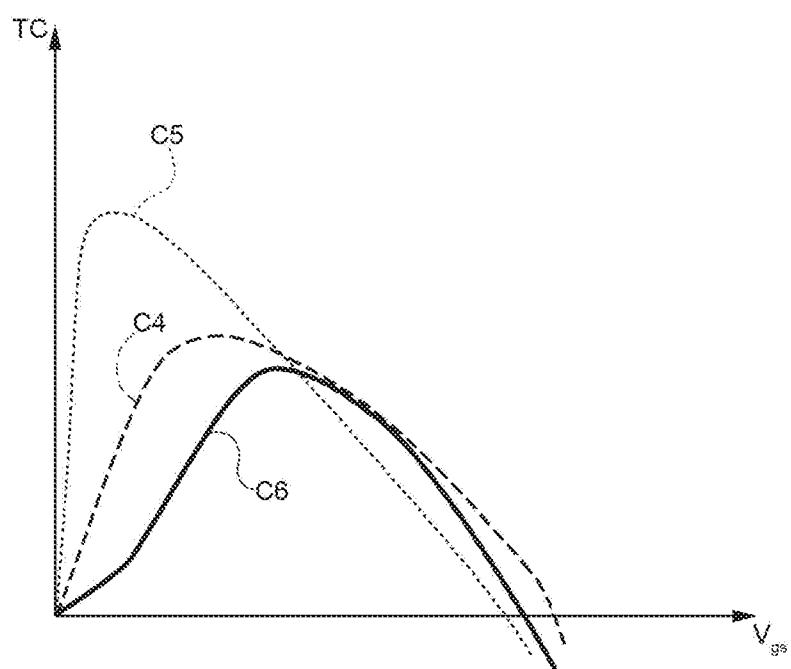
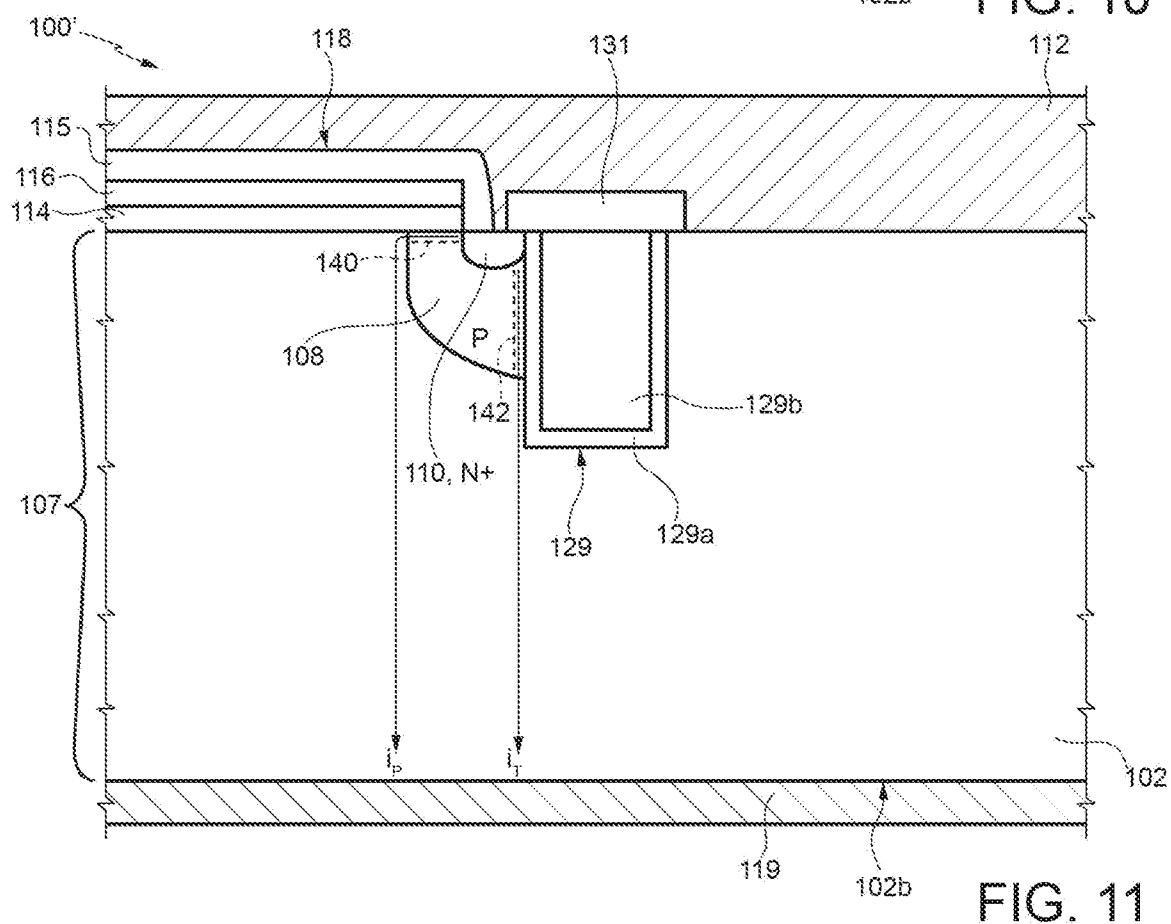
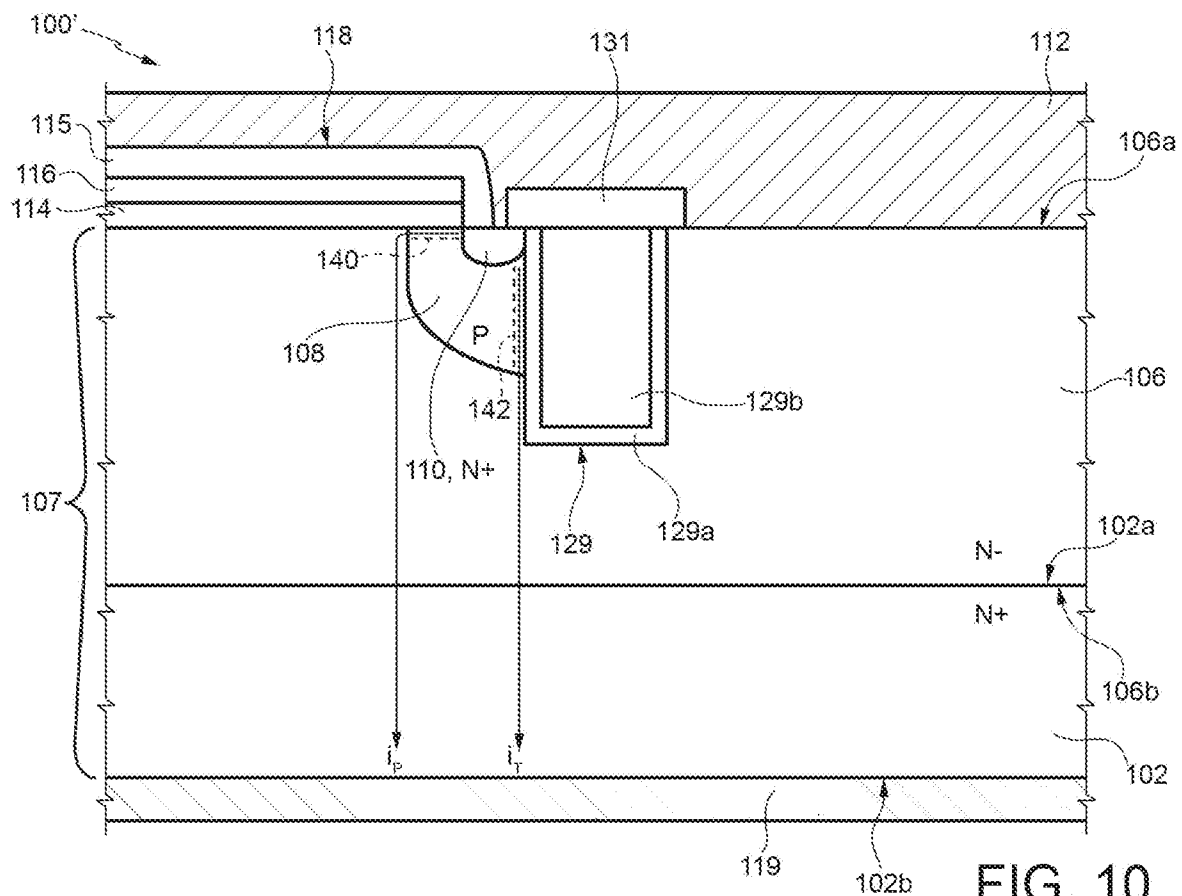
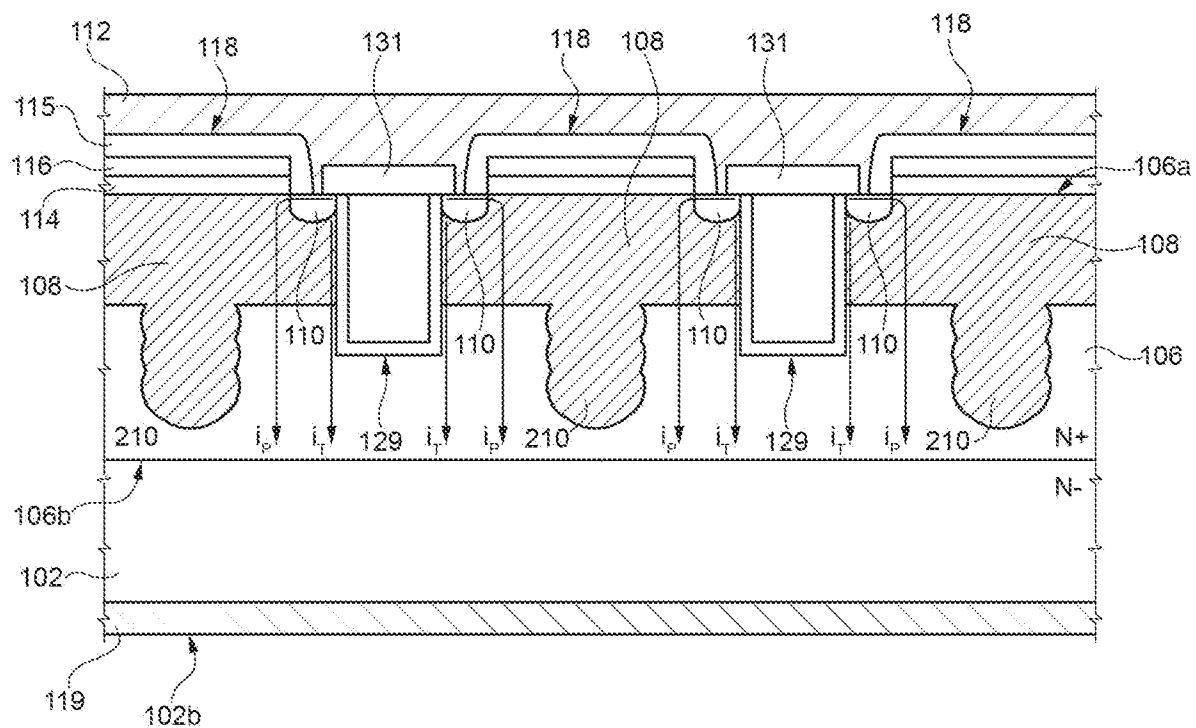
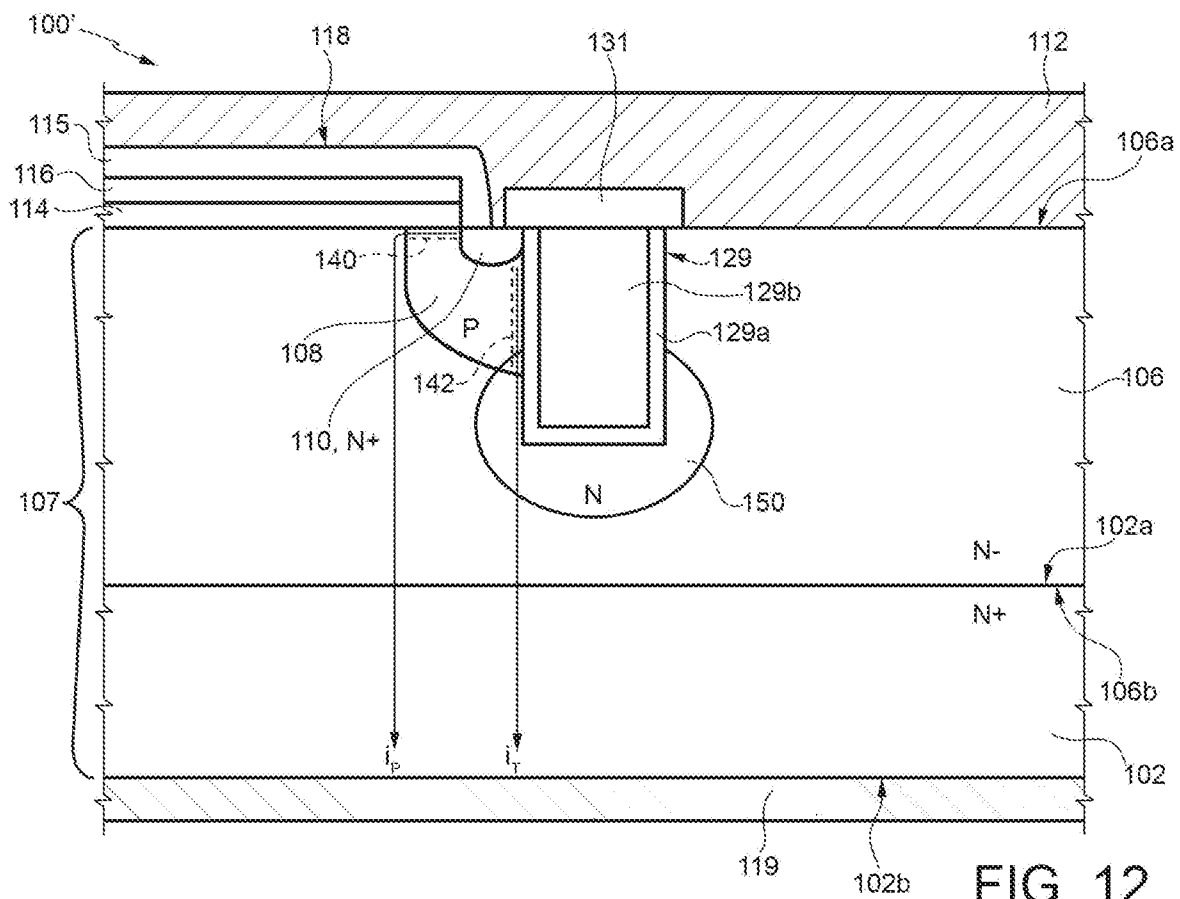


FIG. 9

p.i.: STMICROELECTRONICS S.R.L.

Simone BERTOLOTTO
(Iscrizione Albo nr. 1422/B)





p.i.: STMICROELECTRONICS S.R.L.

Simone BERTOLOTTO
(Iscrizione Albo nr. 1422/B)