

POLSKA
RZECZPOSPOLITA
LUDOWA



URZĄD
PATENTOWY
PRL

OPIS PATENTOWY

107372

Patent dodatkowy
do patentu nr _____

Zgłoszono: 16.11.77 (P. 202203)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 25.09.78

Opis patentowy opublikowano: 27.02.1982

Int. Cl². H03K 3/72

Int. Cl³. H03K 3/72

CZYTELNICIA

Urząd Patentowy
Polskiej Rzeczypospolitej Ludowej

Twórca wynalazku: Włodzimierz Semkowicz

Uprawniony z patentu: Wojskowa Akademia Techniczna
im. Jarosława Dąbrowskiego,
Warszawa (Polska)

Sposób i układ do podwajania częstotliwości sygnałów cyfrowych

Przedmiotem wynalazku jest sposób i układ do podwajania częstotliwości sygnałów cyfrowych przydatny do stosowania w cyfrowych syntezerach częstotliwości.

Znane sposoby powielania, w tym i podwajania częstotliwości polegają na wyfiltrowaniu ze zniekształconego przebiegu pierwotnego harmonicznej o wymaganej krotności przy pomocy filtru wąskopasmowego. Przy znacznej zmianie częstotliwości wejściowej konieczne jest przestrojenie filtru rezonansowego jak to jest podane np. w polskim opisie patentowym nr 96 700. Sposoby te nadają się jedynie do powielania częstotliwości zmieniających się w bardzo wąskim zakresie.

Znany jest także sposób podwajania częstotliwości przebiegu cyfrowego polegający na sumowaniu ciągów impulsów uzyskanych ze różniczkowania narastających i opadających zboczy przebiegu pierwotnego. W wyniku tego uzyskiwany jest ciąg impulsów o dwukrotnie wyższej częstotliwości lecz o małym współczynniku wypełnienia, zmieniającym się ponadto wraz ze zmianą częstotliwości podwajanej. Przebieg uzyskany w ten sposób nie nadaje się do dalszego powielania tym samym sposobem.

Znane układy pracujące według pierwszego z wymienionych sposobów składają się z członu zniekształcającego przebieg wejściowy i z filtru wąskopasmowego.

Znane układy pracujące według drugiego z wymienionych sposobów zawierają dwa człony różniczkujące i jeden sumujący.

Istota sposobu według wynalazku polega na tym, że cyfrowy sygnał wejściowy poddaje się całkowaniu w dwóch układach całkujących RC, a następnie piłokształtny sygnał z wyjścia pierwszego z tych układów porównuje się w układzie komparatora napięcia z wartością średnią sygnału wejściowego, uzyskaną na wyjściu drugiego układu całkującego przez co uzyskuje się na wyjściu komparatora przebieg opóźniony o jedną czwartą okresu w stosunku do sygnału wejściowego, który po zsumowaniu z sygnałem wejściowym w bramce modulo dwa daje na jej wyjściu sygnał o częstotliwości dwukrotnie wyższej i współczynniku wypełnienia równym pół.

Istota układu według wynalazku polega na tym, że obydwa wejścia komparatora napięcia połączone są z wejściem układu za pośrednictwem dwóch układów całkujących o różnych parametrach czasowych, a wyjście

komparatora połączone jest z jednym z wejść bramki modulo dwa, natomiast drugie wejście tej bramki połączone jest z wejściem układu, przy czym wyjście bramki stanowi wyjście całego układu.

Rozwiązanie według wynalazku pozwala na podwajanie częstotliwości symetrycznego przebiegu cyfrowego, przy czym uzyskuje się również symetryczny przebieg wyjściowy, wygodny przy dalszej obróbce np. przy dalszym powielaniu częstotliwości. Ważną zaletą rozwiązania jest możliwość pracy w bardzo szerokim paśmie częstotliwości $f_{\max} / f_{\min} \geq 100$.

Wynalazek został bliżej wyjaśniony w przykładzie wykonania na rysunku, gdzie fig. 1 przedstawia schemat ideowy układu, natomiast fig. 2 wykresy przebiegu i zmian kształtu sygnału w poszczególnych punktach układu.

W skład układu według wynalazku wchodzi dwa układy całkujące RC o stałych czasowych τ_1 i τ_2 . Zadaniem pierwszego układu całkującego τ_1 jest przekształcenie prostokątnego przebiegu wejściowego S 1 w piłokształtny sygnał S 3. Zadaniem drugiego układu całkującego τ_2 jest określenie wartości średniej S 2 przebiegu wejściowego S 1. Wyjścia układów całkujących połączone są z wejściami komparatora K. Natomiast wyjście komparatora K oraz wejście całego układu są połączone do wejść bramki sumy modulo dwa B. Wyjście bramki B jest wyjściem Wy układu podwajania częstotliwości.

Układ do podwajania częstotliwości sygnałów cyfrowych działa w ten sposób, że symetryczny sygnał cyfrowy S 1 z wejścia We układu, przekształcony zostaje przez pierwszy układ całkujący τ_1 w przebieg piłokształtny S 3 oraz przez drugi układ całkujący τ_2 , w przebieg stały S 2 równy wartości średniej sygnału S 1. Na wyjściu komparatora napięcia K porównującego sygnały S 2 i S 3 uzyskuje się sygnał S 4 o częstotliwości sygnału wejściowego S 1 lecz opóźniony w stosunku do niego o $1/4$ okresu. Wartość sygnałów S 1 i S 4 zsumowane modulo dwa przez bramkę B stanowią sygnał wyjściowy S 5 o częstotliwości dwukrotnie większej w stosunku do częstotliwości sygnału wejściowego S 1 i o współczynniku wypełnienia równym $1/2$.

Zastrzeżenia patentowe

1. Sposób podwajania częstotliwości sygnałów cyfrowych, z n a m i e n n y t y m, że cyfrowy sygnał wejściowy (S 1) poddaje się całkowaniu w dwóch układach całkujących RC, a następnie piłokształtny sygnał (S 3) uzyskany z wyjścia pierwszego układu całkującego (τ_1) porównuje się w układzie komparatora (K) napięcia z wartością średnią sygnału wejściowego (S 2), uzyskaną na wyjściu drugiego układu całkującego (τ_2) przez co otrzymuje się na wyjściu komparatora (K) przebieg (S 4) opóźniony o jedną czwartą okresu w stosunku do sygnału wejściowego (S 1), który po zsumowaniu z sygnałem wejściowym w bramce modulo dwa (B) daje na jej wyjściu sygnał (S 5) o częstotliwości dwukrotnie wyższej i współczynniku wypełnienia równym $1/2$.

2. Układ do podwajania częstotliwości sygnałów cyfrowych, z n a m i e n n y t y m, że obydwa wejścia komparatora (K) napięcia połączone są z wejściem (We) układu za pomocą dwóch układów całkujących (τ_1 oraz τ_2) o różnych stałych czasowych, a wyjście komparatora (K) połączone jest z jednym z wejść bramki modulo dwa (B), natomiast drugie wejście tej bramki połączone jest z wejściem (We) układu, przy czym wyjście bramki stanowi wyjście (Wy) całego układu.

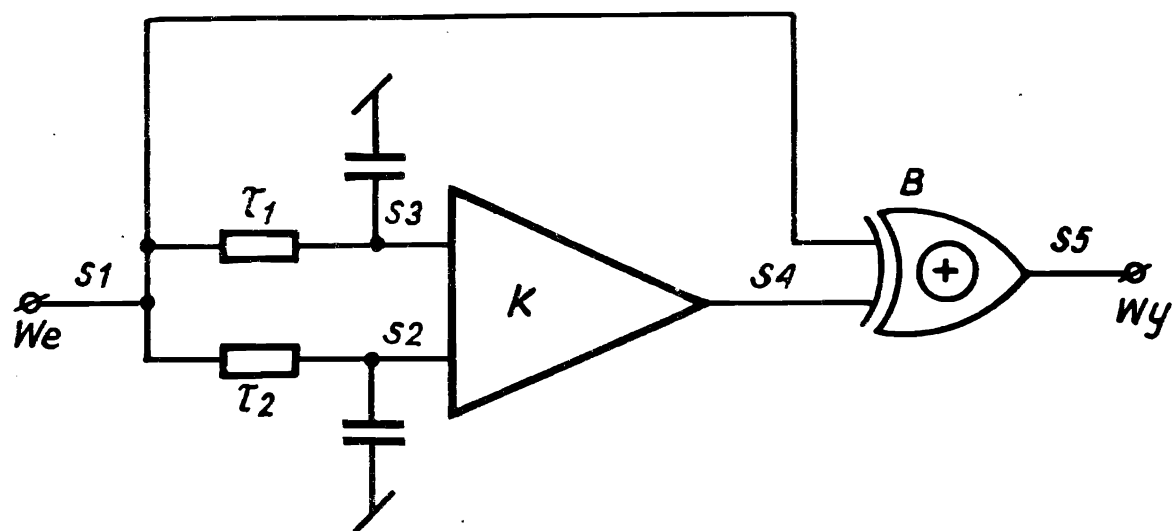


Fig. 1

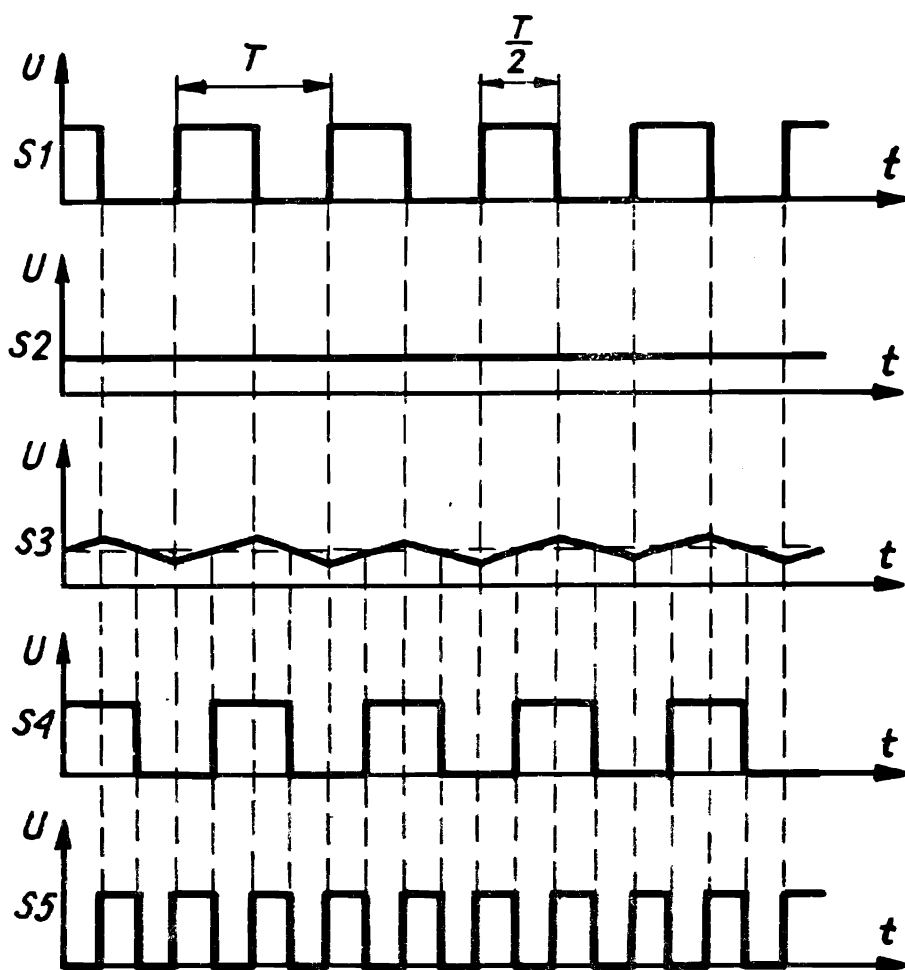


Fig. 2