

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成23年12月8日(2011.12.8)

【公開番号】特開2009-158941(P2009-158941A)

【公開日】平成21年7月16日(2009.7.16)

【年通号数】公開・登録公報2009-028

【出願番号】特願2008-304588(P2008-304588)

【国際特許分類】

H 01 L 21/336 (2006.01)

H 01 L 29/786 (2006.01)

H 01 L 21/28 (2006.01)

G 02 F 1/1368 (2006.01)

H 01 L 21/3065 (2006.01)

【F I】

H 01 L 29/78 6 2 7 C

H 01 L 29/78 6 1 7 J

H 01 L 21/28 D

H 01 L 21/28 3 0 1 R

H 01 L 21/28 3 0 1 B

G 02 F 1/1368

H 01 L 21/302 1 0 5 A

【手続補正書】

【提出日】平成23年10月24日(2011.10.24)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1の導電膜、絶縁膜、半導体膜、不純物半導体膜及び第2の導電膜を順に積層して形成し、

前記第2の導電膜上に第1のレジストマスクを形成し、

前記第1のレジストマスクを用いて、前記絶縁膜、前記半導体膜、前記不純物半導体膜及び前記第2の導電膜に第1のエッチングを行って前記第1の導電膜の少なくとも表面を露出させ、

前記第1の導電膜の一部にサイドエッチングを伴う第2のエッチングを行ってゲート電極層を形成し、

前記第2の導電膜上に第2のレジストマスクを形成し、

前記第2のレジストマスクを用いて前記第2の導電膜、前記不純物半導体膜及び前記半導体膜の一部に第3のエッチングを行ってソース電極層及びドレイン電極層、ソース領域層及びドレイン領域層並びに半導体層を形成することを特徴とする薄膜トランジスタの作製方法。

【請求項2】

第1の導電膜、絶縁膜、半導体膜、不純物半導体膜及び第2の導電膜を順に積層して形成し、

前記第2の導電膜上に第1のレジストマスクを形成し、

前記第1のレジストマスクを用いて、前記絶縁膜、前記半導体膜、前記不純物半導体膜

及び前記第2の導電膜に第1のエッティングを行って前記第1の導電膜の少なくとも表面を露出させ、

前記第2の導電膜上に第2のレジストマスクを形成し、

前記第1の導電膜の一部にサイドエッティングを伴う第2のエッティングを行ってゲート電極層を形成し、

前記第2のレジストマスクを用いて前記第2の導電膜、前記不純物半導体膜及び前記半導体膜の一部に第3のエッティングを行ってソース電極層及びドレイン電極層、ソース領域層及びドレイン領域層並びに半導体層を形成することを特徴とする薄膜トランジスタの作製方法。

【請求項3】

第1の導電膜、絶縁膜、半導体膜、不純物半導体膜及び第2の導電膜を順に積層して形成し、

前記第2の導電膜上に凹部を有する第1のレジストマスクを形成し、

前記第1のレジストマスクを用いて、前記絶縁膜、前記半導体膜、前記不純物半導体膜及び前記第2の導電膜に第1のエッティングを行って前記第1の導電膜の少なくとも表面を露出させ、

前記第1の導電膜の一部にサイドエッティングを伴う第2のエッティングを行ってゲート電極層を形成し、

前記第1のレジストマスクを後退させることで前記第1のレジストマスクの凹部と重畳する前記第2の導電膜を露出させつつ第2のレジストマスクを形成し、

前記第2のレジストマスクを用いて前記第2の導電膜、前記不純物半導体膜及び前記半導体膜の一部に第3のエッティングを行ってソース電極層及びドレイン電極層、ソース領域層及びドレイン領域層並びに半導体層を形成することを特徴とする薄膜トランジスタの作製方法。

【請求項4】

第1の導電膜、絶縁膜、半導体膜、不純物半導体膜及び第2の導電膜を順に積層して形成し、

前記第2の導電膜上に凹部を有する第1のレジストマスクを形成し、

前記第1のレジストマスクを用いて、前記絶縁膜、前記半導体膜、前記不純物半導体膜及び前記第2の導電膜に第1のエッティングを行って前記第1の導電膜の少なくとも表面を露出させ、

前記第1のレジストマスクを後退させることで前記第1のレジストマスクの凹部と重畳する前記第2の導電膜を露出させつつ第2のレジストマスクを形成し、

前記第1の導電膜の一部にサイドエッティングを伴う第2のエッティングを行ってゲート電極層を形成し、

前記第2のレジストマスクを用いて前記第2の導電膜、前記不純物半導体膜及び前記半導体膜の一部に第3のエッティングを行ってソース電極層及びドレイン電極層、ソース領域層及びドレイン領域層並びに半導体層を形成することを特徴とする薄膜トランジスタの作製方法。

【請求項5】

請求項3又は請求項4において、

前記第1のレジストマスクは多階調マスクを用いて形成することを特徴とする薄膜トランジスタの作製方法。

【請求項6】

請求項1乃至請求項5のいずれか一において、

前記第1のエッティングによって素子領域を形成し、

前記第2のエッティングによって前記素子領域の側面から概ね等しい距離だけ内側に前記ゲート電極層の側面を形成することを特徴とする薄膜トランジスタの作製方法。

【請求項7】

請求項1乃至請求項6のいずれか一において、

前記第1のエッチングはドライエッチングであり、

前記第2のエッチングはウェットエッチングであることを特徴とする薄膜トランジスタの作製方法。

【請求項8】

請求項1乃至請求項7のいずれか一に記載の方法により作製した薄膜トランジスタの前記ソース電極層及び前記ドレイン電極層に接続して画素電極を選択的に形成することを特徴とする表示装置の作製方法。

【請求項9】

請求項1乃至請求項7のいずれか一に記載の方法により薄膜トランジスタを作製し、前記薄膜トランジスタを覆って保護絶縁膜を形成し、

前記ソース電極層及び前記ドレイン電極層の一部を露出させるように前記保護絶縁膜に開口部を形成し、

前記開口部及び前記保護絶縁膜上に画素電極を選択的に形成することを特徴とする表示装置の作製方法。

【請求項10】

請求項9において、

前記保護絶縁膜は、CVD法又はスパッタリング法により形成した絶縁膜と、スピント法により形成した絶縁膜と、を積層して形成することを特徴とする表示装置の作製方法。