

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
10. Juni 2004 (10.06.2004)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2004/048985 A1

(51) Internationale Patentklassifikation⁷: **G01R 31/316**

2a, 82041 Deisenhofen (DE). **VON HAGEN, Jochen**
[DE/DE]; Ludwig-Prager-Strasse 2, 83059 Kolbermoor
(DE).

(21) Internationales Aktenzeichen: PCT/DE2003/003844

(22) Internationales Anmeldedatum:
20. November 2003 (20.11.2003)

(74) Anwälte: **KINDERMANN, Peter** usw.; Patentanwälte
Kindermann, Postfach 1330, 85627 Grasbrunn (DE).

(25) Einreichungssprache: Deutsch

(81) Bestimmungsstaaten (*national*): CN, JP, SG, US.

(26) Veröffentlichungssprache: Deutsch

(84) Bestimmungsstaaten (*regional*): europäisches Patent (AT,
BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR,
HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

(30) Angaben zur Priorität:
102 54 756.4 23. November 2002 (23.11.2002) DE

Veröffentlicht:

- mit internationalem Recherchenbericht
- vor Ablauf der für Änderungen der Ansprüche geltenden
Frist; Veröffentlichung wird wiederholt, falls Änderungen
eintreffen

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): **INFINEON TECHNOLOGIES AG** [DE/DE]; St.
Martin-Strasse 53, 81669 München (DE).

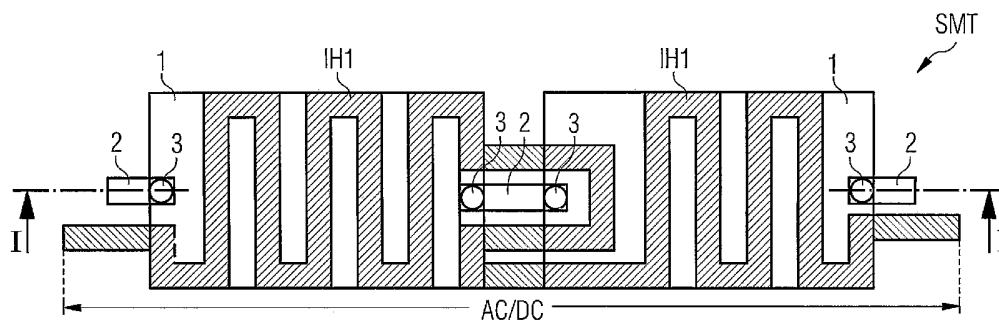
(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **FISCHER, Armin**
[DE/DE]; Hansjakobstrasse 107b, 81825 München (DE).
VON GLASOW, Alexander [DE/DE]; Kastanienallee

Zur Erklärung der Zweibuchstaben-Codes und der anderen Ab-
kürzungen wird auf die Erklärungen ("Guidance Notes on Co-
des and Abbreviations") am Anfang jeder regulären Ausgabe der
PCT-Gazette verwiesen.

(54) Title: DEVICE AND METHOD FOR DETECTING STRESS MIGRATION PROPERTIES

(54) Bezeichnung: VORRICHTUNG UND VERFAHREN ZUR ERFASSUNG VON STRESSMIGRATIONS-EIGENSCHAFTEN



(57) **Abstract:** The invention relates to a device and a method for detecting stress migration properties of a semiconductor module (IC), which is terminally mounted in a product-relevant housing (G), with a stress migration test structure (SMT) which is embodied inside the semiconductor module (IC). An integrated heating device (IH) is embodied inside or in the direct vicinity of the stress migration test structure (SMT) in order to increase accuracy even when detecting stress S_G caused by the housing.

(57) **Zusammenfassung:** Die Erfindung betrifft eine Vorrichtung und ein Verfahren zur Erfassung von Stressmigrations-Eigenschaften eines in einem produktrelevanten Gehäuse (G) endmontierten Halbleiter-Bausteins (IC) mit einer Stressmigrations-Teststruktur (SMT), die im Halbleiter-Baustein (IC) ausgebildet ist. Zur Erhöhung einer Erfassungsgenauigkeit auch einer durch das Gehäuse (G) verursachten Beanspruchung σ_G ist innerhalb oder in unmittelbarer Nähe der Stressmigrations-Teststruktur (SMT) eine integrierte Heizvorrichtung (IH) ausgebildet.

WO 2004/048985 A1

Beschreibung

Vorrichtung und Verfahren zur Erfassung von Stressmigrations-Eigenschaften

5

Die vorliegende Erfindung bezieht sich auf eine Vorrichtung und ein Verfahren zur Erfassung von Stressmigrations-Eigenschaften und insbesondere auf eine Vorrichtung und ein Verfahren zur Erfassung von Stressmigrations-Eigenschaften eines in einem produktrelevanten Gehäuse endmontierten Halbleiter-Bausteins.

Integrierte Schaltungen werden üblicherweise mit einer Vielzahl von strukturierten Metallisierungs- bzw. Leiterbahnebenen hergestellt, die voneinander durch dielektrische Zwischenisolierschichten elektrisch voneinander getrennt sind. Zur Realisierung von elektrischen Verbindungen zwischen den strukturierten Metallisierungs- bzw. Leiterbahnschichten oder zwischen den Leiterbahnschichten und einem Substrat werden an ausgewählten Orten sogenannte Kontaktlöcher bzw. Vias in den Isolierschichten ausgebildet.

Mit fortschreitender Integrationsdichte werden zur Realisierung von verbesserten Leistungsmerkmalen wie z.B. einer erhöhten Geschwindigkeit und einer vergrößerten Schaltungsfunktionalität pro Flächeneinheit die Strukturbreiten und insbesondere die Kontaktlöcher bzw. Vias zunehmend kleiner, weshalb sie insbesondere für eine sogenannte Stressmigration zunehmend empfänglich werden.

30

Im Gegensatz zu der sogenannten Elektromigration, bei der ein Massentransport von Leiterbahnmaterial auf Grund eines anliegenden Gleichstroms und insbesondere bei sehr hohen Stromdichten hervorgerufen wird, bezieht sich die in der vorliegenden Erfindung beschriebene Stressmigration auf einen Massentransport, der in Leiterbahnschichten bzw. Kontaktlöchern insbesondere auf Grund von mechanischen Spannungen bzw. Span-

35

nungsgradienten hervorgerufen wird. Derartige mechanische Spannungen, die beispielsweise aus einer Fehlanpassung von thermischen Ausdehnungskoeffizienten und von unterschiedlichen Elastizitätsmodulen der Leiterbahnschichten bzw. der dazwischen liegenden Isolatorschichten und anderer leitender und nicht leitender Zwischenschichten herrühren, führen demzufolge zu einem ähnlichen Materialtransport, der abhängig von einer Druck- oder Zugspannung bzw. Wechselbeanspruchung die Ausbildung von Hohlräumen (voids) im elektrisch leitenden Material hervorruft, wodurch ein elektrischer Widerstand von Leiterbahnen im Halbleiter-Baustein erhöht oder sogar eine Leiterbahnunterbrechung auftreten kann.

Betrachtet man beispielsweise einen Herstellungsprozess, bei dem auf einer Leiterbahnschicht (Aluminium, Kupfer, usw.), die auf einem Halbleitersubstrat oder einer dielektrischen Schicht ausgebildet ist, eine weitere Isolatorschicht, beispielsweise bei einer Temperatur von 350 Grad Celsius mittels eines CVD-Verfahrens (Chemical Vapor Deposition), abgeschieden wird, so ergeben sich bereits auf Grund der unterschiedlichen Ausdehnungskoeffizienten zwischen der Leiterbahnschicht und den angrenzenden Isolierschichten mechanische Spannungen, die beispielsweise als Zug-Beanspruchung eine Stressmigration in der Leiterbahnschicht hervorrufen. Bei Kupfermetallisierung mit Cu-Vias führen Spannungsgradienten z.B. in Folge thermischer Fehlanpassung zum Transport von Leerstellen in das Via (Bildung von Hohlräumen).

Genauer gesagt diffundieren Leerstellen zur Verringerung der Spannungsenergie in der Leiterbahnschicht, wodurch nach einer gewissen Zeit, üblicherweise mehrere Monate oder Jahre, dieser Massentransport in der Leiterbahnschicht oder den Vias Hohlräume erzeugt, die die elektrischen Eigenschaften des Halbleiter-Bausteins beeinflussen und bis zu einer Unterbrechung einer Leiterbahn führen können.

Figuren 1A bis 1C zeigen vereinfachte Schnittansichten zur Veranschaulichung herkömmlicher Vorrichtungen zur Erfassung von Stressmigrations-Eigenschaften.

- 5 Gemäß Figur 1A werden Zuverlässigkeitsuntersuchungen zur Charakterisierung der vorstehend beschriebenen Stressmigrations-Eigenschaften von Leiterbahnen und insbesondere von Metallisierungen in integrierten Schaltungen bzw. Halbleiter-Bausteinen IC üblicherweise direkt auf dem Wafer bzw. auf Waferebene durchgeführt. Dabei werden die Widerstände von unterschiedlichen Stressmigrations-Teststrukturen SMT, die in einem Halbleiter-Baustein IC ausgebildet sind, in regelmäßigen Abständen (z.B. einmal pro Stunde, Tag oder Woche) gemessen und die Abweichung vom Anfangswert bewertet. Zwischen diesen
10 Messungen werden die Wafer in einem Ofen bei Temperaturen größer 150 Grad Celsius gelagert, wodurch sich die Dauer für diese Zuverlässigkeitsuntersuchungen wesentlich auf etwa 1000 bis 2000 Stunden verringern lässt, um eine Produktlebensdauer von z.B. 15 Jahren abzusichern.
- 20 Nachteilig ist jedoch bei einer derartigen Testvorrichtung, dass die gewonnenen Ergebnisse auf Grund einer fehlenden Endmontage in einem Gehäuse nur unzureichend sind und insofern keine ausreichend genaue Erfassung der Stressmigrations-Eigenschaften des Halbleiter-Bausteins in produktnaher Umgebung ermöglichen.
- 25

- Gemäß Figur 1B kann demzufolge ein derartiger Test auch in einem endmontierten Testgehäuse TG durchgeführt werden, wobei
30 der Halbleiter-Baustein IC beispielsweise mittels Bond-Drähten oder Lötverbindungen B auf einem Bausteinträger T montiert ist, wobei als Gehäuse ein temperaturfestes Keramik-Testgehäuse verwendet wird. Obwohl auf diese Weise neben internen Spannungen σ_0 des Halbleiter-Bausteins IC auch die
35 durch die Montage bzw. die Lötverbindungen B und den Bausteinträger T des Testgehäuses TG verursachten Spannungen σ_{TG} erfasst und bewertet werden können, geben derartige Untersu-

5 chungsergebnisse insbesondere auf Grund des von einem produktrelevanten Gehäuse abweichenden Testgehäuses TG wiederum keine genauen Aussagen für die Stressmigrations-Eigenschaften der Leiterbahnsystems in einem Halbleiter-Baustein mit Produktgehäuse.

10 Gemäß Figur 1C kann weiterhin der zu untersuchende Halbleiter-Baustein IC wiederum über Lötverbindungen B und einen Bausteinträger T auch in einem produktrelevanten Kunststoffgehäuse G eingebettet sein, wobei sich jedoch hierbei die Problematik ergibt, dass bei einer entsprechenden Erwärmung auf Temperaturen T_E größer 150 Grad Celsius durch die thermische Fehlanpassung der das Leiterbahnsystem umgebenden Schichten eine Änderung des produktrelevanten Spannungszustandes verursacht wird, weshalb man keine genauen Aussagen
15 über die Stressmigrations-Eigenschaften in einem derart gepackten Halbleiter-Baustein IC erhält. Ferner kann auch die Plastik- bzw. Kunststoffmasse des Gehäuses G schmelzen bzw. weich werden, wodurch die durch dieses Kunststoffgehäuse G verursachte Spannung ebenfalls zu einer verringerten Spannung σ_G' führt.
20

Ohne diese erhöhten Temperaturen größer 150 Grad Celsius, die vorzugsweise von einer externen Heizung EH erzeugt werden,
25 sind jedoch derartige Zuverlässigkeitsuntersuchungen nicht wirtschaftlich durchführbar, da sie mehrere Monate und üblicherweise sogar mehrere Jahre beanspruchen würden.

Der Erfindung liegt daher die Aufgabe zu Grunde, eine Vorrichtung und ein Verfahren zur Erfassung von Stressmigrations-Eigenschaften eines in einem produktrelevanten Gehäuse endmontierten Halbleiter-Bausteins zu schaffen, wodurch man in relativ kurzer Zeit eine ausreichend genaue Bewertung von Stressmigrations-Eigenschaften erhält.
30

35 Erfindungsgemäß wird diese Aufgabe hinsichtlich der Vorrichtung durch die Merkmale des Patentanspruchs 1 und hinsicht-

lich des Verfahren durch die Maßnahmen des Patentanspruchs 11 gelöst.

Insbesondere durch die Verwendung einer internen Heizvorrichtung, die innerhalb oder in unmittelbarer Nähe einer Stressmigrations-Teststruktur im Halbleiter-Baustein zum lokalen Erwärmen der Stressmigrations-Teststruktur ausgebildet ist, erhält man eine ausreichende Beschleunigung zur Verringerung der Testzeiten, wobei eine durch ein produktrelevantes Gehäuse verursachte Spannung dadurch im Wesentlichen unbeeinflusst bleibt.

Vorzugsweise besteht die Stressmigrations-Teststruktur aus zumindest einem ersten Leiterbahnbereich, der in einer ersten Leiterbahnschicht ausgebildet ist, zumindest einem zweiten Leiterbahnbereich, der in einer zweiten Leiterbahnschicht ausgebildet ist und zumindest einem Verbindungsbereich, der zwischen den Leiterbahnschichten zum elektrischen Verbinden der ersten und zweiten Leiterbahnbereiche in einer ersten Isolierschicht ausgebildet ist. Da die Stressmigrations-Teststruktur demzufolge in den zur Verfügung stehenden Leiterbahnschichten des Halbleiter-Bausteins ausgebildet ist, erhält man für die ermittelten Messwerte eine hohe Aussagekraft hinsichtlich der Stressmigrations-Eigenschaften im Halbleiter-Baustein.

Vorzugsweise ist eine Oberfläche und/oder ein Volumen des ersten und/oder ein Volumen zweiten Leiterbahnbereichs wesentlich größer als eine Oberfläche und/oder ein Volumen des Verbindungsbereichs, wodurch man in Kenntnis des Layouts für die weitere Halbleiter-Schaltung eine weitere wesentliche Reduzierung der Zeitdauer für die Zuverlässigkeitsuntersuchung erhält, da die an der vergrößerten Oberfläche wirkende Spannung bzw. Beanspruchung, sowie die Anzahl von diffusionsfähigen Leerstellen im Volumen entsprechend vergrößert ist.

Zur weiteren Erhöhung einer Messgenauigkeit und der statistischen Signifikanz bei einer Untersuchung von Stressmigrations-Eigenschaften kann die Stressmigrations-Teststruktur eine Vielzahl von ersten und zweiten Leiterbahnbereichen aufweisen, die über eine Vielzahl von Verbindungsbereichen kettenförmig miteinander verbunden sind.

Vorzugsweise wird die interne Heizvorrichtung als Heiz-Leiterbahnbereich innerhalb des zumindest einen ersten oder zweiten Leiterbahnbereichs oder Verbindungsbereichs ausgebildet, wobei der Heiz-Leiterbahnbereich von einem Wechselstrom durchströmt wird. Auf diese Weise erhält man eine besonders effektive Erwärmung der zu untersuchenden Strukturen, wobei insbesondere bei Verwendung eines Wechselstroms der Einfluss von Elektromigration zuverlässig ausgeschlossen werden kann.

Hinsichtlich des Verfahrens zur Erfassung von Stressmigrations-Eigenschaften wird vorzugsweise zunächst die vorstehend beschriebene Stressmigrations-Erfassungsvorrichtung in einem Halbleiter-Baustein ausgebildet, anschließend der Halbleiter-Baustein auf einen Baustein-Träger montiert und in einem produktrelevanten Gehäuse verpackt, wobei abschließend ein Heizstrom an die integrierte Heizvorrichtung und zum Erfassen der Stressmigrations-Eigenschaften des Halbleiter-Bausteins eine Messspannung an die Stressmigrations-Teststruktur angelegt und ein Strom durch die Stressmigrations-Teststruktur gemessen wird. Auf diese Weise können erstmals auch für produktrelevante Gehäuse, wie beispielsweise Kunststoffgehäuse, die entsprechenden Stressmigrations-Eigenschaften in ausreichend kurzer Zeit hochgenau ermittelt werden.

In den weiteren Unteransprüchen sind weitere vorteilhafte Ausgestaltungen der Erfindung gekennzeichnet.

Die Erfindung wird nachstehend anhand von Ausführungsbeispielen unter Bezugnahme auf die Zeichnung näher beschrieben.

Es zeigen:

Figuren 1A bis 1C vereinfachte Schnittansichten zur Veranschaulichung einer herkömmlichen Vorrichtung und eines herkömmlichen Verfahrens zur Erfassung von Stressmigrations-Eigenschaften;

Figur 2 eine vereinfachte Schnittansicht zur Veranschaulichung einer Vorrichtung und eines Verfahrens zur Erfassung von Stressmigrations-Eigenschaften eines in einem produktrelevanten Gehäuse endmontierten Halbleiter-Bausteins;

Figur 3A eine vereinfachte Draufsicht einer Vorrichtung zur Erfassung von Stressmigrations-Eigenschaften gemäß eines ersten Ausführungsbeispiels;

Figur 3B eine vereinfachte perspektivische Ansicht der Vorrichtung gemäß Figur 3A entlang eines Schnitts I-I;

Figur 4A eine vereinfachte Draufsicht einer Vorrichtung zur Erfassung von Stressmigrations-Eigenschaften gemäß eines zweiten Ausführungsbeispiels;

Figur 4B eine vereinfachte Schnittansicht der Vorrichtung gemäß Figur 4A entlang eines Schnitts II-II; und

Figur 5 eine vereinfachte Draufsicht einer Vorrichtung zur Erfassung von Stressmigrations-Eigenschaften gemäß eines dritten Ausführungsbeispiels.

30

Figur 2 zeigt eine vereinfachte Schnittansicht einer Vorrichtung zur Erfassung von Stressmigrations-Eigenschaften, wobei gleiche Bezugszeichen gleiche oder entsprechende Elemente wie in den Figuren 1A bis 1C bezeichnen und auf eine wiederholte Beschreibung nachfolgend verzichtet wird.

35

Gemäß Figur 2 werden die Zuverlässigkeitsuntersuchungen zur Charakterisierung von Stressmigrations-Eigenschaften (insbesondere von Metallisierungen) in Halbleiter-Bausteinen IC (integrierten Schaltungen) erfindungsgemäß in einem endmontierten Zustand und nach Verpackung in einem produktrelevanten Gehäuse G durchgeführt.

Insbesondere bei sogenannten Flip-Chip-Gehäusen G werden mechanische Spannungen im Halbleiter-Baustein IC bis in den Bereich der Fließspannung von sogenannten Bulk-Materialien induziert, weshalb sie ein erhöhtes Zuverlässigkeitsrisiko darstellen. Dieser gemäß des Standes der Technik nicht bewertbare Einfluss wird gemäß Figur 2 dadurch erfasst, dass die im Halbleiter-Baustein IC integrierten Stressmigrations-Teststrukturen SMT intern oder in unmittelbarer Nähe davon eine integrierte Heizvorrichtung IH aufweisen, die lokal eine interne Temperatur T_I größer 150 Grad Celsius erzeugen kann. Demzufolge können die Außentemperaturen beispielsweise bei einer Arbeitstemperatur von $T = T_{\text{operation}}$ liegen, die ausreichend unterhalb einer kunststoffverträglichen Temperatur von maximal 150 Grad Celsius liegt. Auf diese Weise können die in produktrelevanten Gehäusen G verwendeten Kunststoffmaterialien unverändert am Halbleiter-Baustein IC sowie am Baustein-Träger T oder den Lötverbindungen bzw. -kugeln B angreifen und ihre entsprechende mechanische Beanspruchung bzw. Spannung σ_G auf den Halbleiter-Baustein IC unverändert verursachen. Darüber hinaus verbleibt auch außerhalb der Stressmigrations-Teststrukturen SMT ein vorherrschender Grundstress bzw. eine Grundbeanspruchung im Halbleitermaterial bzw. den Verdrahtungs- und/oder Isolatorschichten bei einem unveränderten Wert σ_0 , so dass sich der von der Stressmigrations-Teststruktur SMT erfassbare Stress bzw. die entsprechende Beanspruchung σ zu:

$$\sigma = \sigma_0 + \sigma_G \text{ ergibt.}$$

Gleichwohl kann mittels der integrierten Heizvorrichtung IH eine lokale Erwärmung der Stressmigrations-Teststruktur SMT auf T_1 größer 150 Grad Celsius herbeigeführt werden, wobei vorzugsweise Temperaturen in einem Bereich von 225 Grad Celsius bis 300 Grad Celsius eingestellt werden. Auf diese Weise
5 kann in relativ kurzer Zeit, d.h. 100 bis 2000 Stunden, eine Aussage über die Stressmigrations-Eigenschaften eines in einem produktrelevanten Gehäuse endmontierten Halbleiter-Bausteins IC getroffen werden.

10

Entgegen der herkömmlichen Einlagerung der Halbleiter-Bausteine IC mit ihren produktrelevanten Gehäusen G in einem Ofen, wobei die Gehäuse-Spannungszustände bis hin zum Verfließen in unerwünschter Weise verändert werden, können somit
15 erstmalig produktnahe Tests zur Charakterisierung der Stressmigrations-Eigenschaften insbesondere von Metallisierungen integrierter Schaltungen durchgeführt werden.

Figur 3A zeigt eine vereinfachte Draufsicht und Figur 3B eine perspektivische Schnittansicht entlang eines Schnitts I-I gemäß Figur 3A einer Vorrichtung zur Erfassung von Stressmigrations-Eigenschaften gemäß eines ersten Ausführungsbeispiels, wobei gleiche Bezugszeichen wiederum gleiche oder entsprechende Elemente bezeichnen und auf eine wiederholte Beschreibung
25 nachfolgend verzichtet wird.

Gemäß Figuren 3A und 3B weist die Stressmigrations-Teststruktur SMT in einer ersten Leiterbahnschicht bzw. Metallisierungsebene L1 zwei erste Leiterbahnbereiche 1 auf, die als
30 Leiterplatten mit einer relativ großen Oberfläche zur optimalen Aufnahme von mechanischen Spannungen bzw. Beanspruchungen und/oder Volumen zum Ausbilden oder Bereitstellen von Leerstellen ausgebildet sind. In einer zweiten Leiterbahnschicht bzw. Metallisierungsebene L2 sind drei zweite Leiterbahnbereiche 2 ausgebildet, die die ersten Leiterbahnbereiche 1 über Verbindungsbereiche 3 in sogenannten Kontaktlöchern oder Vias elektrisch miteinander verbinden. Die Verbindungsberei-

35

che 3 verbinden die ersten und zweiten Leiterbahnbereiche 1 und 2 demzufolge durch ein entsprechendes Kontaktloch bzw. via in einer zwischen den Leiterbahnschichten L1 und L2 liegenden ersten Isolierschicht I1.

5

Zur Verbesserung der Empfindlichkeit der Stressmigrations-Teststruktur SMT ist zumindest die Oberfläche und/oder das Volumen der ersten Leiterbahnbereiche 1 wesentlich größer als eine Oberfläche und/oder ein Volumen der Verbindungsbereiche 3, wodurch sich der stressmigrationsbedingte Materialtransport bzw. eine Hohlrumbaue (voiding) hauptsächlich in den Verbindungsbereichen 3 auswirkt. Diese durch die Stressmigration ausgebildeten Hohlräume sind in den Verbindungsbereichen 3 mit V (Void) bezeichnet.

15

In der Stressmigrations-Teststruktur SMT gemäß des ersten Ausführungsbeispiels nach Figuren 3A und 3B besitzen die ersten Leiterbahnbereiche 1 eine wesentlich größere Oberfläche und/oder Volumen als die zweiten Leiterbahnbereiche 2, wobei auch diese zweiten Leiterbahnbereiche eine entsprechend große Oberfläche und/oder Volumen aufweisen können. In dem dargestellten Ausführungsbeispiel sind diese zweiten Leiterbahnbereiche jedoch auch hervorragend geeignet für eine später beschriebene interne Heizvorrichtung.

25

Gemäß Figuren 3A und 3B besteht die Stressmigrations-Teststruktur SMT demzufolge aus einer Vielzahl von ersten Leiterbahnbereichen 1 und einer Vielzahl von zweiten Leiterbahnbereichen 2, die über eine Vielzahl von Verbindungsbereichen 3 kettenförmig miteinander verbunden sind. Auf Grund dieser kettenförmigen Struktur erhält man eine weitere Verbesserung der statistischen Signifikanz zur Erfassung von Stressmigrations-Eigenschaften in einem Halbleiter-Baustein.

35

Zur lokalen Erwärmung der Stressmigrations-Teststruktur SMT ist im ersten Ausführungsbeispiel gemäß Figuren 3A und 3B außerhalb der ersten Leiterbahnbereiche 1 und der zweiten Lei-

terbahnbereiche 2 oder der Verbindungsbereiche 3 eine integrierte Heizvorrichtung in Form von sich erwärmenden Leiterbahnstrukturen ausgebildet.

5 Genauer gesagt ist gemäß Figur 3B in der zweiten Leiterbahnschicht L2 unterhalb der ersten Leiterbahnbereiche 1 und zwischen den zweiten Leiterbahnbereichen 2 ein beispielsweise mäanderförmig strukturiertes Leiterband IH1 ausgebildet, welches mit einem Heizstrom durch Joule'sche Erwärmung aufge-
10 heizt werden kann. Der Heizstrom dieser unteren integrierten Heizvorrichtung IH1 kann gemäß Figur 3A beispielsweise ein Wechselstrom oder ein Gleichstrom AC/DC sein.

Ferner kann gemäß Figur 3B auch in einer durch eine zweite
15 Isolierschicht I2 beabstandete und demzufolge über der ersten Leiterbahnschicht L1 liegenden Leiterbahnschicht L3 eine obere integrierte Heizvorrichtung IH2 ausgebildet sein, die beispielsweise wiederum mäanderförmig strukturiert sein kann. Eine Erwärmung erfolgt hierbei in gleicher Weise wie bei der
20 unteren integrierten Heizvorrichtung IH1 über einen Gleich- oder Wechselstrom.

Vorzugsweise weist die integrierte Heizvorrichtung IH1 und
25 IH2 ein polykristallines Halbleitermaterial und insbesondere Polysilizium auf, wodurch man besonders gute Wärmeleiteigenschaften erhält. Es können jedoch in gleicher Weise auch Metall-Materialien verwendet werden. Die in dieser unteren und oberen internen Heizvorrichtung IH1 und IH2 erzeugten Temperaturen liegen üblicherweise über 150 Grad Celsius und vor-
30 zugsweise in einem Temperaturbereich von 225 Grad Celsius bis 300 Grad Celsius, wodurch man die Stressmigration insbesondere in den ersten Leiterbahnbereichen 1 optimal beschleunigen kann, ohne dabei eine wesentliche Änderung der Beanspruchungen σ_0 im Halbleiter-Baustein IC und insbesondere der durch
35 das Kunststoffgehäuse G hervorgerufenen Beanspruchungen σ_G zu verursachen.

Insbesondere bei Verwendung von Silizium als Halbleitermaterial für den Halbleiter-Baustein IC erhält man auf Grund der guten Wärmeleiteigenschaften von Silizium eine ausschließlich lokale Erwärmung, die nur auf ein sehr kleines Gebiet unmittelbar in der Nähe der Stressmigrations-Teststruktur SMT beschränkt ist.

Figur 4A zeigt eine vereinfachte Draufsicht und Figur 4B eine vereinfachte Schnittansicht entlang eines Schnitts II-II in Figur 4A einer Vorrichtung zur Erfassung von Stressmigrations-Eigenschaften gemäß eines zweiten Ausführungsbeispiels, wobei gleiche Bezugszeichen gleiche oder entsprechende Elemente wie in Figuren 3A und 3B bezeichnen und auf eine wiederholte Beschreibung nachfolgend verzichtet wird.

Gemäß Figur 4A und 4B besitzt die Stressmigrations-Teststruktur wiederum den gleichen Aufbau wie die Stressmigrations-Teststruktur gemäß des ersten Ausführungsbeispiels, wobei jedoch nunmehr die integrierte Heizvorrichtung unmittelbar in bzw. innerhalb der Stressmigrations-Teststruktur SMT ausgebildet ist. Genauer gesagt weist die Heizvorrichtung gemäß des zweiten Ausführungsbeispiels einen internen Heiz-Leiterbahnbereich IH innerhalb des zumindest ersten Leiterbahnbereichs 1 oder des zweiten Leiterbahnbereichs 2 oder der Verbindungsbereiche 3 auf, wobei der Heiz-Leiterbahnbereich von einem Heizstrom AC durchströmt wird. Vorzugsweise weist der Heizstrom AC einen hohen Wechselstromanteil auf, wobei er vorzugsweise nur Wechselstromkomponenten besitzt. Auf diese Weise kann eine durch Gleichstrom verursachte nicht erwünschte Elektromigration verhindert werden, die eine Messgenauigkeit bei der Erfassung der gewünschten Stressmigrations-Eigenschaften beeinträchtigen würde.

Der Heizstrom AC wird gemäß Figuren 4A und 4B über Anschlussbereiche A unmittelbar an die äußersten zweiten Leiterbahnbereiche 2 der kettenförmig ausgebildeten Stressmigrations-Teststruktur SMT angelegt, wobei insbesondere bei der darge-

stellten Strukturierung der zweiten Leiterbahnbereiche 2 mit ihren relativ geringen Oberflächen und/oder Volumen und bei Verwendung von gleichartigen Leiterbahnmaterialien eine Joule'sche Erwärmung hauptsächlich in diesen zweiten Leiterbahnbereichen 2 stattfindet, und die ersten Leiterbahnbereiche 1 kaum zur Erwärmung beitragen, jedoch durch Wärmeleitung aufgeheizt werden.

Gemäß Figur 4B entsteht auf diese Weise wiederum auf Grund von Stressmigration insbesondere in den Verbindungsbereichen 3 ein Hohlraum bzw. Void V, der gegebenenfalls zu einer Verschlechterung der elektrischen Leitfähigkeit bzw. im Extremfall zu einer Unterbrechung der Verbindung führt. Da gemäß dieses zweiten Ausführungsbeispiels auch die Verbindungsbereiche 3 mit Heizstrom durchströmt werden, sollte möglichst keine Gleichstromkomponente im Heizstrom AC vorhanden sein um Schädigungen durch Elektromigration zu vermeiden.

Figur 5 zeigt eine vereinfachte Draufsicht einer Stressmigrations-Teststruktur SMT gemäß eines dritten Ausführungsbeispiels, wobei wiederum gleiche Bezugszeichen gleiche oder entsprechende Elemente wie in den Figuren 3 und 4 bezeichnen und auf eine wiederholte Beschreibung nachfolgend verzichtet wird.

Die Vorrichtung gemäß Figur 5 entspricht hierbei im Wesentlichen der Vorrichtung gemäß des zweiten Ausführungsbeispiels, wobei wiederum die interne Heizvorrichtung IH innerhalb bzw. als Teil der Stressmigrations-Teststruktur ausgebildet ist.

Im Gegensatz zu den Figuren 4A und 4B wird nunmehr jedoch nicht die gesamte Stressmigrations-Teststruktur SMT mit einem Heizstrom AC belastet und somit durch Joule'sche Erwärmung erhitzt, sondern lediglich ein zwischen den ersten Leiterbahnbereichen 1 liegender zweiter Leiterbahnbereich 2 an den Heizstrom AC über Anschlussbereiche A angeschlossen. Somit erfolgt die Erwärmung der Struktur lediglich in diesem zwi-

schen den ersten Leiterbahnbereichen 1 liegenden zweiten Leiterbahnbereich 2, wodurch sich eine elektrische Belastung der Verbindungsbereiche bzw. Vias 3 vermeiden lässt. Auf Grund der ausreichenden Wärmeleitung werden dennoch diese unmittelbar angrenzenden Leiterbahnbereiche 3 ausreichend von der unteren bzw. zweiten Leiterbahnschicht L2 erhitzt, so dass man eine ausreichend beschleunigte Stressmigration erhält. Wiederum sollte zur Vermeidung von Schädigungen durch Elektromigration möglichst keine Gleichstromkomponente im Heizstrom AC vorhanden sein.

Als Materialien für die jeweiligen Leiterbahnschichten und Verbindungsbereiche können die jeweils in Halbleiter-Bausteinen zur Verfügung stehenden Leiterbahn- bzw. Metallisierungsmaterialien verwendet werden, wobei insbesondere Kupfer und/oder Aluminium als Materialien für die Leiterbahnschichten und Kupfer, Aluminium oder Wolfram für die Verbindungsbereiche verwendet werden können.

Hinsichtlich des Verfahrens zur Erfassung von Stressmigrations-Eigenschaften eines in einem produktrelevanten Gehäuse endmontierten Halbleiter-Bausteins wird vorgeschlagen, dass zunächst die vorstehend beschriebenen Stressmigrations-Teststrukturen mit ihren jeweiligen internen oder unmittelbar in der Nähe ausgebildeten integrierten Heizvorrichtungen im Halbleiter-Baustein ausgebildet werden, wobei anschließend der Halbleiter-Baustein auf einem Baustein-Träger T, der vorzugsweise einen Anschlussrahmen bzw. Lead Frame eines Flip-Chip-Gehäuses darstellt, montiert wird. Anschließend wird das produktrelevante Gehäuse vorzugsweise mittels eines Kunststoff-Spritzguss-Verfahrens ausgebildet und nach dem Auskühlen bzw. Erhärten des Kunststoffes die eigentliche Zuverlässigkeitsuntersuchung im endmontierten Zustand durchgeführt. Hierbei wird zunächst ein Heizstrom an die integrierte Heizvorrichtung angelegt und ferner zur Erfassung der Stressmigrations-Eigenschaften des Halbleiter-Bausteins eine Messspannung an die Stressmigrations-Teststruktur angelegt und

ein durch die Stressmigrations-Teststruktur fließender Strom gemessen. Das Anlegen des Heizstroms sowie das Anlegen der Messspannung kann hierbei gleichzeitig oder zeitlich voneinander getrennt durchgeführt werden, wodurch man eine weitere Vereinfachung des Testverfahrens und Beschleunigung erhält.

Die Erfindung wurde vorstehend anhand eines in einem Flip-Chip-Gehäuse gepackten Halbleiter-Bausteins beschrieben. Sie ist jedoch nicht darauf beschränkt und umfasst in gleicher Weise alle weiteren produktrelevanten Gehäuse. In gleicher Weise ist die Stressmigrations-Teststruktur nicht auf die dargestellte Form beschränkt, sondern umfasst in gleicher Weise alle alternativen Formen und Ausgestaltungen, wobei eine integrierte Heizvorrichtung innerhalb oder in unmittelbarer Nähe der Stressmigrations-Teststruktur eine lokale Erwärmung herbeiführt.

Patentansprüche

1. Vorrichtung zur Erfassung von Stressmigrations-Eigenschaften eines in einem produktrelevanten Gehäuse (G) endmontierten Halbleiter-Bausteins (IC) mit
5 einer Stressmigrations-Teststruktur (SMT), die im Halbleiter-Baustein (IC) zum Erfassen der Stressmigrations-Eigenschaften ausgebildet ist; und
einer integrierten Heizvorrichtung (IH), die innerhalb oder
10 in unmittelbarer Nähe der Stressmigrations-Teststruktur (SMT) im Halbleiter-Baustein (IC) zum lokalen Erwärmen der Stressmigrations-Teststruktur (SMT) ausgebildet ist.
2. Vorrichtung nach Patentanspruch 1,
15 d a d u r c h g e k e n n z e i c h n e t, dass die Stressmigrations-Teststruktur (SMT) zumindest einen ersten Leiterbahnbereich (1) in einer ersten Leiterbahnschicht (L1), zumindest einen zweiten Leiterbahnbereich (2) in einer zweiten Leiterbahnschicht (L2), und
20 zumindest einen Verbindungsbereich (3) zum elektrischen Verbinden der Leiterbahnbereiche (1, 2) durch eine erste Isolierschicht (I1), die zwischen den Leiterbahnschichten (L1, L2) ausgebildet ist, aufweist.
3. Vorrichtung nach Patentanspruch 2,
25 d a d u r c h g e k e n n z e i c h n e t, dass eine Oberfläche und/oder ein Volumen des ersten und/oder zweiten Leiterbahnbereichs (1, 2) wesentlich größer ist als eine Oberfläche und/oder ein Volumen des Verbindungsbereichs (3).
30
4. Vorrichtung nach einem der Patentansprüche 1 bis 3,
d a d u r c h g e k e n n z e i c h n e t, dass das produktrelevante Gehäuse (G) ein Kunststoffgehäuse darstellt.
5. Vorrichtung nach einem der Patentansprüche 2 bis 4,
35 d a d u r c h g e k e n n z e i c h n e t, dass die Stressmigrations-Teststruktur (SMT) eine Vielzahl von ersten

und zweiten Leiterbahnbereichen (1, 2) aufweist, die über eine Vielzahl von Verbindungsbereichen (3) kettenförmig miteinander verbunden sind.

5 6. Vorrichtung nach einem der Patentansprüche 2 bis 5,
d a d u r c h g e k e n n z e i c h n e t, dass die integrierte Heizvorrichtung (IH) einen Heiz-Leiterbahnbereich (IH1, IH2) außerhalb des zumindest einen ersten oder zweiten Leiterbahnbereichs (1, 2) oder Verbindungsbereichs (3) auf-
10 weist, wobei der Heiz-Leiterbahnbereich von einem Heizstrom (AC, DC) durchströmt wird.

7. Vorrichtung nach Patentanspruch 6,
d a d u r c h g e k e n n z e i c h n e t, dass der Heiz-
15 Leiterbahnbereich (IH1, IH2) in der ersten Leiterbahnschicht (L1), der zweiten Leiterbahnschicht (L2) oder einer weiteren an den ersten oder zweiten Leiterbahnbereich (1, 2) angrenzenden Leiterbahnschicht (L3) ausgebildet ist.

20 8. Vorrichtung nach einem der Patentansprüche 2 bis 5,
d a d u r c h g e k e n n z e i c h n e t, dass die integrierte Heizvorrichtung einen Heiz-Leiterbahnbereich (IH) innerhalb des zumindest einen ersten oder zweiten Leiterbahnbereichs (1, 2) oder des Verbindungsbereichs (3) aufweist, wo-
25 bei der Heiz-Leiterbahnbereich (IH) von einem Heizstrom (AC) durchströmt wird.

9. Vorrichtung nach Patentanspruch 8,
d a d u r c h g e k e n n z e i c h n e t, dass der Heiz-
30 strom (AC) einen hohen Wechselstromanteil aufweist.

10. Vorrichtung nach einem der Patentansprüche 1 bis 9,
d a d u r c h g e k e n n z e i c h n e t, dass die integrierte Heizvorrichtung (IH) Polysilizium oder Metall und der
35 Halbleiter-Baustein (IC) ein Silizium-Halbleitermaterial aufweist.

11. Verfahren zur Erfassung von Stressmigrations-
Eigenschaften eines in einem produktrelevanten Gehäuse (G)
endmontierten Halbleiter-Bausteins (IC) mit den Schritten:
a) Ausbilden einer Erfassungsvorrichtung nach einem der Pa-
5 tentansprüche 1 bis 10 in einem Halbleiter-Baustein (IC);
b) Montieren des Halbleiter-Bausteins (IC) auf einem Bau-
stein-Träger (T);
c) Ausbilden eines produktrelevanten Gehäuses (G) um den
montierten Halbleiter-Baustein (IC);
10 d) Anlegen eines Heizstroms (AC, DC) an die integrierte
Heizvorrichtung (IH); und
e) Anlegen einer Messspannung an die Stressmigrations-
Teststruktur (SMT) und Messen eines Stroms durch die Stress-
migrations-Teststruktur (SMT) zum Erfassen der Stressmigrati-
15 ons-Eigenschaften des Halbleiter-Bausteins.

12. Verfahren nach Patentanspruch 11,
d a d u r c h g e k e n n z e i c h n e t, dass in Schritt
c) als Baustein-Träger (T) ein Flip-chip-Träger montiert
20 wird.

13. Verfahren nach einem der Patentansprüche 11 bis 12,
d a d u r c h g e k e n n z e i c h n e t, dass in Schritt
25 c) ein Kunststoff-Spritzguss-Verfahren durchgeführt wird.

14. Verfahren nach einem der Patentansprüche 11 bis 13,
d a d u r c h g e k e n n z e i c h n e t, dass in Schritt
d) ein Heizstrom zum Erzeugen einer lokalen Temperatur (T_1)
30 größer 150 Grad Celsius und insbesondere zum Erzeugen einer
Temperatur (T_1) in einem Bereich von 225 Grad Celsius bis 300
Grad Celsius angelegt wird.

15. Verfahren nach einem der Patentansprüche 11 bis 14,
35 d a d u r c h g e k e n n z e i c h n e t, dass die
Schritte d) und e) gleichzeitig oder zeitlich voneinander ge-
trennt durchgeführt werden.

FIG 1A Stand der Technik

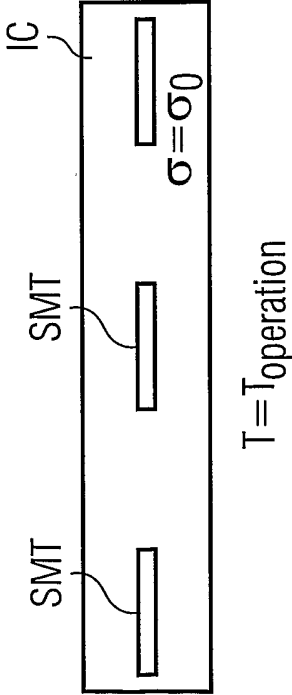


FIG 1B Stand der Technik

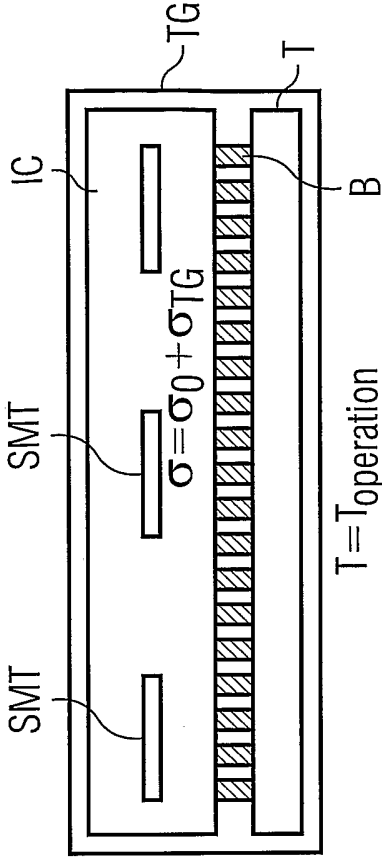


FIG 1C Stand der Technik

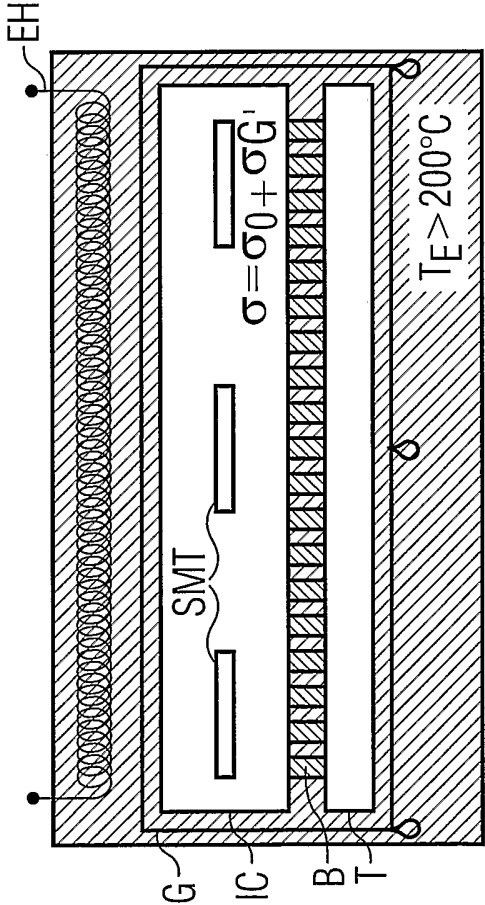
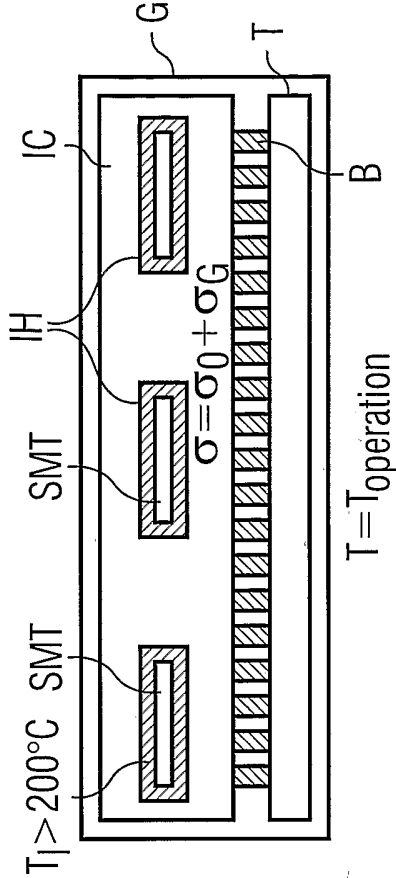
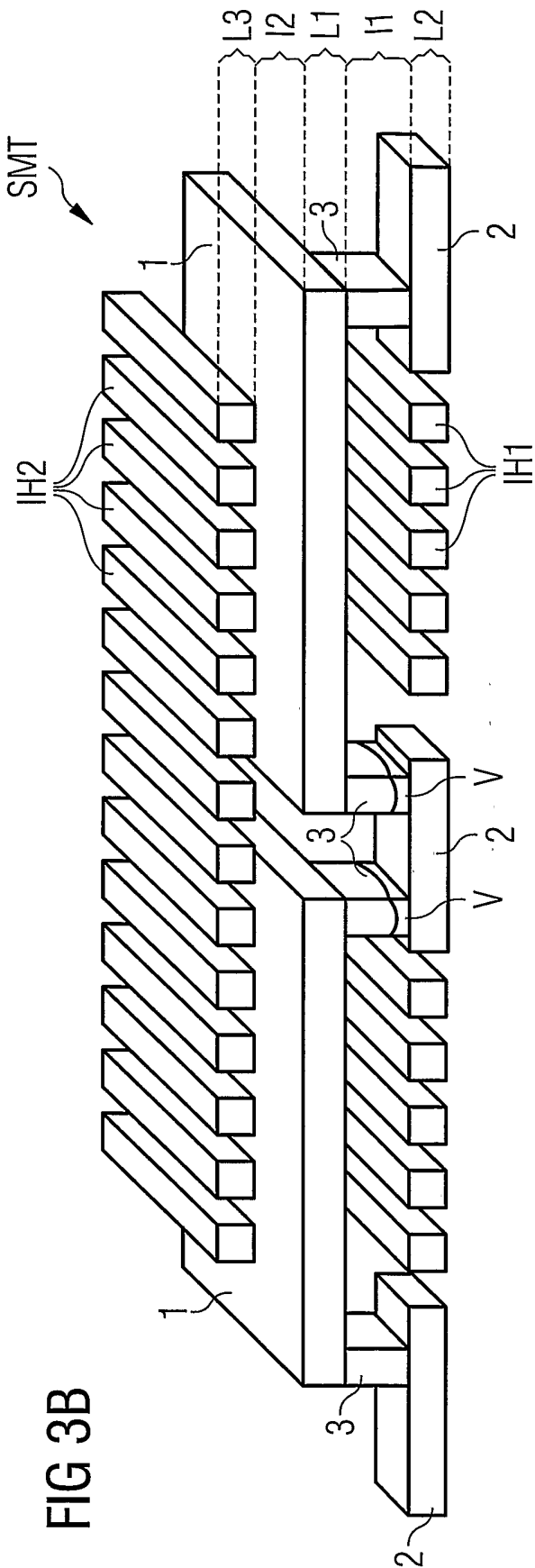
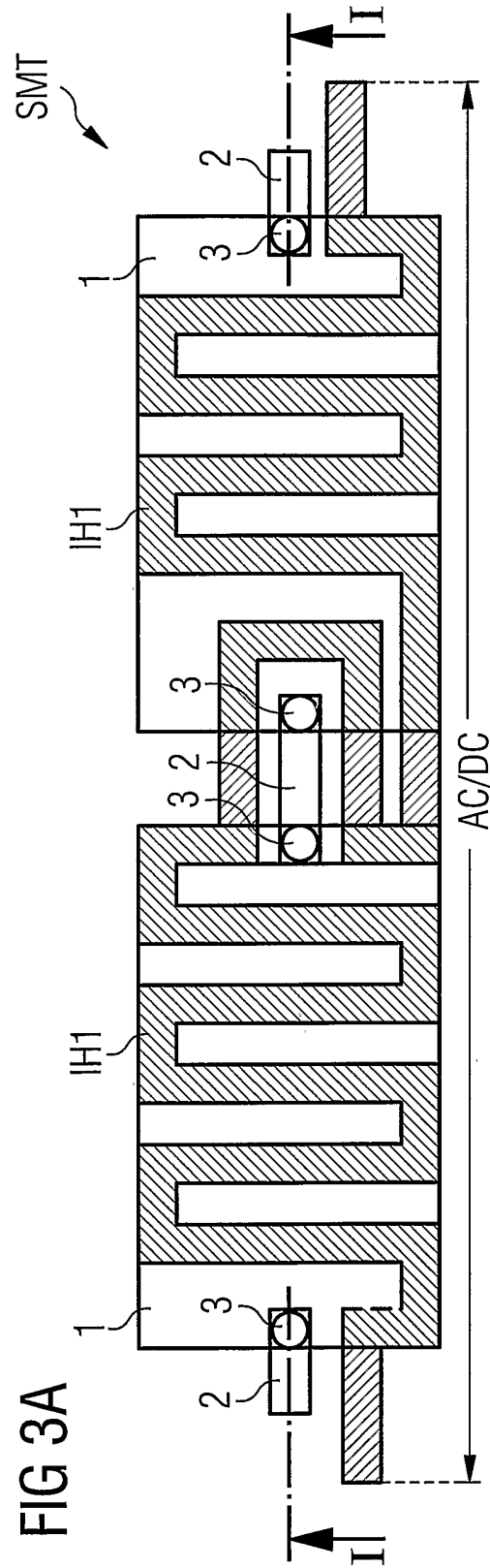
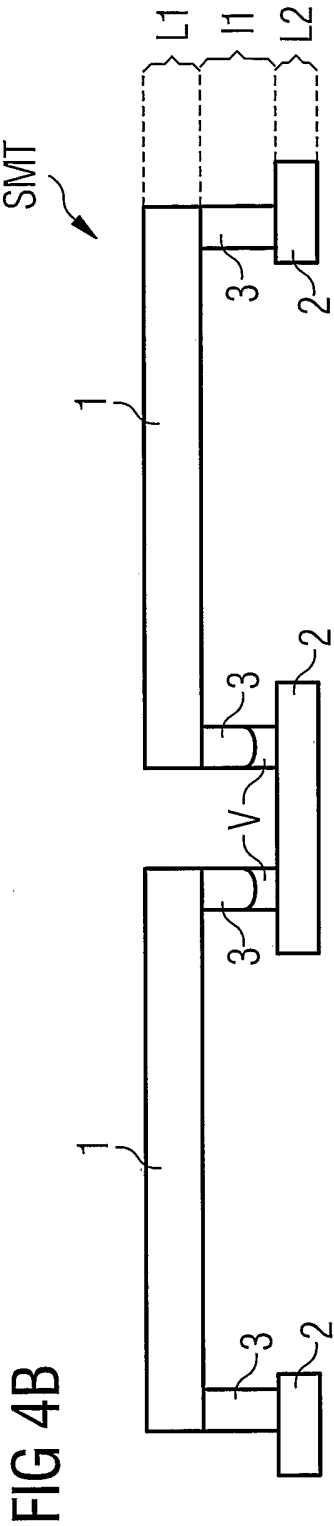
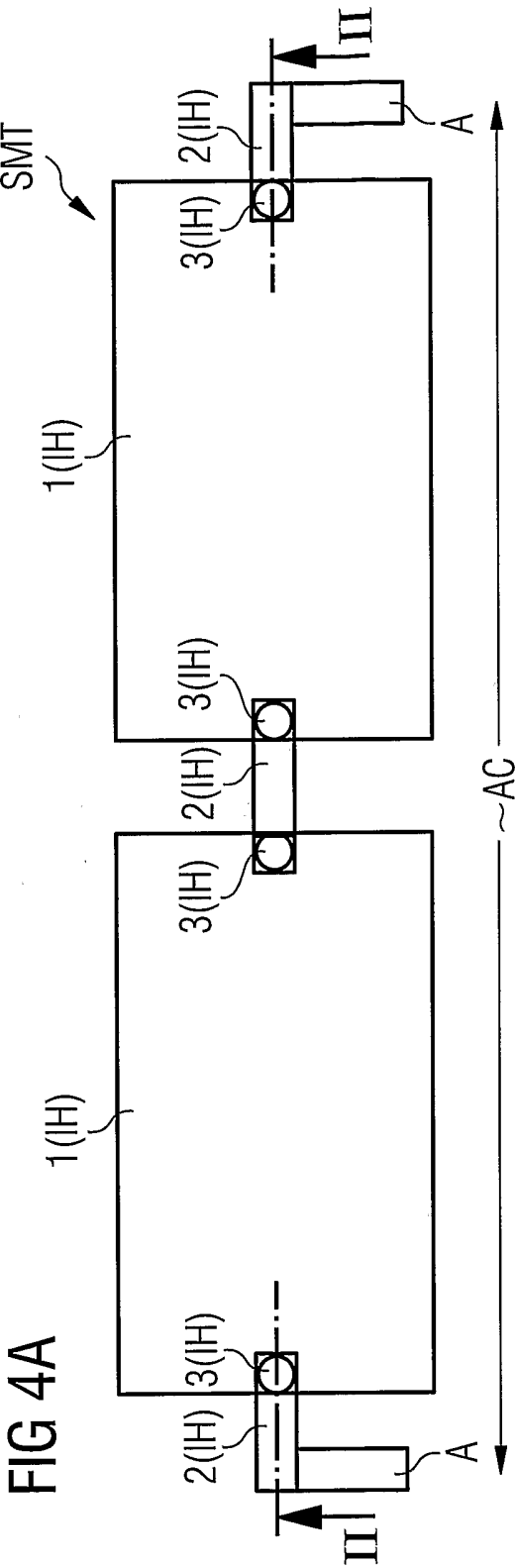
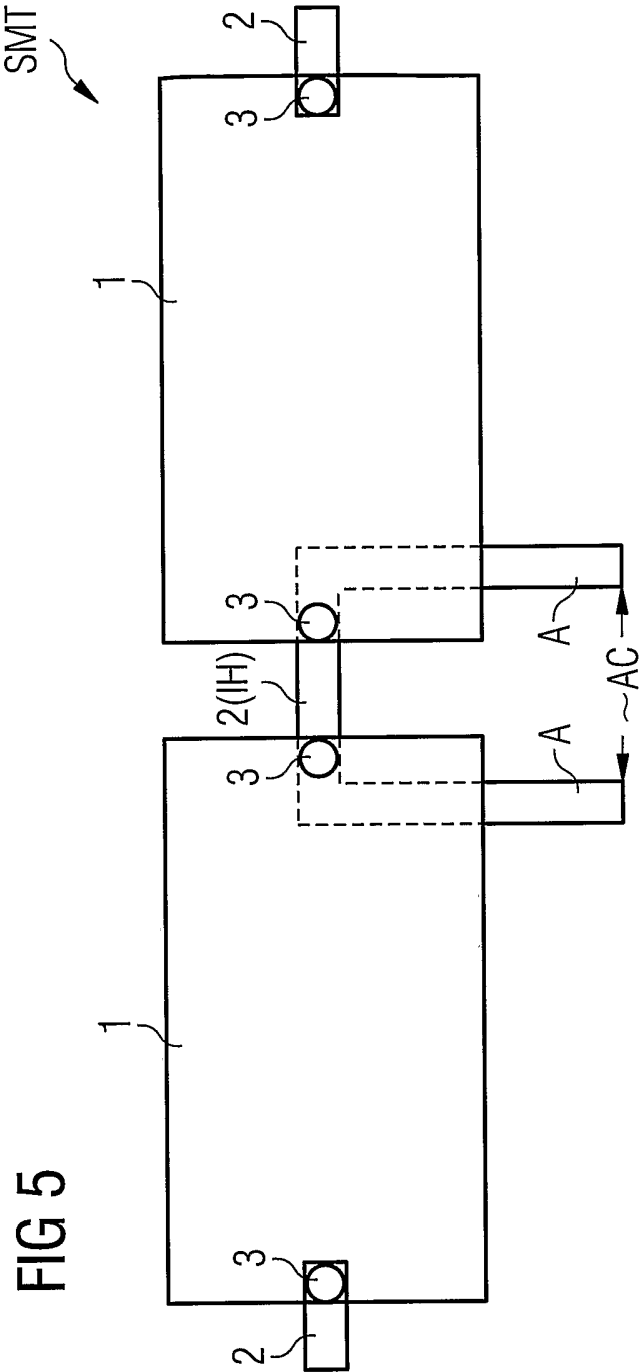


FIG 2









INTERNATIONAL SEARCH REPORT

National Application No

PCT/DE 03/03844

A. CLASSIFICATION OF SUBJECT MATTER
 IPC 7 G01R31/316

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
 IPC 7 G01R

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, PAJ, WPI Data, INSPEC

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 0 656 650 A (OHMI TADAHIRO) 7 June 1995 (1995-06-07) column 1, line 1 - line 8; figures 1-3	1,11,14, 15
Y	column 3, line 1 - column 6, line 6 column 11, line 35 - line 49; claims 3-5 ---	2-5, 7-10,12, 13
Y	PATENT ABSTRACTS OF JAPAN vol. 1999, no. 05, 31 May 1999 (1999-05-31) -& JP 11 031727 A (MATSUSHITA ELECTRON CORP), 2 February 1999 (1999-02-02) abstract; figure 1 --- -/--	2-5,7-10

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

° Special categories of cited documents:

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

Z document member of the same patent family

Date of the actual completion of the international search

6 April 2004

Date of mailing of the international search report

21/04/2004

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
 Fax: (+31-70) 340-3016

Authorized officer

Koll, H

INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE 03/03844

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	ROESCH M ET AL: "FLIP CHIP ON LAMINATE RELIABILITY - FAILURE MECHANISMS" INTERNATIONAL JOURNAL OF MICROCIRCUITS AND ELECTRONIC PACKAGING, INTERNATIONAL MICROELECTRONICS & PACKAGING SOCIETY, US, vol. 23, no. 1, January 2000 (2000-01), pages 53-61, XP000932568 ISSN: 1063-1674 abstract	12
Y	--- K. J. WILSON, J. C. HENDERSON, R. R. SUTHERLAND: "SOME PROBLEMS IN THE CORRECT FAILURE ANALYSIS OF PLASTIC ENCAPSULATED SEMICONDUCTOR DEVICES" IEEE, 5 - 8 May 1986, pages 132-137, XP002276193 England	13
A	abstract; figure 1	4
A	--- GB 2 368 973 A (AGERE SYST GUARDIAN CORP) 15 May 2002 (2002-05-15) page 2, line 20 -page 6, line 22; figures 1,2	1,11
A	--- US 5 532 600 A (HOSHINO KAZUHIRO) 2 July 1996 (1996-07-02) column 2, line 10 -column 5, line 5; figures 2,7	1,11
A	--- PATENT ABSTRACTS OF JAPAN vol. 018, no. 531 (E-1614), 7 October 1994 (1994-10-07) -& JP 06 188297 A (KAWASAKI STEEL CORP), 8 July 1994 (1994-07-08) abstract	1,11
A	--- PATENT ABSTRACTS OF JAPAN vol. 018, no. 507 (E-1609), 22 September 1994 (1994-09-22) -& JP 06 177221 A (FUJITSU LTD), 24 June 1994 (1994-06-24) abstract	1,11
A	--- PATENT ABSTRACTS OF JAPAN vol. 1998, no. 09, 31 July 1998 (1998-07-31) -& JP 10 107108 A (MATSUSHITA ELECTRON CORP), 24 April 1998 (1998-04-24) abstract	1,11

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE 03/03844

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
EP 0656650	A	07-06-1995	JP 7014897 A	17-01-1995
			EP 0656650 A1	07-06-1995
			US 5554938 A	10-09-1996
			WO 9500971 A1	05-01-1995
JP 11031727	A	02-02-1999	JP 2972662 B2	08-11-1999
			US 6197685 B1	06-03-2001
			US 2001004551 A1	21-06-2001
GB 2368973	A	15-05-2002	JP 2002093918 A	29-03-2002
			TW 512511 B	01-12-2002
US 5532600	A	02-07-1996	JP 7130817 A	19-05-1995
JP 06188297	A	08-07-1994	NONE	
JP 06177221	A	24-06-1994	NONE	
JP 10107108	A	24-04-1998	NONE	

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
 IPK 7 G01R31/316

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 7 G01R

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, PAJ, WPI Data, INSPEC

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie ^o	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	EP 0 656 650 A (OHMI TADAHIRO) 7. Juni 1995 (1995-06-07) Spalte 1, Zeile 1 - Zeile 8; Abbildungen 1-3	1, 11, 14, 15
Y	Spalte 3, Zeile 1 - Spalte 6, Zeile 6 Spalte 11, Zeile 35 - Zeile 49; Ansprüche 3-5	2-5, 7-10, 12, 13
Y	----- PATENT ABSTRACTS OF JAPAN vol. 1999, no. 05, 31. Mai 1999 (1999-05-31) -& JP 11 031727 A (MATSUSHITA ELECTRON CORP), 2. Februar 1999 (1999-02-02) Zusammenfassung; Abbildung 1 ----- -/--	2-5, 7-10

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

^o Besondere Kategorien von angegebenen Veröffentlichungen :

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

& Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

6. April 2004

Absendedatum des internationalen Recherchenberichts

21/04/2004

Name und Postanschrift der Internationalen Recherchenbehörde

 Europäisches Patentamt, P.B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
 Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Koll, H

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie°	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
Y	ROESCH M ET AL: "FLIP CHIP ON LAMINATE RELIABILITY - FAILURE MECHANISMS" INTERNATIONAL JOURNAL OF MICROCIRCUITS AND ELECTRONIC PACKAGING, INTERNATIONAL MICROELECTRONICS & PACKAGING SOCIETY, US, Bd. 23, Nr. 1, Januar 2000 (2000-01), Seiten 53-61, XP000932568 ISSN: 1063-1674 Zusammenfassung	12
Y	K. J. WILSON, J. C. HENDERSON, R. R. SUTHERLAND: "SOME PROBLEMS IN THE CORRECT FAILURE ANALYSIS OF PLASTIC ENCAPSULATED SEMICONDUCTOR DEVICES" IEEE, 5. - 8. Mai 1986, Seiten 132-137, XP002276193 England	13
A	Zusammenfassung; Abbildung 1	4
A	GB 2 368 973 A (AGERE SYST GUARDIAN CORP) 15. Mai 2002 (2002-05-15) Seite 2, Zeile 20 -Seite 6, Zeile 22; Abbildungen 1,2	1,11
A	US 5 532 600 A (HOSHINO KAZUHIRO) 2. Juli 1996 (1996-07-02) Spalte 2, Zeile 10 -Spalte 5, Zeile 5; Abbildungen 2,7	1,11
A	PATENT ABSTRACTS OF JAPAN vol. 018, no. 531 (E-1614), 7. Oktober 1994 (1994-10-07) -& JP 06 188297 A (KAWASAKI STEEL CORP), 8. Juli 1994 (1994-07-08) Zusammenfassung	1,11
A	PATENT ABSTRACTS OF JAPAN vol. 018, no. 507 (E-1609), 22. September 1994 (1994-09-22) -& JP 06 177221 A (FUJITSU LTD), 24. Juni 1994 (1994-06-24) Zusammenfassung	1,11
A	PATENT ABSTRACTS OF JAPAN vol. 1998, no. 09, 31. Juli 1998 (1998-07-31) -& JP 10 107108 A (MATSUSHITA ELECTRON CORP), 24. April 1998 (1998-04-24) Zusammenfassung	1,11

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE 03/03844

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
EP 0656650	A	07-06-1995	JP	7014897 A	17-01-1995
			EP	0656650 A1	07-06-1995
			US	5554938 A	10-09-1996
			WO	9500971 A1	05-01-1995
JP 11031727	A	02-02-1999	JP	2972662 B2	08-11-1999
			US	6197685 B1	06-03-2001
			US	2001004551 A1	21-06-2001
GB 2368973	A	15-05-2002	JP	2002093918 A	29-03-2002
			TW	512511 B	01-12-2002
US 5532600	A	02-07-1996	JP	7130817 A	19-05-1995
JP 06188297	A	08-07-1994	KEINE		
JP 06177221	A	24-06-1994	KEINE		
JP 10107108	A	24-04-1998	KEINE		