

**POLSKA  
RZECZPOSPOLITA  
LUDOWA**



**URZĄD  
PATENTOWY  
PRL**

# **OPIS PATENTOWY 142 964**

**Patent dodatkowy  
do patentu —**

**Zgłoszono:** 83 09 02 (P. 243615)

**Pierwszeństwo:** —

**Zgłoszenie ogłoszono:** 85 04 09

**Opis patentowy opublikowano:** 88 07 30

**CZYTELNIA**

Urzędu Patentowego  
Polskiej Rzeczypospolitej Ludowej

**Int. Cl.<sup>4</sup>** G05F 1/66  
G01R 31/26

**Twórca wynalazku:** Zdzisław Zaremba

**Uprawniony z patentu:** Naukowo-Produkcyjne Centrum Półprzewodników "CEMI",  
Zakład Doświadczalny Urządzeń Technologicznych,  
Warszawa (Polska)

## **UKŁAD DO STABILIZACJI MOCY WYJŚCIOWEJ ELEKTRONICZNYCH ELEMENTÓW PÓŁPRZEWODNIKOWYCH, A ZWŁASZCZA TRANSOPTORÓW**

Przedmiotem wynalazku jest układ do stabilizacji mocy wyjściowej elektronicznych elementów półprzewodnikowych, a zwłaszcza transoptorów, charakteryzujący się minimalnym błędem w stosunku do nominalnej mocy wyjściowej, mający zastosowanie w urządzeniach do technologicznej stabilizacji parametrów oraz do badań elementów półprzewodnikowych.

Znany jest układ pomiarowy, w którym obwody wyjściowe transoptorów to jest kolektor-emiter są zasilane napięciem stałym za pośrednictwem rezystorów szeregowych o stałych rezystancjach. Wadą tych układów jest zjawisko polegające na tym, że część transoptorów jest niedociążona, a część przeciążona, co jest powodem uszkodzenia ich w czasie technologicznej stabilizacji parametrów lub badań niezawodnościowych.

Istota układu do stabilizacji mocy wyjściowej elektronicznych elementów półprzewodnikowych, a zwłaszcza transoptorów polega na tym, że do każdego z L zasilaczy prądowych z szeregu zasilaczy prądowych jest włączonych szeregowo n wejść badanych elementów półprzewodnikowych, przy czym obwody wyjściowe badanych elementów półprzewodnikowych z szeregu są połączone z regulowanymi stabilizowanymi zasilaczami napięciowymi za pośrednictwem matrycy stykowej zawierającej szereg m pól stykowych i szereg m kołków stykowych oraz szereg k rezystorów szeregowych a każde pole stykowe z szeregu m pól stykowych zawiera k gniazd stykowych z tego szeregu. Ponadto wprowadzenia każdego z gniazd stykowych od strony rezystorów pomiarowych są zwarte i połączone z tymi rezystorami pomiarowymi, natomiast przeciwległe wyprowadzenia gniazd stykowych są szeregowo połączone z rezystorami szeregowymi, przy czym wyprowadzenia każdego z k rezystorów szeregowych od strony regulowanych zasilaczy napięciowych są zwarte i połączone z odpowiednim k zasilaczem szeregu k zasilaczy napięciowych.

Wynalazek jest uwidoczniony w przykładzie wykonania na rysunku, na którym fig. 1 przedstawia schemat ideowo-blokowy układu do stabilizacji mocy wyjściowej transoptorów, fig. 2 - wykres zależności prądów wyjściowych transoptorów od napięcia wyjściowego a fig. 3 - matrycę stykową.

Układ do stabilizacji mocy wyjściowej zawiera szereg regulowanych stabilizowanych zasilaczy prądowych  $ZP_1, ZP_2, \dots, ZP_L$ , które służą do ustawiania prądów wejściowych  $I_F$  o stałej wartości transoptorów szeregu  $T_1, T_2, \dots, T_m$ . Do wejść każdego z zasilaczy prądowych  $ZP_1, ZP_2, \dots, ZP_L$  jest przyłączonych szeregowo  $n$  wejść transoptorów  $T_1, T_2, \dots, T_m$  w postaci szeregu diod elektroluminescencyjnych  $D_1, D_2, \dots, D_m$ . Wyjścia szeregu transoptorów  $T_1, T_2, \dots, T_m$  stanowi szereg fototranzystorów  $F_1, F_2, \dots, F_m$ . Emitery wszystkich fototranzystorów  $F$  z szeregu fototranzystorów  $F_1, F_2, \dots, F_m$  są zwarte i połączone ze wspólnym przewodem regulowanych stabilizowanych zasilaczy napięciowych  $ZN_1, ZN_2, \dots, ZN_k$ .

Kolektory fototranzystorów  $F_1, F_2, \dots, F_m$  są połączone szeregowo z odpowiednimi rezystorami pomiarowymi  $R_p$  z szeregu  $R_{p1}, R_{p2}, \dots, R_{pm}$  za pośrednictwem matrycy stykowej  $MS$ . Matryca stykowa  $MS$  zawiera  $M_1, M_2, \dots, M_m$  pól stykowych, przy czym każde z  $m$  pól stykowych  $M_1, M_2, \dots, M_m$  zawiera szereg gniazd stykowych  $G_1, G_2, \dots, G_k$ . Gniazda stykowe  $G$  z szeregu  $G_1, G_2, \dots, G_k$  od strony rezystorów pomiarowych  $R_{p1}, R_{p2}, \dots, R_{pm}$  są zwarte. Natomiast przeciwległe wyprowadzenia kolejnych gniazd z szeregu gniazd stykowych  $G_1, G_2, \dots, G_k$  są szeregowo połączone z jednym z rezystorów szeregu rezystorów  $RS_1, RS_2, \dots, RS_k$ .

Przykładowo przeciwległe wyprowadzenia rezystorów szeregowych  $RS_1$  są zwarte między sobą, a następnie połączone z regulowanym stabilizowanym zasilaczem napięciowym  $ZN_1$ . W analogiczny sposób są zwarte między sobą przeciwległe wyprowadzenia rezystorów  $RS_2$  aż do  $RS_k$  i połączone odpowiednio z regulowanymi stabilizowanymi zasilaczami napięciowymi  $ZN_2, \dots, ZN_k$ .

W celu uzyskania stabilizacji mocy wyjściowej transoptorów  $T_1, T_2, \dots, T_m$  z dokładnością  $\pm 1 \pm 10\%$  stosuje się w układzie według wynalazku  $k$  regulowanych stabilizowanych zasilaczy napięciowych  $ZN$ ,  $k$  rezystancji rezystorów szeregowych  $RS$  oraz  $k$  gniazd stykowych  $G$  w polach stykowych  $M_1, M_2, \dots, M_m$  matrycy stykowej  $MS$ , gdzie  $k$  stanowi całkowitą liczbę. Dokładność stabilizacji mocy wyjściowej  $m$  transoptorów  $T_1, T_2, \dots, T_m$  jest tym większa im większa jest wartość liczby  $k$ .

Przebieg stabilizacji mocy wyjściowej transoptorów  $T_1, T_2, \dots, T_m$  w układzie według wynalazku jest następujący. Najpierw ustawia się nominalne wartości według katalogu prądów wejściowych  $I_F$  transoptorów  $T_1, T_2, \dots, T_m$ , a następnie ustawia się wartość napięć regulowanych stabilizowanych zasilaczy napięciowych  $ZN_1, ZN_2, \dots, ZN_k$  dla mocy nominalnej transoptorów  $T_1, T_2, \dots, T_m$ . Wartości te są określone przez punkty przecięcia się prostych  $CD, DE, EF, C', D', D', E'$  oraz  $E'F'$  z osią odciętych czyli  $U_{CE}$ .

Miernik cyfrowy  $P_{wy}$ , który mierzy moc wyjściową  $P_{wy}$  transoptora  $T_1$  przez pośrednictwem komutatora cyfrowego  $KC$  jest przełączany do punktów pomiarowych napięcia  $U_{CE}$ , oraz prądu  $I_c$  pierwszego transoptora  $T_1$  z szeregu  $T_1, T_2, \dots, T_m$ .

W przypadku gdy wskazana moc wyjściowa  $P_{wy}$  transoptora  $T_1$  przez miernik cyfrowy  $P_{wy}$  będzie się różniła od mocy nominalnej o więcej niż  $\pm 1 \pm 10\%$  wyjmuje się kołek stykowy  $K_1$  gniazda  $G_1$  co spowoduje odłączenie rezystora szeregowego  $RS_1$  w obwodzie kolektor-emiter transoptora  $T_1$ , a następnie w obwód kolektor-emiter transoptora  $T_1$  włącza się ten rezystor z szeregu rezystorów  $RS_2, \dots, RS_k$  przy którym następuje ustalenie mocy z żadaną dokładnością wkładając kołek stykowy  $K_1$  odpowiednio w gniazdo stykowe z szeregu gniazd  $G_2, \dots, G_k$ .

W analogiczny sposób stabilizuje się moc wyjściową z żadaną dokładnością pozostałych transoptorów z szeregu transoptorów  $T_2, T_3, \dots, T_m$ .

## Z a s t r z e ż e n i e   p a t e n t o w e

Układ do stabilizacji mocy wyjściowej elektronicznych elementów półprzewodnikowych, a zwłaszcza transoptorów, zawierający rezystory szeregowe, połączone z obwodami wyjściowymi badanych elementów półprzewodnikowych oraz ze źródłami napięcia zasilającego, z n a m i e n n y   t y m, że do każdego z  $L$  zasilaczy prądowych (ZF) z szeregu zasilaczy prądowych (ZP1, ZP2, ..., ZPL) jest dołączonych szeregowo  $n$  wejść elementów półprzewodnikowych (T1, T2, ..., Tm), przy czym obwody wyjściowe elementów półprzewodnikowych z szeregu (T1, T2, ..., Tm) są połączone z regulowanymi stabilizowanymi zasilaczami napięciowymi (ZN1, ZN2, ..., ZNk) za pośrednictwem matrycy stykowej (MS) zawierającej szereg  $m$  pól stykowych (M1, M2, ..., Mm) i szereg  $m$  kołków stykowych (K1, K2, ..., Km) oraz szereg  $k$  rezystorów szeregowych (RS1, RS2, ..., RSk), a każde pole stykowe (M) z szeregu  $m$  pól stykowych (M1, M2, ..., Mm) zawiera  $k$  gniazd stykowych (G) z szeregu (G1, G2, ..., Gk) ponadto wyprowadzenia każdego z gniazd stykowych (G) z szeregu gniazd (G1, G2, ..., Gk) od strony rezystorów pomiarowych (Rp1, Rp2, ..., Rpm) są zwarte i połączone z tymi rezystorami pomiarowymi (Rp1, Rp2, ..., Rpm) natomiast przeciwległe wyprowadzenia gniazd stykowych (G1, G2, ..., Gk) są szeregowo połączone z rezystorami szeregowymi (RS1, RS2, ..., RSk), przy czym wyprowadzenia każdego z  $k$  rezystorów (Rs) z szeregu (RS1, RS2, ..., RSk) od strony regulowanych zasilaczy napięciowych (ZN) są zwarte i połączone z odpowiednim  $k$  zasilaczem szeregu  $k$  zasilaczy napięciowych (ZN1, ZN2, ..., ZNk).

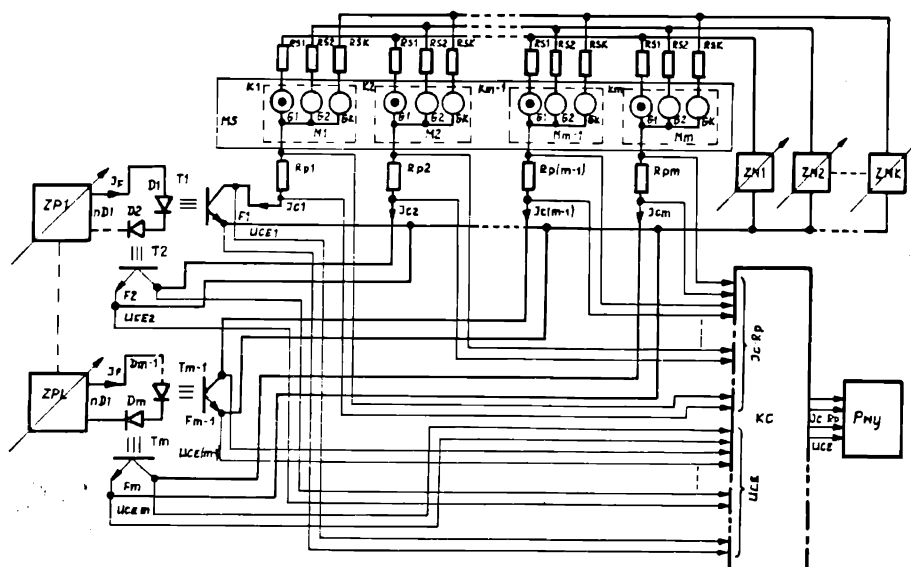


fig. 1

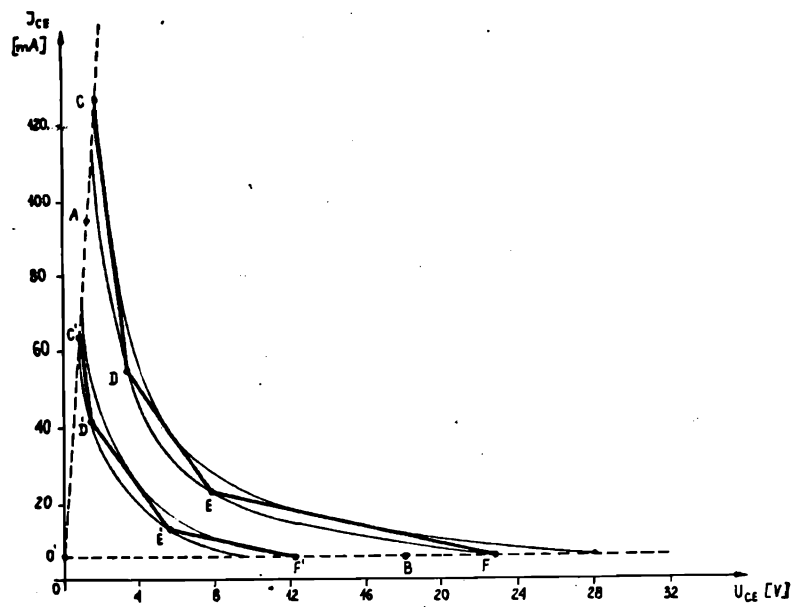


Fig. 2

|                       |                       |                       |                       |                     |
|-----------------------|-----------------------|-----------------------|-----------------------|---------------------|
| K1 M1<br>G1 G2 Gk     | K2 M2<br>G1 G2 Gk     | K3 M3<br>G1 G2 Gk     | K4 M4<br>G1 G2 Gk     | K5 M5<br>G1 G2 Gk   |
| K6 M6<br>G1 G2 Gk     | K7 M7<br>G1 G2 Gk     | K8 M8<br>G1 G2 Gk     | K9 M9<br>G1 G2 Gk     | K10 M10<br>G1 G2 Gk |
|                       |                       |                       |                       |                     |
| Km-4 Mm-4<br>G1 G2 Gk | Km-3 Mm-3<br>G1 G2 Gk | Km-2 Mm-2<br>G1 G2 Gk | Km-1 Mm-1<br>G1 G2 Gk | Km Mm<br>G1 G2 Gk   |

Fig. 3.