[19] 中华人民共和国国家知识产权局

[51] Int. Cl[7]
G11C 11/40

[12] 发明专利说明书

[21] ZL 专利号 96117979.1

[45] 授权公告日 2003 年 12 月 24 日

[11] 授权公告号 CN 1132189C

[22] 申请日 1996.12.24 [21] 申请号 96117979.1

[30] 优先权

[32] 1995.12.25 [33] JP [31] 336784/1995

[71] 专利权人 三菱电机株式会社

地址 日本东京都

[72] 发明人 泽田诚二

审查员 史永良

[74] 专利代理机构 中国专利代理(香港)有限公司

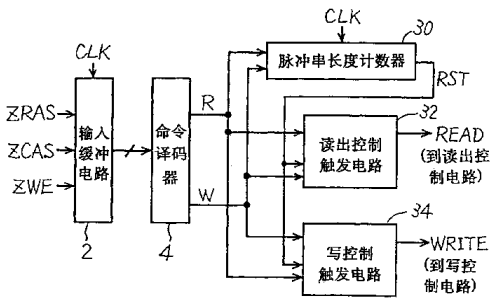
代理人 吴增勇 萧掬昌

权利要求书 3 页 说明书 19 页 附图 9 页

[54] 发明名称 数据读和写时共用脉冲串计数器的同步半导体存储器

[57] 摘要

在来自命令译码器(4)的内部读指令信号(R)激活期间读控制触发电路(32)被激活，以产生激活内部数据读电路的信号。 写控制触发电路(34)响应来自命令译码器的写操作指令信号(W)而激活内部数据写电路。 当来自命令译码器的内部写指令信号和内部读指令信号之一被激活时，脉冲串长度计数器(30)对预定的时钟周期数计数，当计数值达到预定值时，复位信号被激活，从而将读控制触发电路和写控制触发电路复位。 因此减小了同步半导体存储器的控制部分的版图面积。



ISSN1008-4274

1. 一种与周期性重复地外加的外部时钟信号同步地操作的同步半导体存储器，其特征在于包括:

读出指令信号产生装置(4r)，它响应外加的读出指令信号而与所述时钟信号同步地产生内部读出指令信号，

写指令信号产生装置(4w)，它响应外加的写指令信号而与所述时钟信号同步地产生内部写指令信号，

读激活装置(32)，它响应所述内部读出指令信号而激活内部读出操作激活信号，

写激活装置(34)，它响应所述内部写指令信号而激活内部写操作激活信号，以及

复位装置(30)，它耦合以接收所述内部读出指令信号和所述内部写指令信号两者，响应所述内部读出指令信号和所述内部写指令信号中的一个的激活而被激活，对所述时钟信号计数、当对所述时钟信号的计数值达到预定值时、把共同的复位信号加到所述读激活装置和所述写激活装置、以便将所述读激活装置和所述写激活装置置于非激活状态。

2. 根据权利要求1的同步半导体存储器，其特征在于:

所述复位装置(30)包括脉冲串长度计数器(30)，用来对脉冲串长度计数，该脉冲串长度表示当施加读出指令信号或者写指令信号时能够与所述时钟信号同步地连续地输入或者输出的数据的数目。

3. 根据权利要求1的同步半导体存储器，其特征在于:

所述预定值是为所述内部读出操作激活信号和所述内部写操作激活信号两者共同确定的。

4. 根据权利要求1的同步半导体存储器，其特征在于: 所述复位装置(30)包括:

写脉冲串长度设定装置(60w，64w，42w1－42wm)，用来为所述内部写操作激活信号设定第一预定值，

读脉冲串长度设定置(60r，64r，42r1－42rm)，用来为所述内部读

操作激活信号设定第二预定值，以及

装置(43w，43r)，用来响应所述内部写指令信号的激活而确认所述第一预定值以及响应所述内部读出指令信号的激活而确认所述第二预定值。

5. 根据权利要求 4 的同步半导体存储器，其特征在于：所述复位装置(30)包括：

逻辑门(30a)，用来获得所述内部读出指令信号和所述内部写指令信号的逻辑和，

时钟移位电路(40)，用来与所述时钟信号同步地把所述逻辑门的输出信号移位，

装置(42w1－42w2，43w，TB1－TBm，60w，64w)，用来响应所述内部写指令信号的激活而把所述时钟移位电路的对应于所述第一预定值的输出节点耦合到复位输出端子(44)，以及

装置(42r1－42rm，43r，TB1－TBm，60r，64r)，用来响应所述内部读出指令信号的激活而把所述时钟移位电路的对应于所述第二预定值的输出节点耦合到所述复位输出端子，

所述复位输出端子输出用来将所述内部读出操作激活信号和所述内部写操作激活信号复位的信号。

6. 根据权利要求 1 的同步半导体存储器，其特征在于：所述复位装置(30)包括：

写脉冲串数据寄存器(60w)，用来存储第一预定值的写脉冲串数据，

读脉冲串数据寄存器(60r)，用来存储第二预定值的读脉冲串数据，

时钟移位器(30a，30b)，它具有输出节点(01－0n)，并且，经由该输出节点、与所述时钟信号同步地转移所述读出指令信号和所述写指令信号。

写译码器(64w)，它响应所述内部写操作激活信号的激活、根据存储在所述写脉冲串数据寄存器的数据而产生表示所述输出节点中的输出节点的写选择信号，

读译码器(64r)，它响应所述内部读出操作激活信号的激活、根据

存储在所述读脉冲串数据寄存器的数据而产生表示所述输出节点中的输出节点的读选择信号，以及

选择器(TB1－TBm)，它响应用来选择所述输出节点中被表示的输出节点的所述读选择信号和写选择信号，以便产生所述复位信号。

数据读和写时共用脉冲串计数器的同步半导体存储器

技术领域

本发明涉及同步半导体存储器，更具体地说，涉及同步半导体存储器中用来控制内部数据的输入/输出操作的部分的结构。

背景技术

图 10 示意地示出传统的同步半导体存储器的整体结构。参考图 10，所述同步半导体存储器包括具有大量的排列成行和列的动态类型的存储单元的存储器阵列 1。虽然未示出这种存储器阵列 1 中所包含的存储单元的结构，但是，一般采用一个晶体管、一个电容器类型的存储。

所述同步半导体存储器还包括：输入缓冲电路 2，它含有外加的控制信号、即、重复地外加的时钟信号 CLK 同步的行地址选通信号 ZRAS、列地址选通信号 ZCAS 和允许写信号 ZWE、以便产生内部控制信号；命令译码器 4，它确定由输入缓冲电路 2 施加的内部控制信号的状态、以便产生用来激活被指定的内部操作的信号；读出控制电路 6，它响应来自命令译码器 4 的读出操作指令信号 R 而被激活、以便产生用来激活存储阵列 1 的被选中的存储单元的读出数据的操作的读出操作激活信号 READ；以及写控制电路 8，它响应来自命令译码器 4 的写操作指令信号 W 而被激活、以便产生用来激活存储器阵列 1 的被选中的存储单元的写入数据的操作的写操作激活信号 WRITE。

输入缓冲电路 2 含有与时钟信号 CLK 的上沿同步的外加的控制信号 ZRAS、ZCAS 和 ZWE，并且根据这些外部控制信号的状态而产生各自具有单稳脉冲信号形式的内部控制信号。命令译码器 4 将由输入缓冲电路 2 施加的具有单稳脉冲形式的这种内部控制信号译码、以便确定所述被指定的内部操作。换句话说，在所述同步半导体存储器中，准备在这种器件中执行

的操作是由在时钟信号 CLK 的上沿时间各外部控制信号的状态的组合指定的。这时，时钟信号 CLK 可以或者是外加的时钟信号、或者是通过缓冲这种外加时钟信号而获得的内部时钟信号。

所述同步半导体存储器还包括：地址缓冲器 18，它含有与时钟信号 CLK 同步的外加的地址信号 AD、以便产生内部地址信号；单元选择电路 20，它响应来自命令译码器 4 的单元选择操作激活信号而被激活，以便根据由地址缓冲器 18 施加的内部地址信号而选择存储器阵列 1 中的相应的存储单元；写电路 10，它响应来自写控制电路 8 的写操作激活信号 WRITE 而被激活，以便把由输入缓冲电路 14 施加的内部写数据顺序地写入存储器阵列 1 的被选中的存储单元；以及读出电路 12，它响应来自读出控制电路 6 的读出操作激活信号 READ 而被激活，以便顺序地读出存储器阵列 1 的被选中的存储单元的数据，并且把该数据施加到输出缓冲电路 16。

通常，写电路 10 和读出电路 12 分别具有多个寄存器，并且与所述时钟信号同步地处理存储在这些寄存器中的数据。对于写电路 10 和读出电路 12，存在各种各样的数据传送顺序，但是，在本说明书中，简单地说如下：当被激活时，写电路 10 和读出电路 12 与时钟信号 CLK 同步地、按照预定的顺序进行数据写入或者数据读出。

输入缓冲电路 14 与时钟信号 CLK 同步的工作，并有，含有加到数据输入/输出端子 21 以便施加到写电路 10 的外部写数据 DQ（D）。输出缓冲电路 16 响应由输出控制电路 22 施加的允许数据输出信号 OEM 而被激活，它缓冲由读出电路 12 的、与所述时钟信号同步的内部读出数据，并且把这种缓冲后的数据引导到数据输入/输出端子 21。

输出控制电路 22 把由读出控制电路 6 施加的读出操作激活信号 READ 延迟一段规定的时间周期（CAS 延迟），以便产生允许数据输出信号 OEM。CAS 延迟表示施加读命令（即，设定一些状态，借助于这些状态而由外部控制信号 ZRAS、ZCAS 和 ZWE 来指定数据读出操作）直至在数据输入/输出端子 21 处出现有效数据 DQ（Q）所需要的时钟信号 CLK 的周期数。更具体地说，施加所述读命令之后，一旦 CAS 延迟终止，在输入/输出端子 21 处出现有效数据。

在这种同步半导体存储器中，与周期性重复地施加的外部时钟信号CLK同步地引入外加的控制信号ZRAS、ZCAS和ZWE，以便指定这种内部操作。还与时钟信号CLK同步地引入地址信号AD。由所述时钟信号确定内部操作时序，并且还与时钟信号CLK同步地进行数据输入和数据输出。因此，没有必要为外部控制信号ZRAS、ZCAS和ZWE以及地址信号AD的数据歪斜而考虑定时余量（因为这些信号的限定的时序是在时钟信号CLK的上沿的时间确定的），因此，能够以更快的时序启动所述内部操作。此外，由于还与时钟信号CLK同步地输入和输出数据，所以能够以更快的速度输入和输出数据。

图11是说明图10中读出控制电路6的结构的例子的电路图。参考图11，读出控制电路6包括：脉冲串长度计数器6a，它响应由命令译码器4施加的内部读出操作指令信号R而被激活、以便对时钟信号CLK进行计数、直至预定的数目（即，脉冲串长度）；以及触发器6b，它响应内部读出操作指令信号R的激活而被置“1”，并且响应复位信号RST（R）而被复位，复位信号RST（R）是来自脉冲串长度计数器6a的数完信号。从该触发器6b输出读操作激活信号READ。在脉冲串长度计数器6a处所计数的脉冲串长度表示当施加一次读命令时读出数据期间能够连续地读出的数据的数量。

触发器6b包括：反相器6ba，它接收读出操作指令信号R；反相器6bb，它接收写操作指令信号W；“与非”电路6bc，它在其一个输入端接收反相器6ba的输出信号；以及“与非”电路6bd，它接收“与非”电路6bc的输出信号、反相器6bb的输出信号，并且经由反相器6be接收来自脉冲串长度计数器6a的复位信号RST（R）。“与非”电路6bd的输出信号被加到“与非”电路6bc的另一个输入端。

当在一些预定的状态下外部控制信号ZRAS、ZCAS和ZWE被置“1”时、在时钟信号CLK的上沿期间、由命令译码器4产生写操作指令信号W，并且指定数据写操作。从“与非”电路6bc输出读操作激活信号READ。读出控制电路6在读出操作指令信号R被激活时置“1”，并且，在来自脉冲串长度计数器6a的复位信号RST（R）被激活时复位。因此，由脉冲串长度计数

器 6a 计数的脉冲串长度决定了读操作激活信号 READ 的激活周期。

图 12 说明图 10 中写控制电路 8 的结构的例子。参考图 12，写控制电路 8 包括：脉冲串长度计数器 8a，它在写指令信号 W 激活期间被激活，以便对脉冲串长度计数；以及触发器 8b，它在写指令信号 W 激活期间置“1”，并在来自脉冲串长度计数器 8a 的复位信号 RST（R）的激活期间复位。从该触发器 8b 输出内部写操作激活信号 WRITE。

触发器 8b 包括：反相器 8ba，它接收写指令信号 W；反相器 8bb，它接收读指令信号 R；“与非”电路 8bc，它在其一个输入端接收反相器 8ba 的输出信号；以及“与非”电路 8bd，它接收“与非”电路 8bc 的输出信号、反相器 8bb 的输出信号以及来自脉冲串长度计数器 8a 的输出信号 8be 施加的复位信号 RST（R）。“与非”电路 8bd 的输出信号被加到“与非”电路 8bc 的另一个输入端。

在进行数据写操作时，脉冲串长度计数器 8a 对所述脉冲串长度计数。下面将参考图 13 描述示于图 11 和 12 中的读控制电路 6 和写控制电路 8 的操作，图 13 是这些操作的时序图。这里假定，对于读和写操作两者、所述脉冲串长度都是 4。

在时钟周期#0 期间，已经提供激活信号（存储单元选择操作启动指定信号）。在所述同步半导体存储器中，单元选择电路 20 被激活，并且，在存储单元阵列中，存储单元将处在被选择的状态。

在时钟周期#1，施加写命令，以便在预定的时间周期内激活来自命令译码器 4 的写操作指令信号 W。响应写操作指令信号 W 的这种激活，触发器 8 置“1”，并且写操作激活信号 WRITE 被激活到 H 电平。这时，脉冲串长度计数器 8a 也被激活，以便开始对时钟信号 CLK 的计数操作。根据这种写命令，包含在单元选择电路 20 中的列选择电路选择所述存储单元的列。输入缓冲电路 14 装有施加到数据输入/输出端子 21 的外部写入数据 DQ（D0），并且把这种数据提供给写电路 10。写电路 10 响应写操作激活信号 WRITE 而被激活，以便把来自输入缓冲电路 14 的所述写入数据写入存储器阵列 1 的被选中的存储单元中。在写操作激活信号 WRITE 处在激活状态的周期期间，写电路 10 顺序地与时钟信号 CLK 同步地把由输入缓冲电路 14

施加的所述写入数据写入存储器阵列 1 的被选中的存储单元中。

在时钟周期#5，来自脉冲串长度计数器 8a 的复位信号 RST（R）被激活，并且，写操作激活信号 WRITE 被复位到 L 电平。在该时钟周期#5，未施加外部写入数据，因此，即使当输入缓冲电路 14 根据时钟信号 CLK 而工作时，写电路 10 的写入操作也被禁止，以便避免写入未定义的数据。更具体地说，在数据写入周期中，写电路 10 在内部把来自输入缓冲电路 14 的所述写入数据写入存储器阵列 1 的被选中的存储单元中，并且，每写入一个数据延迟一个时钟周期。

在时钟周期#7，当施加读命令时，来自命令译码器 4 的内部读出操作指令信号 R 在预定的时间周期内被激活而到达 H 电平，并且，触发器 6b 响应这种激活而被置“1”、以便激活读操作激活信号 READ、使其到达 H 电平。响应读操作激活信号 READ 的这种激活，进行存储器 1 的存储单元的选择操作，并且，由读出电路 12 读出这种被选中的存储单元的数据。

输出控制电路 22 把读操作激活信号 READ 延迟一段预定的周期（CAS 延迟，即，一个时钟周期），并且，允许数据输出信号 **OEM** 激活到 **H** 电平。输出缓冲电路 16 响应允许数据输出信号 OEM 的这种激活而被激活。并且，把从读出电路 12 顺序地读出的数据引导到数据输入/输出端子 21。因此，从时钟周期#9 开始顺序地读出数据 Q0，Q1，Q2 和 Q3。

在脉冲串长度计数器 6a 已经对时钟信号 CLK 计数 4 次之后，在时钟周期#11，复位信号 RST（R）被激活到 H 电平。于是，读出电路 12 未被激活。这时，允许数据输出信号 OEM 仍然处在 H 电平的激活状态，并且，在时钟周期#12，经由输出缓冲电路 16 把数据 Q3 输出到数据输入/输出端子 21。在读出数据 Q3 之后，在时钟周期#12，允许数据输出信号 OEM 未被激活。

在读出数据时，施加读命令和第一次读出有效数据之间的时间间隔、即、时钟周期#7 和时钟周期#9 之间的时间间隔称为 CAS 延迟。

通过以上操作，使得有可能与时钟信号 CLK 同步地顺序地输入或输出 4 个数据（脉冲串长度 4）。

如图 11 和 12 中所示，分别在读出控制电路 6 和写控制电路 8 中设置脉冲串长度计数器。由于以下理由，通过内部写指令信号 W 以及通过复位

信号RST(R)而进行触发器6b的复位。如果在施加读命令之后施加写命令、并且在脉冲串长度计数器6a完成对所述脉冲串长度的计数之前开始数据写操作，那么，必须不激活读出电路12，以便停止数据读出操作。此外，由于以下的理由，如图12中所示，在写控制电路8中，通过读出指令信号R以及通过复位信号RST（R）而实现触发器8b的复位。在施加写命令之后，如果在脉冲串长主计数器8a完成对所述脉冲串长度的计数之前重新施加读命令，那么，必须不激活写电路10，以便停止数据写操作。在如上所述的操作中，在输入或者输出脉冲串长度数据之前提供指定不同的访问方式的命令，这种操作称为“中断”。

除了这种情况之外，在读出操作的时间的脉冲串长度和写操作的时间的脉冲串长度之间可能存在差别。为了适应这种差别，分开地设置用于数据读出操作和用于数据写入操作的各自的控制电路。

但是，如图11和12中所示，读出控制电路6和写入控制电路8备有脉冲串长度计数器6a和8a。这些脉冲串长度计数器6a和8a一般由占有相对地大的面积的时钟移位电路构成，所述时钟移位电路用来与时钟信号CLK同步地将读出操作指令信号R和写入操作指令信号W移位。因此，当分别向读出控制电路6和写入控制电路8提供脉冲串长度计数器6a和8a时，会增大由用来控制数据输入/输出操作的部分所占有的面积，对于实施仅仅占有小的面积的高密度集成同步半导体存储器来说是一个显著的缺点。

发明内容

本发明的目的是提供一种包含只占有小的面积的用来控制内部数据写入/读出操作的部分的同步半导体存储器。

根据本发明的一种与周期性重复地外加的外部时钟信号同步地操作的同步半导体存储器，其特征在于包括：

读出指令信号产生装置，它响应外加的读出指令信号而与所述时钟信号同步地产生内部读出指令信号，

写指令信号产生装置，它响应外加的写指令信号而与所述时钟信号同步地产生内部写指令信号，

读激活装置，它响应所述内部读出指令信号而激活内部读出操作激活信号，

写激活装置，它响应所述内部写指令信号而激活内部写操作激活信号，以及

复位装置，它耦合以接收所述内部读出指令信号和所述内部写指令信号两者，响应所述内部读出指令信号和所述内部写指令信号中的一个的激活而被激活，对所述时钟信号计数、当对所述时钟信号的计数值达到预定值时、把共同的复位信号加到所述读激活装置和所述写激活装置、以便将所述读激活装置和所述写激活装置置于非激活状态。

所述同步半导体存储器还包括：逻辑门，用来获得所述内部读出指令信号和所述内部写入指令信号的逻辑和；时钟移位电路，用来与时钟信号同步地将来自所述逻辑门的输出信号移位；用来随着所述内部读出操作指令信号的激活而把所述时钟移位电路的对应于第一预定值的输出节点耦合到复位输出端子的电路；以及用来随着所述内部读出操作指令信号的激活而把所述时钟移位电路的对应于第二预定值的输出节点耦合到复位输出端子的电路。

从所述复位输出端子输出用来把内部读出操作指令信号和内部写入操作指令信号复位的信号，以便该信号提供给内部读出激活电路和内部写入激活电路。

由于设置了内部读出操作和内部写入操作两者共同使用的复位电路，因此，减少了数据写入/读出控制部分的内部元件的数目，并且相应地减小了该电路所占有的面积。

附图说明

根据以下结合附图对本发明进行的详细描述，本发明的上述和其它目的、特征、方面和优点将变得更加明白。

图 1 示出根据本发明的实施例 1 的同步半导体存储器的原理部分的结构。

图 2 示出图 1 中输入缓冲电路的结构的例子。

图 3A 和 3B 分别示出图 1 的命令译码器中包含的读出命令译码器和写入命令译码器的结构。

图 4 示出图 1 的脉冲串长度计数器、读出控制触发电路和写入控制触发电路的具体结构。

图 5 是用来说明图 4 中所示的结构的操作的时序图。

图 6 示出图 4 中脉冲串长度计数器的具体结构的例子。

图 7A 示出图 6 中触发电路的结构。

图 7B 是用来说明图 6 中脉冲串长度计数器的操作的时序图。

图 8 示出图 6 中脉冲串长度选择信号产生部分的结构。

图 9 示出根据本发明的实施例 3 的同步半导体存储器的原理部分的结构。

图 10 是显示传统的同步半导体存储器的整体结构的示意图。

图 11 显示图 10 中读出控制电路的结构。

图 12 显示图 10 中写入控制电路结构。

图 13 是用来说明图 10 中的同步半导体存储器的操作的时序图。

具体实施方式

（实施例 1）

图 1 是显示根据本发明的实施例 1 的同步半导体存储器的原理部分的结构方块图。图 1 中示出的结构只包含内部数据写入/读出控制部分。所述结构的其它部分与示于图 10 中的结构的相似。

参考图 1，所述同步半导体存储器包括：输入缓冲电路 2，用来与时钟信号 CLK 同步地装入外部控制信号 ZRAS、ZCAS 和 ZWE，以便产生内部控制信号；命令译码器 4，用来将从所述输入缓冲电路 2 输出的内部控制信号译码；脉冲串长度计数器 30，它响应内部读出指令信号 R 和内部写入指令信号 W 中的一个的激活而被激活，以便对时钟信号 CLK 计数；读控制触发电路 32，它随着读出操作指令信号 R 的激活而被置“1”，并且随着内部写入指令信号 W 和从脉冲串长度计数器 30 输出的复位信号 RST 中的任一个的激活而被复位；以及写控制触发电路 34，它随着内部写指令信号 W 的激活而

被置“1”，并且随着来自脉冲串长度计数器 30 的复位信号 RST 或者来自命令译码器 4 的内部读出操作指令信号 R 的激活而被复位。

从读控制触发电路 32 输出内部读操作激活信号 READ，并且把该信号施加到未示出的读出控制电路。从写控制触发电路 34 输出内部写操作激活信号 WRITE，并且把该信号施加到未示出的写控制电路。

由于设置了内部数据读出操作和内部数据写入操作共同使用的脉冲串长度计数器 30，因此，内部读操作控制和内部写操作控制可以通过单一的脉冲串长度计数器 30 来进行，从而减小了所占有的面积。

图 2 显示图 1 中的输入缓冲电路 2 的结构的例子。图 2 中示出用来接收作为外部控制信号的行地址选通信号 ZRAS 的 RAS 缓冲器部分。还分别为外部控制信号 ZCAS 和 ZWE 提供具有与图 2 中的相似的结构的缓冲电路。

参考图 2，所述 RAS 缓冲器包括：反相器 2a，它接收外部控制信号 ZRAS；“与非”门 2b，它接收时钟信号 CLK 和反相器 2a 的输出信号；脉冲产生电路 2c，它随着来自“与非”门 2b 的输出信号的降落而产生单稳脉冲信号；以及反相器 2d，它接收脉冲产生电路 2c 的输出信号。从脉冲产生电路 2c 输出内部控制信号 RAS0，并且，从反相器 2d 输出内部控制信号 ZRAS0。

在图 2 中所示的结构中，当在时钟信号 CLK 的降落时间外部行地址选通信号 ZRAS 被置为 L 电平时，“与非”门 2b 的输出信号会到达 L 电平，并且，从脉冲产生电路 2c 输出 H 电平的单稳脉冲信号。当在时钟信号 CLK 的上沿时间外部行地址选通信号 ZRAS 处在 H 电平时，“与非”门 2b 的输出信号处在 H 电平，并且，脉冲产生电路 2c 的输出信号保持在 L 电平。

因此，如果当时钟信号 CLK 降落时外部行地址选通信号 ZRAS 处在 L 电平，那么，内部控制信号 RAS0 在预定的时间周期内将处在 H 电平，同时，内部控制信号 ZRAS0 在预定的时间周期内将处在 L 电平。如果在时钟信号 CLK 上沿期间外部行地址选通信号 ZRAS 处在 H 电平，那么，内部控制信号 RAS0 将处在 L 电平，同时，内部控制信号 ZRAS0 将保持在 H 电平。

图 3A 和 3B 分别显示被包含在图 1 的命令译码器 4 中的读命令译码电路和写命令译码电路的结构。参考图 3A，读命令译码电路 4r 由接收从输入

缓冲器 2 施加的内部控制信号 ZRAS0、CAS0 和 ZWE0 的“与”电路构成。当所有内部控制信号 ZRAS0、CAS0 和 ZWE0 都处在 H 电平时，内部读出指令信号 R 被激活到 H 电平。更具体地说，当在时钟信号 CLK 的上沿期间外部控制信号 ZRAS 和 ZWE 被保持在 H 电平、并且、在时钟信号 CLK 的上沿期间外部行地址选通信号 ZRAS 被置为 L 电平时，施加用来指示执行数据读出操作的读命令。

参考图 3B，写命令译码电路 4w 由接收从输入缓冲器 2 施加的内部控制信号 ZRAS0、CAS0 和 ZWE0 的“与”电路构成。当所有内部控制信号 ZRAS0、CAS0 和 ZWE0 都处在 H 电平时，内部写指令信号 W 被激活到 H 电平。具体地说，当在时钟信号 CLK 的上沿期间外部行地址选通信号 ZRAS 被置为 H 电平并且其余外部控制信号 ZRAS 和 ZWE 两者都被置为 L 电平时，施加用来指示执行数据读出操作的写命令。

所述读命令和所述写命令两者都是通过把外部列地址选通信号 ZCAS 置为 L 电平而施加的。因此，当施加这些写和读命令时，在内部进行列选择操作。然后，执行所选择的列的存储单元的数据的写或读。由未示出的激活命令译码电路检测用来指示对存储阵列中存储单元的选择操作的开始的激活命令。在这种激活命令的情况下，在时钟信号 CLK 的上沿期间，外部行地址选通信号 ZRAS 被置为 L 电平，并且指示开始内部操作。

图 4 是显示脉冲串长度计数器 30、读控制触发电路 32 和写控制触发电路 34 的具体结构的示意图。参考图 4，脉冲串长度计数器 30 包括：“或”电路 30a，它接收内部读出指令信号 R 以及内部写指令信号 W；以及脉冲串长度计数电路 30b，它响应来自“或”电路 30a 的输出信号的激活而激活、以便对预置的脉冲长度进行计数。

当处在激活状态的这种脉冲串长度计数电路 30b 对时钟信号 CLK 的计数值已经达到由所述脉冲串长度确定的次数时，复位信号 RST 被激活而到达 H 电平。

读控制触发电路 32 包括：反相器 32a，它接收内部读出指令信号 R；反相器 32b，它接收内部写指令信号 W；反相器 32c，它接收来自脉冲串长度计数器 30 的复位信号 RST；“与非”电路 32d，它在其一个输入端接收

来自反相器 32a 的输出信号；以及“与非”电路 32e，它接收来自“与非”电路 32d、反相器 32b 和反相器 32c 的输出信号。

“与非”电路 32e 的输出信号加到“与非”电路 32d 的另一个输入端。从“与非”电路 32d 输出内部读操作激活信号 READ。

写控制触发电路 34 包括：反相器 34a，它接收内部写指令信号 W；反相器 34b，它接收内部读出指令信号 R；反相器 34c，它接收复位信号 RST；“与非”电路 34d，它在其一个输入端接收来自反相器 34a 的输出信号；以及“与非”电路 34e，它接收来自“与非”电路 34d、反相器 34b 和反相器 34c 的输出信号。

“与非”电路 34e 的输出信号加到“与非”电路 34d 的另一个输入端。从“与非”电路 34d 输出内部写操作激活信号 WRITE。下面将参考图 5 的时序图，描述图 4 中所示的结构的操作。

在时钟周期#1，提供写命令，使得来自示于图 3B 中的写命令译码电路 4 的内部写指令信号 W 在规定的时间周期内被激活到 H 电平。此后，响应内部写指令信号 W 的这种激活，写控制触发电路 34 中的反相器 34a 的输出信号到达 L 电平，并且，从“与非”电路 34 输出的内部写操作激活信号 WRITE 被激活到 H 电平（换言之，写控制触发电路 34 被置“1”）。

在脉冲串长度计数器 30 中，响应写指令信号 W 的这种激活，“或”电路 30a 的输出信号到达 H 电平，并且脉冲串长度计数电路 30b 被激活、以便对时钟信号 CLK 计数。加到未示出的数据输入缓冲电路的写数据 DQ 被经由该数据输入缓冲器提供给所述写电路。通过已经响应这种写操作激活信号 WRITE 而被激活的所述写电路，在时钟周期#1 至#4 被顺序地提供的写数据 D0、D1、D2 和 D3 被按照预定的顺序分别写入存储单元阵列的被选择的存储单元中。

如上所述，当提供写命令时，在存储单元阵列中、与数据写操作并行地进行根据所述激活命令而被选中的存储单元中选择相应的存储单元的列选择操作。

当脉冲串长度计数电路 30b 已经对所述脉冲串长度计数时（在图 5 所示的结构中，该脉冲串长度是 4），在时钟周期#5，复位信号 RST 被激活到

H 电平。写控制触发电路 34 响应上述操作而被复位，并且，内部写操作激活信号 WRITE 被禁止而到达 L 电平。更具体地说，反相器 34c 的输出信号到达 L 电平，“与非”电路 34e 的输出信号到达 H 电平，并且，对此做出响应，“与非”电路 34d 的输出信号 WRITE 到达 L 电平。（这时，反相器 34a 的输出信号已经到达 H 电平。）在内部，在写操作激活信号 WRITE 被激活期间，与时钟信号 CLK 的上沿同步地把数据写入所选择的存储单元，并且，在时钟周期#5 的时钟信号 CLK 的上沿时间，完成所有写数据 D0 至 D3 的写入操作。

在时钟周期#7，施加读命令，并且，对此作出响应，来自示于图 3A 中的读命令译码电路 4r 的内部读出指令信号 R 在规定的时间周期内被激活到 H 电平。于是，读控制触发电路 32 被置“1”，并且，读出操作激活信号 READ 被激活到 H 电平。换言之，反相器 32a 的输出信号到达 L 电平，并且，从“与非”电路 32d 输出的读出操作激活信号 READ 到达 H 电平。在脉冲串长度计数器 30 中，响应这种读出指令信号 R 的激活，“或”电路 30a 的输出信号到达 H 电平，脉冲串长度计数电路 30b 被激活，并且，对时钟信号 CLK 的计数操作开始。

随着读出操作激活信号 READ 的这种激活，图中未示出的读出电路被激活，并且，从所选择的存储单元中读出数据。从继预定的 CAS 延迟（在图 5 中是 2）终止而来的时钟周期#9 开始，顺序地输出读出的数据 Q0 至 Q3。

当脉冲串长度计数电路 30 已经对时钟信号 CLK 计数 4 次（这对应于所述脉冲串长度）时，在时钟周期#11，复位信号 RST 被激活到 H 电平、使得读控制触发电路 32 被复位、并且读出操作激活信号 READ 被禁止而到达 L 电平。更具体地说，反相器 32c 的输出信号到达 L 电平，“与非”电路 32e 的输出信号到达 H 电平，并且从“与非”电路 32d 输出的读出操作激活信号 READ 到达 L 电平。数据输出缓冲电路仍然处在激活状态（见图 10），并且，在时钟周期#12，一旦输出数据 Q3，立即结束读操作。

如上所述，甚至当为内部数据写操作控制和内部数据读操作控制两者提供公用的脉冲串长度计数器 30 时，该脉冲串长度计数器 30 也能够像在传统的例子中那样、产生根据内部读出指令信号和内部写指令信号而进行

的精确的数据的读出和写入。更具体地说，通过采用数据写入和数据读出操作两者公用的脉冲串长度计数器 30，能够减小这种数据读出和写入控制部分的版图面积。

在图 4 中所示的结构中，把内部写指令信号 W 作为复位信号加到读控制触发电路 32，以便当在数据读操作期间提供写命令时结束所述读操作。相似地，把内部读出指令信号 R 作为复位信号 R 加到写控制触发电路 34，以便当在脉冲串长度数据写入操作结束之前施加 7 用来指示数据读操作的读命令时、结束所述数据写操作。

应当指出，在图 4 中所示的结构中，反相器 32c 和 34c 分别把来自脉冲串长度计数器 30 的复位信号 RST 反相、以便提供给读控制触发电路 32 和写控制触发电路 34。这样做是为了减小脉冲串长度计数器 30 的输出驱动能力、以便减小输出负荷。但是，在来自脉冲串长度计数器 30 的这种复位信号 RST 反相之后，可以把该反相后的复位信号加到读控制触发电路 32 和写控制触发电路 34 的复位输入端。

这样，根据本发明的第一实施例，由于采用了数据读操作和数据写作两者公用的脉冲串长度计数器，所以，有可能减小内部数据写/读控制部分的版图面积。

（实施例 2）

图 6 显示根据本发明的第二实施例的同步半导体存储器的主要部分的结构。图 6 中示出脉冲串长度计数器 30 的结构。

参考图 6，脉冲串长度计数电路 30b 包括：反相器 IV，用来将来自“或”电路 30a 的输出信号 R/W 反相；时钟移位电路 40，用来根据时钟信号 CLK 和 ZCLK 而顺序地转移“或”电路 30a 的输出信号 R/W 和反相器 IV 的输出信号；输出选择电路 42，用来根据数据读操作的脉冲串长度设定数据 BR 和数据写操作的脉冲串长度设定数据 BW 而选择时钟移位电路 40 的输出信号；三态反相缓冲器 43w，它在写操作激活信号 WRITE 激活期间被激活，用来把由输出选择电路 42 选择的信号反相、以便产生复位信号 RST；以及三态反相缓冲器 43r，它在读出操作激活信号 READ 激活期间被激活，用来把由输出选择电路 42 施加的信号反相、以便输出复位信号 RST。

三态反相缓冲器 43w 和三态反相缓冲器 43r 的输出部分耦合到信号线 44。信号线 44 耦合到先前实施例 1 中说明的读控制触发电路 32 和写控制触发电路 34 的复位输入端。

时钟移位电路 40 包括 n 个级联的触发器 FF1 至 FFn 。奇数级的触发器 FF1、FF3、...FFn-1 与时钟信号 CLK 同步地转移所施加的数据。偶数级的触发器 FF2、FF4、...FFn 根据时钟信号 ZCLK 而转移所施加的数据。两个相邻的触发器（例如，FF1 和 FF2）实现一个周期的延迟。

输出选择电路 42 包括: 设置在从触发器 FF4 开始计数的偶数级触发器的输出部分的三态反相缓冲器 42w1、42w2、...42wm，它们响应写脉冲长度设定信号 BW1、BW2、...BWm 而被激活，在被激活时，在相应的输出节点输出反相信号；以及耦合到从触发器 FF4 开始计数的偶数级触发器输出部分的三态反相缓冲器 42r1、42r2、...42rm，它们在读脉冲长度设定信号 BR1、BR2、...BRm 的激活期间被激活，以便在相应的触发器的输出节点输出反相信号。

三态反相缓冲器 42w1 至 42wm 的输出部分共同连接到三态反相缓冲器 43w 的输入端。三态反相缓冲器 42w1 至 42wm 的输出部分共同连接到三态反相缓冲器 43w 的输入部分。三态反相缓冲器 42r1 至 42rm 的输出部分共同耦合到三态反相缓冲器 43r 的输入部分。

工作时，这些写脉冲串长度设定信号 BW1 至 BWm 之一被激活，这些读脉冲串长度设定信号 BR1 至 BRm 之一被激活，并且可以把读脉冲数据和写脉冲数据分别置“1”。下面是关于所述操作的简单描述。

为简化起见，假定写脉冲串长度设定电路 BW1 和读脉冲串长度设定电路 BRm 被激活。当提供写命令、并且把写操作指令信号 W 激活到 H 电平时，来自“或”电路 30a 的输出信号 R/W 到达 H 电平。触发器 FF1 与时钟信号 CLK 同步地工作，以便输入、锁存和输出由“或”电路 30a 施加的这种信号。时钟信号 ZCLK 处在 L 电平，并且触发器 FF2 处在保持先前状态的锁存状态。

当时钟信号 CLK 降落到 L 电平而时钟信号 ZCLK 上升到 H 电平时，触发器 FF2 输入、锁存和输出触发器 FF1 的输出信号。这时，触发器 FF3 具有 L 电平的时钟信号 CLK、处在锁存状态、并且保持先前的状态。因此，当时钟

信号CLK再次上升时，触发器FF4的输出信号04到达H电平。脉冲串长度设定信号BW1已经被激活到H电平，并且三态反相缓冲器42w1输出来自触发器FF4的反相信号。

响应写指令信号W的激活，内部写操作激活信号WRITE被激活，并且，三态反相缓冲器43w被激活、以便把由三态反相缓冲器42w1提供的信号反相、并且在信号线上激活复位信号RST，该复位信号RST到达H电平。随着复位信号RST的这种激活，内部作激活信号WRITE被复位，并且三态反相缓冲器43w返回到高阻抗状态。

当进行读操作时，读出操作指令信号R被激活。对此作出响应，信号R/W被激活，并且，该信号被根据时钟信号CLK和ZCLK、经由触发器FF1至FFn-1而顺序地转移。当来自触发器FFn的输出信号On到达H电平时，被信号Brm激活的三态反相缓冲器42rm把来自触发器FFn的该输出信号反相和输出。在数据读出期间，内部读操作激活信号READ被激活，并且，三态反相缓冲器43r把由三态反相缓冲器42rm施加的信号反相和输出。这样，复位信号RST被激活。

采用上述结构，即使共用脉冲串长度计数器，也可以有区别地设定用于数据读操作的脉冲串长度和用于数据写操作的脉冲串长度。

在图6所示的结构中，“或”电路30a的输出信号R/W被经由触发器FF1至FFn而顺序地转移。当连续地进行写操作和读操作时、或者当出现中断时，为了准确地对脉冲串长度进行计数，也可以把信号R/W加到触发器FF2至FFn、以便将它们复位。这样，可以将触发器FF2至FFn中的每一个复位，以便准确地根据时钟信号CL和ZCLK来引导新提供的信号R/W，使得能够免错误的操作。此处，为了避免将新施加的信号R/W复位而未将第一级触发器FF1复位，但是，也可以在第一级触发器FF1处进行复位操作。

图7A显示图6中所示的触发器FF1至FFn的结构例子。触发器FF1至FFn中的每一个具有相同的结构，并且，在图7A中示出一个触发器FF作为代表。

参考图7A，触发器FF包括：“与非”电路51a，它接收输入信号I和时钟信号CLK（或者ZCLK）；“与非”电路51b，它接收输入信号ZI和

时钟信号CLK（或者ZCLK）；“与非”电路52a，它在其一个输入端接收“与非”电路51a的输出信号；以及“与非”电路52b，它在其一个输入端接收“与非”电路51b的输出信号。把“与非”电路52a的输出信号O加到“与非”电路52b的另一个输入端，同时，把“与非”电路52b的输出信号ZO加到“与非”电路52a的另一个输入端。下面将参考图7B的时序图说明示于图7A中的触发器的操作。在图7B中，作为例子，使用十级触发器FF1至FF10，图中显示了各个输出信号O1至O10的变化方式。

在时钟周期#1，信号R/W到达H电平。这时，时钟信号CLK处在H电平，并且，“与非”电路51a和51b各自起反相器的作用，并且输入信号I（R/W）被输入和锁存。相应地，在这种状态下，输出信号O1上升到H电平。当时钟信号CLK降落到L电平时，“与非”电路51a和51b的输出信号两者都到达H电平，同时，“与非”电路52a和52b的输出信号O和ZO未变化。同时，在第二级触发器FF2中，时钟信号ZCLK处在H电平，并且“与非”电路51a和51b起反相器的作用，以便输入和锁存由第一级触发器FF1施加的信号。此后，重复这种操作，奇数级触发器输入和锁存当时钟信号CLK处在H电平时所施加的信号，而偶数级触发器输入、锁存和输出当时钟信号ZCLK处在H电平时所施加的信号。相应，当脉冲串长度被置为1时，选择输出信号O4。在时钟周期#1中，输出信号O4与时钟信号CLK的降落同步地到达H电平，并且，在时钟周期#2中，内部写/读操作被禁止。当脉冲串长度被置为2时，选择输出信号O6，并且，在时钟周期#3中，内部写/读操作被禁止（即，在时钟周期#2中，与时钟信号CLK的降落同步地激活复位信号RST）。

类似地，当脉冲串长度被置为4时，选择触发器FF1的输出信号O10。在时钟周期#4中，信号O10与时钟信号CLK的降落同步地上升到H电平，并且，如图5中所示，一旦在施加读/写命令之后四个时钟周期终止，复位信号RST立即激活到H电平。

这时，如果像图7A中6用虚线表示的那样，把“或”电路30a的输出信号R/W加到“与非”电路52，那么，一旦开始计数操作，保证在内部把脉冲串长度计数器30复位到开始该计数操作之前的初始化状态。

图 8 显示脉冲串长度选择信号产生部分的结构。参考图 8，所述脉冲串长度选择信号产生部分包括：脉冲串长度寄存器 60w，用来存储写脉冲串长度数据；译码器 62w，用来将脉冲串长度寄存器 60w 的存储的数据译码、以便激活脉冲串长度选择信号 BW1 至 BWm 中的一个；脉冲串长度寄存器 60r，用来存储读脉冲串长度数据；以及译码器 62r，用来将脉冲串长度寄存器 60r 中存储的数据译码、以便激活脉冲串长度选择信号 BW1 至 BWm 中的一个。

例如，脉冲串长度寄存器 60w 和 60r 具有在同步半导体存储器的专用方式下（例如，在初始化时）设定的存储数据。译码器 62w 和 62r 分别将存储在脉冲串长度寄存器 60w 和 60r 中的相应的一个中的数据译码。例如，可以利用上述图 3A 和 3B 中所示的译码器的结构作为译码器 62w 和 62r 的结构。根据图 8 中所示的这种结构，通过把从外部施加的数据存入脉冲串长度寄存器 60w 和 60r，可以根据使用这种同步半导体存储器的场合来设定最佳脉冲串长度数据。

在本实施例 2 的脉冲串长度计数器的结构中，当复位信号 RST 被激活，并且，数据写操作激活信号 WRITE 和数据读操作激活信号 READ 两者都被禁止时，信号线 44 会处在浮空状态。为了避免这种浮空状态，可以利用这样的结构，其中，借助于接收写操作激活信号 WRITE 和读操作激活信号 READ 的“或非”门的输出信号、把信号线 44 预充电到地电位或者电源电位。这样，避免了信号线 44 的不稳定的浮动状态。

如上所述，根据本发明的实施例 2，可以提供这样一种结构，即，对于读数据和写数据的各自的脉冲串长度，可以独立地进行脉冲串长度计数器的脉冲串长度的设定，使得能够用一个脉冲串长度计数器来为读和写操作设定不同的脉冲串长度数据。这样，能够实现和在为数据读操作和数据写操作分开地提供各自的脉冲串长度计数器的情况下获得效果类似的效果。

（实施例 3）

图 9 显示根据本发明的实施例 3 的同步半导体存储器的主要部分的结构。图 9 中例示了用来设定脉冲串长度计数器的脉冲串长度的部分的结构。

参考图 9，脉冲串长度数据产生部分包括：脉冲串长度寄存器 60w，用来存储数据写操作的脉冲串长度数据；脉冲串长度寄存器 60r，用来存储数据读操作的脉冲串长度数据；译码器 64w，它在内部写操作激活信号 WRITE 的激活期间被激活，用来将存储在脉冲串长度寄存器 60w 中的脉冲串长度数据译码、以便激活脉冲串长度选择信号 BW1 至 BWm 中的一个；以及译码器 64r，它在内部读操作激活信号 READ 的激活期间被激活，用来将存储在脉冲串长度寄存器 60r 中的脉冲串长度数据译码、以便将脉冲串长度选择信号 BR1 至 BRm 中的一个置于所选择的状态。分别对译码器 64w 的输出信号 BW1 至 BWm 以及译码器 64r 的输出信号 BR1 至 BRm 进行线“或”，以便获得脉冲串长度选择信号 B1 至 Bm。

在所述脉冲串长度计数器中，为时钟移位电路 30b 的互补的脉冲串长度输出节点 ZO1、ZO2、…Zom 提供三态反相缓冲器 TB1 至 TBm，后者在脉冲串长度选择信号 B1 至 Bm 被激活时被激活。三态反相缓冲器 TB1 至 TBm 的输出部分被共同连接到信号线 44。从信号线 44 输出复位信号 RST。

在如上述结构中，当进行数据写操作时译码器 64w 被激活，以便将存储在脉冲串长度寄存器 60w 中的数据译码、并且脉冲串长度选择信号 B1 至 Bm 中的一个置于所选择的状态。译码器 64r 被禁止，并且其输出端将处在高阻抗状态。这样，脉冲串长度选择信号 B1 至 Bm 之一根据译码器 64w 的输出信号而被激活，并且，相应的三态反相缓冲器（即，TB1 至 TBm 中的任一个）被激活。结果，当使时钟移位电路 30b 中的时钟移位数目等于所述脉冲串长度时，信号线 44 上的复位信号 RST 被激活到 H 电平。这里，时钟移位电路 30b 的输出信号ZO1 至 Zom 是上述实施例 2 中的输出信号 O1 至 Om 的反相信号。

在数据读操作时，读操作激活信号 READ 被激活。译码器 64r 被激活、用来将存储在脉冲串长度寄存器 60r 中的脉冲串长度数据译码，以便将脉冲串长度选择信号 BR1 至 BRm 之一激活。在译码器 64w 中，写操作激活信号 WRITE 被禁止，并且，译码器 64w 被置于输出高阻抗状态。相应地，在这种状态下，三态反相缓冲器 TB1 至 TBm 中的一个根据译码器 64r 的输出信号而被激活，并且，时钟移位电路 30b 的输出信号被选择，以便产生复

位信号 RST。

在图 9 所示的结构中，在数据写和数据读两者期间，利用三态反相缓冲器 TB1 至 TBm 来选择脉冲串长度，因此，能够减少所述电路结构中的元件数目，从而减小了元件所占用的面积。

在上述实施例 3 中，当被禁止时，译码器 64w 和 64r 被置于输出高阻抗状态。如果译码器 64w 和 64r 的输出部分备有诸如传输门的开关元件，那么，并不是特别需要把译码器 64w 和 64r 中的译码电路设置成三态反相缓冲器。

此外，如果在图 9 中所示的结构中通过激活信号 READ 和 WRITE 来选择存储在脉冲串长度寄存器 60w 和 60r 中的数据，那么，可以只用一个译码器、在数据读操作和数据写操作时分别对写脉冲串长度数据和读脉冲串长度数据进行译码，因此，减少了译码器的数目。

基于上文，根据实施例 3，对于数据写操作和数据读操作，脉冲串长度选择部分是公用的，因此，能够减少电路结构中元件的数目，相应地，能够减小在电路中占有的面积。

虽然已经详细地描述和举例说明了本发明，但是，显然，这些仅作为说明和例子、而不是作为限制，本发明的精神和范围仅受所附的权利要求书的条款的限制。

图 1

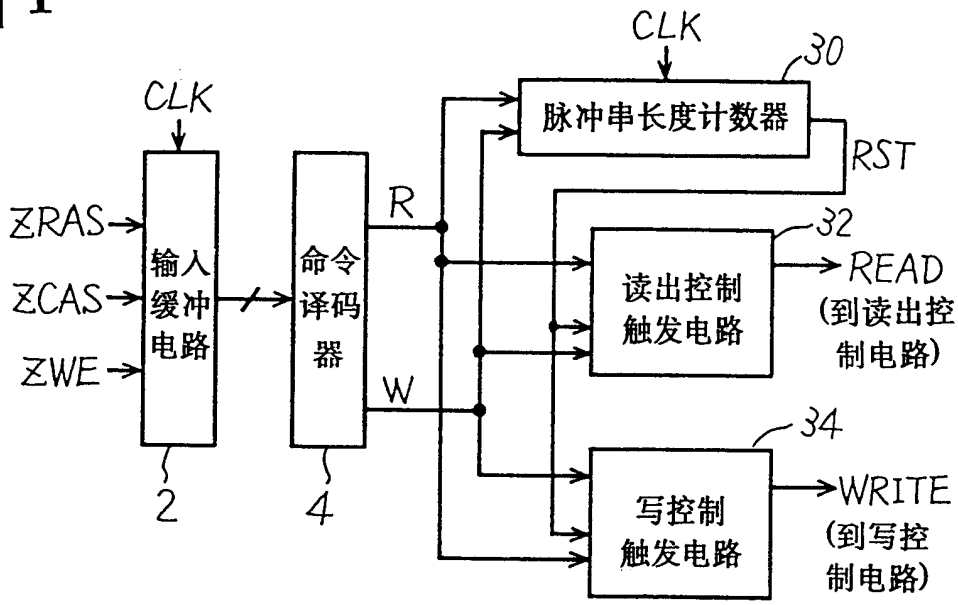

CLK
30
脉冲串长度计数器
RST
CLK
ZRAS
ZCAS
ZWE
输入缓冲电路
2
命令译码器
4
R
W
32
读出控制触发电路
READ
(到读出控制电路)
34
写控制触发电路
WRITE
(到写控制电路)

图 2

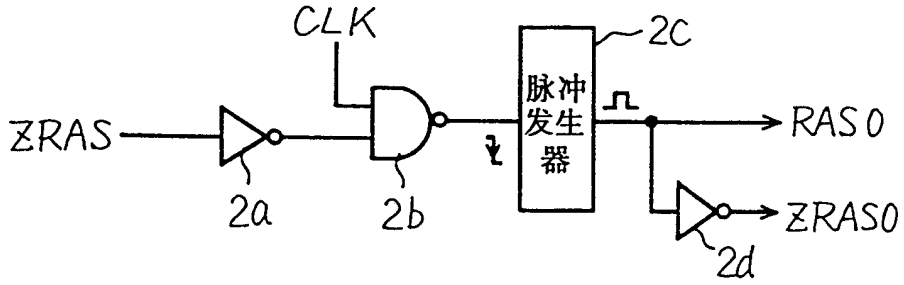

CLK
2C
ZRAS
2a
2b
脉冲发生器
RAS0
ZRAS0
2d

图 3A

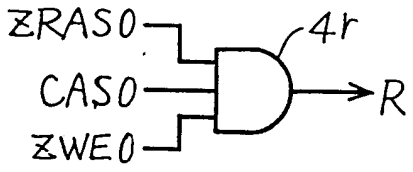

ZRAS0
CAS0
ZWE0
4r
R

图 3B

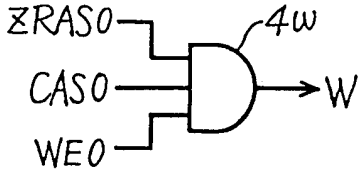

ZRAS0
CAS0
WE0
4w
W

图 4

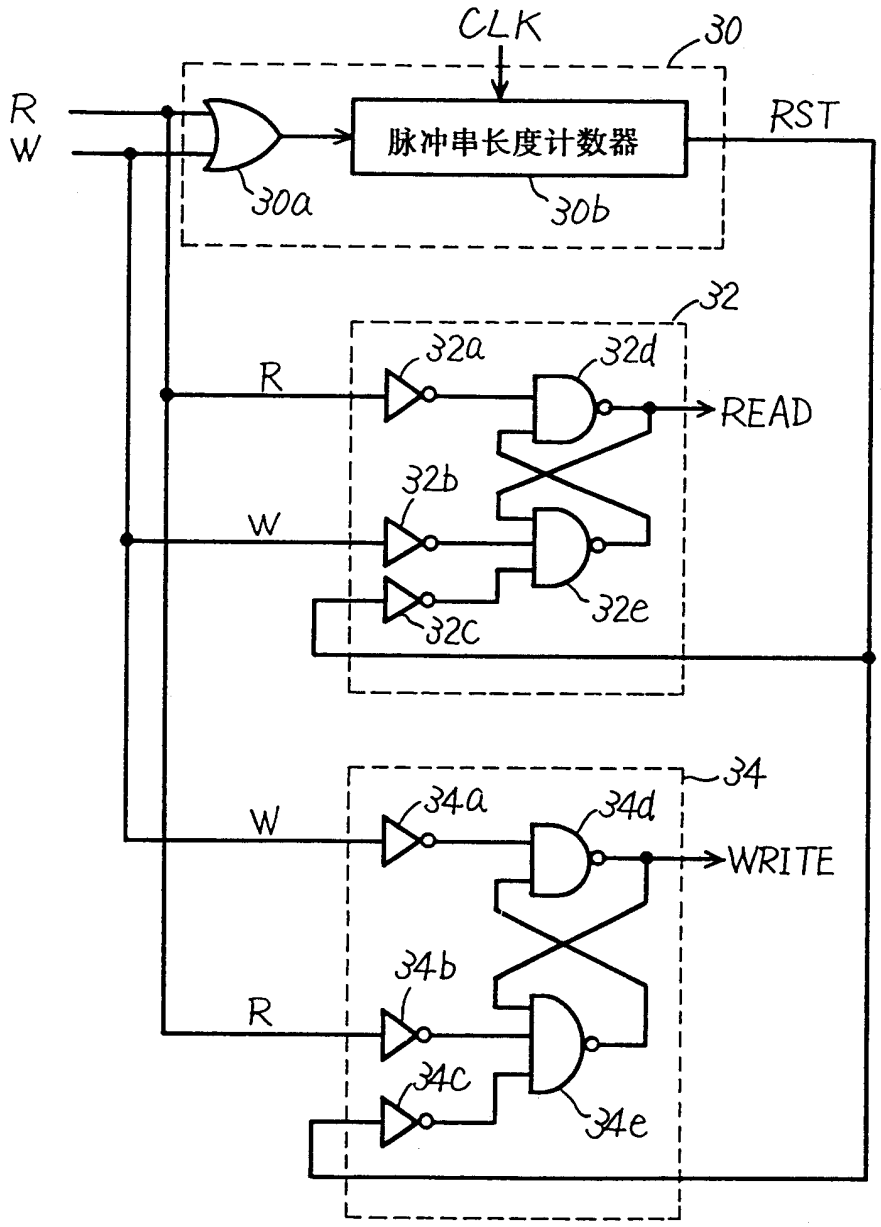

CLK
30
R
W
脉冲串长度计数器
RST
30a
30b
32
32a
32d
R
READ
32b
W
32e
32c
34
34a
34d
W
WRITE
34b
R
34c
34e

图 5

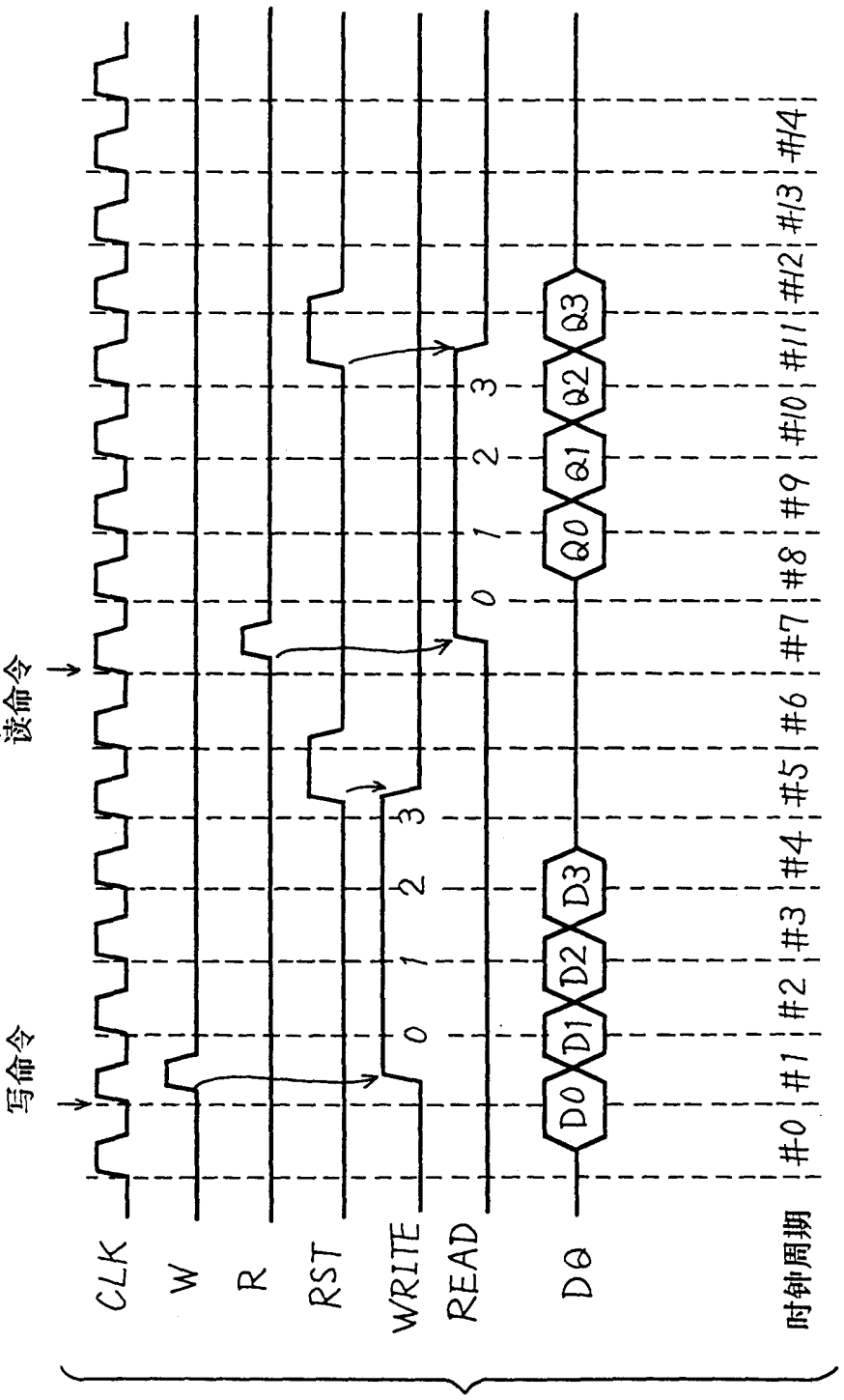

写命令
读命令
CLK
W
R
RST
WRITE
READ
DQ
时钟周期
#0
#1
#2
#3
#4
#5
#6
#7
#8
#9
#10
#11
#12
#13
#14
0
1
2
3
D0
D1
D2
D3
Q0
Q1
Q2
Q3

图 6

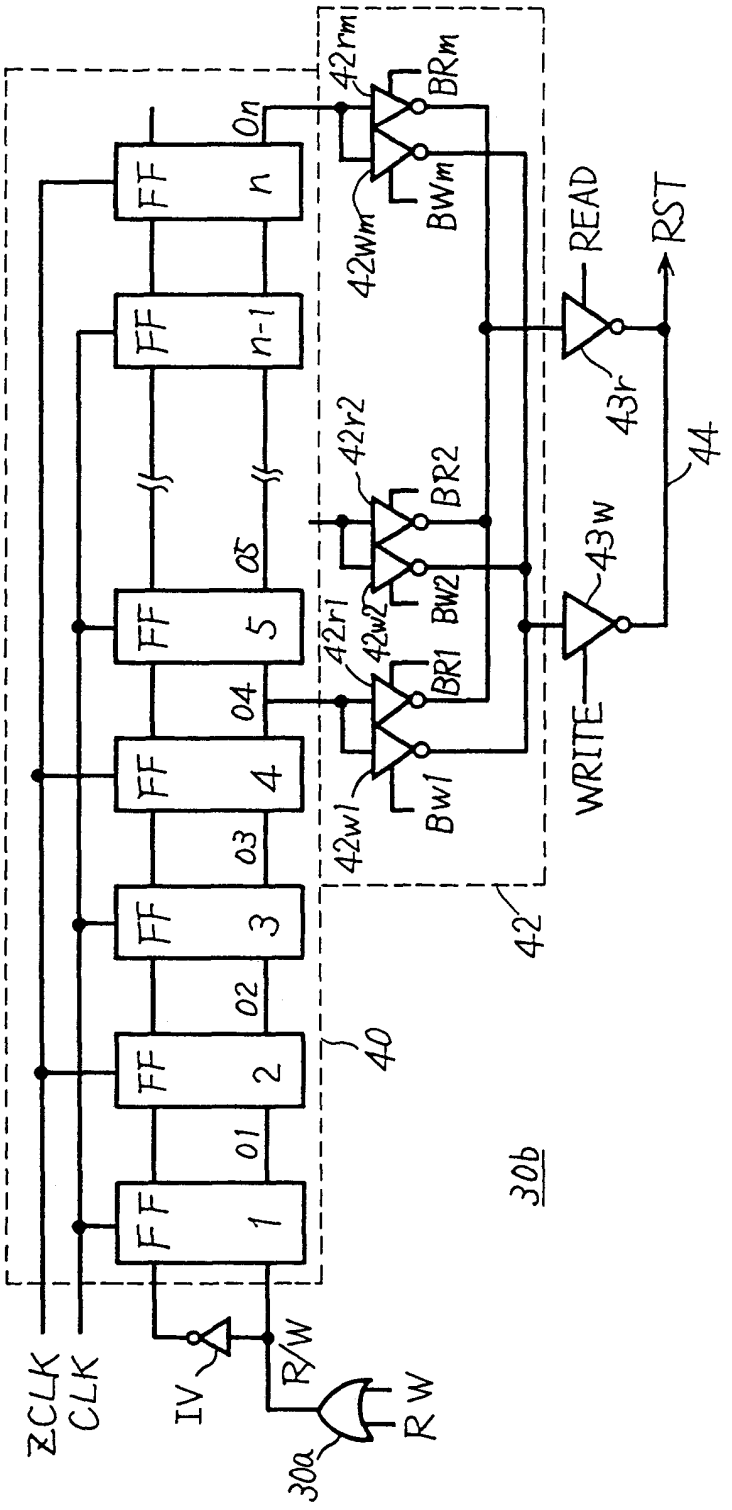

ZCLK
CLK
IV
R/W
R
W
30a
30b
40
42
FF
1
2
3
4
5
n-1
n
01
02
03
04
05
On
42rm
BRm
42wm
BWm
42r2
BR2
42w2
BW2
42r1
BR1
42w1
Bw1
READ
RST
43r
43w
WRITE
44

图 7A

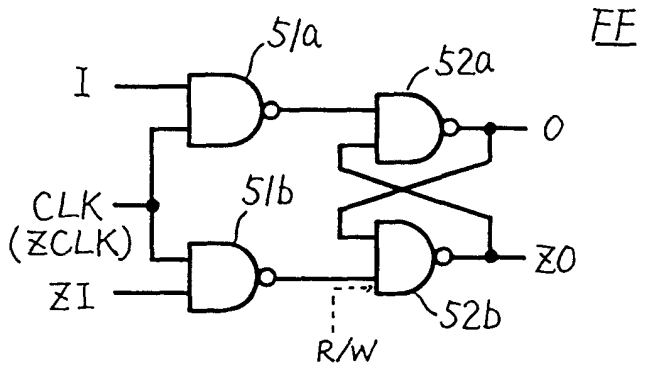

EE
I
CLK
(ZCLK)
ZI
51a
51b
52a
52b
O
ZO
R/W

图 7B

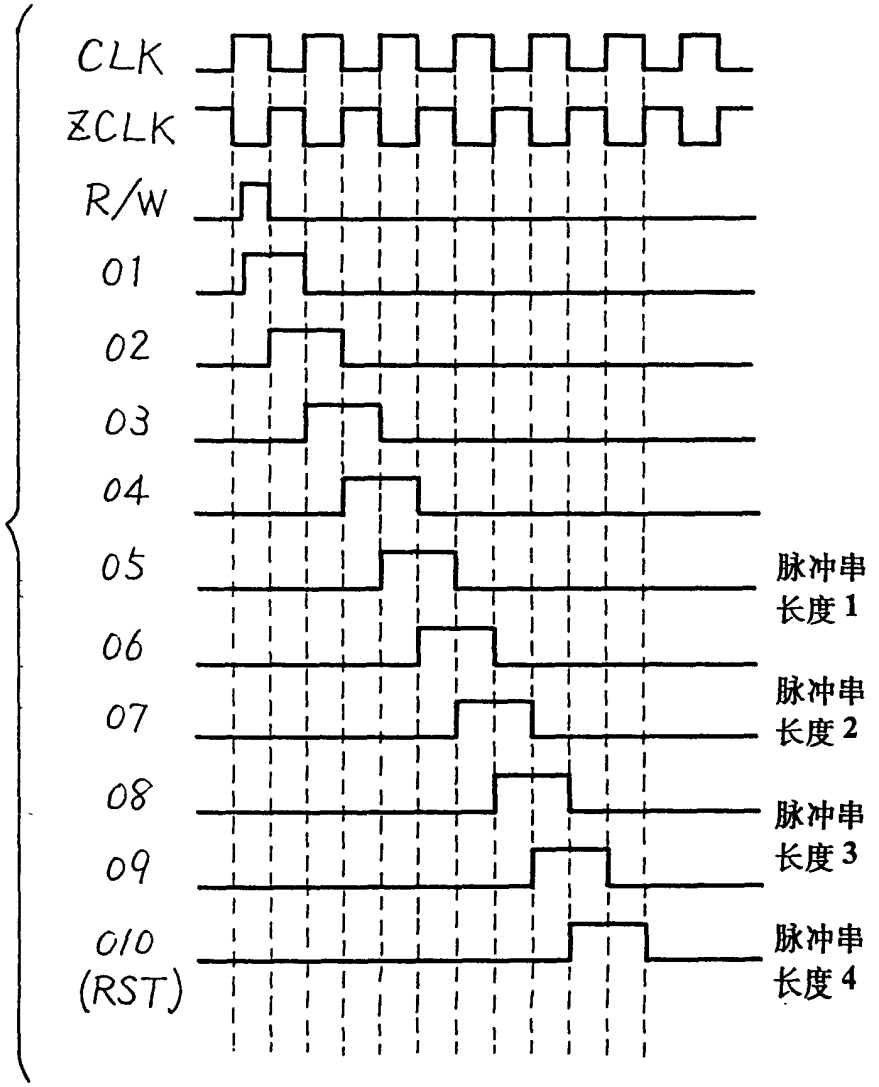

CLK
ZCLK
R/W
01
02
03
04
05
06
07
08
09
010
(RST)
脉冲串
长度 1
脉冲串
长度 2
脉冲串
长度 3
脉冲串
长度 4

图 8

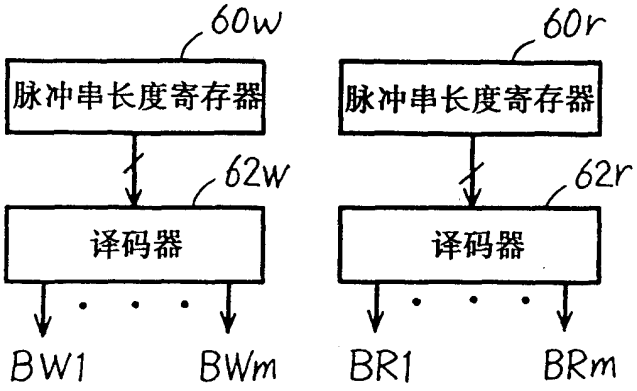

60w
脉冲串长度寄存器
62w
译码器
BW1
BWm
60r
脉冲串长度寄存器
62r
译码器
BR1
BRm

图 9

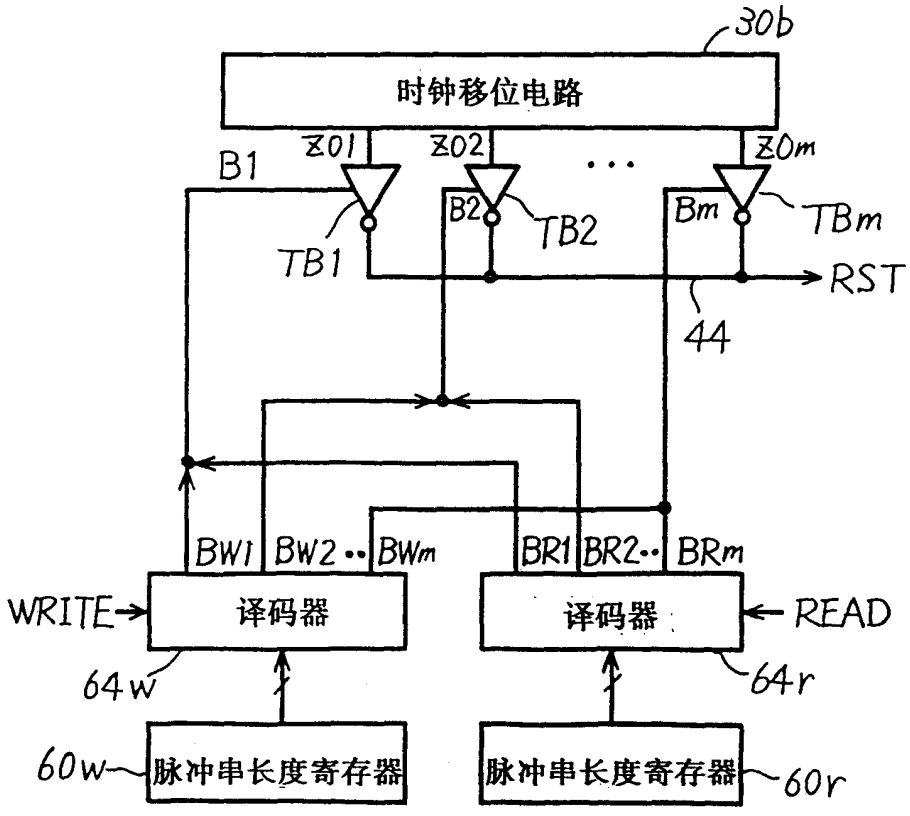

30b
时钟移位电路
Z01
Z02
Z0m
B1
B2
Bm
TB1
TB2
TBm
RST
44
BW1
BW2
BWm
BR1
BR2
BRm
WRITE
译码器
译码器
READ
64w
64r
60w
脉冲串长度寄存器
脉冲串长度寄存器
60r

图 10 先有技术

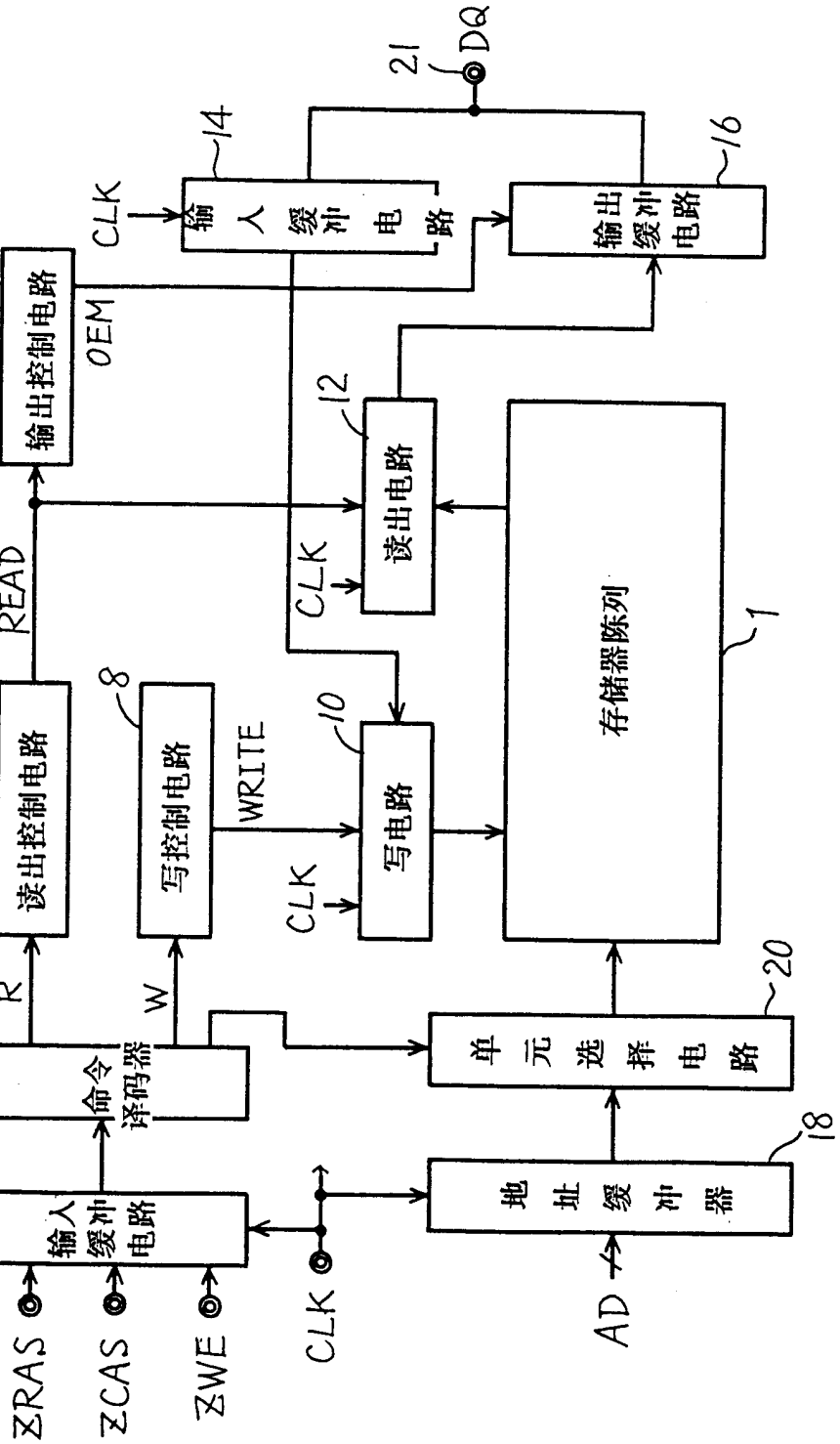

ZRAS
ZCAS
ZWE
CLK
AD
DQ
输入缓冲电路
命令译码器
地址缓冲器
单元选择电路
存储器陈列
读出控制电路
写控制电路
写电路
读出电路
输出控制电路
输入缓冲电路
输出缓冲电路
R
W
READ
WRITE
OEM
2
4
6
8
10
12
14
16
18
20
21
22
1

图 11 先有技术

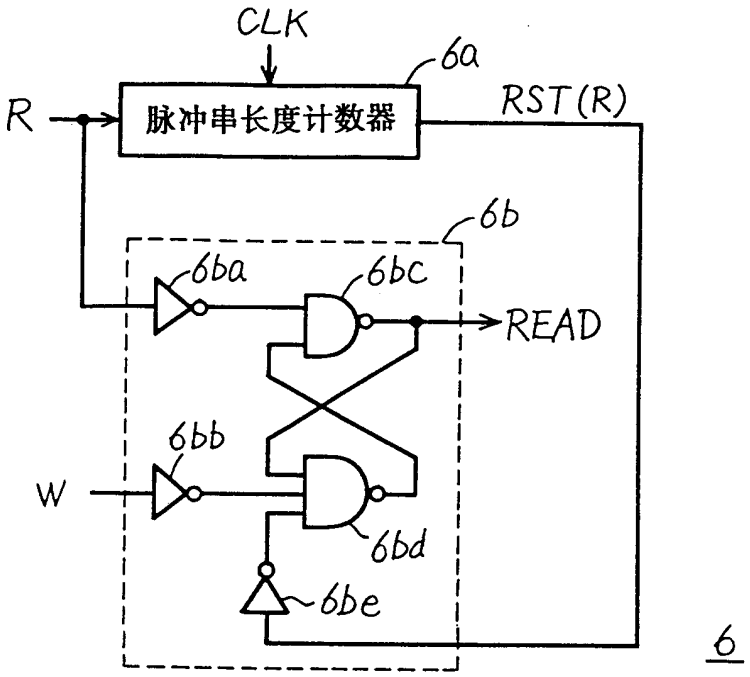


图 12 先有技术

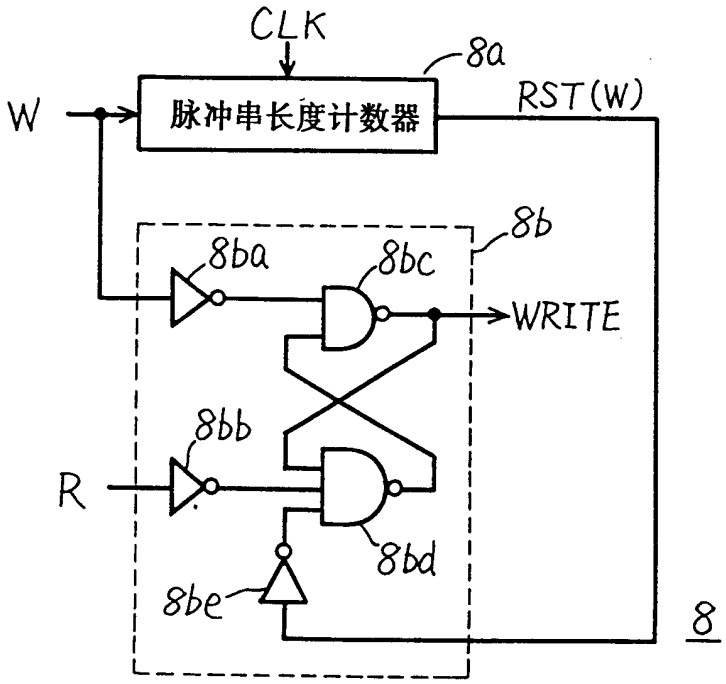
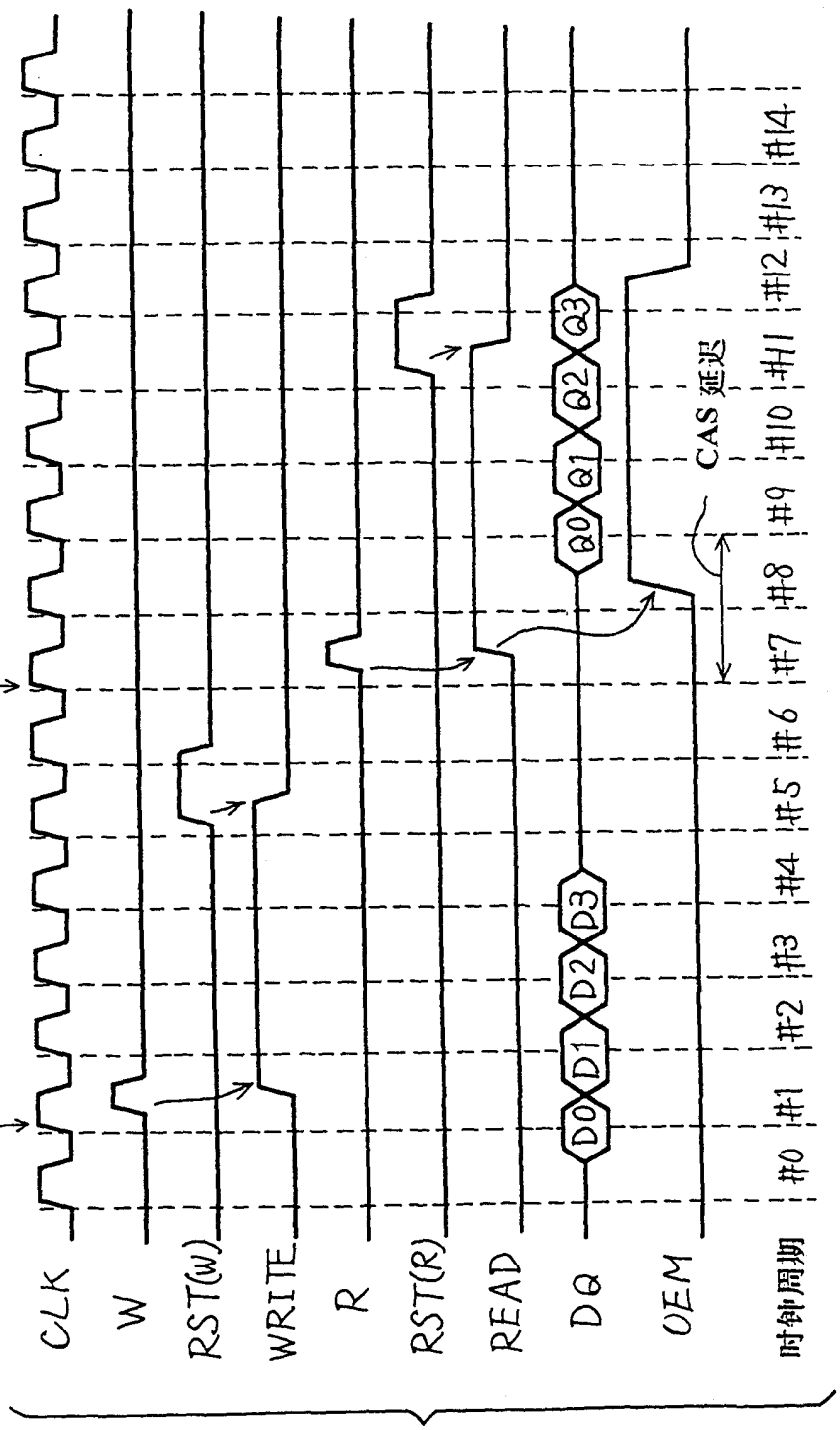


图 13
先有技术


写命令
读命令
脉冲串长度 4， CAS 延迟 2
CLK
W
RST(W)
WRITE
R
RST(R)
READ
DQ
OEM
时钟周期
#0
#1
#2
#3
#4
#5
#6
#7
#8
#9
#10
#11
#12
#13
#14
D0
D1
D2
D3
Q0
Q1
Q2
Q3
CAS 延迟