

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4364688号
(P4364688)

(45) 発行日 平成21年11月18日(2009.11.18)

(24) 登録日 平成21年8月28日(2009.8.28)

(51) Int.Cl.

F 1

H03K 19/0175 (2006.01)
H04L 25/02 (2006.01)H03K 19/00 101Q
H03K 19/00 101F
H03K 19/00 101K
H04L 25/02 F
H04L 25/02 S

請求項の数 2 (全 14 頁)

(21) 出願番号

特願2004-80172(P2004-80172)

(22) 出願日

平成16年3月19日(2004.3.19)

(65) 公開番号

特開2005-269336(P2005-269336A)

(43) 公開日

平成17年9月29日(2005.9.29)

審査請求日

平成19年1月23日(2007.1.23)

(73) 特許権者 000005108

株式会社日立製作所

東京都千代田区丸の内一丁目6番6号

(74) 代理人 100080001

弁理士 筒井 大和

(72) 発明者 柳生 正義

東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

(72) 発明者 山下 寛樹

東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

(72) 発明者 結城 文夫

東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

最終頁に続く

(54) 【発明の名称】信号伝送回路

(57) 【特許請求の範囲】

【請求項 1】

伝送線路と、前記伝送線路の送信端に接続された信号出力回路と、前記伝送線路の受信端に接続された信号受信回路とを有する信号伝送回路であって、

前記受信端で反射した前記信号出力回路の出力信号が前記送信端で再反射するのを防止するため、

前記信号出力回路が前記出力信号を発生したタイミングで第1の信号が入力される第1の入力端子と、

第1および第2の設定端子と、

前記第1の信号を、前記第2の設定端子から入力された設定値に応じて、前記出力信号が発生してから前記受信端で反射し前記送信端で再反射するまでに要する伝送遅延時間に
対応する時間だけ遅延させる遅延回路と、

前記第1の設定端子から入力された設定値に応じた電流量の補正信号を生成し、前記遅延回路の出力をトリガとして前記補正信号を前記送信端に出力する補正電流出力部とを有することを特徴とする信号伝送回路。

【請求項 2】

請求項1記載の信号伝送回路において、

前記信号伝送回路は、磁気記憶装置の書き込み回路に適用されることを特徴とする信号伝送回路。

【発明の詳細な説明】

【技術分野】**【0001】**

本発明は、信号伝送回路、信号出力回路および信号伝送回路の終端方法に関し、特に信号波形の再反射を防止する信号伝送回路、信号出力回路および信号伝送回路の終端方法に適用して有効な技術に関するものである。

【背景技術】**【0002】**

本発明者が検討したところによれば、信号波形の品質を向上させる技術に関しては、以下のような技術が考えられる。

【0003】

10

例えば、特許文献1には、伝送線路とのインピーダンス整合のとれた信号伝送を可能にする出力回路が示されている。その構成は、出力段のMOSトランジスタと、そのMOSトランジスタとの間でカレントミラー回路を形成するMOSトランジスタおよび電流源などを含んでいる。すなわち、この出力回路は、カレントミラー回路を用いて出力段のMOSトランジスタに一定のバイアス電流を流すことで出力インピーダンスを設定し、伝送路とのインピーダンス整合を取るというものである。

【0004】

20

また、例えば、特許文献2には、出力波形のリングングを抑制することが可能な出力回路が示されている。その構成は、出力駆動回路とその送信端子に接続された電圧降下手段などを含んでいる。出力駆動回路は、信号の遷移状態期間に応じた駆動能力を備え、電圧降下手段は、複数のダンピング抵抗によって出力抵抗を切り換え可能な機能を備えている。すなわち、この出力回路は、信号遷移状態において、駆動能力とダンピング抵抗を最適に変化されることによって出力波形のリングングを抑制するというものである。

【0005】

また、例えば、特許文献3には、波形の歪みなどを防止することが可能な信号伝送用のドライバ回路が示されている。その構成は、出力ドライバと、それを駆動する前段ドライバと、その前段ドライバの出力レベルを調整する手段などを備えている。すなわち、このドライバ回路は、伝送路での高周波成分の減衰に対応して、出力段階で予め出力レベルを強調しておくというものである。

【0006】

30

また、例えば、特許文献4には、信号の波形歪みを低減可能なバスインターフェイス回路が示されている。その構成は、バスとの接続端子での信号の変化を検出する回路と、この検出した信号の変化に従って、その変化方向と同一方向に前記接続端子を駆動する回路などを備えている。すなわち、このバスインターフェイス回路は、バス上の電圧レベルと前記接続端子の電圧レベルが常に同じレベルとなるように動作することで、前記接続端子が、バス上で伝達される信号に対して影響を及ぼさないようにするというものである。

【0007】

また、例えば、特許文献5には、出力ノイズを緩和する出力回路が示されている。この出力回路は、同一構成である2つの出力回路が設けられており、時間差をつけてこれらを動作させることで出力電位のリングング等を抑制するというものである。

40

【特許文献1】特開平4-207224号公報

【特許文献2】特開平5-276004号公報

【特許文献3】特開平11-345054号公報

【特許文献4】特開2003-8423号公報

【特許文献5】特開平2-177722号公報

【発明の開示】**【発明が解決しようとする課題】****【0008】**

ところで、前記のような信号波形の品質を向上させる技術について、本発明者が検討した結果、以下のようなことが明らかとなった。

50

【0009】

例えば、信号波形の品質を向上させる上での基本的な技術として、インピーダンス整合が挙げられる。図7に示す伝送回路を例として、このインピーダンス整合について説明する。図7は、本発明の前提として検討した従来技術の信号伝送回路において、その回路構成の一例を示す等価回路図である。図8は、本発明の前提として検討した従来技術の信号伝送回路において、図7の動作波形の一例を示す電流波形図であり、(a)は $R_s > Z_0$ の場合、(b)は $R_s < Z_0$ の場合、(c)は $R_s = Z_0$ の場合を示すものである。

【0010】

図7に示す信号伝送回路は、インピーダンス R_s を備え、電流信号 I_o を出力する信号出力回路70と、特性インピーダンス Z_0 と伝送遅延時間 τ を備え、信号出力回路70の電流信号を伝送する伝送線路71と、インピーダンス R_L を備え、伝送線路71によって伝送された電流信号を受信する信号受信回路72から構成されている。ここで、説明を判り易くするため、この信号伝送回路を、例えば、磁気記憶装置の書き込み回路と想定する。そうすると、信号出力回路70によって出力された書き込み電流信号が、伝送線路71を介して信号受信回路72となる磁気ヘッドで受信されるということになる。

10

【0011】

磁気ヘッドを用いたデータ書き込み動作において、通常、磁気ヘッドのインピーダンス R_L は、伝送線路71の特性インピーダンス Z_0 に比べて小さくなる。このため、伝送線路71の受信端ND71で電流信号の反射が発生してしまう。この反射された電流信号は、伝送線路71を介して信号出力回路70に戻ってくる。この際に、信号出力回路70のインピーダンス R_s と伝送線路71の特性インピーダンス Z_0 とが整合していれば、伝送線路71の送信端ND70において再反射は発生せず、図8(c)に示すように磁気ヘッドに対して安定した書き込み電流信号 I_B を供給することができる。

20

【0012】

一方、インピーダンスが不整合であり、 $R_s > Z_0$ または $R_s < Z_0$ である場合は、信号出力回路70の送信端ND70において再反射が発生し、それぞれ図8(a)または図8(b)に示すように磁気ヘッドに対して歪みがある書き込み電流信号 I_B が供給されてしまう。この場合、磁気ヘッドによるデータ書き込みに誤りが生じたり、書き込み電流信号が安定しないためにデータ書き込み時間が長くなるなどの問題が発生する。

30

【0013】

このようなことから、信号伝送回路を構築する際には、信号出力回路70のインピーダンス R_s と伝送線路71の特性インピーダンス Z_0 を合わせ込む必要がある。したがって、従来技術においては、信号出力回路70を設計する際に、信号出力回路70のインピーダンス R_s を、伝送線路71の特性インピーダンス Z_0 に合わせ込むような設計方式を用いていた。

【0014】

ところが、このような方式では、例えば、設計が完了した信号出力回路70を他の特性インピーダンスを備えた伝送線路71に適用する場合などにおいて、インピーダンスを変更するために、信号出力回路70の再設計が必要となる。すなわち、結果的に、特性インピーダンスが異なる伝送線路71毎にそれぞれに合った信号出力回路70が必要となり、設計工数、設計コストならびに製造コストが増加するという問題が発生してしまう。

40

【0015】

そこで、本発明の目的は、信号出力回路のインピーダンスと伝送線路の特性インピーダンスが異なっている場合でも、伝送線路の送信端で発生する信号の再反射を防止することが可能な信号伝送回路、信号出力回路および信号伝送回路の終端方法を提供することにある。

【0016】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

50

【0017】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0018】

本発明による信号伝送回路は、伝送線路と、伝送線路の送信端に接続された信号出力回路と、伝送線路の受信端に接続された信号受信回路とを備えた信号伝送回路であり、受信端で反射した信号出力回路の出力信号が送信端で再反射するのを防止するため、送信端に対して、設定した電流量と設定したタイミングで補正電流を出力する手段を有するものである。

【0019】

10

ここで、前記設定した電流量は、より具体的には、再反射に伴う電流量を相殺する電流量であり、前記設定したタイミングは、より具体的には、信号出力回路の出力信号が送信端で再反射されるタイミングである。これによって、送信端において再反射が発生せず、受信端における信号波形のリング等を防止することができる。

【0020】

また、前記補正電流を出力する手段は、例えば、第1の設定端子と、第1の設定端子の設定値に応じて、電流量を任意に変更する機能を有するものとなっている。これと同様に、前記補正電流を出力する手段は、例えば、第2の設定端子と、第2の設定端子の設定値に応じて、タイミングを任意に変更する機能を有するものとなっている。

【0021】

20

すなわち、信号伝送回路の特性に応じて、補正電流の最適な電流量と最適なタイミングを設定できるようにすることで、例えば、信号伝送回路の特性が変わっても、回路の設計変更を行わずに再反射を防止することが可能になる。

【0022】

そして、前記タイミングを任意に変更する機能は、例えば、信号出力回路が出力信号を発生したタイミングで第1の信号が入力される第1の入力端子と、入力された第1の信号を第2の設定端子の設定値に応じて遅延させる遅延回路とを有するものとなっている。これによって、遅延回路の遅延時間を、例えば伝送線路の往復時間に設定することで、容易に再反射を防止することが可能になる。

【0023】

30

そして、このような信号伝送回路は、例えば、磁気記憶装置の書き込み回路に適用して有益なものとなる。すなわち、磁気記憶装置の書き込み回路においては、通常、信号受信回路となる磁気ヘッドにおいて反射が発生するため、再反射が発生すると、誤書き込みや書き込み速度の低下が生じる。そこで、これまでに述べたような信号伝送回路を用いることで、このような問題を解決することができ、また、例えば伝送線路等の特性が変わった場合でも、回路設計の変更を要せずにに対応することができる。

【0024】

また、これまでに述べたような補正電流を出力する手段は、信号出力回路内に備えてよい。これによって、それぞれ特性が異なる伝送線路および信号受信回路に対応可能な信号出力回路を実現できる。

40

【0025】

そして、これまでに述べたような再反射を防止するための手法は、例えば、ドライバ回路とレシーバ回路とバスを備えた一般的な伝送システムに対して、その波形品質を向上されるための終端方法として広く適用することが可能である。

【発明の効果】**【0026】**

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【0027】

(1) 信号伝送回路において、信号出力回路の送信端に対して補正電流を出力すること

50

が可能な手段を設けることで、信号出力回路と伝送線路のインピーダンスが異なっている場合でも、送信端で生じる信号の再反射を防止することが可能になる。

【0028】

(2)(1)によって、受信端における波形品質が向上するため、信号の誤った受信を防止でき、受信速度を向上させることができる。

【0029】

(3)補正電流の電流量とタイミングを任意に変更可能にすることによって、インピーダンス特性や伝送線路の長さがそれぞれ異なる信号伝送回路に対して、柔軟に対応することが可能になる。

【0030】

(4)(3)によって、信号伝送回路毎に信号出力回路などを再設計する必要がなくなり、設計工数、設計コストならびに製造コストを低減することが可能になる。

【発明を実施するための最良の形態】

【0031】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。

【0032】

図1は、本発明の一実施の形態による信号伝送回路において、その構成の一例を示す概略図である。図1に示す信号伝送回路は、例えば、信号を出力する信号出力回路10と、信号出力回路10によって出力された信号を伝送する伝送線路11と、伝送線路11によって伝送された信号を受信する信号受信回路12などから構成される。信号出力回路10が出力する信号は、電圧信号である場合と電流信号である場合が存在するが、以下、電流信号である場合を例として説明する。

【0033】

この図1で示した信号伝送回路の回路構成は、例えば、図2に示すようなものとなっている。図2は、本発明の一実施の形態による信号伝送回路において、その回路構成の一例を示す等価回路図である。図2に示す信号伝送回路は、例えば、特性インピーダンス Z_0 と伝送遅延時間 τ を備えた伝送線路21と、前記伝送線路21の送信端ND20に接続された信号出力回路20と、伝送線路21の受信端ND21に接続され、インピーダンス R_L を備えた信号受信回路22などから構成される。

【0034】

信号出力回路20は、信号出力部200と、補正電流生成部201とを備えている。信号出力部200は、インピーダンス R_s を備え、伝送線路21の送信端ND20に電流信号 I_0 を出力する。補正電流生成部201は、例えば、タイミング制御信号と電流量制御信号が入力され、これらの制御信号を処理する電流量/タイミング制御部201aと、この処理結果に基づいたタイミングと電流量で、伝送線路21の送信端ND20に補正電流 I_{CAN} を出力する電流源201bなどから構成される。

【0035】

このような構成を備えた信号伝送回路は、例えば次のように動作する。まず、信号出力部200が、電流信号 I_0 を出力する。そして、この電流信号 I_0 の一部となる電流信号 I_A が伝送線路21に入力され、伝送線路21は、伝送遅延時間 τ を経て、この電流信号 I_A を信号受信回路22に向けて伝送する。ここで、信号受信回路22のインピーダンス R_L と伝送線路21の特性インピーダンス Z_0 とが不整合であるとすると、伝送線路21の受信端ND21において電流信号 I_A に対する反射電流が発生する。

【0036】

この反射電流は、伝送遅延時間 τ を経て、伝送線路21の送信端ND20に到達する。この際に、補正電流生成部201は、送信端ND20においてこの反射電流が再反射するのを防止するための補正電流 I_{CAN} を出力する。これによって、信号出力部200のインピーダンス R_s と伝送線路21の特性インピーダンス Z_0 とが不整合である場合でも、伝送

10

20

30

40

50

線路 2 1 の送信端 N D 2 0 における反射電流の再反射を防止することができる。

【 0 0 3 7 】

ところで、補正電流生成部 2 0 1 において、補正電流 I_{CAN} を発生する際には、その発生するタイミングと、発生する電流量を定める必要がある。発生するタイミングは、前述した説明から判るように、信号出力部 2 0 0 が電流信号 I_0 を発生してから伝送線路 2 1 を往復する時間 T を経過した時となる。したがって、例えば、信号出力部 2 0 0 が電流信号 I_0 を出力するタイミングで、電流量 / タイミング制御部 2 0 1 a にタイミング制御信号を入力し、電流量 / タイミング制御部 2 0 1 a において、 T の遅延時間を加えた後、補正電流を発生すればよい。

【 0 0 3 8 】

また、発生する電流量は、電流信号 I_0 と、信号出力部 2 0 0 、伝送線路 2 1 および信号受信回路 2 2 の各インピーダンスに応じて定まることになる。すなわち、図 2 を用いると、例えば、次のような値となる。

【 0 0 3 9 】

まず、信号出力部 2 0 0 が電流信号 I_0 を出力した時に、伝送線路 2 1 の送信端 N D 2 0 に流入される電流 I_1 は次の式となる。

【 0 0 4 0 】

$$I_1 = R_s / (R_s + Z_0) \times I_0 \quad (1)$$

そして、この電流 I_1 は、伝送遅延時間 T を経て伝送線路 2 1 の受信端 N D 2 1 に伝送される。ここで、受信端 N D 2 1 において、次の式で表せる反射電流 I_{R1} が発生する。

【 0 0 4 1 】

$$I_{R1} = I_1 \times S_L \quad (2)$$

なお、 S_L は、受信端 N D 2 1 における電流の反射係数であり、次の式となる。

【 0 0 4 2 】

$$S_L = - (R_L - Z_0) / (R_L + Z_0) \quad (3)$$

そして、この反射電流 I_{R1} は、伝送遅延時間 T を経て伝送線路 2 1 の送信端 N D 2 0 に伝送される。ここで、送信端 N D 2 0 での反射係数を S_S とすると、本来ならば、この送信端 N D 2 0 において、次の式で表せる再反射電流 I_{R2} が発生する。

【 0 0 4 3 】

$$I_{R2} = I_{R1} \times S_S \quad (4)$$

$$S_S = - (R_s - Z_0) / (R_s + Z_0) \quad (5)$$

そこで、この再反射電流 I_{R2} を受け消す補正電流 I_{CAN} を流せば、電流の再反射を防止することができ、その値は次の式となる。

【 0 0 4 4 】

$$I_{CAN} = - I_{R2} \quad (6)$$

したがって、電流量 / タイミング制御部 2 0 1 a においては、例えば、電流量制御信号を用いて式 (6) の電流量を設定すればよい。

【 0 0 4 5 】

このように、タイミングと電流量を定めて補正電流 I_{CAN} を出力することによって、図 3 に示すように、信号受信回路 2 2 に対して安定した電流信号を供給することが可能になる。図 3 は、本発明の一実施の形態による信号伝送回路において、図 2 の動作波形の一例を示す電流波形図であり、(a) は $R_s > Z_0$ の場合、(b) は $R_s < Z_0$ の場合を示すものである。

【 0 0 4 6 】

図 3 (a) , (b) に示す波形図は、例えば、信号受信回路 2 2 のインピーダンス R_L が、伝送線路 2 1 の特性インピーダンス Z_0 に比べて非常に小さい場合を例としており、伝送線路 2 1 の送信端 N D 2 0 での電流波形 I_A と、伝送線路の受信端 N D 2 1 での電流波形 I_B と、補正電流生成部 2 0 1 の補正電流 I_{CAN} の波形を示している。

【 0 0 4 7 】

図 3 (a) においては、信号出力部 2 0 0 が電流信号 I_0 を発生したことにより、時間

10

20

30

40

50

$t = t_1$ で、伝送線路 2 1 の送信端 N D 2 0 での電流波形 I_A が電流 I_1 の大きさとなっている。そして、電流 I_1 が伝送遅延時間 を経て、伝送線路 2 1 の受信端 N D 2 1 に伝送される。受信端 N D 2 1 においては、 t_1 より 経過後の $t = t_2$ で、電流 I_1 に対する反射電流が発生する。これによって、受信端 N D 2 1 の電流波形 I_B は、 $t = t_2$ において、電流 I_1 にこの反射電流が加算され、電流 I_2 の大きさとなっている。

【0048】

そして、この反射電流は、伝送線路の入口に向かって伝送され、 t_1 より 2 経過後の $t = t_3$ で、伝送線路 2 1 の送信端 N D 2 0 に達する。ここで、補正電流生成部 2 0 1 が、送信端 N D 2 0 に対して補正電流 I_{CAN} を供給している。これによって、再反射が防止され、電流波形 I_A は、電流波形 I_B と同様に電流 I_2 の大きさとなる。そして、送信端 N D 2 0 での再反射が防止されたため、信号受信回路 2 2 に対しては、安定した電流波形 I_B が供給されている。10

【0049】

また、図 3 (b)においても、図 3 (a)と同様な電流波形の動きとなる。但し、図 3 (b)においては、 $t = t_3$ における補正電流 I_{CAN} の向きが異なる。この場合、補正電流生成部 2 0 1 が、送信端 N D 2 0 より補正電流 I_{CAN} の吸い込みを行うということになる。

【0050】

以上、図 2 に示したような、補正電流生成部 2 0 1 を備えた信号出力回路 2 0 およびそれを含めた信号伝送回路を用いることで、例えば次のような効果を得ることができる。20

【0051】

(1) 信号出力部のインピーダンス R_s と伝送線路の特性インピーダンス Z_0 とが不整合である場合でも、伝送線路の送信端における再反射を防止することができる。これによって、信号受信回路に対し安定した信号を供給することが可能になる。

【0052】

(2) 信号受信回路の誤動作を防止でき、また、信号受信回路の高速化を図ることが可能になる。すなわち、送信端および受信端での多重反射によって電流信号にリンクギングが発生した場合、誤動作を防止するために、そのリンクギングが収まるのを待つて信号受信回路を動作させることがある。そこで、図 2 に示したような構成を用いると、リンクギングを防止でき、このような問題を解決することができる。30

【0053】

(3) それぞれ特性インピーダンスが異なる複数の伝送線路に対応可能な信号出力回路を実現できる。

【0054】

なお、図 2 においては、補正電流生成部を信号出力回路内に設けた構成を示したが、勿論、これに限らず、信号伝送回路上で伝送線路の送信端を終端する手段として補正電流生成部を設けることもできる。これによって、例えば、信号出力回路と伝送線路を、それらのインピーダンス特性にとらわれずに組み合わせることが可能になり、信号伝送回路を構築する際の柔軟性を向上させることなどが可能になる。

【0055】

つぎに、図 2 で示した補正電流生成部 2 0 1 のより具体的な構成の一例について説明する。補正電流生成部 2 0 1 は、前述したように、補正電流量を設定する機能と、補正電流を発生するタイミングを設定する機能と、これらの設定に基づいて実際に補正電流を出力する機能とを備えていればよい。40

【0056】

ここで、補正電流量や発生タイミングは、それぞれ異なる特性を備えた信号伝送回路に対応させるため、任意の値に可変設定できるようにするとよい。可変設定を行う際には、例えば、ディジタル的に設定する場合とアナログ的に設定する場合などがあり、それに対して多種多様な回路が考えられる。これらの回路の一例を図 4 および図 5 に示す。

【0057】

図4は、本発明の一実施の形態による信号伝送回路において、補正電流生成部の構成の一例を示す回路図である。図5は、本発明の一実施の形態による信号伝送回路において、補正電流生成部の図4とは異なる構成の一例を示す回路図である。図4に示す回路は、デジタル的に設定を行うもので、図5に示す回路は、アナログ的に設定を行うものとなっている。

【0058】

図4に示す補正電流生成部は、例えば、補正電流量設定部(1)40,(2)42と、タイミング設定部41と、補正電流出力部43などから構成される。補正電流出力部43は、例えば、電源端子Vccと送信端ND40との間に設けられ、並列に接続された複数のPチャネルMOSトランジスタ(以下、PMOSトランジスタと称す)43aと、送信端ND40と基準電位端子Vssとの間に設けられ、並列に接続された複数のNチャネルMOSトランジスタ(以下、NMOSトランジスタと称す)43bなどを有している。ここで、PMOSトランジスタ43a側は、送信端ND40に補正電流の供給を行い、NMOSトランジスタ43b側は、送信端ND40から補正電流の吸い込みを行う。

10

【0059】

補正電流量設定部(1)40は、例えば、複数のPMOSトランジスタ43aのそれぞれのゲート端子に出力が接続された複数のNAND回路40aなどを有し、この複数のNAND回路40aの一方の入力は、電流量設定端子(第1の設定端子)に接続され、他方の入力は、タイミング設定部41からの出力信号に接続されている。補正電流量設定部(2)42も同様に、例えば、複数のNMOSトランジスタ43bのそれぞれのゲート端子に出力が接続された複数のAND回路42aなどを有し、その入力は、電流量設定端子とタイミング設定部41からの出力信号に接続されている。

20

【0060】

すなわち、電流量設定端子により設定を行うことによって、複数のPMOSトランジスタ43aまたは複数のNMOSトランジスタ43bの中から、駆動させるMOSトランジスタおよびその数などを任意に選択することができ、補正電流の供給量または吸い込み量を柔軟に調整することができる。そして、この選択されたMOSトランジスタは、タイミング設定部41からの出力信号を受けて駆動され、補正電流を出力することになる。

【0061】

タイミング設定部41は、補正電流注入端子(第1の入力端子)と、セレクタ41aと、それらの間に設けられ、インバータ回路などによってそれぞれの遅延時間を変化させた複数系統の遅延経路41bと、セレクタ41aの選択信号を入力するタイミング設定端子(第2の設定端子)などを有している。補正電流注入端子には図2の信号出力部200の出力段の制御信号(第1の信号)が入力される。すなわち、補正電流注入端子は信号出力部200の出力トランジスタのゲートを駆動するドライバ段(図示せず)の出力を分岐して接続する。したがって信号出力部200が信号を出力するのとほぼ同一のタイミングで補正電流注入端子の信号(第1の信号)が立ち上がる。タイミング設定端子により遅延経路41bを選択することで、補正電流注入端子に信号(第1の信号)が入力された後、選択した遅延経路の遅延時間を経過後に信号を発生することができる。ここで、タイミング設定端子で設定する遅延時間は、例えば、図2の伝送線路21の伝送遅延時間(2)を2倍した値となる。

30

【0062】

一方、図5に示す補正電流生成部は、例えば、補正電流量設定部(11)50,(22)52と、タイミング設定部51と、補正電流出力部53などから構成される。補正電流出力部53は、例えば、電源端子Vccと送信端ND50との間に設けられ、送信端ND50に補正電流を供給する直列2段のPMOSトランジスタMP500, MP501と、送信端ND50と基準電位端子Vssとの間に設けられ、送信端ND50から補正電流を吸い込む直列2段のNMOSトランジスタMN500, MN501などを有している。

40

【0063】

PMOSトランジスタMP500は、補正電流の供給をON/OFFにする機能を担い

50

、PMOSトランジスタMP501は、そのゲート電圧値によって供給する補正電流量を設定する機能を担っている。これと同様に、NMOSトランジスタMN500は、補正電流の吸い込みをON/OFFにする機能を担い、NMOSトランジスタMN501は、吸い込みの補正電流量を設定する機能を担っている。

【0064】

補正電流量設定部(11)50は、例えば、電流量設定端子(第1の設定端子)を備えた可変電流源50aと、ダイオード接続のPMOSトランジスタMP502などを含み、補正電流出力部53のPMOSトランジスタMP501との間でカレントミラーを構成する回路となっている。すなわち、電流量設定端子により可変電流源50aの電流量を設定することで、送信端ND50に供給する補正電流量を定めることができる。

10

【0065】

補正電流量設定部(22)52は、例えば、電流量設定端子を備えた可変電流源52aと、ダイオード接続のNMOSトランジスタMN502などを含み、補正電流出力部53のNMOSトランジスタMN501との間でカレントミラーを構成する回路となっている。すなわち、電流量設定端子により可変電流源52aの電流量を設定することで、送信端ND50から吸い込む補正電流量を定めることができる。

【0066】

タイミング設定部51は、例えば、遅延回路51aと、この遅延回路51aの出力に接続された電流方向設定回路51bなどから構成される。遅延回路51aは、例えば、補正電流注入端子(第1の入力端子)よりシリアルに接続された複数のインバータ回路と、それぞれのインバータ回路の出力と基準電位端子Vssとの間に設けられた容量ならびにNMOSトランジスタなどを含み、このNMOSトランジスタのゲート電圧をタイミング設定端子(第2の設定端子)によって制御することで遅延時間を調整できるものとなっている。電流方向設定回路51bは、例えば、遅延回路51aの出力と電流方向設定端子(第1の設定端子)に接続されたNAND回路およびAND回路を有し、これらの出力がPMOSトランジスタMP500およびNMOSトランジスタMN500に接続されている。

20

【0067】

すなわち、電流方向設定端子および電流量設定端子で、補正電流の供給または吸い込みの選択とその電流量の設定を行い、タイミング設定端子で遅延時間の設定を行う。そして、補正電流注入端子に、図2の信号出力部200が信号を出力するタイミングで基準信号(第1の信号)を入力すると、設定した遅延時間を経過後にPMOSトランジスタMP500またはNMOSトランジスタMN500のいずれかがOFFからONとなり、補正電流の供給または吸い込みが行われる。

30

【0068】

このように、図4および図5に示したような補正電流生成部を用いることで、例えば、補正電流の供給量および吸い込み量と、補正電流を発生するタイミングを外部より任意に設定することなどが可能になる。したがって、このような回路を用いることで、回路設計の変更を行わずに外部設定を行うことによって、それぞれインピーダンスの異なる信号出力回路と伝送線路を組み合わせることが可能になる。なお、図4および図5で挙げた補正電流生成部の回路例は、勿論これに限定されるものではなく、一般的に広く知られている遅延回路および電流量設定回路を適用することもできる。

40

【0069】

そして、これまでに説明したような信号伝送回路は、例えば、図6に示すような磁気記憶装置における書き込み回路などに適用して有益なものなる。図6は、本発明の一実施の形態による信号伝送回路において、それを適用した磁気記憶装置の構成の一例を示す図であり、(a)は外形の一例を示す斜視図、(b)は回路構成の一例を示すブロック図である。

【0070】

図6に示す磁気記憶装置は、例えばハードディスクドライブである。その外形は、図6(a)に示すように、例えば、垂直方向または水平方向に磁気異方性を有するディスク6

50

4と、ディスク64に対して磁気データの読み出しおよび書き込みを行う磁気ヘッド69と、磁気ヘッド69が固定され、データの記憶箇所に応じて磁気ヘッド69をディスク64上で移動するサスペンション61と、磁気ヘッド69との間で伝送路(1)60を介して接続され、サスペンション61上に設けられたプリアンプIC62と、プリアンプIC62との間で伝送路(2)68を介して接続されたリードチャネルIC63などを含んでいる。

【0071】

また、このような磁気記憶装置を制御する回路は、例えば図6(b)のようになっており、磁気記憶装置とホストシステム(パソコンコンピュータやデジタル機器)とのインターフェースを構成し、リード/ライトデータの転送制御などを行うハードディスクコントローラ(HDC)65と、データ変調/復調などといった信号処理を行うリードチャネルIC63と、磁気ヘッド69に対して電流を供給してデータ書き込みを行う回路と磁気ヘッド69で読み取ったリード信号を増幅する回路などを含むRW_IC(プリアンプIC)62と、サスペンション61の動作機構やディスク64の回転機構といったサーボ機構67の制御を行うモータ制御(サーボ)IC66などを含んでいる。

【0072】

このような磁気記憶装置の構成において、これまでに説明したような信号伝送回路は、プリアンプIC(信号出力回路)62、伝送路(1)(伝送線路)60、磁気ヘッド69(信号受信回路)からなるデータ書き込みを行う回路に適用して特に有益なものとなる。

【0073】

すなわち、通常、磁気ヘッド69のインピーダンスは、伝送路(1)60の特性インピーダンスに比べて小さくなる。また、磁気記憶装置の違いによって、伝送路(1)60の特性インピーダンスが複数通り存在することがある。このようなことから、従来技術においては、磁気記憶装置毎にプリアンプIC62を再設計する必要があった。しかしながら、これまでに説明したような信号伝送回路を用いると、プリアンプIC62の再設計が必要となる。

【0074】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0075】

例えば、これまでの説明においては、信号出力回路が電流駆動である場合を例に説明を行ったが、信号出力回路が電圧駆動である場合でも、その再反射電圧に伴う再反射電流を相殺する補正電流を出力することで、再反射を防止することができる。

【産業上の利用可能性】

【0076】

本発明の信号伝送回路、信号出力回路および信号伝送回路の終端方法は、例えばハードディスクドライブの磁気ヘッドに対する書き込み回路などのように、信号受信端で反射が発生するシステムに対し、その再反射防止手法として適用して特に有益なものであり、さらに、これに限らず、バス上にドライバ回路やレシーバ回路が接続された一般的な伝送システムに対しても、その終端手法として広く適用可能である。

【図面の簡単な説明】

【0077】

【図1】本発明の一実施の形態による信号伝送回路において、その構成の一例を示す概略図である。

【図2】本発明の一実施の形態による信号伝送回路において、その回路構成の一例を示す等価回路図である。

【図3】本発明の一実施の形態による信号伝送回路において、図2の動作波形の一例を示す電流波形図であり、(a)は $R_s > Z_0$ の場合、(b)は $R_s < Z_0$ の場合を示すものである。

10

20

30

40

50

【図4】本発明の一実施の形態による信号伝送回路において、補正電流生成部の構成の一例を示す回路図である。

【図5】本発明の一実施の形態による信号伝送回路において、補正電流生成部の図4とは異なる構成の一例を示す回路図である。

【図6】本発明の一実施の形態による信号伝送回路において、それを適用した磁気記憶装置の構成の一例を示す図であり、(a)は外形の一例を示す斜視図、(b)は回路構成の一例を示すブロック図である。

【図7】本発明の前提として検討した従来技術の信号伝送回路において、その回路構成の一例を示す等価回路図である。

【図8】本発明の前提として検討した従来技術の信号伝送回路において、図7の動作波形の一例を示す電流波形図であり、(a)は $R_s > Z_0$ の場合、(b)は $R_s < Z_0$ の場合、(c)は $R_s = Z_0$ の場合を示すものである。

【符号の説明】

【0078】

10 10, 20 信号出力回路

11, 21 伝送線路

12, 22 信号受信回路

200 信号出力部

201 補正電流生成部

201 b 電流源

20

201 a 電流量 / タイミング制御部

40, 42, 50, 52 補正電流量設定部

40 a NAND回路

41, 51 タイミング設定部

41 a セレクタ

41 b 遅延経路

42 a AND回路

43, 53 補正電流出力部

43 a PMOSトランジスタ

30

43 b NMOSトランジスタ

50 a, 52 a 可変電流源

51 a 遅延回路

51 b 電流方向設定回路

60, 68 伝送路

61 サスペンション

62 プリアンプIC

63 リードチャネルIC

64 ディスク

65 ハードディスクコントローラ

66 モータ制御IC

40

67 サーボ機構

69 磁気ヘッド

ND20, ND40, ND50 送信端

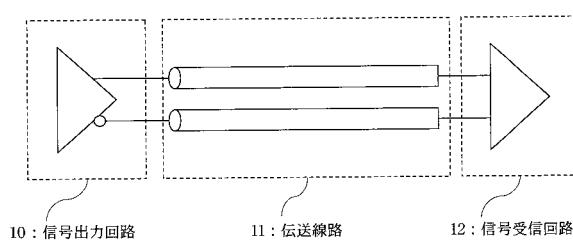
ND21 受信端

MP500~502 PMOSトランジスタ

MN500~502 NMOSトランジスタ

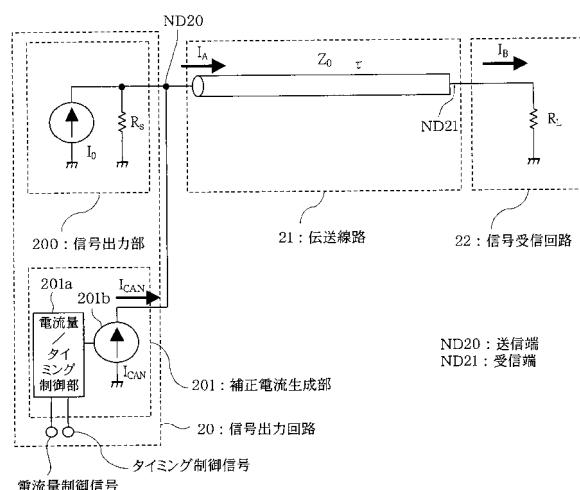
【図1】

図1



【図2】

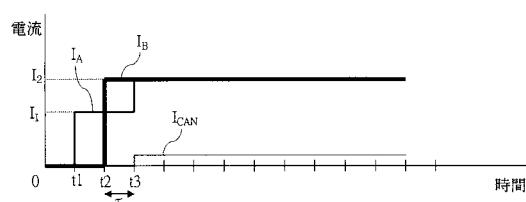
図2



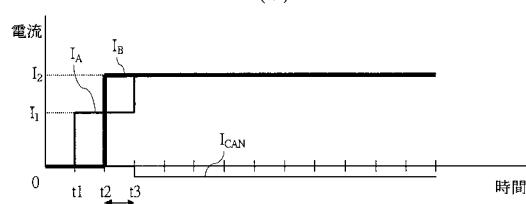
【図3】

図3

(a)

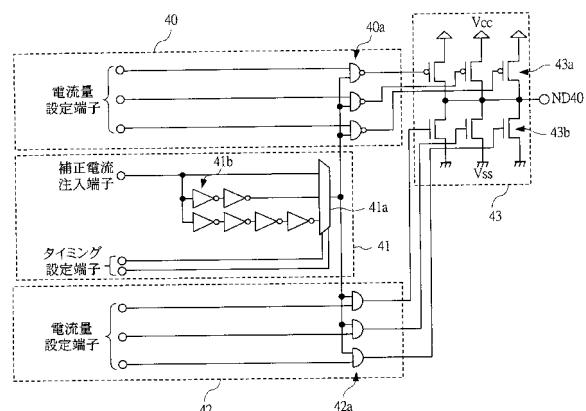


(b)

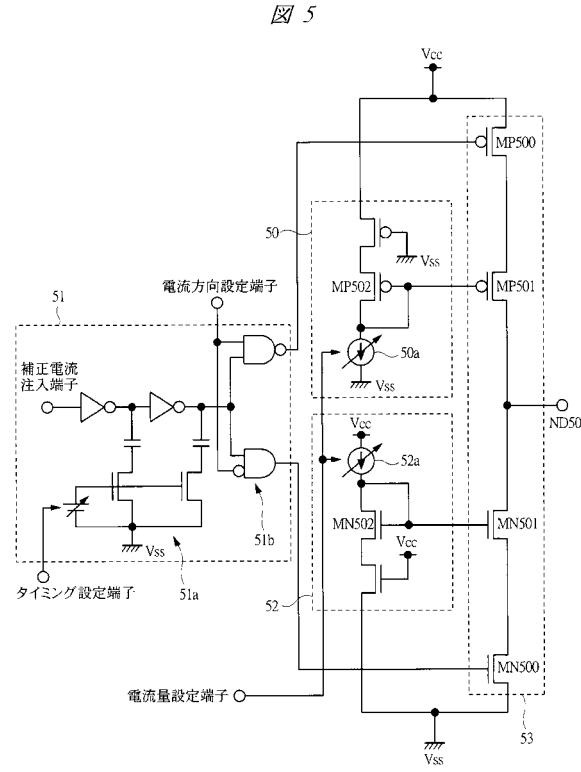


【図4】

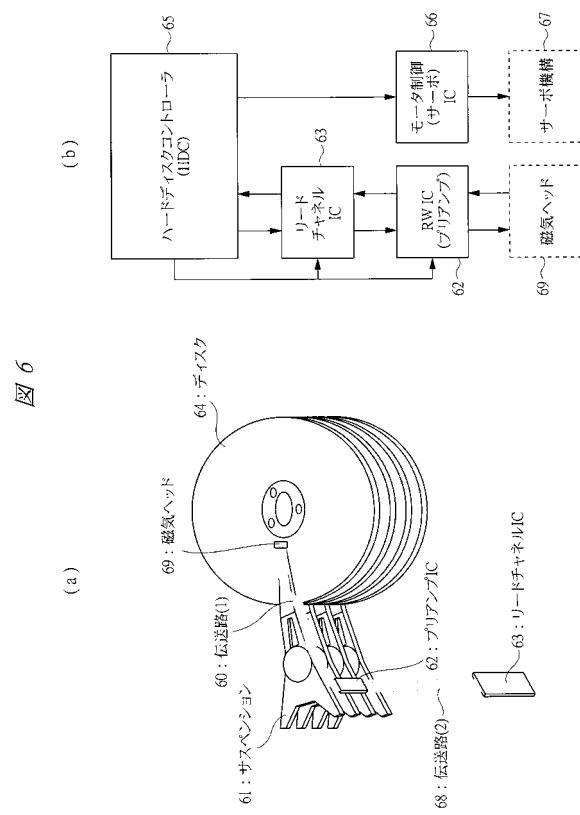
図4



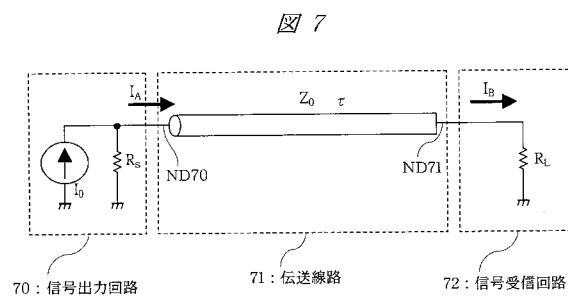
【図5】



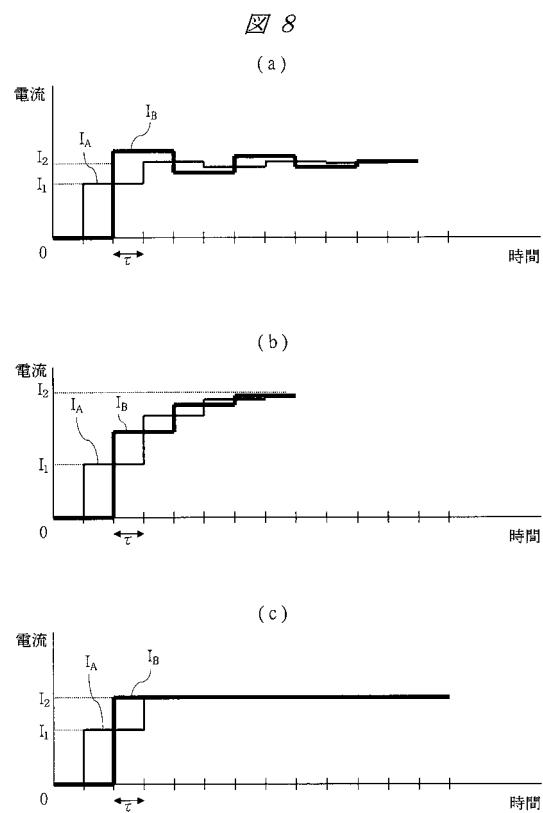
【図6】



【図7】



【図8】



フロントページの続き

(72)発明者 川下 達也

東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内

審査官 矢頭 尚之

(56)参考文献 特表2000-511022(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K 19/0175

H04L 25/02