



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0047953
(43) 공개일자 2017년05월08일

(51) 국제특허분류(Int. Cl.)
H01L 29/78 (2006.01) H01L 29/417 (2006.01)
H01L 29/66 (2006.01)

(52) CPC특허분류
H01L 29/7831 (2013.01)
H01L 29/41791 (2013.01)

(21) 출원번호 10-2015-0148710

(22) 출원일자 2015년10월26일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자

민선기

서울특별시 강남구 도곡로6길 14, 601호 (도곡동, 현대아이리스아파트)

박기관

경기도 수원시 영통구 태장로 45, 201동 501호 (망포동, 망포마을현대2차아파트)

(73) 대리인

특허법인가산

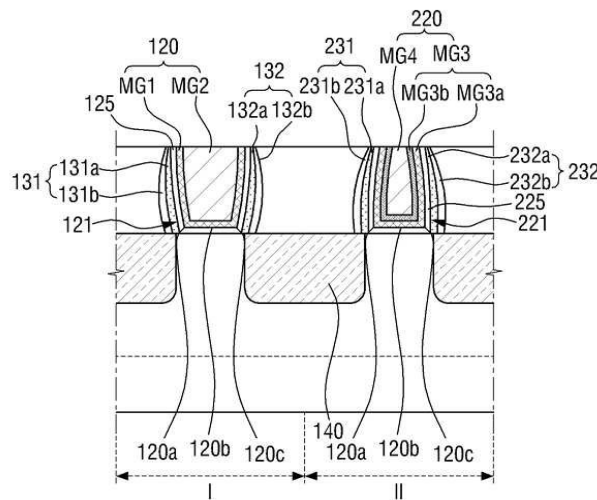
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 반도체 장치 및 그 제조 방법

(57) 요약

반도체 장치 및 그 제조 방법이 제공된다. 상기 반도체 장치는 기판 상에 형성되고, 하면의 폭에 대한 상면의 폭이 제1 비(ratio)를 가지는 제1 게이트 전극, 상기 기판 상에 형성되고, 하면의 폭에 대한 상면의 폭이 상기 제1 비보다 작은 제2 비를 가지는 제2 게이트 전극, 상기 제1 게이트 전극의 측벽 상에 형성되는 제1 게이트 스페이서, 상기 제2 게이트 전극의 측벽 상에 형성되는 제2 게이트 스페이서 및 상기 제1 및 제2 게이트 스페이서를 덮는 층간 절연막을 포함한다.

대표도 - 도2



(52) CPC특허분류

H01L 29/6656 (2013.01)

H01L 29/7855 (2013.01)

H01L 2924/13067 (2013.01)

(72) 발명자

강상구

서울특별시 강남구 역삼로12길 9-2, 203호 (역삼동)

김성수

서울특별시 서초구 서초중앙로 200, 13동 1001호 (서초동, 삼풍아파트)

김주연

경기도 수원시 영통구 영통로90번길 4-27, 108동 701호 (망포동, 늘푸른 벽산아파트)

류경민

경기도 화성시 동탄숲속로 19, 893동 1803호 (능동, 숲속마을풍성신미주아파트)

이재훈

경기도 화성시 삼성1로 144-9 (석우동, 이림리치안오피스텔)

하태원

경기도 성남시 분당구 장미로 101, 828동 302호 (야탑동, 장미마을현대아파트)

명세서

청구범위

청구항 1

기관 상에 형성되고, 하면의 폭에 대한 상면의 폭이 제1 비(ratio)를 가지는 제1 게이트 전극;
상기 기관 상에 형성되고, 하면의 폭에 대한 상면의 폭이 상기 제1 비보다 작은 제2 비를 가지는 제2 게이트 전극;
상기 제1 게이트 전극의 측벽 상에 형성되는 제1 게이트 스페이서;
상기 제2 게이트 전극의 측벽 상에 형성되는 제2 게이트 스페이서; 및
상기 제1 및 제2 게이트 스페이서를 덮는 층간 절연막을 포함하는 반도체 장치.

청구항 2

제1 항에 있어서,
상기 제1 비는 1보다 크거나 같고,
상기 제2 비는 1보다 작거나 같은 반도체 장치.

청구항 3

제1 항에 있어서,
상기 제1 및 제2 비는 1보다 크거나 같은 반도체 장치.

청구항 4

제1 항에 있어서,
상기 제1 및 제2 비는 1보다 작거나 같은 반도체 장치.

청구항 5

제1 항에 있어서,
상기 제1 게이트 전극은 N형이고,
상기 제2 게이트 전극은 P형인 반도체 장치.

청구항 6

제5 항에 있어서,
상기 제1 게이트 전극은 N형 일함수 메탈을 포함하고,
상기 제2 게이트 전극은 N형 일함수 메탈 및 P형 일함수 메탈을 포함하는 반도체 장치.

청구항 7

제1 항에 있어서,
상기 기관의 상면으로부터 멀어짐에 따라, 상기 제1 게이트 전극의 폭은 점차 좁아지는 반도체 장치.

청구항 8

제7 항에 있어서,
상기 기관의 상면으로부터 멀어짐에 따라, 상기 제2 게이트 전극의 폭은 점차 넓어지는 반도체 장치.

청구항 9

제1 항에 있어서,
 상기 제1 게이트 스페이서는,
 상기 제1 게이트 전극의 측벽 상에 형성되는 제1 질화 스페이서와,
 상기 제1 질화 스페이서 상에 형성되는 제1 산화 스페이서와,
 상기 제1 산화 스페이서 상에 형성되는 제1 스트레스 스페이서를 포함하는 반도체 장치.

청구항 10

제9 항에 있어서,
 상기 제2 게이트 스페이서는,
 상기 제2 게이트 전극의 측벽 상에 형성되는 제2 질화 스페이서와,
 상기 제2 질화 스페이서 상에 형성되는 제2 산화 스페이서와,
 상기 제2 산화 스페이서 상에 형성되는 제2 스트레스 스페이서를 포함하는 반도체 장치.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 반도체 장치의 밀도를 높이기 위한 스케일링(scaling) 기술 중 하나로서, 기판 상에 핀(fin) 또는 나노와이어(nanowire) 형상의 다채널 액티브 패턴(또는 실리콘 바디)을 형성하고 다채널 액티브 패턴의 표면 위에 게이트를 형성하는 멀티 게이트 트랜지스터(multi gate transistor)가 제안되었다.

[0003] 이러한 멀티 게이트 트랜지스터는 3차원의 채널을 이용하기 때문에, 스케일링하는 것이 용이하다. 또한, 멀티 게이트 트랜지스터의 게이트 길이를 증가시키지 않아도, 전류 제어 능력을 향상시킬 수 있다. 뿐만 아니라, 드레인 전압에 의해 채널 영역의 전위가 영향을 받는 SCE(short channel effect)를 효과적으로 억제할 수 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명이 해결하고자 하는 기술적 과제는, 절연막의 응력(stress)을 이용하여 성능이 향상된 반도체 장치를 제공하는 것이다.

[0005] 본 발명이 해결하고자 하는 다른 기술적 과제는, 절연막의 응력을 이용하여 성능이 향상된 반도체 장치의 제조 방법을 제공하는 것이다.

[0006] 본 발명이 해결하려는 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0007] 상기 과제를 해결하기 위한 본 발명의 일 실시예에 따른 반도체 장치는, 기판 상에 형성되고, 하면의 폭에 대한 상면의 폭이 제1 비(ratio)를 가지는 제1 게이트 전극, 상기 기판 상에 형성되고, 하면의 폭에 대한 상면의 폭이 상기 제1 비보다 작은 제2 비를 가지는 제2 게이트 전극, 상기 제1 게이트 전극의 측벽 상에 형성되는 제1 게이트 스페이서, 상기 제2 게이트 전극의 측벽 상에 형성되는 제2 게이트 스페이서 및 상기 제1 및 제2 게이트 스페이서를 덮는 층간 절연막을 포함한다.

- [0008] 상기 제1 비는 1보다 크거나 같고, 상기 제2 비는 1보다 작거나 같을 수 있다.
- [0009] 상기 제1 및 제2 비는 1보다 크거나 같을 수 있다.
- [0010] 상기 제1 및 제2 비는 1보다 작거나 같을 수 있다.
- [0011] 상기 제1 게이트 전극은 N형이고, 상기 제2 게이트 전극은 P형일 수 있다.
- [0012] 상기 제1 게이트 전극은 N형 일함수 메탈을 포함하고, 상기 제2 게이트 전극은 N형 일함수 메탈 및 P형 일함수 메탈을 포함할 수 있다.
- [0013] 상기 기판의 상면으로부터 멀어짐에 따라, 상기 제1 게이트 전극의 폭은 점차 좁아질 수 있다.
- [0014] 상기 기판의 상면으로부터 멀어짐에 따라, 상기 제2 게이트 전극의 폭은 점차 넓어질 수 있다.
- [0015] 상기 제1 게이트 스페이서는, 상기 제1 게이트 전극의 측벽 상에 형성되는 제1 질화 스페이서와, 상기 제1 질화 스페이서 상에 형성되는 제1 산화 스페이서와, 상기 제1 산화 스페이서 상에 형성되는 제1 스트레스 스페이서를 포함할 수 있다.
- [0016] 상기 제2 게이트 스페이서는, 상기 제2 게이트 전극의 측벽 상에 형성되는 제2 질화 스페이서와, 상기 제2 질화 스페이서 상에 형성되는 제2 산화 스페이서와, 상기 제2 산화 스페이서 상에 형성되는 제2 스트레스 스페이서를 포함할 수 있다.
- [0017] 상기 제1 산화 스페이서와 상기 제2 산화 스페이서의 두께는 서로 다를 수 있다.
- [0018] 상기 제1 스트레스 스페이서와 상기 제2 스트레스 스페이서는 서로 연결되는 연결부를 포함하고, 상기 연결부에는 단차가 형성될 수 있다.
- [0019] 상기 과제를 해결하기 위한 본 발명의 다른 실시예에 따른 반도체 장치는 기판 상에 형성되고, 상기 기판에서 멀어질수록 폭이 넓어지는 제1 게이트 전극, 상기 기판 상에 형성되고, 상기 기판에서 멀어질수록 폭이 좁아지는 제2 게이트 전극, 상기 제1 게이트 전극의 측벽 상에 형성되는 제1 게이트 스페이서, 상기 제2 게이트 전극의 측벽 상에 형성되는 제2 게이트 스페이서 및 상기 제1 및 제2 게이트 스페이서를 덮는 층간 절연막을 포함하되, 상기 제1 게이트 전극에 가해지는 인장 응력(tensile stress)은 상기 제2 게이트 전극에 가해지는 인장 응력보다 크다.
- [0020] 상기 제2 게이트 전극에는 압축 응력(compressive stress)이 가해질 수 있다.
- [0021] 상기 제1 게이트 스페이서는, 상기 제1 게이트 전극의 측벽 상에 형성되는 제1 질화 스페이서와, 상기 제1 질화 스페이서 상에 형성되는 제1 산화 스페이서와, 상기 제1 산화 스페이서 상에 형성되고, 상기 제1 게이트 전극에 인장 응력을 가하는 제1 스트레스 스페이서를 포함할 수 있다.
- [0022] 상기 제2 게이트 스페이서는, 상기 제2 게이트 전극의 측벽 상에 형성되는 제2 질화 스페이서와, 상기 제2 질화 스페이서 상에 형성되는 제2 산화 스페이서와, 상기 제2 산화 스페이서 상에 형성되고, 상기 제2 게이트 전극에 인장 응력을 가하는 제2 스트레스 스페이서를 포함할 수 있다.
- [0023] 상기 제2 산화 스페이서는 상기 제1 게이트 전극에 압축 응력을 가할 수 있다.
- [0024] 상기 제2 산화 스페이서의 두께는 상기 제1 산화 스페이서의 두께보다 두꺼울 수 있다.
- [0025] 상기 제2 스트레스 스페이서는 상기 층간 절연막과 동일한 물질을 포함할 수 있다.
- [0026] 상기 다른 과제를 해결하기 위한 본 발명의 일 실시예에 따른 반도체 장치 제조 방법은 기판의 제1 영역 상에 제1 더미 게이트 전극을 형성하고, 상기 기판의 제2 영역 상에 제2 더미 게이트 전극을 형성하고, 상기 제1 및 제2 더미 게이트 상에 각각 제1 및 제2 캡핑 패턴을 형성하고, 상기 제1 더미 게이트의 측벽 상에 형성되는 제1 게이트 스페이서와, 상기 제2 더미 게이트의 측벽 상에 형성되는 제2 게이트 스페이서를 형성하고, 상기 제1 및/또는 제2 게이트 스페이서 상에 라이너를 형성하되, 상기 라이너는 상기 제1 영역에서의 두께와 상기 제2 영역에서의 두께가 서로 다르고, 상기 제1 및 제2 더미 게이트와, 상기 라이너를 덮는 층간 절연막을 형성하는 것을 포함한다.
- [0027] 여기서, 상기 층간 절연막, 상기 제1 및 제2 캡핑 패턴, 상기 제1 및 제2 게이트 스페이서 및 상기 라이너를 평탄화 하여 상기 제1 및 제2 더미 게이트를 노출시키고, 상기 제1 및 제2 더미 게이트를 제거하여 각각 제1 및 제2 트렌치를 형성하고, 상기 제1 및 제2 트렌치를 각각 채우는 제1 및 제2 게이트 전극을 형성하는 것을 더 포

함할 수 있다.

- [0028] 상기 제1 게이트 전극과 상기 제2 게이트 전극은 서로 다른 도전형일 수 있다.
- [0029] 상기 제1 트렌치는 상기 기판에서 멀어질수록 폭이 넓어지고, 상기 제2 트렌치는 상기 기판에서 멀어질수록 폭이 좁아질 수 있다.
- [0030] 여기서, 상기 라이너를 열처리하여 상기 라이너가 응력을 가지게 하는 것을 더 포함할 수 있다.
- [0031] 상기 라이너는 상기 제2 영역에서의 두께가 상기 제1 영역에서의 두께보다 크고, 상기 응력은 압축 응력일 수 있다.
- [0032] 상기 라이너는 상기 제1 영역에서의 두께가 상기 제2 영역에서의 두께보다 크고, 상기 응력은 인장 응력일 수 있다.
- [0033] 상기 라이너를 형성하는 것은 상기 제1 및 제2 영역에서 서로 두께가 다른 제1 라이너를 형성하고, 상기 제1 라이너 상에 제2 라이너를 형성하는 것을 포함할 수 있다.
- [0034] 상기 열처리 후에, 상기 제1 라이너 와 상기 제2 라이너는 서로 다른 응력을 가질 수 있다.

도면의 간단한 설명

- [0035] 도 1은 본 발명의 몇몇 실시예에 따른 반도체 장치를 설명하기 위한 평면도이다.
- 도 2는 도 1의 A - A를 따라서 절단한 단면도이다.
- 도 3은 도 2에서 제1 게이트 전극을 제외한 제1 게이트 스페이서를 도시한 도면이다.
- 도 4는 도 2에서, 제1 게이트 전극만을 분리하여 도시한 도면이다.
- 도 5는 도 2에서 제2 게이트 전극을 제외한 제2 게이트 스페이서를 도시한 도면이다.
- 도 6은 도 2에서, 제2 게이트 전극만을 분리하여 도시한 도면이다.
- 도 7a 내지 도 8b는 도 2의 B - B를 따라서 절단한 단면도이다.
- 도 9a 내지 도 10b는 도 2의 C - C를 따라서 절단한 단면도이다.
- 도 11은 본 발명의 몇몇 실시예에 따른 반도체 장치를 설명하기 위한 도면이다.
- 도 12는 본 발명의 몇몇 실시예에 따른 반도체 장치를 설명하기 위한 도면이다.
- 도 13은 본 발명의 몇몇 실시예에 따른 반도체 장치를 설명하기 위한 도면이다.
- 도 14 내지 19는 본 발명의 몇몇 실시예에 따른 반도체 장치 제조 방법을 설명하기 위한 중단 단계 도면들이다.
- 도 20은 본 발명의 몇몇 실시예에 따른 반도체 장치 제조 방법을 설명하기 위한 중간 단계의 도면이다.
- 도 21은 본 발명의 몇몇 실시예에 따른 반도체 장치 제조 방법을 설명하기 위한 중간 단계의 도면이다.
- 도 22 내지 도 26은 본 발명의 몇몇 실시예에 따른 반도체 장치 제조 방법을 설명하기 위한 중간 단계의 도면들이다.
- 도 27은 본 발명의 실시예들에 따른 반도체 장치를 포함하는 SoC 시스템의 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0036] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 도면에서 층 및 영역들의 상대적인 크기는 설명의 명료성을 위해 과장된 것일 수 있다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0037] 하나의 소자(elements)가 다른 소자와 "접속된(connected to)" 또는 "커플링된(coupled to)" 이라고 지칭되는 것은, 다른 소자와 직접 연결 또는 커플링된 경우 또는 중간에 다른 소자를 개재한 경우를 모두 포함한다.

반면, 하나의 소자가 다른 소자와 "직접 접속된(directly connected to)" 또는 "직접 커플링된(directly coupled to)"으로 지칭되는 것은 중간에 다른 소자를 개재하지 않은 것을 나타낸다.

- [0038] 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.
- [0039] 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않은 것을 나타낸다.
- [0040] 비록 제1, 제2 등이 다양한 소자, 구성요소 및/또는 섹션들을 서술하기 위해서 사용되나, 이들 소자, 구성요소 및/또는 섹션들은 이들 용어에 의해 제한되지 않음은 물론이다. 이들 용어들은 단지 하나의 소자, 구성요소 또는 섹션들을 다른 소자, 구성요소 또는 섹션들과 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 소자, 제1 구성요소 또는 제1 섹션은 본 발명의 기술적 사상 내에서 제2 소자, 제2 구성요소 또는 제2 섹션일 수도 있음은 물론이다.
- [0041] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.
- [0042] 다른 정의가 없다면, 본 명세서에서 사용되는 모든 용어(기술 및 과학적 용어를 포함)는 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 공통적으로 이해될 수 있는 의미로 사용될 수 있을 것이다. 또 일반적으로 사용되는 사전에 정의되어 있는 용어들은 명백하게 특별히 정의되어 있지 않는 한 이상적으로 또는 과도하게 해석되지 않는다.
- [0043] 이하, 도 1 내지 도 10a을 참조하여 본 발명의 일 실시예에 따른 반도체 장치를 설명한다.
- [0044] 도 1은 본 발명의 몇몇 실시예에 따른 반도체 장치를 설명하기 위한 평면도이고, 도 2는 도 1의 A - A를 따라서 절단한 단면도이다. 도 3은 도 2에서 제1 게이트 전극을 제외한 제1 게이트 스페이서를 도시한 도면이고, 도 4는 도 2에서, 제1 게이트 전극만을 분리하여 도시한 도면이다. 도 5는 도 2에서 제2 게이트 전극을 제외한 제2 게이트 스페이서를 도시한 도면이고, 도 6은 도 2에서, 제2 게이트 전극만을 분리하여 도시한 도면이다. 도 7a 내지 도 8b는 도 2의 B - B를 따라서 절단한 단면도이고, 도 9a 내지 도 10b는 도 2의 C - C를 따라서 절단한 단면도이다.
- [0045] 도면에서는 예시적으로, 반도체 장치는 핀형 패턴 형상의 채널 영역을 포함하는 것으로 도시하였지만, 핀형 패턴 형상 대신 와이어 패턴 형상의 채널 영역을 포함할 수도 있다.
- [0046] 또한, 이하에서는 반도체 장치는 핀형 패턴을 이용한 핀형 트랜지스터(FinFET)를 포함하는 것으로 설명하지만, 이에 제한되는 것은 아니다. 즉, 본 발명의 실시예들에 따른 반도체 장치는 평면(planar) 트랜지스터를 포함할 수 있음은 물론이다.
- [0047] 도 1 내지 도 4b를 참고하면, 본 발명의 몇몇 실시예에 따른 반도체 장치는 제1 핀형 패턴(110)과, 제1 게이트 전극(120)과, 제2 게이트 전극(220)과, 제1 게이트 스페이서(131, 132)와, 제2 게이트 스페이서(231, 232)와, 층간 절연막(180)을 포함할 수 있다.
- [0048] 기판(100)은 예를 들어, 벌크 실리콘 또는 SOI(silicon-on-insulator)일 수 있다. 이와 달리, 기판(100)은 실리콘 기판일 수도 있고, 또는 다른 물질, 예를 들어, 실리콘게르마늄, 안티몬화 인듐, 납 텔루르 화합물, 인듐 비소, 인듐 인화물, 갈륨 비소 또는 안티몬화 갈륨을 포함할 수 있다. 또는, 기판(100)은 베이스 기판 상에 에피층이 형성된 것일 수도 있다.
- [0049] 기판(100)은 제1 영역(I) 및 제2 영역(II)을 포함할 수 있다. 제1 영역(I) 및 제2 영역(II)은 서로 인접한 영역일 수 있다. 단, 이에 제한되는 것은 아니다. 제1 영역(I)에는 추후에 설명되는 제1 게이트 전극(120)이 형성될 수 있고, 제2 영역(II)에는 추후에 설명되는 제2 게이트 전극(220)이 형성될 수 있다.
- [0050] 제1 핀형 패턴(110)은 기판(100)으로부터 돌출되어 있을 수 있다. 제1 핀형 패턴(110)은 제1 방향(X1)을 따라서 길게 연장될 수 있다.
- [0051] 제1 핀형 패턴(110)은 멀티 게이트 트랜지스터에 사용되는 액티브 패턴을 의미한다. 즉, 제1 핀형 패턴(110)은

핀의 3면을 따라서 채널이 서로 연결되어 형성될 수도 있고, 핀의 서로 마주보는 2면에 채널이 형성될 수도 있다.

- [0052] 제1 핀형 패턴(110)은 기판(100)의 일부일 수도 있고, 기판(100)으로부터 성장된 에피층(epitaxial layer)을 포함할 수 있다.
- [0053] 제1 핀형 패턴(110)은 예를 들어, 원소 반도체 물질인 실리콘 또는 게르마늄을 포함할 수 있다. 또한, 제1 핀형 패턴(110)은 화합물 반도체를 포함할 수 있고, 예를 들어, IV-IV족 화합물 반도체 또는 III-V족 화합물 반도체를 포함할 수 있다.
- [0054] 구체적으로, IV-IV족 화합물 반도체를 예로 들면, 제1 핀형 패턴(110)은 탄소(C), 규소(Si), 게르마늄(Ge), 주석(Sn) 중 적어도 2개 이상을 포함하는 이원계 화합물(binary compound), 삼원계 화합물(ternary compound) 또는 이들에 IV족 원소가 도핑된 화합물일 수 있다.
- [0055] III-V족 화합물 반도체를 예로 들면, 제1 핀형 패턴(110)은 III족 원소로 알루미늄(Al), 갈륨(Ga) 및 인듐(In) 중 적어도 하나와 V족 원소인 인(P), 비소(As) 및 안티모늄(Sb) 중 하나가 결합되어 형성되는 이원계 화합물, 삼원계 화합물 또는 사원계 화합물 중 하나일 수 있다.
- [0056] 본 발명의 실시예들에 따른 반도체 장치에서, 제1 핀형 패턴(110)은 실리콘을 포함하는 실리콘 핀형 패턴인 것으로 설명한다.
- [0057] 제1 필드 절연막(105)은 기판(100) 상에 형성될 수 있다. 제1 필드 절연막(105)은 제1 핀형 패턴(110)의 측면 일부를 덮고 있을 수 있다. 이에 따라, 제1 핀형 패턴(110)의 상면은 제1 핀형 패턴(110)의 장변 측에 배치되는 제1 필드 절연막(105)의 상면보다 위로 돌출되어 있을 수 있다. 제1 핀형 패턴(110)은 기판(100) 상의 제1 필드 절연막(105)에 의해 정의될 수 있다.
- [0058] 제1 필드 절연막(105)은 예를 들어, 산화막, 질화막, 산질화막 또는 이들의 조합 중 하나를 포함할 수 있다.
- [0059] 제1 게이트 전극(120)은 제2 방향(Y1)으로 연장될 수 있다. 제1 게이트 전극(120)은 제1 핀형 패턴(110)과 교차하도록 형성될 수 있다.
- [0060] 제1 게이트 전극(120)은 제1 핀형 패턴(110) 및 제1 필드 절연막(105) 상에 형성될 수 있다. 제1 게이트 전극(120)은 제1 필드 절연막(105)의 상면보다 위로 돌출된 제1 핀형 패턴(110)을 감쌀 수 있다.
- [0061] 제1 게이트 전극(120)은 서로 마주보는 제1 측벽(120a)과 제2 측벽(120c)을 포함할 수 있다. 제1 게이트 전극(120)은 제1 게이트 전극의 제1 측벽(120a) 및 제1 게이트 전극의 제2 측벽(120c)을 연결하고, 제1 핀형 패턴(110)의 상면을 따라 연장되는 바닥면(120b)를 포함할 수 있다.
- [0062] 제2 게이트 전극(220)은 제2 방향(Y1)으로 연장될 수 있다. 제2 게이트 전극(220)은 제1 핀형 패턴(110) 상에, 제1 핀형 패턴(110)과 교차하도록 형성될 수 있다.
- [0063] 제2 게이트 전극(220)은 제1 게이트 전극(120)에 인접하여 형성될 수 있다. 제2 게이트 전극(220)과 제1 게이트 전극(120) 사이에 제1 핀형 패턴(110) 교차하는 다른 게이트 전극은 형성되지 않을 수 있다.
- [0064] 제2 게이트 전극(220)은 서로 마주보는 제1 측벽(220a)과 제2 측벽(220c)을 포함할 수 있다. 제2 게이트 전극(220)은 제2 게이트 전극의 제1 측벽(220a) 및 제2 게이트 전극의 제2 측벽(220c)을 연결하고, 제1 핀형 패턴(110)의 상면을 따라 연장되는 바닥면(220b)를 포함할 수 있다.
- [0065] 제1 게이트 전극(120)은 금속층(MG1, MG2)을 포함할 수 있다. 예를 들어, 제1 게이트 전극(120)은 도시한 것과 같이, 2층 이상의 금속층(MG1, MG2)이 적층될 수 있다. 제1 금속층(MG1)은 일함수 조절을 하고, 제2 금속층(MG2)은 제1 금속층(MG1)에 의해 형성된 공간을 채우는 역할을 한다. 예를 들어, 제1 금속층(MG1)은 N형 일함수 막일 수 있다. 제1 금속층(MG1)은 예를 들어, TiAl, TiAlN, TaC, TaAlN, TiC, HfSi 또는 이들의 조합 중 적어도 하나를 포함할 수 있지만, 이에 제한되는 것은 아니다. 또한, 제2 금속층(MG2)은 예를 들어, W, Al, Cu, Co, Ti, Ta, poly-Si, SiGe 또는 금속 합금 중 적어도 하나를 포함할 수 있지만, 이에 제한되는 것은 아니다.
- [0066] 제2 게이트 전극(220)은 금속층(MG3, MG4)을 포함할 수 있다. 예를 들어, 제2 게이트 전극(220)은 도시한 것과 같이, 2층 이상의 금속층(MG3, MG4)이 적층될 수 있다. 제3 금속층(MG3)은 일함수 조절을 하고, 제4 금속층(MG4)은 제3 금속층(MG3)에 의해 형성된 공간을 채우는 역할을 한다. 제3 금속층(MG3)은 제1 서브 금속층(MG3a) 및 제2 서브 금속층(MG3b)을 포함할 수 있다.

- [0067] 제1 서브 금속층(MG3a)은 N형 일함수막일 수 있다. 제1 금속층(MG1)은 예를 들어, TiAl, TiAlN, TaC, TaAlN, TiC, HfSi 또는 이들의 조합 중 적어도 하나를 포함할 수 있지만, 이에 제한되는 것은 아니다.
- [0068] 제2 서브 금속층(MG3b)은 제1 서브 금속층(MG3a) 상에 형성될 수 있다. 제2 서브 금속층은 P형 일함수막일 수 있다. 제2 서브 금속층(MG3b)은 예를 들어, 메탈 질화물을 포함할 수 있다. 구체적으로, 본 발명의 몇몇 실시예에서, 제2 서브 금속층(MG3b)은 예를 들어, TiN, TaN 중 적어도 하나를 포함도록 구성될 수 있다. 더욱 구체적으로, 제2 서브 금속층(MG3b)은 예를 들어, TiN으로 이루어진 단일막, 또는 TiN 하부막과 TaN 상부막으로 이루어진 이중막 등으로 이루어질 수 있으나, 본 발명이 이에 제한되는 것은 아니다.
- [0069] 제1 게이트 전극(120) 및 제2 게이트 전극(220)은 각각 예를 들어, 리플레이스먼트 공정(replacement process)(또는 게이트 라스트 공정(gate last process))을 통해서 형성될 수 있으나, 이에 한정되는 것은 아니다.
- [0070] 제1 게이트 스페이서(131, 132)는 제1 게이트 전극(120)의 측벽 상에 배치될 수 있다. 제1 게이트 스페이서(131, 132)는 제1 게이트 전극의 제1 측벽(120a) 상에 배치되는 제1 일측 스페이서(131)와, 제1 게이트 전극의 제2 측벽(120c) 상에 배치되는 제1 타측 스페이서(132)를 포함할 수 있다.
- [0071] 제1 일측 스페이서(131) 및 제1 타측 스페이서(132)는 제1 트렌치(121)를 정의할 수 있다. 제1 트렌치의 제1 측벽(121a)은 제1 일측 스페이서(131)에 의해 정의되고, 제1 트렌치의 제2 측벽(121c)은 제1 타측 스페이서(132)에 의해 정의될 수 있다. 제1 트렌치의 바닥면(121b)은 제1 트렌치의 제1 측벽(121a) 및 제1 트렌치의 제2 측벽(121c)을 연결하여 정의될 수 있다.
- [0072] 제1 게이트 스페이서(131, 132)는 하부(131b, 132b)와, 상부(131a, 132a)를 포함할 수 있다. 좀 더 구체적으로, 제1 일측 스페이서(131)는 하부(131b) 및 상부(131a)를 포함하고, 제1 타측 스페이서(132)는 하부(132b) 및 상부(132a)를 포함할 수 있다.
- [0073] 제2 게이트 스페이서(231, 232)는 제2 게이트 전극(220)의 측벽 상에 배치될 수 있다. 제2 게이트 스페이서(231, 232)는 제2 게이트 전극의 제1 측벽(220a) 상에 배치되는 제2 일측 스페이서(231)와, 제2 게이트 전극의 제2 측벽(220c) 상에 배치되는 제2 타측 스페이서(232)를 포함할 수 있다.
- [0074] 제2 일측 스페이서(231) 및 제2 타측 스페이서(232)는 제2 트렌치(221)를 정의할 수 있다.
- [0075] 제2 일측 스페이서(231)는 하부(231b) 및 상부(231a)를 포함하고, 제2 타측 스페이서(232)는 하부(232b) 및 상부(232a)를 포함할 수 있다.
- [0076] 제1 게이트 전극(120)은 제1 게이트 스페이서(131, 132)에 의해 정의되는 제1 트렌치(121)를 채워 형성될 수 있다. 제2 게이트 전극(220)은 제2 게이트 스페이서(231, 232)에 의해 정의되는 제2 트렌치(221)를 채워 형성될 수 있다.
- [0077] 제1 게이트 스페이서(131, 132)는 제1 질화 스페이서(131a, 132a) 및 제1 산화 스페이서(131b, 132b)를 포함할 수 있다. 제1 질화 스페이서(131a, 132a)는 제1 게이트 전극(120) 상에 형성되고, 제1 산화 스페이서(131b, 132b)는 제1 질화 스페이서(131a, 132a) 상에 형성될 수 있다.
- [0078] 제2 게이트 스페이서(231, 232)는 제2 질화 스페이서(231a, 232a) 및 제2 산화 스페이서(231b, 232b)를 포함할 수 있다. 제2 질화 스페이서(231a, 232a)는 제2 게이트 전극(220) 상에 형성되고, 제2 산화 스페이서(231b, 232b)는 제2 질화 스페이서(231a, 232a) 상에 형성될 수 있다.
- [0079] 제1 질화 스페이서(131a, 132a) 및 제2 질화 스페이서(231a, 232a)는 실리콘 질화물(SiN), 실리콘 산질화물(SiON), 실리콘 산탄질화물(SiOCN) 및 이들의 조합 중 적어도 하나를 포함할 수 있다. 단, 이에 제한되는 것은 아니다.
- [0080] 제1 산화 스페이서(131b, 132b) 및 제2 산화 스페이서(231b, 232b)는 실리콘 산화물(SiO₂)을 포함할 수 있다. 단, 이에 제한되는 것은 아니다.
- [0081] 제1 게이트 절연막(125)은 제1 핀형 패턴(110)과 제1 게이트 전극(120) 사이에 형성될 수 있다. 제1 게이트 절연막(125)은 제1 필드 절연막(105)보다 위로 돌출된 제1 핀형 패턴(110)의 프로파일을 따라 형성될 수 있다.
- [0082] 제1 게이트 절연막(125)은 제1 게이트 전극(120)과 제1 필드 절연막(105) 사이에 배치될 수 있다. 제1 게이트 절연막(125)은 제1 트렌치(121)의 측벽 및 바닥면을 따라 형성될 수 있다. 제1 게이트 절연막(125)은 제1 게이트

트 스페이서(131, 132)와 제1 게이트 전극(120) 사이에 형성될 수 있다.

- [0083] 덧붙여, 제1 게이트 절연막(125) 및 제1 핀형 패턴(110) 사이에, 계면막(interfacial layer)(126)이 더 형성될 수 있다. 도시되지 않았지만, 도 2에서도, 제1 게이트 절연막(125) 및 제1 핀형 패턴(110) 사이에 계면막이 더 형성될 수 있다.
- [0084] 도 8a, 도 8b, 도 10a 및 도 10b에서, 계면막(121)이 제1 필드 절연막(105)의 상면보다 돌출된 제1 핀형 패턴(110)의 프로파일을 따라서 형성되는 것으로 도시하였지만, 이에 제한되는 것은 아니다.
- [0085] 도 7b, 도 8b, 도 9b 및 도 10b에서 제1 필드 절연막(105)에 의해 덮인 제1 핀형 패턴(110)의 측벽은 기판(100)의 상면에 대해 예각의 기울기를 가질 수 있다. 제1 필드 절연막(105)에 의해 덮인 제1 핀형 패턴(110)의 폭은 기판(100)의 상면으로부터 멀어짐에 따라 감소할 수 있다.
- [0086] 제1 필드 절연막(105)에 의해 덮인 제1 핀형 패턴(110)의 폭이 기판(100)의 상면으로부터 멀어짐에 따라 감소할 경우, 제1 핀형 패턴(110) 하부로의 누설 전류가 감소될 수 있다.
- [0087] 계면막(121)을 형성하는 방법에 따라, 계면막(121)은 제1 필드 절연막(105)의 상면을 따라서 연장될 수도 있다.
- [0088] 이하에서는, 설명의 편의성을 위해, 계면막(121)을 도시하지 않은 도면을 이용하여 설명한다.
- [0089] 제2 게이트 절연막(225)은 제1 핀형 패턴(110)과 제2 게이트 전극(220) 사이에 형성될 수 있다. 제2 게이트 절연막(225)은 제2 트렌치(221)의 측벽 및 바닥면을 따라 형성될 수 있다. 제2 게이트 절연막(225)은 제2 게이트 스페이서(231, 232)와 제2 게이트 전극(220) 사이에 형성될 수 있다. 제2 게이트 절연막(225)에 관한 설명은 제1 게이트 절연막(125)에 관한 설명과 유사할 수 있다.
- [0090] 제1 게이트 절연막(125) 및 제2 게이트 절연막(225)은 실리콘 산화막보다 높은 유전 상수를 갖는 고유전체 물질을 포함할 수 있다. 예를 들어, 제1 게이트 절연막(125) 및 제2 게이트 절연막(225)은 각각 hafnium oxide, hafnium silicon oxide, lanthanum oxide, lanthanum aluminum oxide, zirconium oxide, zirconium silicon oxide, tantalum oxide, titanium oxide, barium strontium titanium oxide, barium titanium oxide, strontium titanium oxide, yttrium oxide, Aluminum oxide, lead scandium tantalum oxide, 또는 lead zinc niobate) 중에서 하나 이상을 포함할 수 있으나, 이에 제한되는 것은 아니다.
- [0091] 제1 소오스/드레인 영역(140)은 제1 게이트 전극(120)의 양측 및 제2 게이트 전극(220)의 양측에 형성될 수 있다.
- [0092] 제1 소오스/드레인 영역(140)은 제1 핀형 패턴(110) 내에 형성된 불순물 영역으로 도시하였지만, 이에 제한되는 것은 아니다, 제1 소오스/드레인 영역(140)은 제1 핀형 패턴(110) 상 또는 제1 핀형 패턴(110) 내에 형성된 에피택셜층을 포함할 수 있다.
- [0093] 또한, 제1 소오스/드레인 영역(140)은 제1 핀형 패턴(110)의 상면보다 위로 돌출된 상면을 포함하는 상승된 소오스/드레인 영역일 수도 있다.
- [0094] 층간 절연막(180)은 기판(100) 상에 형성될 수 있다. 층간 절연막(180)은 제1 핀형 패턴(110)과, 제1 소오스/드레인 영역(140)과, 제1 필드 절연막(105)을 덮을 수 있다.
- [0095] 층간 절연막(180)은 제1 게이트 전극(120) 및 제2 게이트 전극(220)의 측벽을 감쌀 수 있다. 좀 더 구체적으로, 층간 절연막(180)은 제1 게이트 스페이서(131, 132)의 외측벽 및 제2 게이트 스페이서(231, 232)의 외측벽을 감쌀 수 있다.
- [0096] 도 2에서, 제1 게이트 전극(120)의 상면 및 제2 게이트 전극(220)의 상면은 상부 층간 절연막(182)의 상면과 동일 평면 상에 놓이는 것으로 도시하였지만, 이에 제한되는 것은 아니다.
- [0097] 예를 들어, 자기 정렬 컨택(Self Aligned Contact, SAC) 구조를 형성하기 위해, 제1 게이트 전극(120) 및 제2 게이트 전극(220)의 상면 상에 각각 캡핑 패턴이 형성될 경우, 제1 게이트 전극(120)의 상면 및 제2 게이트 전극(220)의 상면은 층간 절연막(180)의 상면보다 낮을 수 있다.
- [0098] 층간 절연막(180)은 예를 들어, 실리콘 산화물, 실리콘 산질화물, 실리콘 질화물, FOX(Flowable Oxide),

TOSZ(Tonen SilaZen), USG(Undoped Silica Glass), BSG(Borosilica Glass), PSG(PhosphoSilica Glass), BPSG(BoroPhosphoSilica Glass), PETEOS(Plasma Enhanced Tetra Ethyl Ortho Silicate), FSG(Fluoride Silicate Glass), CDO(Carbon Doped silicon Oxide), Xerogel, Aerogel, Amorphous Fluorinated Carbon, OSG(Organo Silicate Glass), Parylene, BCB(bis-benzocyclobutenes), SiLK, polyimide, porous polymeric material 또는 이들의 조합을 포함할 수 있으나, 이에 제한되는 것은 아니다.

- [0099] 기판(100)으로부터 층간 절연막(180)의 상면까지의 높이는 기판(100)으로부터 제1 게이트 스페이서(131, 132)의 최상부까지의 높이와 실질적으로 동일할 수 있다.
- [0100] 도 2 및 도 3에서, 제1 일측 스페이서(131)에 의해 정의되는 제1 트렌치의 제1 측벽(121a)은 제1 트렌치의 바닥면(121b)에 대해 제1 각도(a1)의 기울기를 가질 수 있다. 제1 타측 스페이서(132)에 의해 정의되는 제1 트렌치의 제2 측벽(121c)은 제1 트렌치의 바닥면(121b)에 대해 제2 각도(a2)의 기울기를 가질 수 있다.
- [0101] 제1 각도(a1) 및 제2 각도(a2)는 직각보다 큰 둔각일 수 있다. 기판(100)의 상면 즉, 제1 트렌치의 바닥면(121b)으로부터 멀어짐에 따라, 제1 트렌치(121)의 폭은 증가할 수 있다.
- [0102] 도 3에서 도시된 것과 같이, 제1 트렌치의 바닥면(121b)에 대해, 제1 트렌치의 제1 측벽(121a) 및 제1 트렌치의 제2 측벽(121c)이 각각 둔각인 기울기를 가질 경우, 층간 절연막(180) 및 제1 게이트 스페이서(131, 132)의 인장 응력(tensile stress)의 크기가 압축 응력(compressive stress)의 크기보다 클 수 있다.
- [0103] 여기서, "인장 응력"이라 함은 층간 절연막 또는 스페이서가 게이트 전극을 층간 절연막 또는 스페이서 쪽으로 당기는 응력을 가지고 있다는 것을 의미하고, "압축 응력"이라 함은 층간 절연막 또는 스페이서가 게이트 전극을 게이트 전극 쪽으로 미는 응력을 가지고 있다는 것을 의미한다.
- [0104] 도 2 및 도 4에서, 제1 게이트 전극의 제1 측벽(120a)은 제1 게이트 전극의 바닥면(120b)에 대해 제3 각도(b1)의 기울기를 가질 수 있다. 제1 게이트 전극의 제2 측벽(120c)은 제1 게이트 전극의 바닥면(120b)에 대해 제4 각도(b2)의 기울기를 가질 수 있다.
- [0105] 제1 게이트 전극의 제1 측벽(120a)은 제1 일측 스페이서(131)의 측벽과 마주하고, 제1 게이트 전극의 제2 측벽(120c)은 제1 타측 스페이서(132)의 측벽과 마주하므로, 제3 각도(b1) 및 제4 각도(b2)는 제1 각도(a1) 및 제2 각도(a2)와 마찬가지로 직각보다 큰 둔각일 수 있다.
- [0106] 기판(100)의 상면으로부터 멀어짐에 따라, 제1 게이트 전극(120)의 폭은 증가할 수 있다. 다시 말하면, 제1 게이트 전극의 바닥면(120b)으로부터 제1 게이트 전극(120)의 상면까지 이동함에 따라, 제1 게이트 전극(120)의 폭은 증가할 수 있다.
- [0107] 도시된 것과 달리, 제1 게이트 전극의 제1 측벽(120a) 및 제1 게이트 전극의 바닥면(120b)이 만나는 지점과, 제1 게이트 전극의 제2 측벽(120c) 및 제1 게이트 전극의 바닥면(120b)이 만나는 지점이 라운딩된 형상을 가지고 있다고 하여도, 본 발명이 속하는 당업자가 제1 게이트 전극의 제1 측벽(120a)의 기울기 및 제1 게이트 전극의 제2 측벽(120c)의 기울기를 구할 수 있음은 자명하다.
- [0108] 제1 게이트 전극의 하면의 폭(S1b)에 대한 제1 게이트 전극의 상면의 폭(S1t)의 비율은 1보다 클 수 있다. 즉, 제1 게이트 전극의 하면의 폭(S1b)은 제1 게이트 전극의 상면의 폭(S1t)보다 작을 수 있다.
- [0109] 도 2 및 도 5에서, 제2 일측 스페이서(231)에 의해 정의되는 제2 트렌치의 제1 측벽(221a)은 제2 트렌치의 바닥면(221b)에 대해 제5 각도(a3)의 기울기를 가질 수 있다. 제2 타측 스페이서(232)에 의해 정의되는 제2 트렌치의 제2 측벽(221c)은 제2 트렌치의 바닥면(221b)에 대해 제6 각도(a4)의 기울기를 가질 수 있다.
- [0110] 제5 각도(a3) 및 제6 각도(a4)는 직각보다 작은 예각일 수 있다. 기판(100)의 상면 즉, 제2 트렌치의 바닥면(221b)으로부터 멀어짐에 따라, 제2 트렌치(221)의 폭은 감소할 수 있다.
- [0111] 도 5에서 도시된 것과 같이, 제2 트렌치의 바닥면(221b)에 대해, 제2 트렌치의 제1 측벽(221a) 및 제2 트렌치의 제2 측벽(221c)이 각각 예각인 기울기를 가질 경우, 층간 절연막(180) 및 제2 게이트 스페이서(231, 232)의 압축 응력의 크기가 인장 응력의 크기보다 클 수 있다.
- [0112] 도 2 및 도 6에서, 제2 게이트 전극의 제1 측벽(220a)은 제2 게이트 전극의 바닥면(220b)에 대해 제7 각도(b3)의 기울기를 가질 수 있다. 제2 게이트 전극의 제2 측벽(220c)은 제2 게이트 전극의 바닥면(220b)에 대해 제8 각도(b4)의 기울기를 가질 수 있다.

- [0113] 제2 게이트 전극의 제1 측벽(220a)은 제2 일측 스페이스(231)의 측벽과 마주하고, 제2 게이트 전극의 제2 측벽(220c)은 제2 타측 스페이스(232)의 측벽과 마주하므로, 제7 각도(b3) 및 제8 각도(b4)는 제5 각도(a3) 및 제6 각도(a4)와 마찬가지로 직각보다 작은 예각일 수 있다.
- [0114] 기판(100)의 상면으로부터 멀어짐에 따라, 제2 게이트 전극(220)의 폭은 감소할 수 있다. 다시 말하면, 제2 게이트 전극의 바닥면(220b)으로부터 제2 게이트 전극(220)의 상면까지 이동함에 따라, 제2 게이트 전극(220)의 폭은 증가할 수 있다.
- [0115] 도시된 것과 달리, 제2 게이트 전극의 제1 측벽(220a) 및 제2 게이트 전극의 바닥면(220b)이 만나는 지점과, 제2 게이트 전극의 제2 측벽(220c) 및 제2 게이트 전극의 바닥면(220b)이 만나는 지점이 라운딩된 형상을 가지고 있다고 하여도, 본 발명이 속하는 당업자가 제2 게이트 전극의 제1 측벽(220a)의 기울기 및 제2 게이트 전극의 제2 측벽(220c)의 기울기를 구할 수 있음은 자명하다.
- [0116] 제2 게이트 전극의 하면의 폭(S2b)에 대한 제2 게이트 전극의 상면의 폭(S2t)의 비율은 1보다 작을 수 있다. 즉, 제2 게이트 전극의 하면의 폭(S2b)은 제2 게이트 전극의 상면의 폭(S2t)보다 클 수 있다.
- [0117] 이하의 설명에서, 트렌치의 측벽이 트렌치의 바닥면에 대해 둔각의 기울기를 가질 경우, 트렌치의 측벽은 양의 기울기를 갖는 것으로 정의한다. 마찬가지로, 게이트 전극의 측벽이 게이트 전극의 바닥면에 대해 둔각의 기울기를 가질 경우, 게이트 전극의 측벽은 양의 기울기를 갖는 것으로 정의한다.
- [0118] 반대로, 트렌치의 측벽이 트렌치의 바닥면에 대해 예각의 기울기를 가질 경우, 트렌치의 측벽은 음의 기울기를 갖는 것으로 정의한다. 마찬가지로, 게이트 전극의 측벽이 게이트 전극의 바닥면에 대해 예각의 기울기를 가질 경우, 게이트 전극의 측벽은 음의 기울기를 갖는 것으로 정의한다.
- [0119] 즉, 도 2에서, 제1 게이트 전극의 제1 측벽(120a)과, 제1 게이트 전극의 제2 측벽(120c)은 양의 기울기를 가질 수 있다. 또한, 제2 게이트 전극의 제1 측벽(220a)과, 제2 게이트 전극의 제2 측벽(220c)은 음의 기울기를 가질 수 있다.
- [0120] 도 2에서는 제1 게이트 전극의 하면의 폭(S1b)에 대한 제1 게이트 전극의 상면의 폭(S1t)의 비율은 1보다 크고, 제2 게이트 전극의 하면의 폭(S2b)에 대한 제2 게이트 전극의 상면의 폭(S2t)의 비율은 1보다 작은 것으로 도시되었다. 다만, 본 발명의 다른 몇몇 실시예에서는 제1 게이트 전극의 하면의 폭(S1b)에 대한 제1 게이트 전극의 상면의 폭(S1t)과 제2 게이트 전극의 하면의 폭(S2b)에 대한 제2 게이트 전극의 상면의 폭(S2t)이 모두 1보다 작거나, 모두 1보다 클 수 있다. 단, 이러한 경우에도, 제1 게이트 전극의 하면의 폭(S1b)에 대한 제1 게이트 전극의 상면의 폭(S1t)의 비율은, 제2 게이트 전극의 하면의 폭(S2b)에 대한 제2 게이트 전극의 상면의 폭(S2t)의 비율보다 클 수 있다.
- [0121] 본 발명의 몇몇 실시예에 따른 반도체 장치는 층간 절연막(180)의 밀도가 낮아서 식각 공정에서의 식각율(etch rate)가 높아지는 현상에 따른 공정의 난이도의 상승을 완화시킬 수 있다. 또한, PMOS 반도체 장치와 NMOS 반도체 장치에 각각 압축 응력과 인장 응력을 인가함으로써 반도체 장치의 성능을 향상시킬 수 있다.
- [0122] 구체적으로, 트랜지스터에 흐르는 유효 전류에 따라 누설 전류도 증가할 수 밖에 없지만, 상기 압축 응력과 인장 응력을 통해서, 유효 전류의 상승에 따른 누설 전류의 증가량이 줄어들 수 있다. 이에 따라 반도체 장치의 성능이 비약적으로 상승할 수 있다.
- [0123] 도 11은 본 발명의 몇몇 실시예에 따른 반도체 장치를 설명하기 위한 도면이다. 설명의 편의상, 도 1 내지 도 10a을 이용하여 설명한 것과 다른 점을 중심으로 설명한다.
- [0124] 참고적으로, 도 11은 도 1의 A - A를 따라서 절단한 단면도이다.
- [0125] 도 11을 참고하면, 본 발명의 몇몇 실시예에 따른 반도체 장치에서, 제1 게이트 스페이스(131, 132)는 제1 스트레스 스페이스(131c, 132c)를 포함할 수 있다.
- [0126] 제1 스트레스 스페이스(131c, 132c)는 제1 산화 스페이스(131b, 132b) 상에 형성될 수 있다. 제1 스트레스 스페이스(131c, 132c)는 제2 산화 스페이스(231b, 232b) 상에 형성되지 않는다. 제1 스트레스 스페이스(131c, 132c)는 제2 산화 스페이스(231b, 232b) 상에서 컨포말하게 형성될 수 있다. 나아가, 도시된 바와 같이 제1 스트레스 스페이스(131c, 132c)는 제1 소오스/드레인 영역(140)의 상면을 따라 형성될 수 있다. 단, 제1 스트레스 스페이스(131c, 132c)의 제1 소오스/드레인 영역(140)의 상면을 따라 형성된 부분은 본 발명의 몇몇 실시예에서는 존재하지 않을 수도 있다.

- [0127] 제1 스트레스 스페이서(131c, 132c)는 제1 게이트 전극(120)에 인장 응력을 부가할 수 있다. 즉, 제1 게이트 전극(120)은 제1 스트레스 스페이서(131c, 132c)의 인장 응력에 따라 측벽에 양의 기울기를 가지는 형상을 가질 수 있다.
- [0128] 제1 스트레스 스페이서(131c, 132c)는 예를 들어, 실리콘 질화막을 포함할 수 있으나, 이에 제한되는 것은 아니다.
- [0129] 제2 게이트 스페이서(231, 232)는 제2 압축 스트레스 스페이서(231d, 232d)를 포함할 수 있다.
- [0130] 제2 압축 스트레스 스페이서(231d, 232d)는 제2 산화 스페이서(231b, 232b) 상에 형성될 수 있다. 제2 압축 스트레스 스페이서(231d, 232d)는 제1 산화 스페이서(131b, 132b) 상에 형성되지 않는다. 제2 압축 스트레스 스페이서(231d, 232d)는 제2 산화 스페이서(231b, 232b) 상에서 컨포말하게 형성될 수 있다. 나아가, 도시된 바와 같이 제2 압축 스트레스 스페이서(231d, 232d)는 제1 소오스/드레인 영역(140)의 상면을 따라 형성될 수 있다. 단, 제2 압축 스트레스 스페이서(231d, 232d)의 제1 소오스/드레인 영역(140)의 상면을 따라 형성된 부분은 본 발명의 몇몇 실시예에서는 존재하지 않을 수도 있다.
- [0131] 제2 압축 스트레스 스페이서(231d, 232d)는 제2 게이트 전극(220)에 압축 응력을 부가할 수 있다. 즉, 제2 게이트 전극(220)은 제2 압축 스트레스 스페이서(231d, 232d)의 압축 응력에 따라 측벽에 음의 기울기를 가지는 형상을 가질 수 있다.
- [0132] 제2 압축 스트레스 스페이서(231d, 232d)는 예를 들어, 실리콘 산화막을 포함할 수 있으나, 이에 제한되는 것은 아니다. 제2 압축 스트레스 스페이서(231d, 232d)는 층간 절연막(180)과 동일한 물질을 포함할 수 있다. 이에 따라, 도 11에서는 제2 압축 스트레스 스페이서(231d, 232d)를 점선으로 표시하였다. 즉, 제2 압축 스트레스 스페이서(231d, 232d)는 층간 절연막(180)과 서로 구별되지 않을 수 있다.
- [0133] 도 12는 본 발명의 몇몇 실시예에 따른 반도체 장치를 설명하기 위한 도면이다. 설명의 편의상, 도 1 내지 도 11을 이용하여 설명한 것과 다른 점을 중심으로 설명한다.
- [0134] 참고적으로, 도 12는 도 1의 A - A를 따라서 절단한 단면도이다.
- [0135] 도 12를 참고하면, 본 발명의 몇몇 실시예에 따른 반도체 장치에서, 제1 게이트 스페이서(131, 132)는 제1 스트레스 스페이서(131c, 132c)를 포함할 수 있고, 제2 게이트 스페이서(231, 232)는 제2 스트레스 스페이서(231c, 232c)를 포함할 수 있다.
- [0136] 제1 스트레스 스페이서(131c, 132c)는 제1 산화 스페이서(131b, 132b) 상에 형성될 수 있다. 제2 스트레스 스페이서(231c, 232c)는 제2 산화 스페이서(231b, 232b) 상에 형성될 수 있다. 제1 스트레스 스페이서(131c, 132c)의 두께(T1, T3)는 제2 스트레스 스페이서(T2, T4)보다 두꺼울 수 있다.
- [0137] 제1 스트레스 스페이서(131c, 132c)는 제2 스트레스 스페이서(231c, 232c)와 서로 연결될 수 있다. 구체적으로, 제1 스트레스 스페이서(132c)와 제2 스트레스 스페이서(231c)는 서로 연결될 수 있다. 제1 스트레스 스페이서(131c, 132c)는 제2 스트레스 스페이서(231c, 232c)는 서로 두께가 다르므로 제1 스트레스 스페이서(131c, 132c)는 제2 스트레스 스페이서(231c, 232c)가 연결되는 부분에 두께 단차가 형성될 수 있다. 상기 "두께 단차"란 두께가 서로 다른 양측이 만나는 부분으로 정의될 수 있다.
- [0138] 제1 스트레스 스페이서(131c, 132c)와 제2 스트레스 스페이서(231c, 232c)는 각각 제1 게이트 전극(120)과 제2 게이트 전극(220)에 인장 응력을 부가할 수 있다. 다만, 제1 스트레스 스페이서(131c, 132c)와 제2 스트레스 스페이서(231c, 232c)의 두께가 서로 다르므로 제1 게이트 전극(120)에 가해지는 인장 응력은 제2 게이트 전극(220)에 가해지는 인장 응력보다 클 수 있다.
- [0139] 이에 따라, 제1 게이트 전극의 하면의 폭(S1b)에 대한 제1 게이트 전극의 상면의 폭(S1t)의 비율은, 제2 게이트 전극의 하면의 폭(S2b)에 대한 제2 게이트 전극의 상면의 폭(S2t)의 비율보다 클 수 있다. 도 12에서는 제2 게이트 전극의 하면의 폭(S2b)에 대한 제2 게이트 전극의 상면의 폭(S2t)의 비율이 1보다 작은 경우로 도시되었으나, 이에 제한되는 것은 아니다. 제2 게이트 전극의 하면의 폭(S2b)에 대한 제2 게이트 전극의 상면의 폭(S2t)의 비율이 1보다 작은 경우에는 층간 절연막(180)에 의해서 제2 게이트 전극(220)에 압축 응력이 가해질 수 있다.
- [0140] 도 13은 본 발명의 몇몇 실시예에 따른 반도체 장치를 설명하기 위한 도면이다. 설명의 편의상, 도 1 내지 도 12를 이용하여 설명한 것과 다른 점을 중심으로 설명한다.

- [0141] 참고적으로, 도 13은 도 1의 A - A를 따라서 절단한 단면도이다.
- [0142] 도 13을 참고하면, 본 발명의 몇몇 실시예에 따른 반도체 장치에서, 제2 게이트 스페이스(231, 232)는 제1 스트레스 스페이스(131c, 132c)를 포함할 수 있고, 제2 게이트 스페이스(231, 232)는 제2 스트레스 스페이스(231c, 232c)와 제2 압축 스트레스 스페이스(231d, 232d)를 포함할 수 있다.
- [0143] 제2 압축 스트레스 스페이스(231d, 232d)는 제2 스트레스 스페이스(231c, 232c)와 제2 산화 스페이스(231b, 232b) 사이에 형성될 수 있다. 제2 압축 스트레스 스페이스(231d, 232d)는 제2 산화 스페이스(231b, 232b) 상에서 컨포말하게 형성될 수 있다. 나아가, 도시된 바와 같이 제2 압축 스트레스 스페이스(231d, 232d)는 제1 소오스/드레인 영역(140)의 상면을 따라 형성될 수 있다. 단, 제2 압축 스트레스 스페이스(231d, 232d)의 제1 소오스/드레인 영역(140)의 상면을 따라 형성된 부분은 본 발명의 몇몇 실시예에서는 존재하지 않을 수도 있다.
- [0144] 제2 압축 스트레스 스페이스(231d, 232d)는 제2 게이트 전극(220)에 압축 응력을 부가할 수 있다. 즉, 제2 게이트 전극(220)은 제2 압축 스트레스 스페이스(231d, 232d)의 압축 응력에 따라 측벽에 음의 기울기를 가지는 형상을 가질 수 있다.
- [0145] 제2 압축 스트레스 스페이스(231d, 232d)는 제2 산화 스페이스(231b, 232b)와 동일한 물질을 포함할 수 있다. 즉, 제2 압축 스트레스 스페이스(231d, 232d)는 예를 들어, 실리콘 산화물을 포함할 수 있다. 따라서, 제2 압축 스트레스 스페이스(231d, 232d)와 제2 산화 스페이스(231b, 232b)를 합쳐서 제3 산화 스페이스(231b', 232b')로 정의할 수 있다.
- [0146] 제1 산화 스페이스(131b, 132b)의 두께(G1)는 제3 산화 스페이스(231b', 232b')의 두께(G2)보다 작을 수 있다. 즉, 제1 산화 스페이스(131b, 132b)와 제2 산화 스페이스(231b, 232b)의 두께는 동일 내지 유사할 수 있으나, 제2 압축 스트레스 스페이스(231d, 232d)가 추가된 제3 산화 스페이스(231b', 232b')의 두께는 이보다 더 두꺼울 수 있다.
- [0147] 제1 스트레스 스페이스(131c, 132c)는 제2 스트레스 스페이스(231c, 232c)와 서로 연결될 수 있다. 구체적으로, 제1 스트레스 스페이스(132c)와 제2 스트레스 스페이스(231c)는 서로 연결될 수 있다.
- [0148] 제1 스트레스 스페이스(131c, 132c)는 제1 소오스/드레인 영역(140) 상에 바로 형성될 수 있다. 이에 반해, 제2 스트레스 스페이스(231c, 232c)는 제1 소오스/드레인 영역(140) 상에 위치한 제2 압축 스트레스 스페이스(231d, 232d) 상에 형성될 수 있다. 이에 따라, 제1 스트레스 스페이스(131c, 132c)와 제2 스트레스 스페이스(231c, 232c)가 만나는 지점에 높이 단차가 형성될 수 있다. 상기 "높이 단차"는 서로 상면의 높이가 다른 양측이 만나는 지점으로 정의할 수 있다.
- [0149] 제1 스트레스 스페이스(131c, 132c)와 제2 스트레스 스페이스(231c, 232c)는 각각 제1 게이트 전극(120)과 제2 게이트 전극(220)에 인장 응력을 부가할 수 있다. 다만, 제2 압축 스트레스 스페이스(231d, 232d)가 제2 게이트 전극(220)에 압축 응력을 가하므로, 제1 게이트 전극(120)에 가해지는 총 인장 응력은 제2 게이트 전극(220)에 가해지는 총 인장 응력보다 클 수 있다. 반대로, 제1 게이트 전극(120)에 가해지는 총 압축 응력은 제2 게이트 전극(220)에 가해지는 총 압축 응력보다 작을 수 있다.
- [0150] 이에 따라, 제1 게이트 전극의 하면의 폭(S1b)에 대한 제1 게이트 전극의 상면의 폭(S1t)의 비율은, 제2 게이트 전극의 하면의 폭(S2b)에 대한 제2 게이트 전극의 상면의 폭(S2t)의 비율보다 클 수 있다. 도 12에서는 제2 게이트 전극의 하면의 폭(S2b)에 대한 제2 게이트 전극의 상면의 폭(S2t)의 비율이 1보다 작은 경우로 도시되었으나, 이에 제한되는 것은 아니다. 제2 게이트 전극의 하면의 폭(S2b)에 대한 제2 게이트 전극의 상면의 폭(S2t)의 비율이 1보다 작은 경우에는 층간 절연막(180)에 의해서 제2 게이트 전극(220)에 압축 응력이 가해질 수 있다.
- [0151] 이하, 도 1, 도 2, 도 14 내지 도 19를 참조하여, 본 발명의 몇몇 실시예에 따른 반도체 장치 제조 방법을 설명한다. 상술한 도 1 내지 도 13의 설명과 중복되는 부분은 간략히 하거나, 생략한다.
- [0152] 도 14 내지 도 19는 본 발명의 몇몇 실시예에 따른 반도체 장치 제조 방법을 설명하기 위한 중단 단계 도면들이다.
- [0153] 도 14를 참조하면, 더미 게이트 절연막(10), 제1 더미 게이트 전극(DG1), 제2 더미 게이트 전극(DG2), 캡핑 패턴(20), 제1 소오스/드레인 영역(140), 제1 게이트 스페이스(131, 132) 및 제2 게이트 스페이스(231, 232)를 형성하고, 이어서 라이너(310P)를 형성한다.
- [0154] 도 1을 참조하면, 기판(100) 상에 제1 핀형 패턴(110)은 제1 방향(X1)으로 연장되고, 제1 더미 게이트 전극

(DG1) 및 제2 더미 게이트 전극(DG2)은 제1 방향(X1)과 다른 제2 방향(Y1)으로 연장될 수 있다.

- [0155] 더미 게이트 절연막(10)은 제1 더미 게이트 전극(DG1) 및 제2 더미 게이트 전극(DG2)과 같이 제2 방향(Y1)으로 연장될 수 있다. 제1 더미 게이트 전극(DG1) 및 제2 더미 게이트 전극(DG2)은 더미 게이트 절연막(10) 상에 형성될 수 있다.
- [0156] 캡핑 패턴(20)은 제1 더미 게이트 전극(DG1) 및 제2 더미 게이트 전극(DG2) 상에 형성될 수 있다. 캡핑 패턴(20)은 제1 더미 게이트 전극(DG1) 및 제2 더미 게이트 전극(DG2)을 패터닝하기 위한 마스크일 수 있다. 단, 이에 제한되는 것은 아니다.
- [0157] 제1 게이트 스페이서(131, 132)와, 제2 게이트 스페이서(231, 232)는 각각 제1 더미 게이트 전극(DG1) 및 제2 더미 게이트 전극(DG2)의 측벽 상에 형성될 수 있다. 제1 게이트 스페이서(131, 132)와, 제2 게이트 스페이서(231, 232)는 캡핑 패턴(20)의 측벽 상에도 형성될 수 있다.
- [0158] 제1 소오스/드레인 영역(140)은 제1 게이트 전극(120)의 양측 및 제2 게이트 전극(220)의 양측에 형성될 수 있다.
- [0159] 라이너(310P)는 제1 소오스/드레인 영역(140), 제1 게이트 스페이서(131, 132), 제2 게이트 스페이서(231, 232) 및 캡핑 패턴(20) 상에 형성될 수 있다. 라이너(310P)는 제1 소오스/드레인 영역(140), 제1 게이트 스페이서(131, 132), 제2 게이트 스페이서(231, 232) 및 캡핑 패턴(20) 상에 컨포말하게 형성될 수 있다.
- [0160] 라이너(310P)는 예를 들어, 실리콘을 포함할 수 있다. 라이너(310P)는 추후에 열처리에 의해서 실리콘 산화막으로 변환될 수 있다.
- [0161] 이어서, 도 15를 참조하면, 제2 영역(II)에 차단막(400)을 형성한다.
- [0162] 차단막(400)은 라이너(310P)의 일부 즉, 제2 영역(II)에 위치하는 라이너(310P) 상에 형성되고, 제1 영역(I)에 위치하는 라이너(310P)는 노출시킬 수 있다.
- [0163] 이어서, 도 16을 참조하면, 제1 영역(I)에 라이너(310P)를 제거하고, 차단막(400)을 제거한다.
- [0164] 이에 따라, 라이너(310P)는 제2 영역(II)에 존재하고, 제1 영역(I)에는 존재하지 않을 수 있다.
- [0165] 이어서, 도 17을 참조하면, 층간 절연막(180)을 제1 영역(I) 및 제2 영역(II)에 형성한다.
- [0166] 층간 절연막(180)은 제1 영역(I)에서는 제1 더미 게이트 전극(DG1), 제1 게이트 스페이서(131, 132) 및 캡핑 패턴(20)을 덮도록 형성될 수 있다. 층간 절연막(180)은 제2 영역(II)에서는 제2 더미 게이트 전극(DG2), 제2 게이트 스페이서(231, 232), 캡핑 패턴(20) 및 라이너(310P)를 덮도록 형성될 수 있다.
- [0167] 이어서, 열처리를 하여 라이너(310P)를 제2 압축 스트레스 스페이서(231d, 232d)로 변환시킨다.
- [0168] 라이너(310P)는 실리콘을 포함하고, 상기 열처리에 의해서 상기 실리콘이 실리콘 산화물로 변할 수 있다. 라이너(310P)의 실리콘이 실리콘 산화물로 변하면서 부피가 더 커지지면서 제2 압축 스트레스 스페이서(231d, 232d)가 형성될 수 있다. 이에 따라, 제2 압축 스트레스 스페이서(231d, 232d)가 제2 게이트 스페이서(231, 232)와 제2 더미 게이트 전극(DG2)에 압축 응력을 가하게 될 수 있다.
- [0169] 이어서, 도 18을 참조하면, 층간 절연막(180), 제1 게이트 스페이서(131, 132), 제2 게이트 스페이서(231, 232), 제2 압축 스트레스 스페이서(231d, 232d) 및 캡핑 패턴(20)을 평탄화하여 제1 더미 게이트 전극(DG1) 및 제2 더미 게이트 전극(DG2)을 노출시킨다.
- [0170] 이 때, 캡핑 패턴(20)은 완전히 제거되고, 제2 압축 스트레스 스페이서(231d, 232d), 제1 게이트 스페이서(131, 132) 및 제2 게이트 스페이서(231, 232)는 일부만 제거될 수 있다.
- [0171] 이어서, 도 19를 참조하면, 제1 더미 게이트 전극(DG1)과 제2 더미 게이트 전극(DG2)을 제거한다.
- [0172] 제1 더미 게이트 전극(DG1)이 제거됨에 따라 제1 트렌치(121)가 형성되고, 제2 더미 게이트 전극(DG2)이 제거됨에 따라 제2 트렌치(221)가 형성될 수 있다. 제2 트렌치(221)는 제2 압축 스트레스 스페이서(231d, 232d)에 의한 압축 응력에 의해서 상부가 좁아지는 형상이 될 수 있다.
- [0173] 제1 트렌치(121)는 층간 절연막(180)이 인장 응력 특성을 가지고 있는 경우에 도시된 바와 같이 상부가 넓어지는 형상이 될 수 있다. 단, 이에 제한되는 것은 아니고, 제1 트렌치(121)는 본 발명의 다른 몇몇 실시예에서 측면이 기울어지지 않은 형상일 수도 있다.

- [0174] 이어서 도 1 및 도 2를 참조하면, 제1 트렌치(121) 및 제2 트렌치(221)에 제1 게이트 전극(120) 및 제2 게이트 전극(220)을 각각 형성할 수 있다.
- [0175] 이 때, 제1 게이트 전극(120)과 제2 게이트 전극(220)은 서로 다른 도전형일 수 있다. 구체적으로 제1 게이트 전극(120)은 N형이고, 제2 게이트 전극(220)은 P형일 수 있다.
- [0176] 제1 게이트 전극(120)의 측벽과 제2 게이트 전극(220)의 측벽은 제1 트렌치(121)와 제2 트렌치(221)의 형상을 따라서 각각 양의 기울기와 음의 기울기를 가질 수 있다.
- [0177] 이하, 도 14, 도 17 내지 도 19 및 도 20을 참조하여, 본 발명의 몇몇 실시예에 따른 반도체 장치 제조 방법을 설명한다. 상술한 도 1 내지 도 19의 설명과 중복되는 부분은 간략히 하거나, 생략한다.
- [0178] 도 20은 본 발명의 몇몇 실시예에 따른 반도체 장치 제조 방법을 설명하기 위한 중간 단계의 도면이다. 도 20은 도 14 이후에 수행되는 공정일 수 있다.
- [0179] 도 20을 참조하면, 라이너(310P)의 두께를 제1 영역(I)과 제2 영역(II)에서 서로 다르게 형성할 수 있다.
- [0180] 제1 영역(I)에서의 라이너(310P)의 두께(T5)는 제2 영역(II)에서의 라이너(310P)의 두께(T6)보다 얇을 수 있다. 이에 따라, 제1 영역(I)과 제2 영역(II)의 경계에서는 두께 단차가 형성될 수 있다.
- [0181] 라이너(310P)의 두께를 서로 다르게 하는 것은, 식각 및 증착 공정을 다양하게 이용할 수 있다. 예를 들어, 제2 영역(II)의 라이너(310P)를 제거하고, 제2 영역(II)에 더 두꺼운 라이너(310P)를 재증착할 수 있다. 또는 제1 영역(I)의 라이너(310P)를 선택적으로 식각할 수도 있다. 단, 이에 제한되는 것은 아니다.
- [0182] 이어서, 도 17 내지 도 19의 단계를 그대로 하여 서로 응력이 다르게 작용되는 반도체 장치를 형성할 수 있다.
- [0183] 이하, 도 11, 도 17 내지 도 19 및 도 21을 참조하여, 본 발명의 몇몇 실시예에 따른 반도체 장치 제조 방법을 설명한다. 상술한 도 1 내지 도 20의 설명과 중복되는 부분은 간략히 하거나, 생략한다.
- [0184] 도 21은 본 발명의 몇몇 실시예에 따른 반도체 장치 제조 방법을 설명하기 위한 중간 단계의 도면이다.
- [0185] 도 21을 참조하면, 제1 영역(I)에 인장 라이너(320)를 형성한다.
- [0186] 인장 라이너(320)는 제1 산화 스페이서(131b, 132b) 상에 컨포멀하게 형성될 수 있다. 인장 라이너(320)는 제2 영역(II)에는 형성되지 않을 수 있다.
- [0187] 이어서, 도 17 내지 도 19의 단계를 그대로 수행할 수 있다. 이 때, 인장 라이너(320)는 열처리에 의해서 인장 응력을 가질 수 있다. 이에 따라 제1 영역(I)과 제2 영역(II)에 가해지는 인장 응력이 서로 달라질 수 있다.
- [0188] 이어서, 도 11을 참조하면, 제1 트렌치(121) 및 제2 트렌치(221)에 제1 게이트 전극(120) 및 제2 게이트 전극(220)을 각각 형성할 수 있다.
- [0189] 이 때, 제1 게이트 전극(120)과 제2 게이트 전극(220)은 서로 다른 도전형일 수 있다. 구체적으로 제1 게이트 전극(120)은 N형이고, 제2 게이트 전극(220)은 P형일 수 있다.
- [0190] 제1 게이트 전극(120)의 측벽과 제2 게이트 전극(220)의 측벽은 제1 트렌치(121)와 제2 트렌치(221)의 형상을 따라서 각각 양의 기울기와 음의 기울기를 가질 수 있다. 단, 이에 제한되는 것은 아니다.
- [0191] 이하, 도 13 및 도 22 내지 도 25를 참조하여, 본 발명의 몇몇 실시예에 따른 반도체 장치 제조 방법을 설명한다. 상술한 도 1 내지 도 21의 설명과 중복되는 부분은 간략히 하거나, 생략한다.
- [0192] 도 22 내지 도 25는 본 발명의 몇몇 실시예에 따른 반도체 장치 제조 방법을 설명하기 위한 중간 단계의 도면들이다.
- [0193] 도 22를 참조하면, 라이너(310P) 및 인장 라이너(320)를 형성한다.
- [0194] 라이너(310P)는 제2 영역(II)에 형성되고, 제1 영역(I)에는 형성되지 않을 수 있다. 인장 라이너(320)는 제1 영역(I) 및 제2 영역(II)에 형성될 수 있다. 인장 라이너(320)는 라이너(310P) 상에 형성될 수 있다. 라이너(310P)는 제1 영역(I)에 없으므로 제1 영역(I) 및 제2 영역(II)의 경계(C)에서 인장 라이너(320)는 높이 단차를 가질 수 있다.
- [0195] 이어서, 도 23을 참조하면, 층간 절연막(180)을 제1 영역(I) 및 제2 영역(II)에 형성한다.

- [0196] 층간 절연막(180)은 제1 영역(I)에서는 제1 더미 게이트 전극(DG1), 제1 게이트 스페이서(131, 132), 인장 라이너(320) 및 캡핑 패턴(20)을 덮도록 형성될 수 있다. 층간 절연막(180)은 제2 영역(II)에서는 제2 더미 게이트 전극(DG2), 제2 게이트 스페이서(231, 232), 캡핑 패턴(20), 라이너(310P) 및 인장 라이너(320)를 덮도록 형성될 수 있다.
- [0197] 이어서, 도 24를 참조하면, 열처리를 하여 라이너(310P)를 제1 스트레스 스페이서(131c, 132c)로 변환시킨다.
- [0198] 인장 라이너(320)는 실리콘 질화물을 포함하고, 상기 열처리에 의해서 상기 실리콘 질화물이 부피가 더 작아지면서 제1 스트레스 스페이서(131c, 132c)가 형성될 수 있다. 이에 따라, 제1 스트레스 스페이서(131c, 132c)가 제1 더미 게이트 전극(DG1)에 인장 응력을 가하게 될 수 있다.
- [0199] 이어서, 도 25를 참조하면, 층간 절연막(180), 제1 게이트 스페이서(131, 132), 제2 게이트 스페이서(231, 232), 제1 스트레스 스페이서(131c, 132c) 및 캡핑 패턴(20)을 평탄화하여 제1 더미 게이트 전극(DG1) 및 제2 더미 게이트 전극(DG2)을 노출시킨다.
- [0200] 이 때, 캡핑 패턴(20)은 완전히 제거되고, 제1 스트레스 스페이서(131c, 132c), 제1 게이트 스페이서(131, 132) 및 제2 게이트 스페이서(231, 232)는 일부만 제거될 수 있다.
- [0201] 이어서, 도 26을 참조하면, 제1 더미 게이트 전극(DG1)과 제2 더미 게이트 전극(DG2)을 제거한다.
- [0202] 제1 더미 게이트 전극(DG1)이 제거됨에 따라 제1 트렌치(121)가 형성되고, 제2 더미 게이트 전극(DG2)이 제거됨에 따라 제2 트렌치(221)가 형성될 수 있다. 제2 트렌치(221)는 제1 스트레스 스페이서(131c, 132c)에 의한 인장 응력에 의해서 상부가 넓어지는 형상이 될 수 있다.
- [0203] 제1 트렌치(121)는 층간 절연막(180)이 압축 응력 특성을 가지고 있는 경우에 도시된 바와 같이 상부가 좁아지는 형상이 될 수 있다. 단, 이에 제한되는 것은 아니고, 제1 트렌치(121)는 본 발명의 다른 몇몇 실시예에서 측면이 기울어지지 않은 형상일 수도 있다.
- [0204] 이어서, 도 13을 참조하면, 제1 트렌치(121) 및 제2 트렌치(221)에 제1 게이트 전극(120) 및 제2 게이트 전극(220)을 각각 형성할 수 있다.
- [0205] 이 때, 제1 게이트 전극(120)과 제2 게이트 전극(220)은 서로 다른 도전형일 수 있다. 구체적으로 제1 게이트 전극(120)은 N형이고, 제2 게이트 전극(220)은 P형일 수 있다.
- [0206] 제1 게이트 전극(120)의 측벽과 제2 게이트 전극(220)의 측벽은 제1 트렌치(121)와 제2 트렌치(221)의 형상을 따라서 각각 양의 기울기와 음의 기울기를 가질 수 있다.
- [0207] 도 27은 본 발명의 실시예들에 따른 반도체 장치를 포함하는 SoC 시스템의 블록도이다.
- [0208] 도 27을 참조하면, SoC 시스템(1000)은 어플리케이션 프로세서(1001)와, DRAM(1060)을 포함한다.
- [0209] 어플리케이션 프로세서(1001)는 중앙처리부(1010), 멀티미디어 시스템(1020), 버스(1030), 메모리 시스템(1040), 주변 회로(1050)를 포함할 수 있다.
- [0210] 중앙처리부(1010)는 SoC 시스템(1000)의 구동에 필요한 연산을 수행할 수 있다. 본 발명의 몇몇 실시예에서, 중앙처리부(1010)는 복수의 코어를 포함하는 멀티 코어 환경으로 구성될 수 있다.
- [0211] 멀티미디어 시스템(1020)은, SoC시스템(1000)에서 각종 멀티미디어 기능을 수행하는데 이용될 수 있다. 이러한 멀티미디어 시스템(1020)은 3D 엔진(3D engine) 모듈, 비디오 코덱(video codec), 디스플레이 시스템(display system), 카메라 시스템(camera system), 포스트-프로세서(post -processor) 등을 포함할 수 있다.
- [0212] 버스(1030)는, 중앙처리부(1010), 멀티미디어 시스템(1020), 메모리 시스템(1040), 및 주변 회로(1050)가 서로 데이터 통신을 하는데 이용될 수 있다. 본 발명의 몇몇 실시예에서, 이러한 버스(1030)는 다층 구조를 가질 수 있다. 구체적으로, 이러한 버스(1030)의 예로는 다층 AHB(multi-layer Advanced High-performance Bus), 또는 다층 AXI(multi-layer Advanced eXtensible Interface)가 이용될 수 있으나, 본 발명이 이에 제한되는 것은 아니다.
- [0213] 메모리 시스템(1040)은, 어플리케이션 프로세서(1001)가 외부 메모리(예를 들어, DRAM(1060))에 연결되어 고속 동작하는데 필요한 환경을 제공할 수 있다. 본 발명의 몇몇 실시예에서, 메모리 시스템(1040)은 외부 메모리(예를 들어, DRAM(1060))를 컨트롤하기 위한 별도의 컨트롤러(예를 들어, DRAM 컨트롤러)를 포함할 수도 있다.

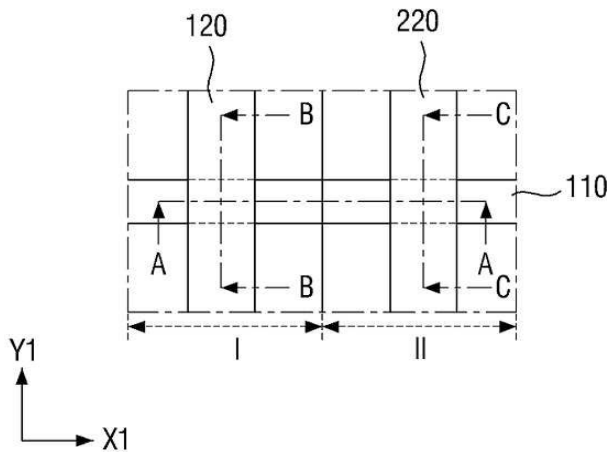
- [0214] 주변 회로(1050)는, SoC시스템(1000)이 외부 장치(예를 들어, 메인 보드)와 원활하게 접속되는데 필요한 환경을 제공할 수 있다. 이에 따라, 주변 회로(1050)는 SoC시스템(1000)에 접속되는 외부 장치가 호환 가능하도록 하는 다양한 인터페이스를 구비할 수 있다.
- [0215] DRAM(1060)은 어플리케이션 프로세서(1001)가 동작하는데 필요한 동작 메모리로 기능할 수 있다. 본 발명의 몇몇 실시예에서, DRAM(1060)은, 도시된 것과 같이 어플리케이션 프로세서(1001)의 외부에 배치될 수 있다. 구체적으로, DRAM(1060)은 어플리케이션 프로세서(1001)와 PoP(Package on Package) 형태로 패키징될 수 있다.
- [0216] 이러한 SoC 시스템(1000)의 구성 요소 중 적어도 하나는 앞서 설명한 본 발명의 실시예들에 따른 반도체 장치 중 적어도 하나를 포함할 수 있다.
- [0217] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 설명하였으나, 본 발명은 상기 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 제조될 수 있으며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

부호의 설명

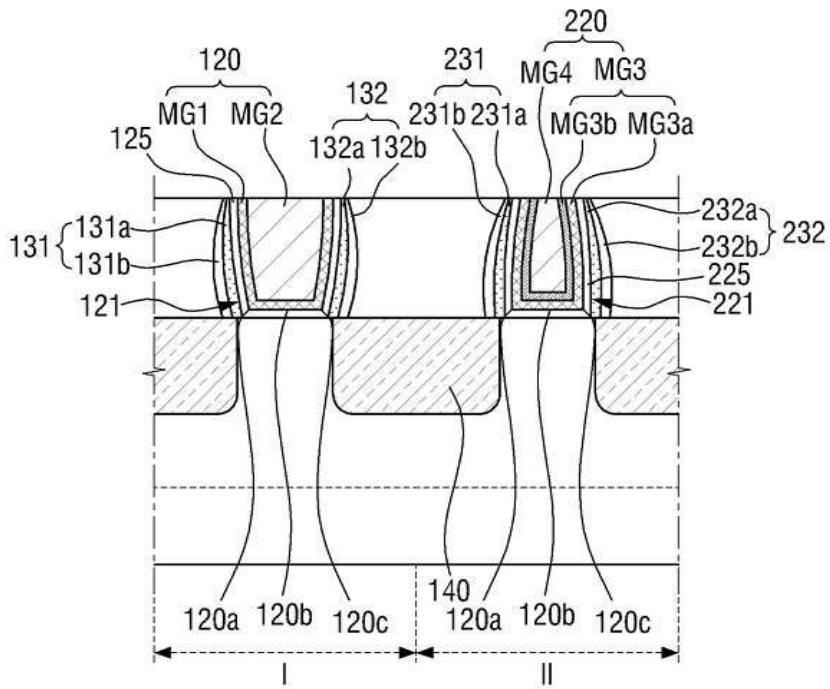
- [0218] 100: 기판 105: 필드 절연막
- 110: 핀형 패턴 120, 220: 게이트 전극
- 180: 층간 절연막 131, 132, 231, 232: 게이트 스페이서

도면

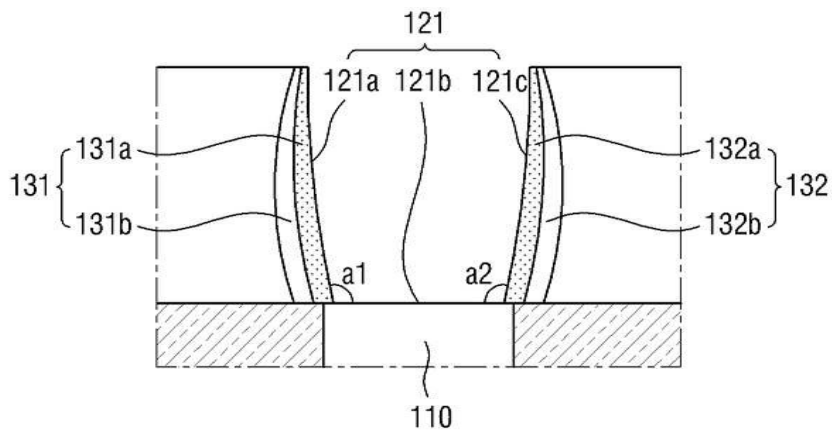
도면1



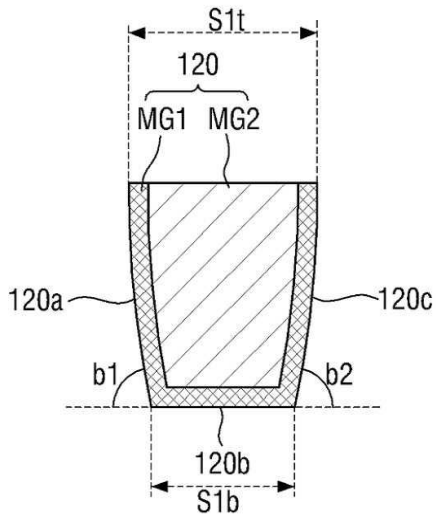
도면2



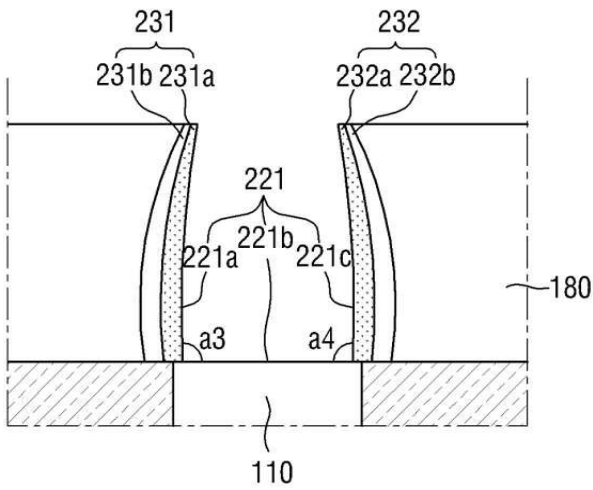
도면3



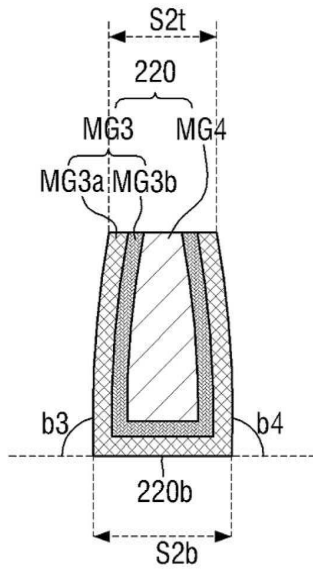
도면4



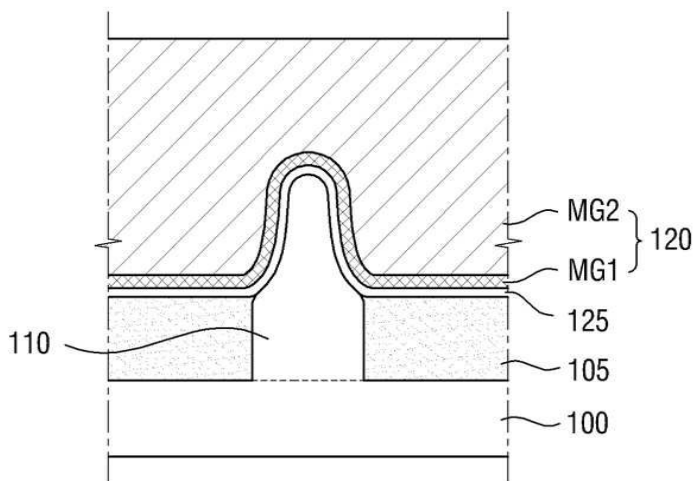
도면5



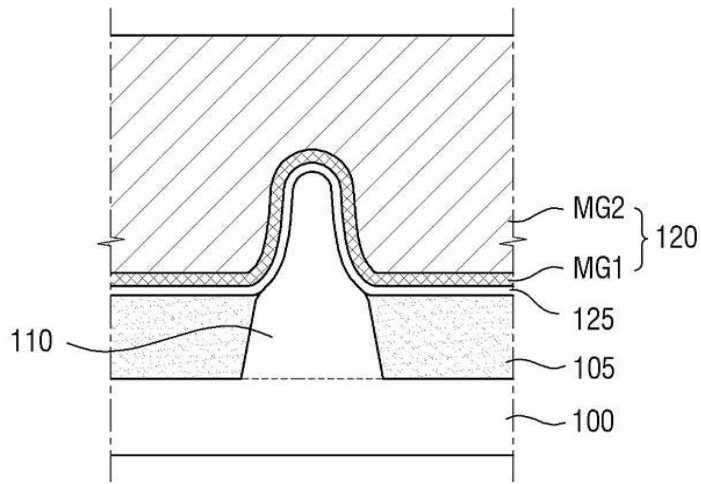
도면6



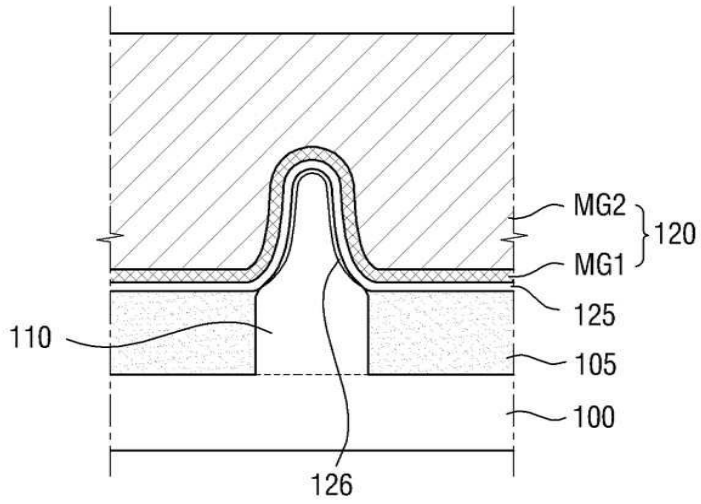
도면7a



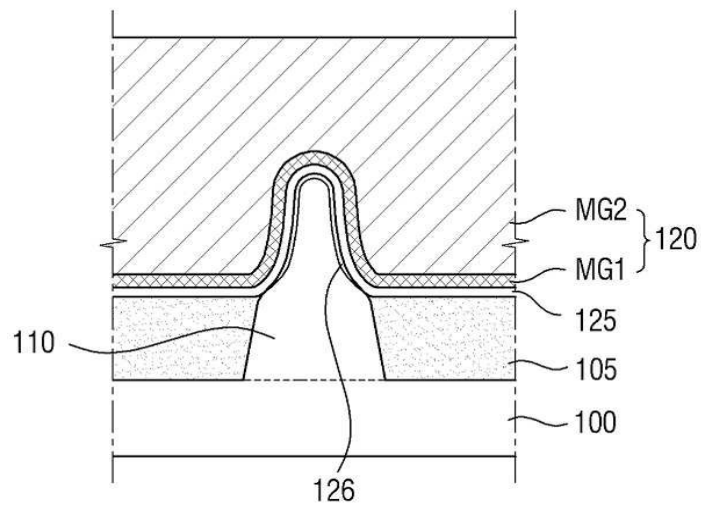
도면7b



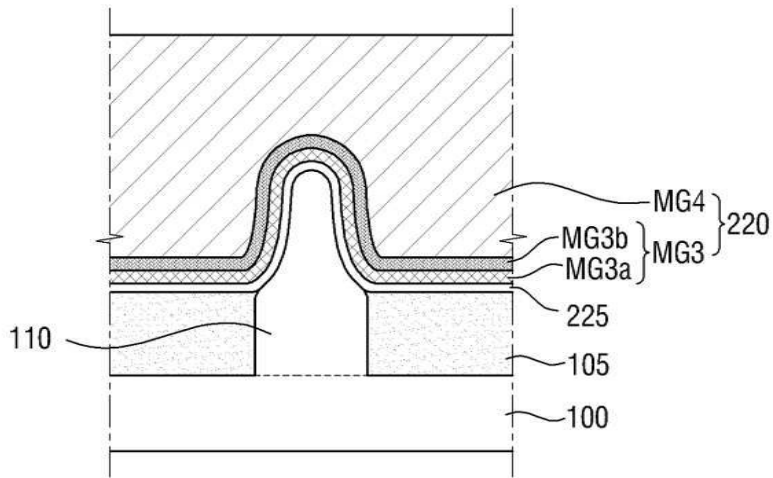
도면8a



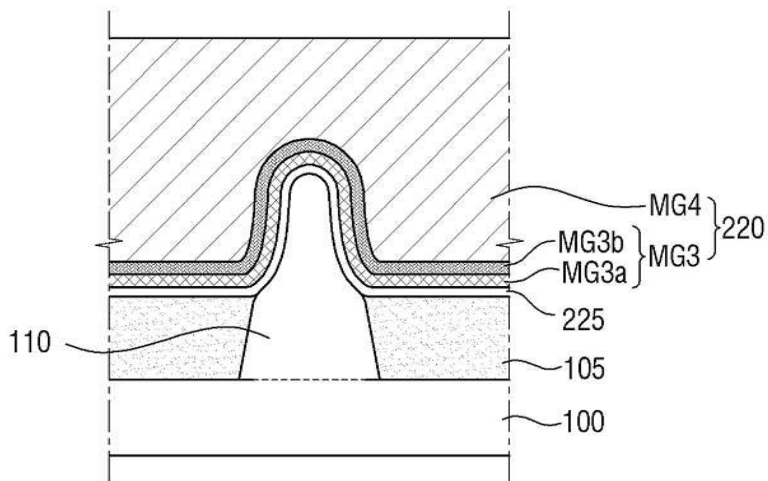
도면8b



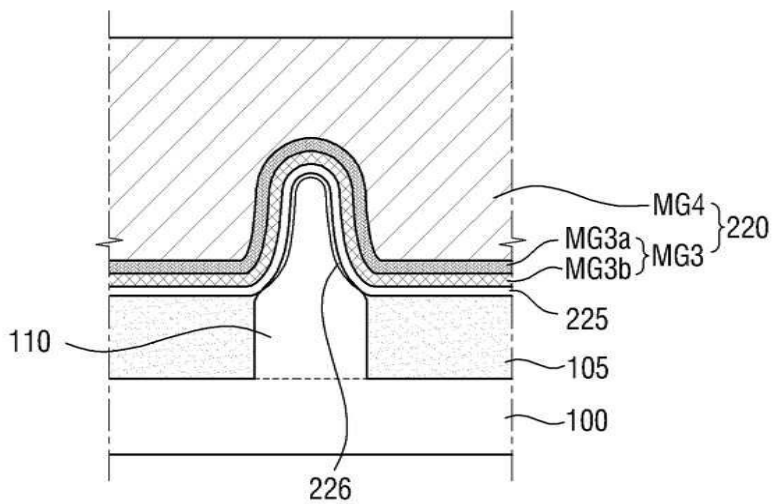
도면9a



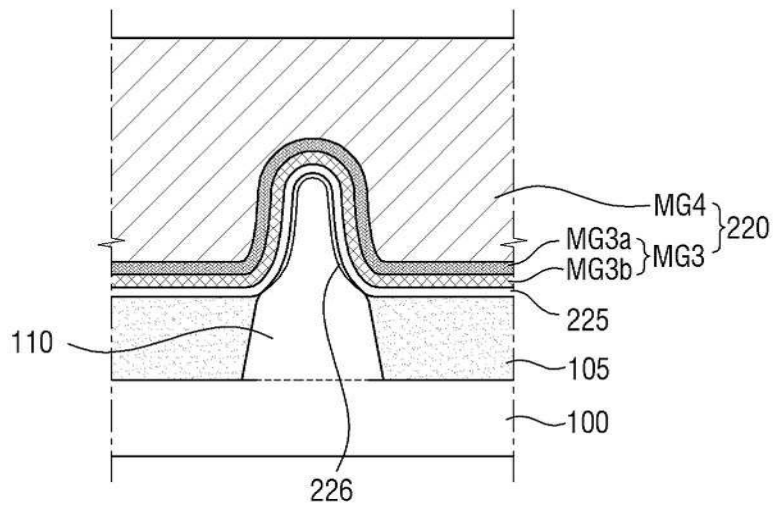
도면9b



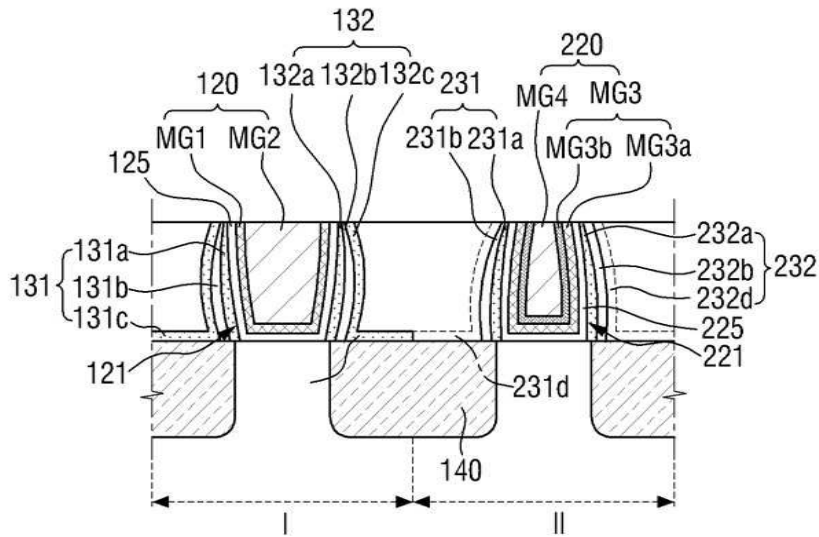
도면10a



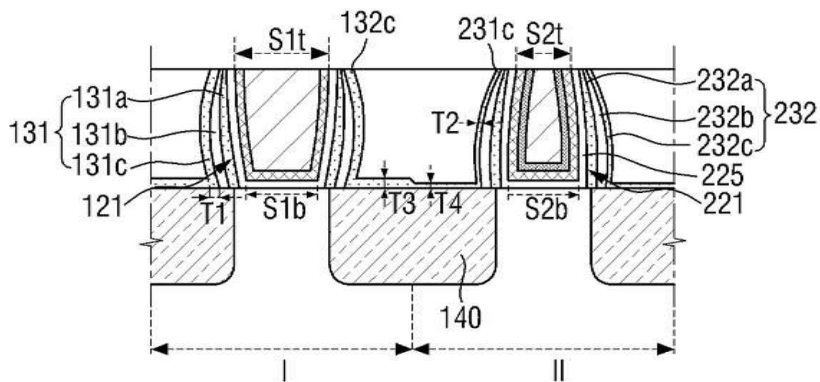
도면10b



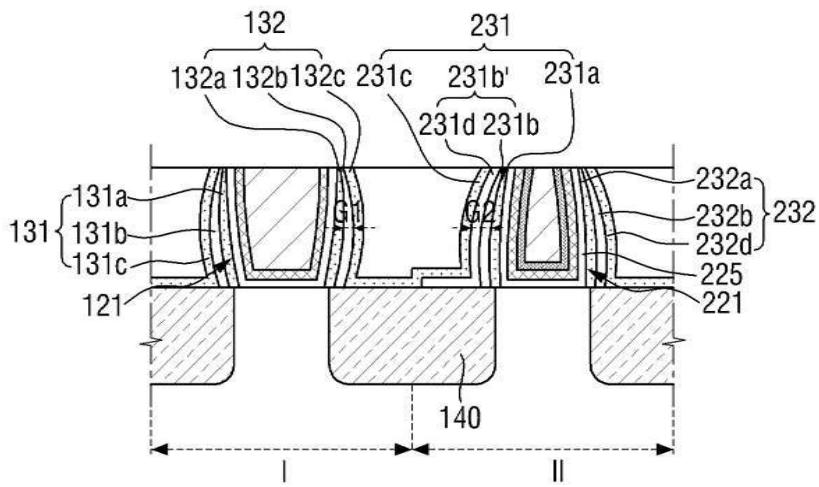
도면11



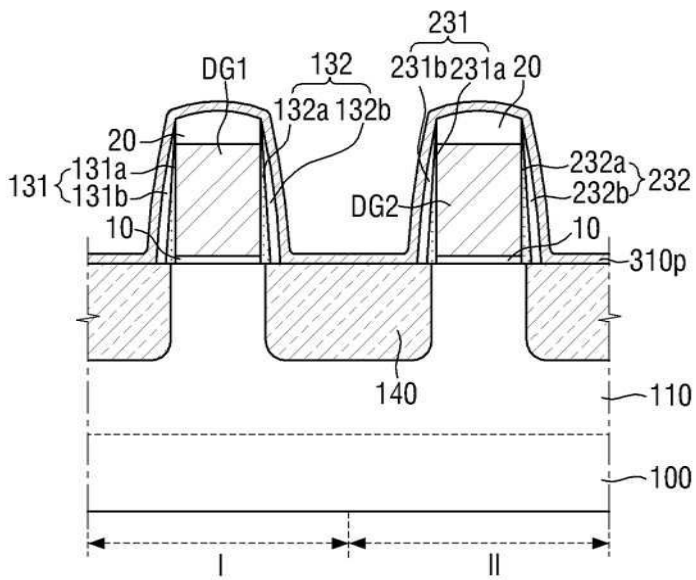
도면12



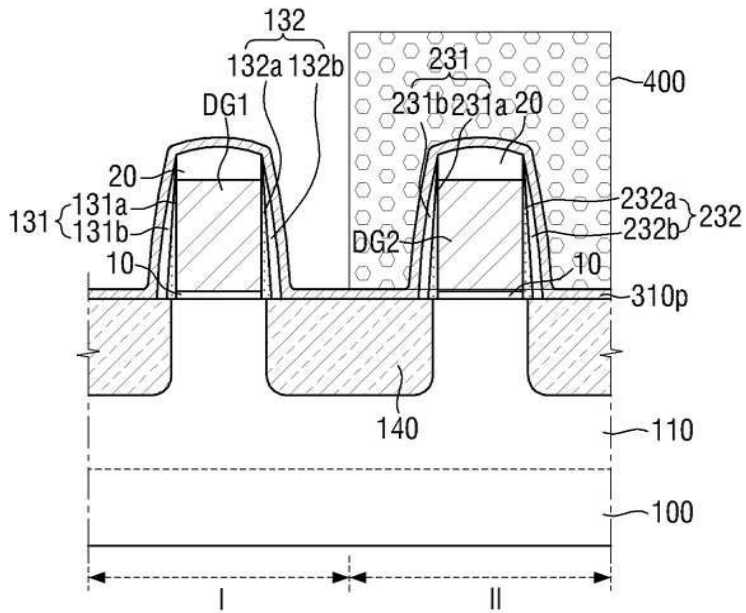
도면13



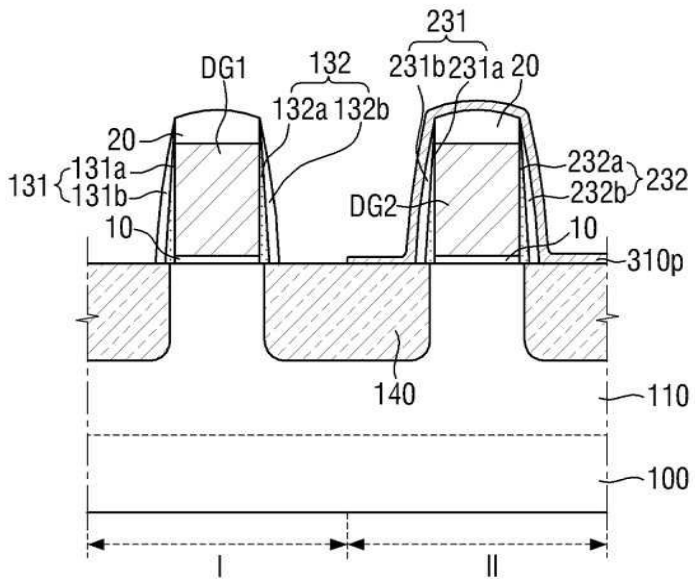
도면14



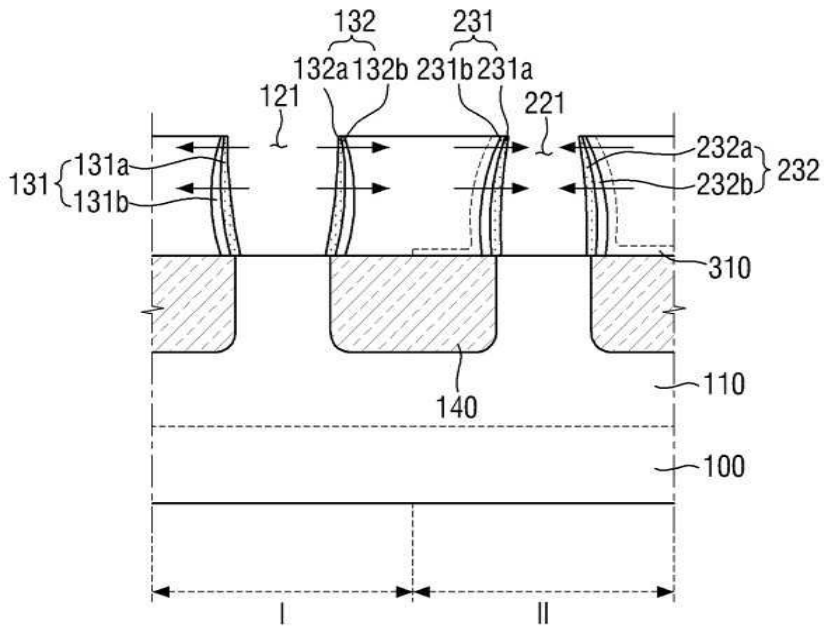
도면15



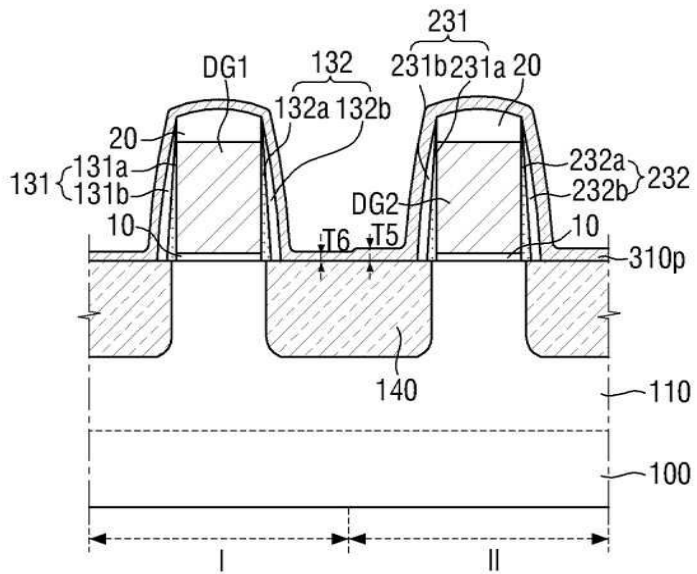
도면16



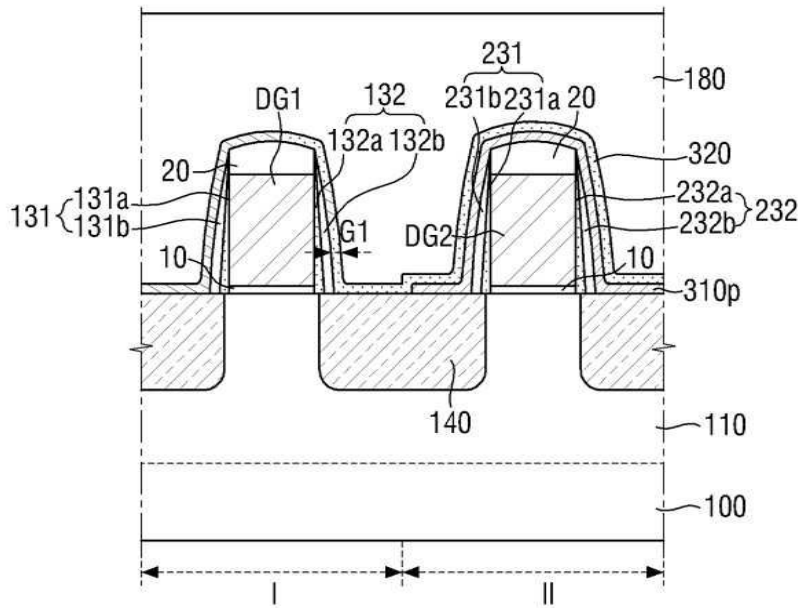
도면19



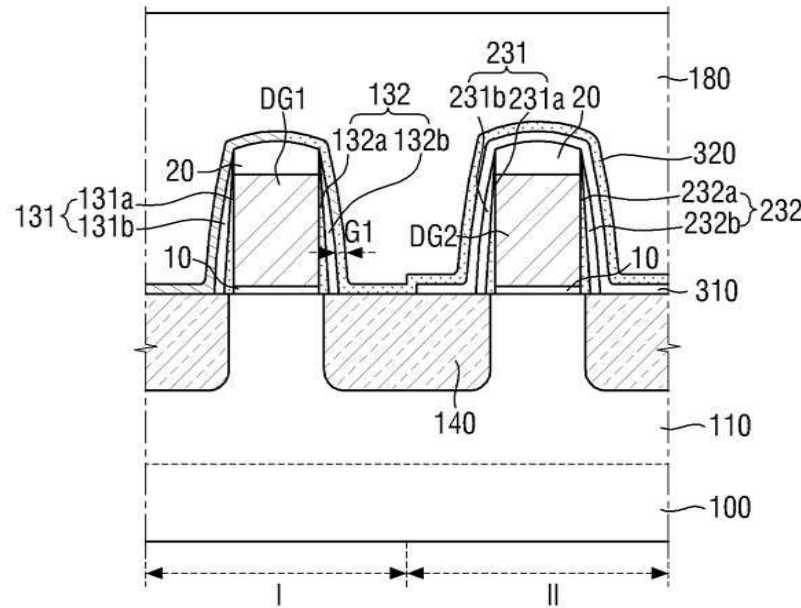
도면20



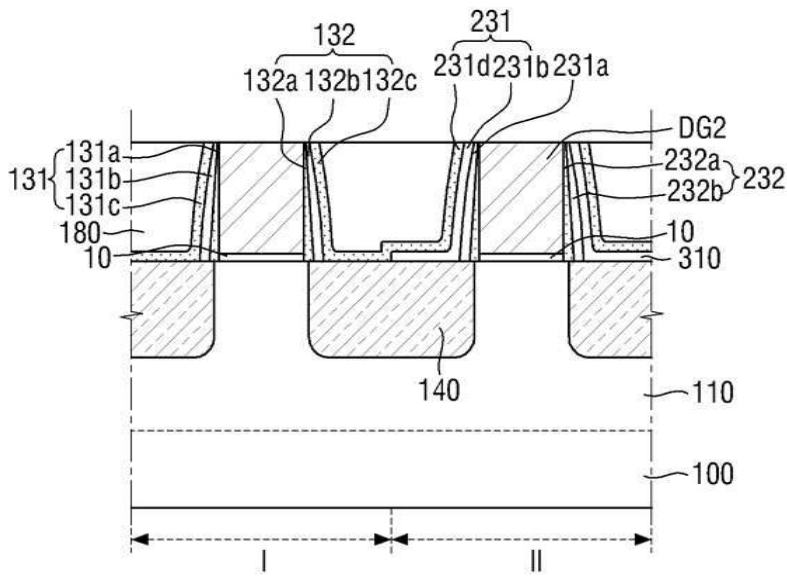
도면23



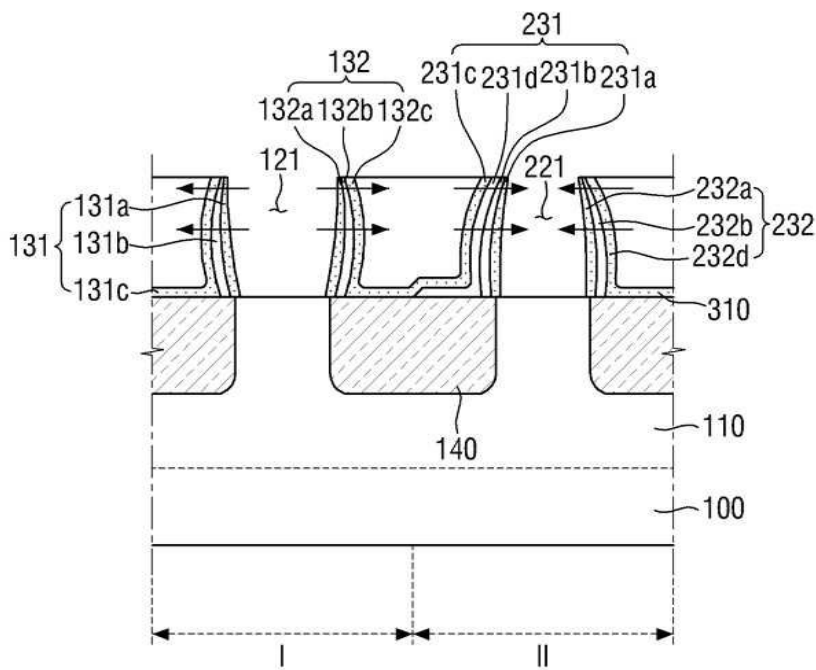
도면24



도면25



도면26



도면27

