



등록특허 10-2457732



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2022년10월21일

(11) 등록번호 10-2457732

(24) 등록일자 2022년10월18일

(51) 국제특허분류(Int. Cl.)

H01L 27/1157 (2017.01) H01L 21/28 (2006.01)

H01L 21/768 (2006.01) H01L 27/11582

(2017.01)

(52) CPC특허분류

H01L 27/1157 (2013.01)

H01L 21/76837 (2013.01)

(21) 출원번호 10-2020-7021266

(22) 출원일자(국제) 2018년12월21일

심사청구일자 2021년12월15일

(85) 번역문제출일자 2020년07월21일

(65) 공개번호 10-2020-0100158

(43) 공개일자 2020년08월25일

(86) 국제출원번호 PCT/US2018/067338

(87) 국제공개번호 WO 2019/133534

국제공개일자 2019년07월04일

(30) 우선권주장

62/611,205 2017년12월28일 미국(US)

62/752,092 2018년10월29일 미국(US)

(56) 선행기술조사문현

KR101421879 B1

(뒷면에 계속)

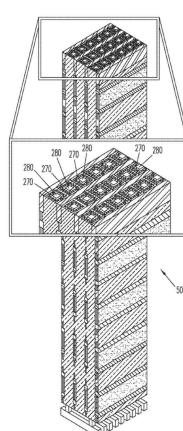
전체 청구항 수 : 총 42 항

심사관 : 고연화

(54) 발명의 명칭 초미세 피치를 갖는 3차원 NOR 메모리 어레이: 장치 및 방법

(57) 요 약

20 nm 이하의 피치 크기를 갖는, 또는 다수의 메모리 층을 갖는 메모리 셀에 대한 높은 종횡비의 3차원 메모리 구조의 제조를 용이하게 하는 방법. 본 발명은 또한 활동 스트립의 동일 또는 반대 측면을 따라 인접한 메모리 셀들 사이의 개선된 분리를 제공한다. 개선된 분리는 활동 스트립의 동일 측면을 따라 인접한 메모리 셀들 사이에 강한 유전체 배리어 막을 도입함으로써, 및 활동 스트립의 반대 측면의 메모리 셀을 엇갈리게 함으로써 제공된다.

대 표 도 - 도7b

(52) CPC특허분류

H01L 21/76843 (2013.01)

H01L 27/11582 (2013.01)

H01L 29/40117 (2021.08)

(56) 선행기술조사문헌

KR1020090079694 A

KR1020100066783 A

US20170092370 A1

US20170092371 A1

US20170148517 A1

명세서

청구범위

청구항 1

메모리 구조를 형성하는 공정으로서, 상기 공정은:

반도체 기판의 평평한 표면 위에, 상기 평평한 표면에 실질적으로 수직인 제1 방향을 따른 깊이를 가지는 트렌치에 의해 서로 분리된 제1 및 제2 다중층의 반도체 구조를 형성하는 단계 - 상기 트렌치는 상기 평평한 표면과 실질적으로 평행한 제2 방향을 따른 기정의 너비를 가짐 -;

상기 제1 방향을 따라 연장하는 도체의 제1 그룹을 상기 트렌치에 형성하는 단계 - 각각의 도체는 제1 전도성 재료를 포함하고 각각의 도체는 제1 전하 구속 재료(charge-trapping material)에 의해 각각의 인접하는 다중층의 반도체 구조로부터 분리되고, 각각의 트렌치 내의 상기 도체는 기정된 거리로 서로 분리됨 -; 및

상기 제1 방향을 따라 연장하는 도체의 제2 그룹을 형성하는 단계 - 상기 도체의 제2 그룹의 각각의 도체는 상기 도체의 제1 그룹의 두 인접하는 도체 사이에 제공되고, 상기 도체의 제2 그룹의 각각의 도체는 제2 전도성 재료를 포함하고 상기 도체의 제2 그룹의 각각의 도체는 제2 전하 구속 재료에 의해 그의 인접하는 다중층의 반도체 구조로부터 분리됨 -;

를 포함하고,

상기 도체의 제1 또는 제2 그룹의 각각의 도체, 및 당해 도체와 상기 다중층의 반도체 구조 중 하나 사이의 상기 제1 또는 제2 전하 구속 재료의 부분은 박막 저장 트랜지스터를 위한 저장 층 및 게이트 전극을 형성하는, 공정.

청구항 2

제1항에 있어서, 상기 다중층의 반도체 구조들 중 하나에서의 복수의 저장 트랜지스터에 대해, 상기 다중층의 반도체 구조는 공통 소스 영역 및 공통 드레인 영역을 제공하는, 공정.

청구항 3

제1항에 있어서, 상기 도체의 제1 그룹을 형성하는 단계는:

상기 트렌치에 전하 구속 재료의 층으로 둘러싸인 공간을 남기면서, 상기 트렌치의 측벽 위에 제1 전하 구속 재료의 층을 등각으로(conformally) 형성하는 단계;

상기 제1 전도성 재료를 사용하여 상기 공간을 채우는 단계;

상기 도체의 제1 그룹을 형성하기 위해 상기 도체의 제1 그룹의 인접하는 도체들이 상기 기정된 거리로 상기 제2 방향을 따라 분리되도록 상기 공간의 상기 제1 전도성 재료를 패턴화(patterning)하고 에칭(etching)하는 단계를 포함하는, 공정.

청구항 4

제3항에 있어서, 상기 도체의 제2 그룹을 형성하는 단계는:

상기 도체의 제1 그룹의 각각의 인접하는 쌍을 분리하는 상기 기정된 거리 내의 상기 제1 전하 구속 재료의 층을 제거하는 단계;

상기 도체의 제1 그룹의 인접하는 도체들 사이에 상기 제2 전하 구속 재료의 층으로 둘러싸인 공간을 남기면서, 상기 도체의 제1 그룹의 노출된 측벽 위에 상기 제2 전하 구속 재료의 층을 등각으로 형성하는 단계; 및

상기 도체의 제2 그룹을 형성하기 위해 상기 제2 전도성 재료로 상기 제2 전하 구속 재료의 층으로 둘러싸인 상기 공간을 채우는 단계를 포함하는, 공정.

청구항 5

제1항에 있어서, 상기 도체의 제1 그룹을 형성하는 단계는:

상기 트렌치를 채우기 위해 희생 재료(sacrificial material)를 중착하는 단계;

샤프트의 제1 세트를 형성하기 위해 상기 희생 재료를 패턴화하고 예칭하는 단계 - 각각의 샤프트는 상기 희생 재료의 남은 부분에 의해 분리됨 -;

각각의 샤프트 내에 상기 제1 전하 구속 재료의 층으로 둘러싸인 공간을 남기면서, 상기 샤프트의 측벽 위에 상기 제1 전하 구속 재료의 층을 등각으로 형성하는 단계; 및

상기 도체의 제1 그룹을 형성하기 위해 상기 제1 전도성 재료로 각각의 샤프트의 상기 제1 전하 구속 재료의 층으로 둘러싸인 상기 공간을 채우는 단계를 포함하는, 공정.

청구항 6

제5항에 있어서, 상기 도체의 제2 그룹을 형성하는 단계는:

샤프트의 제2 세트를 형성하기 위해 상기 희생 재료의 상기 남은 부분을 제거하는 단계;

상기 샤프트의 제2 세트의 각각 내에 상기 제2 전하 구속 재료의 층으로 둘러싸인 공간을 남기면서, 상기 샤프트의 제2 세트의 측벽 위에 상기 제2 전하 구속 재료의 층을 등각으로 형성하는 단계; 및

상기 도체의 제2 그룹을 형성하기 위해 상기 제2 전도성 재료로 상기 샤프트의 제2 세트의 각각의 상기 제2 전하 구속 재료의 층으로 둘러싸인 상기 공간을 채우는 단계를 포함하는, 공정.

청구항 7

제1항에 있어서, 상기 제1 및 제2 전도성 재료 중 적어도 하나는 금속 도체(metallic conductor)인, 공정.

청구항 8

제1항에 있어서, 상기 제1 및 제2 전도성 재료 중 적어도 하나는 내화 금속(refractory metal)을 포함하는, 공정.

청구항 9

제1항에 있어서, 상기 제1 및 제2 전도성 재료 중 적어도 하나는 티타늄, 티타늄 질화물, 탄탈륨 질화물, 탄탈륨, 텅스텐 질화물, 텅스텐, 코발트, 강하게 도핑된 p+ 폴리실리콘, 강하게 도핑된 n+ 폴리실리콘 및 규화물로 구성된 그룹으로부터 선택되는, 공정.

청구항 10

제1항에 있어서, 상기 제1 및 제2 전하 구속 재료의 층 중 적어도 하나는 산화물-질화물-산화물 삼중층을 포함하는, 공정.

청구항 11

제1항에 있어서, 제3 방향을 따르는 선을 따르는 각각의 다중층의 반도체 구조의 반대 측들에 형성된 상기 도체들은 상기 도체의 제1 및 제2 그룹 중 상이한 그룹들에 속하며, 상기 제3 방향은 상기 제1 및 제2 방향에 대해 실질적으로 수직인, 공정.

청구항 12

제1항에 있어서, 상기 제1 전하 구속 재료 및 상기 제2 전하 구속 재료는 실질적으로 동일한 전하 구속 특성을 갖는, 공정.

청구항 13

제1항에 있어서, 상기 제1 전하 구속 재료 및 상기 제2 전하 구속 재료는 실질적으로 상이한 전하 구속 특성을 갖는, 공정.

청구항 14

제1항에 있어서, 상기 메모리 구조 및 상기 반도체 기판의 상기 평평한 표면 사이의 절연 층에서 전역(global) 상호연결 도체의 제1 시스템을 형성하는 단계를 더 포함하고, 상기 공정은, 상기 도체의 제1 그룹, 상기 도체의 제2 그룹, 또는 모두에의 연결을 허용하기 위해, 상기 전역 상호연결 도체의 대응하는 부분을 노출하도록 절연 층 및, 상기 절연 층에 인접한, 상기 제1 전하 구속 재료의 층, 상기 제2 전하 구속 재료의 층 중 하나, 또는 모두의 부분을 제거하는 단계를 더 포함하는, 공정.

청구항 15

제14항에 있어서, 상기 메모리 구조 위에 전역 연결기의 제2 시스템을 형성하는 단계를 더 포함하여, 상기 연결이 상기 전역 상호연결 도체의 제1 시스템을 상기 전역 상호연결 도체의 상기 제2 시스템에 전기적으로 상호연결되게 허용하는, 공정.

청구항 16

제15항에 있어서, 상기 전역 상호연결 도체의 제2 시스템의 적어도 일 부분은 상기 반도체 기판에 형성된 회로에 전기적으로 연결되는, 공정.

청구항 17

제1항에 있어서, 상기 도체의 제1 및 제2 그룹의 선택된 도체는 상기 도체의 제1 및 제2 그룹에서 상기 선택된 도체가 아닌 임의의 상기 도체보다 상기 제2 방향을 따르는 그의 길이에 의해 더 낮은 저항이 각각 제공되는, 공정.

청구항 18

제17항에 있어서, 각각의 상기 선택된 도체는 비아(via) 상호연결체의 일부, 사전 충전 박막 트랜지스터, 디코드(decode) 선택 박막 트랜지스터, 또는 비-저장 목적으로 사용되는 다른 박막 트랜지스터의 일 부분인, 공정.

청구항 19

제1항에 있어서, 상기 도체의 제1 그룹은 상기 제2 방향을 따르는 제1 기정된 너비를 각각 가지고, 상기 도체의 제2 그룹은 상기 제2 방향을 따르는 제2 기정된 너비를 각각 가지고, 상기 제2 전하 구속 재료의 층은 상기 제2 방향을 따르는 제3 기정된 너비를 가지며, 상기 제1 기정된 너비는 상기 제3 기정된 너비의 두 배에 상기 제2 기정된 너비를 더한 것보다 작은, 공정.

청구항 20

제1항에 있어서, 상기 도체의 제1 그룹에서의 각각의 도체는 상기 제2 전하 구속 재료의 층에 의해 상기 도체의 제2 그룹에서의 적어도 하나의 도체로부터 전기적으로 절연되는, 공정.

청구항 21

제1항에 있어서, 상기 도체의 제1 그룹 또는 상기 도체의 제2 그룹을 형성하는 동안 수행되는 임의의 에칭 단계 동안의 보호를 위해, 상기 다중층의 반도체 구조 위에 하드마스크 재료를 제공하는 단계를 더 포함하는, 공정.

청구항 22

메모리 구조로서:

반도체 기판의 평평한 표면 위에, 상기 평평한 표면에 실질적으로 수직인 제1 방향을 따른 깊이를 가지는 트렌치에 의해 서로 분리된 제1 및 제2 다중층의 반도체 구조 - 상기 트렌치는 상기 평평한 표면과 실질적으로 평행한 제2 방향을 따른 기정의 너비를 가짐 -;

상기 제1 방향을 따라 연장하는 상기 트렌치에서의 도체의 제1 그룹 - 각각의 도체는 제1 전도성 재료를 포함하고 각각의 도체는 제1 전하 구속 재료(charge-trapping material)에 의해 각각의 인접하는 다중층의 반도체 구조로부터 분리되고, 각각의 트렌치 내의 상기 도체는 기정된 거리로 서로 분리됨 -; 및

상기 제1 방향을 따라 연장하는 도체의 제2 그룹 - 상기 도체의 제2 그룹의 각각의 도체는 상기 도체의 제1 그룹의 두 인접하는 도체 사이에 제공되고, 상기 도체의 제2 그룹의 각각의 도체는 제2 전도성 재료를 포함하고

상기 도체의 제2 그룹의 각각의 도체는 제2 전하 구속 재료에 의해 그의 인접하는 다중층의 반도체 구조로부터 분리됨 -;

을 포함하고,

상기 도체의 제1 또는 제2 그룹의 각각의 도체, 및 당해 도체와 상기 다중층의 반도체 구조 중 하나 사이의 상기 제1 또는 제2 전하 구속 재료의 부분이 박막 저장 트랜지스터를 위한 저장 층 및 게이트 전극을 형성하는, 메모리 구조.

청구항 23

제22항에 있어서, 상기 다중층의 반도체 구조들 중 하나에서의 복수의 저장 트랜지스터에 대해, 상기 다중층의 반도체 구조는 공통 소스 영역 및 공통 드레인 영역을 제공하는, 메모리 구조.

청구항 24

제22항에 있어서, 상기 도체의 제1 그룹에서의 각각의 도체는 상기 도체의 제2 그룹의 도체에 인접한 상기 제2 전하 구속 재료의 층의 일 부분에 바로 인접한, 메모리 구조.

청구항 25

제24항에 있어서, 상기 도체의 제2 그룹에서의 상기 도체는 상기 제2 전하 구속 재료의 층에 의해 둘러싸인, 메모리 구조.

청구항 26

제22항에 있어서, 상기 도체의 제1 그룹은 상기 제1 전하 구속 재료의 층에 의해 둘러싸인 도체를 각각 포함하는, 메모리 구조.

청구항 27

제26항에 있어서, 상기 도체의 제2 그룹은 상기 제2 전하 구속 재료의 층에 의해 둘러싸인 도체를 각각 포함하는, 메모리 구조.

청구항 28

제22항에 있어서, 상기 제1 및 제2 전도성 재료 중 적어도 하나는 금속 도체인, 메모리 구조.

청구항 29

제22항에 있어서, 상기 제1 및 제2 전도성 재료 중 적어도 하나는 내화 금속을 포함하는, 메모리 구조.

청구항 30

제22항에 있어서, 상기 제1 및 제2 전도성 재료 중 적어도 하나는 티타늄, 티타늄 질화물, 탄탈륨 질화물, 탄탈륨, 텉스텐 질화물, 텉스텐, 코발트, 강하게 도핑된 p^+ 폴리실리콘, 강하게 도핑된 n^+ 폴리실리콘, 및 규화물로 구성된 그룹으로부터 선택되는, 메모리 구조.

청구항 31

제22항에 있어서, 상기 제1 및 제2 전하 구속 재료의 층 중 적어도 하나는 산화물-질화물-산화물 삼중층을 포함하는, 메모리 구조.

청구항 32

제22항에 있어서, 제3 방향을 따라 연장하는 선을 따르는 각각의 다중층의 반도체 구조의 반대 측들에 형성된 상기 도체들은 상기 도체의 제1 및 제2 그룹 중 상이한 그룹들에 속하는, 메모리 구조.

청구항 33

제22항에 있어서, 상기 제1 전하 구속 재료 및 상기 제2 전하 구속 재료는 실질적으로 동일한 전하 구속 특성을

갖는, 메모리 구조.

청구항 34

제22항에 있어서, 상기 제1 전하 구속 재료 및 상기 제2 전하 구속 재료는 실질적으로 상이한 전하 구속 특성을 갖는, 메모리 구조.

청구항 35

제22항에 있어서, 상기 메모리 구조 및 상기 반도체 기판의 상기 평평한 표면 사이의 절연 층에서의 전역 상호 연결 도체의 제1 시스템을 더 포함하고, 절연 층 및, 상기 절연 층에 인접한, 상기 제1 전하 구속 재료의 층, 상기 제2 전하 구속 재료의 층 중 하나, 또는 모두의 부분은 상기 도체의 제1 그룹, 상기 도체의 제2 그룹, 또는 모두에의 연결을 허용하기 위해, 상기 전역 상호연결 도체의 대응하는 부분을 노출하도록 제거되는, 메모리 구조.

청구항 36

제35항에 있어서, 상기 메모리 구조 위에 전역 연결기의 제2 시스템을 더 포함하여, 상기 연결이 상기 전역 상호연결 도체의 제1 시스템을 상기 전역 상호연결 도체의 상기 제2 시스템에 전기적으로 상호연결되게 허용하는, 메모리 구조.

청구항 37

제36항에 있어서, 상기 전역 상호연결 도체의 제2 시스템의 적어도 한 부분은 상기 반도체 기판에 형성된 회로에 전기적으로 연결되는, 메모리 구조.

청구항 38

제22항에 있어서, 상기 도체의 제1 및 제2 그룹의 선택된 도체는 상기 도체의 제1 및 제2 그룹에서 상기 선택된 도체가 아닌 임의의 상기 도체보다 상기 제2 방향을 따르는 그의 길이에 의해 더 낮은 저항이 각각 제공되는, 메모리 구조.

청구항 39

제38항에 있어서, 각각의 상기 선택된 도체는 비아 상호연결체의 일부, 사전 충전 박막 트랜지스터, 디코드 선택 박막 트랜지스터, 또는 비-저장 목적으로 사용되는 다른 박막 트랜지스터의 일 부분인, 메모리 구조.

청구항 40

제22항에 있어서, 상기 도체의 제1 그룹은 상기 제2 방향을 따르는 제1 기정된 너비를 각각 가지고, 상기 도체의 제2 그룹은 상기 제2 방향을 따르는 제2 기정된 너비를 각각 가지고, 상기 제2 전하 구속 재료의 층은 상기 제2 방향을 따르는 제3 기정된 너비를 가지며, 상기 제1 기정된 너비는 상기 제3 기정된 너비의 두 배에 상기 제2 기정된 너비를 더한 것보다 작은, 메모리 구조.

청구항 41

제22항에 있어서, 상기 도체의 제1 그룹에서의 각각의 도체는 상기 제2 전하 구속 재료의 층에 의해 상기 도체의 제2 그룹에서의 적어도 하나의 도체로부터 전기적으로 절연되는, 메모리 구조.

청구항 42

제22항에 있어서, 상기 도체의 제1 그룹 또는 상기 도체의 제2 그룹을 형성하는 동안 수행되는 임의의 에칭 단계 동안의 보호를 위해 상기 다중층의 반도체 구조 위에 제공된 하드마스크 재료를 더 포함하는, 메모리 구조.

청구항 43

삭제

청구항 44

삭제

청구항 45

삭제

청구항 46

삭제

발명의 설명**기술 분야**

[0001] 본 발명은 비-휘발성 NOR-타입 메모리 스트링(memory strings)에 관한 것이다. 특히, 본 발명은 높은 종횡비(aspect-ratios)를 수반하는 에칭(etching)을 요구하지 않고 최소 또는 최소 이하(sub-minimum)의 피치(pitch) 수직 도체의 형성을 허용하는 3차원 메모리 어레이(array)에 대한 아키텍처(architecture)에 관한 것이다.

배경 기술

[0002] 정규출원 또는 가출원에 개시된 것과 같은, 고밀도의 3차원 메모리 구조에서, 높은 제조 수율을 유지하면서 메모리 셀을 가능한 한 작게 만드는 것 - 그렇게 함으로써 메모리 셀 밀도를 증가시킴 - 이 바람직하다. 각각의 메모리 셀의 크기가 감소함에 따라, 피치(feature)의 종횡비(예를 들어, 트렌치(trench)의 깊이를 그것의 수평에칭된 캡 치수로 나눈 값)는 증가한다. 트렌치의 예시에서, 에칭된 층의 총 두께가 일정하게 유지되면서, 피치 크기가 감소함에 따라 트렌치 종횡비는 증가한다. 메모리 셀 밀도를 증가시키는 대안적인 방법은 수직 방향으로 더 많은 메모리 셀의 층을 제공하는 것이다. 에칭 공정을 변화시키지 않고, 이 대안적인 방법은 트렌치 종횡비를 필연적으로 증가시킨다. 현재의 기술 상태에서, 트렌치 종횡비가 대략 50을 초과하면, 트렌치의 에칭은 신뢰할 수 없을 정도로 어렵거나 엄청나게 비싸게 된다.

발명의 내용

[0003] 본 발명은 메모리 구조에서 극미한 피치 크기(예를 들어, 최신 기술에서 20 nm 이하), 또는 8 이상의 메모리 셀의 층을 갖는 메모리 구조를 제조하는 방법을 제공한다. 본 발명은 또한 메모리 구조에서 활동 스트립(active strip)의 동일 및 반대 측면을 따라 인접한 메모리 셀들 사이의 개선된 분리를 제공한다. 개선된 분리는 활동 스트립의 동일 측면을 따라 인접한 메모리 셀들 사이에 강한 유전체 배리어 막을 도입함으로써, 및 활동 스트립의 반대 측면의 메모리 셀을 엇갈리게(staggering) 함으로써 제공된다. (이 상세한 설명에서, 용어 “활동 스트립”은 메모리 셀의 스트링의 채널 영역 및 공통 소스(source) 및 드레인(drain) 영역을 형성하는 수평의, 연장된 메모리 구조의 부분을 지칭한다.)

[0004] 본 발명의 다른 실시예에 따라서, 로컬 워드라인(local word line)의 동일 및 반대 측면을 따라 인접한 메모리 셀들 사이의 개선된 분리는 수평의 로컬 워드라인을 갖는 수직의 NOR-스트링 타입 메모리 구조로 적층된다. 개선된 분리는 로컬 워드라인의 동일 측면을 따라 인접한 메모리 셀들 사이의 강한 유전체 배리어 막을 도입함으로써, 및 로컬 워드라인의 반대 측면의 메모리 셀을 엇갈리게 함으로써 제공된다.

[0005] 본 발명은 첨부 도면과 함께 아래의 상세한 설명을 고려할 때 더욱 잘 이해될 것이다.

도면의 간단한 설명

[0006] 도 1은 본 발명의 일 실시예에 따라, 메모리 어레이에 대한 지원 회로(예를 들어, 감지 증폭기, 어드레스 디코더(address decoder), 입력 및 출력 회로)가 반도체 기판(5)(명확히 도시되지 않음)에 형성된 이후의, 3차원 NOR-타입 메모리 어레이(50)(미도시)에 대한 전역(global) 상호연결 도체(10)를 형성하는 초기 단계를 도시한다.

도 2는 3차원 NOR-타입 메모리 어레이(50)의 제조의 중간 단계에서 형성된 활동 적층물(active stacks)을 도시하고; 활동 적층물(100)은 활동 스트립(255)을 포함하는, 8개의 활동 스트립으로 구성되고; 활동 스트립(255)은 보다 큰 명확성을 위해 왼쪽에서 확대되어 있다.

도 3은 본 발명의 일 실시예에 따라, 전하 구속 재료(240) 및 P⁺ 반도체 층(250)이 증착되고 처리된 이후의, 도

2의 메모리 구조(50)를 도시한다.

도 4는 전하 구속 재료(240) 및 P^+ 반도체 층(250)이 패턴화되고(patterned) 에칭되어, 그로 인해 P^+ 반도체 층(250)이 수직의 로컬 워드라인 도체(275)의 제1 세트를 제공함과 함께, 3차원 NOR-타입 메모리 어레이(50)의 메모리 셀의 제1 그룹을 형성한 이후의, 도 3의 메모리 구조(50)를 도시한다.

도 5는 본 발명의 일 실시예에 따라, 제2 전하 구속층(270)이 도 4의 메모리 구조(50)의 인접한 로컬 워드라인들(275) 사이의 트렌치(295)의 측벽 상에 등각으로 증착된 이후에, 로컬 워드라인 도체(280)의 제2 그룹을 형성하는 P^+ 반도체 재료의 제2 층의 증착이 이어진, 도 4의 메모리 구조(50)를 도시한다.

도 6은 본 발명의 일 실시예에 따라, 전역 워드라인(global word line)(전역 워드라인(290)으로 표시됨)의 제2 세트 및 대응하는 비아(via)(예를 들어, 비아(300))가 로컬 워드라인(280)에 연결하기 위해 메모리 구조 위에 형성된 이후의, 도 5의 메모리 구조(50)를 도시한다.

도 7a 및 7b는 본 발명의 제2 실시예에 따라, 재료와 치수에 있어서 실질적으로 동일한, 로컬 워드라인의 제1 그룹 및 로컬 워드라인의 제2 그룹이 연속적으로 형성된 메모리 구조(50)를 도시한다.

도면들 사이의 상호 참조를 용이하게 하기 위해, 유사한 요소는 유사한 참조 부호가 할당된다.

발명을 실시하기 위한 구체적인 내용

[0007]

본 발명은 위에 참조로 포함된 정규출원 및 가출원에 이미 개시된 것과 같이, 메모리 구조(예를 들어, 3차원 NOR-타입 메모리 어레이) 내의 메모리 셀 밀도 및 그들의 제조 공정을 개선한다. 예를 들어, 본 발명은 정규출원 III에 그 안의 도 46-54와 함께 개시된, 3차원 NOR-타입 메모리 어레이 및 그의 제조 공정을 개선한다.

[0008]

도 1은 본 발명의 일 실시예에 따라, 메모리 어레이에 대한 지원 회로(예를 들어, 감지 증폭기, 어드레스 디코더, 입력 및 출력 회로)가 반도체 기판(5)(명확히 도시되지 않음)에 형성된 이후의, 3차원 NOR-타입 메모리 어레이(50)를 형성하는 초기 단계를 도시한다. 도 1에 도시된 바와 같이, 반도체 기판(5) 위에 중간 유전체(inter-layer dielectric, ILD) 층(25)이 형성된다. 그리고 나서 상호 전기적으로 서로에 대해 분리된 도체(예를 들어, 도체(10))의 세트는 ILD 층(25) 위에 형성된다. 도체(10)는 형성된 3차원 NOR-타입 메모리 어레이(50) 내의 메모리 셀의 로컬 워드라인을 연결하도록 만들어지므로, 도체(10)는 여기에서 “전역 워드라인”(10)으로 지칭된다. (물론, 적절하다면, 메모리 셀의 로컬 워드라인에 연결을 제공하는 것뿐만 아니라, 도체(10)는 또한 일반적으로 메모리 구조(50)에 대한 상호연결 도체로서 기여할 수 있다.) 전역 워드라인(10)은 비아 또는 매립된 접촉물(buried contacts)에 의해 반도체 기판(5) 내의 적절한 회로에 각각 연결되어, 메모리 셀 동작(예를 들어, 프로그래밍, 삭제, 프로그램-정지(program-inhibit), 읽기)을 위한 적절한 전압이 반도체 기판(5) 내의 회로로부터 공급될 수 있다. 전역 워드라인(10)은 임의의 적합한 기법, 예를 들어, 감산 금속 공정 또는 다마신(damascene) 금속 공정을 사용하여, 금속(예를 들어, Ti/TiN/W) 또는 P^+ 폴리실리콘의 하나 이상의 층과 같은 전도성 재료를 사용하여 제조될 수 있다.

[0009]

이후에, 다음 ILD 층(233)(미도시)이 전역 워드라인(10)을 덮도록 형성된다. 이후에, ILD 층(233)을 관통하는 비아(20)는, 예를 들어, 종래의 방식으로, (예를 들어, ILD 층(233)에서 에칭 및 도체 증착에 의해) 형성된다. 비아(20)는 형성된 3차원 NOR 메모리 어레이(50) 내의 로컬 워드라인을 전역 워드라인(10)에 연결하도록 제공된다. 비아(20)는 전역 워드라인(10)과 동일한 전도성 재료(즉, 금속(예를 들어, Ti/TiN/W) 또는 P^+ 폴리실리콘의 하나 이상의 층)로부터 형성될 수 있다. 임의의 초과 전도성 재료는 에칭된 비아 내의 전도성 재료만 남기고, 임의의 적합한 방법(예를 들어, CMP)에 의해 ILD 층(233)의 상부 표면으로부터 제거될 수 있다.

[0010]

도 2는 다수의 활동 적층물(예를 들어, 활동 적층물(100))이 형성된 이후에, 3차원 NOR-타입 메모리 어레이(50)의 형성에서의 중간 단계를 도시한다. 활동 적층물은, 정규출원 I에 그의 도 5a - 5h-3 및 그들의 관련 설명과 함께 논의된 것과 같은 그러한 제조 공정들을 사용하여, 도 1의 ILD 층(233) 위에 연속하여 증착되는 반도체 및 절연 재료의 층으로 트렌치(235)를 깊게 에칭함으로써 형성된다. 도 2에서, 활동 적층물은, 더욱 큰 명확성을 위해 왼쪽에서 확대된 활동 적층물(100) 내의 대표 활동 스트립(255)과 함께, 대표 활동 적층물(100)에 의해 도시된다.

[0011]

도 2에 도시된 바와 같이, 활동 스트립(255)은 인접한 금속 층(110 및 120)이 각각 제공되는 N^+ 반도체 층(130 및 140)(예를 들어, 실리콘 또는 폴리실리콘)을 포함한다. 상기 인접한 금속 층(110 및 120)은 N^+ 반도체 층

(130 및 140)에서 저항을 감소시키기 위해 제공된다. 임의의 의도하지 않은 단락(short circuit)을 방지하기 위해, 금속 층(110 및 120)을 전기적으로 절연하도록 유전체 피복 층(150, 160, 170, 및 180)이 제공된다. N⁺ 반도체 층(130 및 140)은, 그들 각각의 금속 층(110 및 120)과 함께, 활동 스트립(255)을 따라 형성되는 메모리 셀의 스트립 내의 공통 소스 서브층 및 공통 드레인 서브층을 형성한다. N⁺ 반도체 층(130 및 140) 사이에 활동 스트립(255)의 반대 측면에 채널 반도체 층(190 및 200)이 형성된다. 이 실시예에서, 채널 반도체 층(190 및 200)은 희생 층(sacrificial layer, “SAC1”)의 부분적 제거로 인한 캐비티(cavities)를 채움으로써 형성된다. 사실, 남은 SAC1 층은 채널 반도체 층(190 및 200) 사이에 SAC1 층(210)으로서 도 2에 도시된다. (대안적인 실시예에서, SAC1 층(210)이 현재 도시된 공간에 공기 또는 진공 캡을 만들기 위하여, SAC1 층(210)은 이후에 완전히 제거될 수 있고; 대안적으로, 채널 반도체 층(190 및 200)이 이전에 SAC1 층에 의해 점유된 공간을 채우기 위해 함께 병합하도록 허용될 수 있다.)

[0012]

활동 적층물(100) 내의 인접한 활동 스트립들은 유전체 층에 의해, 도 2에서 도시된 바와 같이 대표 유전체 층(220)에 의해, 서로 절연된다. 또한, 활동 적층물들 사이의 트렌치(235)가 예칭되기 전에 하드 마스크 층(230)이 제공된다. 하드 마스크 층(230)은 예칭에 의해 형성되는 차후의 활동 적층물을 안정화한다. 높은 종횡비 구조를 안정화하기 위한, 이러한 하드 마스크 층(230)의 사용, 및 (도 2에 도시되지 않은) 스트럿(strut)의 사용을 더 포함하는 것은, 정규출원 III에 개시된다. 이 예시에서, 각각의 활동 스트립은 (도 2에 표시된 제3 방향을 따라) 15 nm 내지 50 nm의 너비를 가질 수 있고, 각각의 하드 마스크의 층(230)은 각각의 활동 적층물에 차례로 쌓이는 8 이상의 활동 스트립의 형성을 지원할 수 있다. 정규출원 V에 개시된 바와 같이, NOR-타입 메모리 어레이에는 “세그먼트화된 적층물(segmented stacks)” (즉, 한 번에 8층의 활동 스트립의 적층물을 형성)로 쌓아올려질 수 있다. 세그먼트화된 적층물 접근법을 사용하여, 제조 공정 단계는 16-, 24-, 32-, 48-, 64-, … 층의 활동 스트립으로 메모리 어레이를 형성하기 위해 많은 횟수로 반복될 수 있다.

[0013]

일 실시예에서, N⁺ 반도체 층(130 및 140), 금속 층(110 및 120), 채널 반도체 층(190 및 200), 및 유전체 층(220)은 각각 약 180 nm 두께일 수 있어, 활동 적층물(100) 내의 8개의 활동 스트립은, 50 nm의 하드 마스크 층(230)과 함께, 1490 nm 이상의 총 높이로 올라갈 수 있다. 45 nm 너비의 로컬 워드라인(275) 및 인접한 로컬 워드라인들 사이의 45 nm의 캡 또는 트렌치로, 예칭된 트렌치의 종횡비는 33:1이다. 활동 적층물(100)이 12층의 활동 스트립을 갖는다면, 트렌치 종횡비는 49:1에 도달한다.

[0014]

이후에, 인접한 활동 적층물들 사이의 각각의 트렌치의 측벽 및 바닥 위에 전하 구속층(240)(예를 들어, 삽입된 도 3 참조)이 등각으로 제공되고, 이는 SiO₂-SiN-SiO₂ 3중층(즉, 산화물-질화물-산화물 또는 “ONO” 층)일 수 있다. ONO 층의 전하 구속 기능은 통상의 기술자에게 알려져 있다. 전하 구속층(240)은, 예를 들어, 3 nm 미만 내지 6 nm의 SiO₂(또는 밴드캡 조작된 유전체 샌드위치(bandgap-engineered dielectric sandwich)), 6 nm의 SiN 및 6 nm의 SiO₂(또는 Al₂O₃ 막과 같은, 높은 유전율을 갖는 유전체 막)로 구성될 수 있다. 전하 구속층(240)이 증착된 이후, 3 nm 두께의 보호 폴리실리콘 층이 또한 등각으로 증착될 수 있다. 각 트렌치의 바닥의 전하 구속층(240) 및 보호 폴리실리콘 층의 부분은 그후 비아(20)를 노출하기 위해 제거될 수 있고, 그로 인해 다음에 형성될 전역 워드라인(10)과 로컬 워드라인 사이의 차후의 연결을 허용한다. 이 예칭에 대한 종횡비가 100보다 클지라도, 오직 각 트렌치의 바닥의 전하 구속층(240) 및 보호 폴리실리콘 층(250)의 약 20 nm 두께의 층만이 제거된다. 이 예칭을 따라, P⁺ 반도체 층(250)(예를 들어, 실리콘 또는 폴리실리콘)은 남은 노출된 트렌치(235)를 채우기 위해 증착된다. 도 3은 본 발명의 일 실시예에 따라, 전하 구속 층(240) 및 P⁺ 반도체 층(250)이 증착 및 처리된 이후의, 도 2의 메모리 구조(50)를 도시한다. P⁺ 반도체 층(250)은 금속 도체(예를 들어, 티타늄 질화물, 티타늄, 탄탈륨 질화물, 탄탈륨, 텉스텐 질화물, 텉스텐 또는 SiO₂와 관련된 적합한 금속 일 함수를 가지는 다른 내화 금속)에 의해 대체될 수 있다.

[0015]

(예를 들어, 도 4에서 터널 산화물(242), 저장 질화물(244), 방지 산화물(246)로 도시된) ONO 3중층으로 구성된, 전하 구속층(240)은, 대략 15 nm 두께일 수 있다(제3 방향을 따라 측정됨). 전하 구속층(240) 및 P⁺ 반도체 층(250)은 그후 도 4에 도시된 바와 같이, 3차원 NOR-타입 메모리 어레이의 메모리 셀의 제1 그룹을 형성하기 위해 (로컬 워드라인(275)에 의해 보호되지 않는 공간에서 ONO 3중층의 임의의 잔류의 제거를 포함하여) 패턴화되고 예칭되면서, 예칭-후 P⁺ 반도체 층(275)은 수직의 로컬 워드라인의 제1 세트를 제공한다. (도 4에서 샤프트(295)로 표시된) 제1 그룹의 인접한 로컬 워드라인들(275) 사이의 생성된 분리는, 그 안에 수직의 로컬

워드라인(280)의 제2 그룹이, 그들의 관련된 전하 구속층(270)(도 5 참조)과 함께, 형성되도록 한다. 현재의 예시에서, (제2 방향을 따르는) 각 샤프트의 너비는 대략 75 nm일 수 있다(즉, 로컬 워드라인의 45 nm 너비에 로컬 워드라인(280)의 각 측면 상의 ONO 3중층(270)의 15 nm 두께를 더함). 75 nm 너비의 트렌치를 에칭하는 종횡비는 대략 $1490/75 = 20:1$ 이고, 이는 도 4 및 5의 구조 없이, 이전의 33:1과 비교하여 상당히 더 완화된 것이다. 다만, 로컬 워드라인 피치(즉, 선 너비(line width)에 선간 공간(line-to-line spacing)을 더함)는 일반적인 $(45+45) = 90$ nm의 피치에서 $(45 + 45 + (2 * 15))/2 = 60$ nm로 축소되고, 이는 일반적인 피치의 1/3의 축소이다. 각 활동 적층물의 반대 측면을 따르는 로컬 워드라인(275)이 활동 스트립의 길이를 가로질러 수평의 방향으로(즉, 제3 방향을 따라) 정렬되어 도 4 및 5에 도시되지만, 그들은 또한 정규출원 IV에 교시된 바와 같이, 엇갈리게 되는 방식으로 제공될 수 있다. 엇갈리게 된 구성에서, 활동 스트립의 반대 측면 상에 있는 인접한 메모리 셀들은 기생 프로그램 교란(parasitic program disturb)을 감소시키기 위해 더욱 분리되어 위치한다.

[0016]

로컬 워드라인의 제1 그룹 중 인접한 것들 사이의 샤프트(295)를 에칭한 이후, 전하 구속 재료(예를 들어, 272, 274 및 276으로 표시된 층을 포함하여, ONO 3중층일 수 있는, 도 5의 전하 구속층(270))의 제2 층은 로컬 워드라인(275)의 제1 그룹 각각의 옆의 각각의 샤프트(295)의 측벽 상에 등각으로 증착된다. 전하 구속층(270)의 형성 다음에, P⁺ 반도체 재료의 제2 층은 (도 5에서 로컬 워드라인(280)으로 표시된) 로컬 워드라인의 제2 그룹을 형성하도록 증착된다. 전하 구속층(270) 및 로컬 워드라인(280)의 부분은 그후 메모리 구조 상부로부터 제거됨으로써, 메모리 셀의 제2 그룹을 완성한다. 생성된 구조는 도 5의 확대된 구역 A₁에 도시되고, 이는 ONO 전하 구속층(270)의 두께에 의해 서로 각각 분리된, 제1 그룹(즉, 워드라인(275)) 및 제2 그룹(즉, 워드라인(280))으로부터 번갈아 있는 워드라인들을 명확히 도시한다.

[0017]

로컬 워드라인(280)을 형성하기에 앞서 제2 P⁺ 반도체 층의 증착 이전에, 트렌치의 바닥의 전하 구속층(270)의 부분은, 워드라인(280)을 전역 워드라인(10)(도 1의 전역 워드라인(10) 참조)에 연결시키기 위해, 메모리 구조의 아래의 비아(20)를 노출하는 이방성 에칭(anisotropic etch)에 의해 제거될 수 있다. 다만, 아래에서 논의되는 바와 같이, 전역 워드라인의 제2 세트(예를 들어, 도 6의 전역 워드라인(290))가 메모리 구조 위에 제공되면, 트렌치의 바닥의 전하 구속층(270)의 부분은 제거될 필요가 없다. 고밀도의 메모리 구조는 메모리 구조(50)의 위 및 아래 모두에 전역 워드라인을 제공함으로써 실현될 수 있다. 도 6에 도시된 바와 같이, 상부로부터의 전역 워드라인(290)은 활동 스트립의 일측면의 로컬 워드라인에 접촉하도록 비아(300)를 사용할 수 있는 반면에 메모리 구조(50) 아래의 전역 워드라인은 활동 스트립의 반대 측면의 로컬 워드라인에 접촉하도록 비아(20)를 사용할 수 있다. 대안적으로, 제1 그룹(즉, 로컬 워드라인(275)) 및 제2 그룹(즉, 로컬 워드라인(280)) 모두는 적절하게 에칭된 비아를 통해 상부로부터의(즉, 도체(290)) 전역 워드라인에 의해 접촉될 수 있거나, 또는 모두 하부로부터(즉, 도체(10)) 접촉될 수 있다. 물론, 적절하다면, 전역 워드라인(290)은 로컬 워드라인(280)에 연결을 제공하는 것뿐만 아니라, 또한 일반적으로 메모리 구조(50)에 대한 상호연결 도체로서 기여할 수 있다.

[0018]

두 번의 연속적인 증착으로 전하 구속층(240 및 270)을 증착하는 것은 제1 및 제2 그룹의 전하 구속층이 분리된 ONO 3중층이라는 중요한 긍정적인 효과를 가진다. 도 5는 로컬 워드라인의 제1 그룹과 관련된 ONO 3중층(즉, 층(242, 244 및 246)) 및 로컬 워드라인의 제2 그룹과 관련된 ONO 3중층(즉, 층(272, 274, 및 276)) 사이의 불연속성을 도시한다. 이 불연속성은 (방지 산화물 층(272)에 의해 제공되는 것과 같은) 강한 유전체 배리어 막을 제공함으로써, 인접한 메모리 셀들 사이(즉, 로컬 워드라인의 제1 그룹과 관련된 전하 구속 실리콘 질화물 층(244) 및 로컬 워드라인의 제2 그룹과 관련된 실리콘 질화물 층(274) 사이)에 구속된 전하의 바람직하지 않은 측면 전도를 실질적으로 제거한다.

[0019]

전하 구속층(240 및 270)은 일반적으로 그들의 전기적 특성을 가능한 한 유사하게 복제하도록 증착되지만, 본 발명의 일부 실시예에서 전하 구속층(240) 및 전하 구속층(270)은 뚜렷하게 상이한 전기적 특성으로 증착 될 수 있다. 예를 들어, 전하 구속층(240)은 최대 장기 데이터 보유를 갖도록 최적화될 수 있는 반면에, 전하 구속층(270)은 더욱 빠른 프로그램/삭제/읽기 동작을 제공하도록 별도로 최적화될 수 있다. 그 배열에서, 전하 구속층(270)과 관련된 메모리 셀은 (더욱 짧은 데이터 보유 시간의 비용으로) 더욱 높은 쓰기/삭제 사이클 내구 특성을 갖는 캐시 메모리로 사용될 수 있다. 본 발명의 일부 실시예에서 메모리 셀의 제1 및 제2 그룹은 메모리 구조에서 메모리 셀의 총 수의 절반을 각각 포함할 필요가 없다.

[0020]

본 발명의 제2 실시예는 도 7a 및 7b에 도시된다. 이 제2 실시예에서, 로컬 워드라인(275) 및 그들의 관련된 전하 구속층(240)(예를 들어, 도 4 참조)보다는, 로컬 워드라인(280) 및 그들의 관련된 전하 구속층(270)이 전체에 걸쳐 사용되어, 위에서 설명된 로컬 워드라인의 제2 그룹의 구조와 같이, 로컬 워드라인의 제1 및 제2 그룹

모두가 실질적으로 동일한 구조를 갖는다.

[0021] 이 제2 실시예에 따르면, 도 2에 도시된 바와 같이 활동 적층물(예를 들어, 활동 적층물(100))을 형성한 이후, 트렌치(235)는 회생 재료(예를 들어, 다공성 SiO₂와 같은, 고속 에칭 유전체 재료)를 증착함으로써 채워진다.

이 회생 재료는 그후, 삽입된 도 7a에서 참조 번호 400으로 표시된 바와 같이, 회생 재료의 섬(islands)을 형성하기 위해 폐던화되고 부분적으로 에칭된다. 각각의 섬은 샤프트에 의해 각각의 그의 이웃으로부터 분리된다(이는 다음에 논의되는 바와 같이, 전하 구속층(270) 및 로컬 워드라인(280)에 의해 채워져 도 7a에 도시된다). 각각의 섬(400)은 제2 방향을 따라 기정된 길이를 가지고, 이는 각각의 트렌치(235)의 섬(400) 중 인접한 섬들 사이의 분리와 실질적으로 동일하다. 이 분리는 로컬 워드라인의 너비(예를 들어, 도 5의 로컬 워드라인(280) 중 하나의 너비)에 전하 구속층(예를 들어, 도 5의 전하 구속층(270))의 두께의 두 배를 더한 것을 수용하기에 충분하고, 제2 방향을 따라 로컬 워드라인의 양 측면의 전하 구속층을 수용하기에 충분하다.

[0022] 다음으로, 전하 구속층은 섬(400)을 형성하면서 생성된 샤프트의 측벽 및 바닥 위에 등각으로 증착되며, 각 샤프트 내에 공동(void)을 남기고, 이는 그후 전도성 재료에 의해 채워질 수 있다. 이 전하 구속층은 도 5의 전하 구속층(270)의 동일한 재료에 의해 실질적으로 제공될 수 있다(예를 들어, 산화물-질화물-산화물 3중층과 각각 이를 구성하는 층(272, 274 및 276)). 참조를 단순화하기 위하여, 이 전하 구속층 또한 도 7a에서 270으로 표시된다. 유사하게, 각 샤프트의 공동을 채우는 전도성 재료는 도 5의 로컬 워드라인(280)을 형성하는 동일한 전도성 재료에 의해 제공될 수 있다. 한 번 더, 참조를 단순화하기 위하여, 전하 구속층(270)에 의해 각각 둘러싸인 전도성 컬럼(conductive columns)의 세트를 형성하는, 이 전도성 재료에서; 전도성 컬럼은 또한 로컬 워드라인(280)으로 지칭된다. 전도성 재료는 티타늄, 티타늄 질화물, 탄탈륨 질화물, 탄탈륨, 텉스텐 질화물, 텉스텐, 코발트, 강하게 도핑된 P⁺ 또는 N⁺ 폴리실리콘, 또는 다른 내화 금속을 포함하는 그룹에서 선택될 수 있다. 전도성 재료는 그후 CMP 또는 제어된 에칭에 의해 활동 적층물의 상부 표면으로부터 제거된다.

[0023] 도 7a의 전도성 컬럼(280) 및 그들의 둘러싸는 전하 구속층(270)은 그후 섬(400)을 제거함으로써, 샤프트의 제2 세트를 생성하는, 다음 에칭 단계로부터 그들을 보호하도록 마스킹된다. (전도성 컬럼(280) 및 그의 둘러싸는 전하 구속층(270)은 이하에서 각각 “로컬 워드라인의 제1 그룹” 및 “제1 전하 구속층”으로 지칭된다.) 제2 전하 구속층은 그후 샤프트의 이 제2 세트 각각의 측벽 및 바닥 위에 등각으로 증착되며, 중앙에 공동을 남기고, 이는 전도성 재료의 컬럼에 의해 채워져서, 각각 로컬 워드라인의 제2 그룹 및 제2 전하 구속층을 형성한다. (이 로컬 워드라인의 제2 그룹 및 그들의 둘러싸는 제2 전하 구속층은 각각 로컬 워드라인의 제1 그룹 및 제1 전하 구속층과 동일한 재료에 의해 제공될 수 있다.) 로컬 워드라인들의 제1 그룹으로부터의 로컬 워드라인 및 제2 그룹으로부터의 로컬 워드라인이 번갈아 있는, 실질적으로 동일한 워드라인들은 도 7b에 도시된다. 로컬 워드라인의 제1 및 제2 그룹을 전역 워드라인(10)(즉, 메모리 구조 아래의 전역 워드라인의 세트; 예를 들어, 도 1 참조) 및 전역 워드라인(290)(즉, 메모리 구조 위의 전역 워드라인의 세트; 예를 들어, 도 6 참조)에 연결하는 남은 공정 단계는 제1 실시예에 대하여 위에 설명된 대응하는 단계를 따른다.

[0024] 제1 실시예(도 5) 및 제2 실시예(도 7b) 모두는 동일한, 종래 기술보다 더욱 바람직한 에칭 종횡비를 향유한다. 두 실시예는 인접한 로컬 워드라인들 사이의 바람직한 물리적 분리를 향유한다. 두 실시예에 대한 이들 셀당 면적 메트릭(area-per-cell metrics)이 종래 기술의 그것보다 작지만, 제2 실시예에 대한 인접한 로컬 워드라인들 사이의 분리가 두 개의 맞닿은 전하 구속층(예를 들어, 일 예시에서, 2 꾹하기 15 nm)을 포함하는 반면에, 제1 실시예에서 대응하는 분리는 오직 단일의 이러한 전하 구속층(즉, 동일한 예시에서 15 nm)만을 포함하므로, 제2 실시예에 대한 셀당 면적 메트릭은 제1 실시예에 대한 셀당 면적 메트릭보다 크다. 하지만, 제2 실시예는 제1 실시예에 비해 특정 보상 이점을 갖는다. 첫째, 제2 실시예에서 인접한 로컬 워드라인들 및 그들의 관련된 전하 구속층은 구조에 있어서 실질적으로 동일하여, 인접한 로컬 워드라인들의 물리적 특성이 서로를 더욱 잘 추적할 수 있다. 둘째, 제1 실시예는 전도성 재료(275)의 그의 트렌치의 깊이까지 완전한 에칭을 필요로 하고, 이는 전도성 재료(275)가 내화 금속을 포함할 때 어려울 수 있다. 제1 실시예는 또한 전도성 재료(275)가 제거된 구역 내의 트렌치의 측벽을 따라 깨끗한 전하 구속층(242, 244 및 246)을 에칭하는 것을 필요로 한다. 제2 실시예에서 워드라인의 각각의 그룹의 컬럼의 너비가 섬의 길이 및 전하 구속층의 두께에 의해 기정되므로, 이들 에칭 단계는 제2 실시예에서 워드라인의 제1 및 제2 그룹을 정의하는데 요구되지 않는다.

[0025] 본 발명의 로컬 워드라인의 2단계 형성은 정규출원 및 가출원에서 논의된 공정에 비교하여 더욱 많은 수의 공정 단계를 필요로 하지만, 본 발명은 비용의 관점에서, 추가 요구되는 공정 단계를 보상하는 것 이상일 수 있는 감소된 실리콘 구역 메모리 어레이를 제공한다.

[0026] 본 발명은 메모리 셀들과 활동 적층물 상부의 전역 워드라인과 활동 적층물 아래의 기판의 논리 회로 사이를 연

결하기 위한 낮은 저항 도체를 필요로 하는, 수 마이크론 높이의 다중-층 활동 적층물의 형성을 허용한다. 본 발명의 로컬 워드라인의 제1 또는 제2 그룹이 기판의 평평한 표면에 수직인 수직 방향을 따라 구동되므로, 이들로컬 워드라인은 활동 적층물 위에서 구동되는 하나 이상의 전도성 층 및 활동 적층물의 바닥과 기판 사이에서 구동되는 하나 이상의 전도성 층 사이의 긴 상호연결체(tall interconnects)로서 더욱 일반적으로 기여하도록 조정될 수 있다.

[0027] 긴 상호연결체는 메모리 어레이 내, 더미(dummy) 활동 적층물 내, 또는 활동 적층물에 인접하여 형성되고 활동 적층물과 실질적으로 동일한 높이로 주어지는 긴 절연 층(예를 들어, 도 7a의 희생 유전체 재료(400)) 내의 활동 스트립들 사이의 트렌치 내에 형성될 수 있다. 더미 활동 적층물은 그들 자체로 전기적 목적을 제공하지 않으며, 단지 긴 상호연결체를 지원하기 위한 분리 매체로서 기여하고, 이는 비아 개구부(via openings)(즉, 더미 활동 적층물의 바닥으로 관통하여 예칭되는 깊은 홀)의 밀접 배치된 행과 열의 행렬로서 패턴화된다. 제2 실시 예에서, 비아 개구부는 예를 들어, 트렌치의 제2 세트를 예칭함과 동시에 예칭되어, 제1 전하 구속층(예를 들어, ONO 3중층)은 벽 절연체로서 등각으로 비아 개구부의 측벽에 증착될 수 있다. 비아 홀(via holes)의 바닥에 증착된 제1 전하 구속층은, 그 아래의 분리 유전체 층과 함께, 차후의 전기적 연결을 위해 아래의 임의의 필요한 접촉 비아를 노출하기 위해 이방성 예칭에 의해 마스킹되고 제거될 수 있다.

[0028] 비아 홀은 그후 전도성 재료(예를 들어, 티타늄, 티타늄 질화물, 탄탈륨, 탄탈륨 질화물, 텉스텐, 코발트 또는 다른 금속 도체, 내화 금속 또는 규화물과 같은)로 채워질 수 있다. 활동 적층물의 상부 표면의 초과 전도성 재료는 (다마신과 같은 공정이 개별 도체를 분리하는데 사용될 때) CMP 또는 제어된 예칭에 의해 제거될 수 있다. 분리 유전체 층은 그후 상부 표면에 증착되고 이 분리 유전체 층을 관통하는 비아는 상부에서 하부까지의 도체 경로를 필요로 하는 아래의 채워진 비아 홀의 전도성 재료를 노출하기 위해 패턴화되고 예칭될 수 있다.

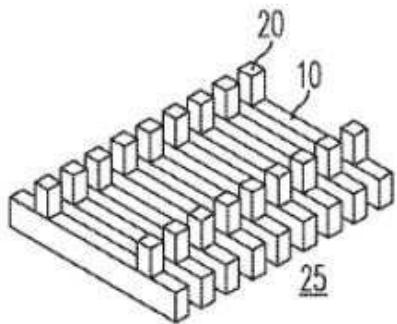
[0029] 추가의 개선으로서, 각각의 긴 상호연결체를 둘러싸는 전하 구속층은, 상호연결체들 사이의 희생 유전체 재료가 공극(air-gap) 분리를 생성하도록 제거되게 하면서, 인접한 긴 상호연결체들 사이의 기생 정전용량 커플링을 상당히 감소시켜, 긴 상호연결체의 전도성 재료를 기계적으로 지원하고 보호하기 위해 사용될 수 있다. 전하 구속층을 예칭하지 않고 희생 유전체 재료를 제거하는 것은 에천트(etchant)가 희생 유전체 재료 및 전하 구속층 사이의 상이한 예칭 선택도(etch selectivity)를 갖도록 이용 가능할 때 성취될 수 있다. 예를 들어, 희생 유전체 재료가 다공성 실리콘 산화물이고 전하 구속층이 실리콘 질화물을 포함할 때, HF는 실리콘 질화물을 본질적으로 온전하게 남기면서 희생 산화물을 제거하므로, 적합한 화학적 에천트가 될 수 있다. 이 방식으로, 긴 상호연결체가 인접한 긴 상호연결체를 향해 기울어지더라도, 긴 상호연결체는 피복으로서 역할을 하는 그들의 각각의 전하 구속층에 의해 서로로부터 전기적으로 절연된다.

[0030] 나란히 위치한 로컬 워드라인의 연속적인 그룹(따라서, 박막 저장 트랜지스터의 연속적인 그룹)이라면 또한, 관련된 정규출원 II에서 논의된 것과 같이, 3차원 수직 박막 트랜지스터 메모리 스트립에 적용 가능할 수 있다. 예를 들어, 정규출원 II의 도 6a 및 6b는 박막 저장 트랜지스터의 수직 NOR 스트립(예를 들어, 공통 로컬 비트 선으로서 N⁺ 폴리실리콘(654), 좌우 공통 채널로서 P⁻ 폴리실리콘 층(656), 및 공통 로컬 소스선으로서 N⁺ 폴리실리콘(655)을 갖는 수직 NOR 스트립)을 각각 개시한다. 이러한 수직 NOR 스트립은 본 발명에 따라 연속적인 동작으로 형성될 수 있다. 먼저, 수직 NOR 스트립의 모든 번갈아 있는 행은 트렌치의 제1 세트(예를 들어, 인접한 워드라인들(623p-R 및 623p-L) 사이의 트렌치)에 형성될 수 있다. 다음, 수직 NOR 스트립의 다른 번갈아 있는 행은 그후 형성된 수직 NOR 스트립의 행들 사이의 공간에 형성된다. 수직 NOR 스트립의 제1 및 제2 그룹과 관련된 전하 구속층은 동일할 필요가 없다. 그 방식으로, 수직 NOR 스트립의 상이한 그룹은 뚜렷하게 상이한 저장 특성을 가질 수 있다.

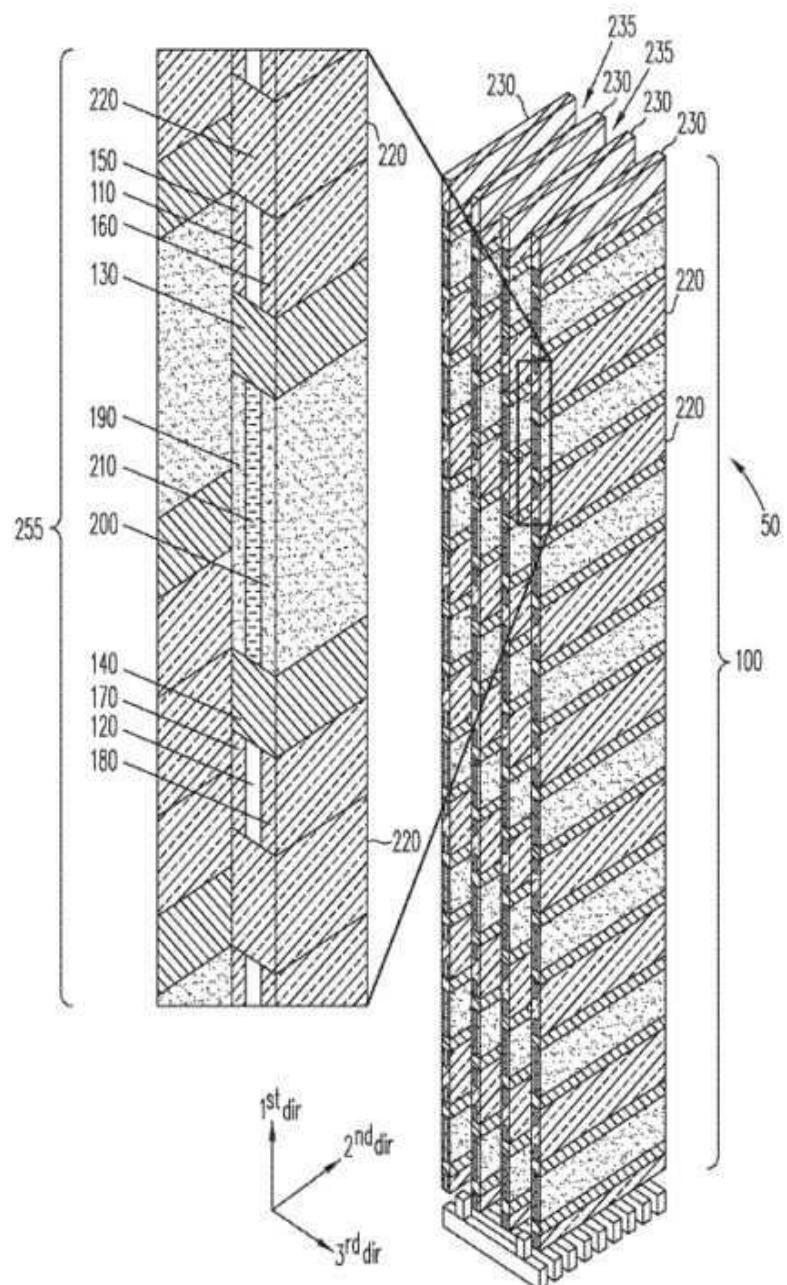
[0031] 위의 상세한 설명은 본 발명의 특정한 실시예를 설명하기 위해 제공되며 제한하려는 것은 아니다. 본 발명의 범주 내에서 다양한 변형 및 수정이 가능하다. 본 발명은 동반하는 청구 범위에 기재되어 있다.

도면

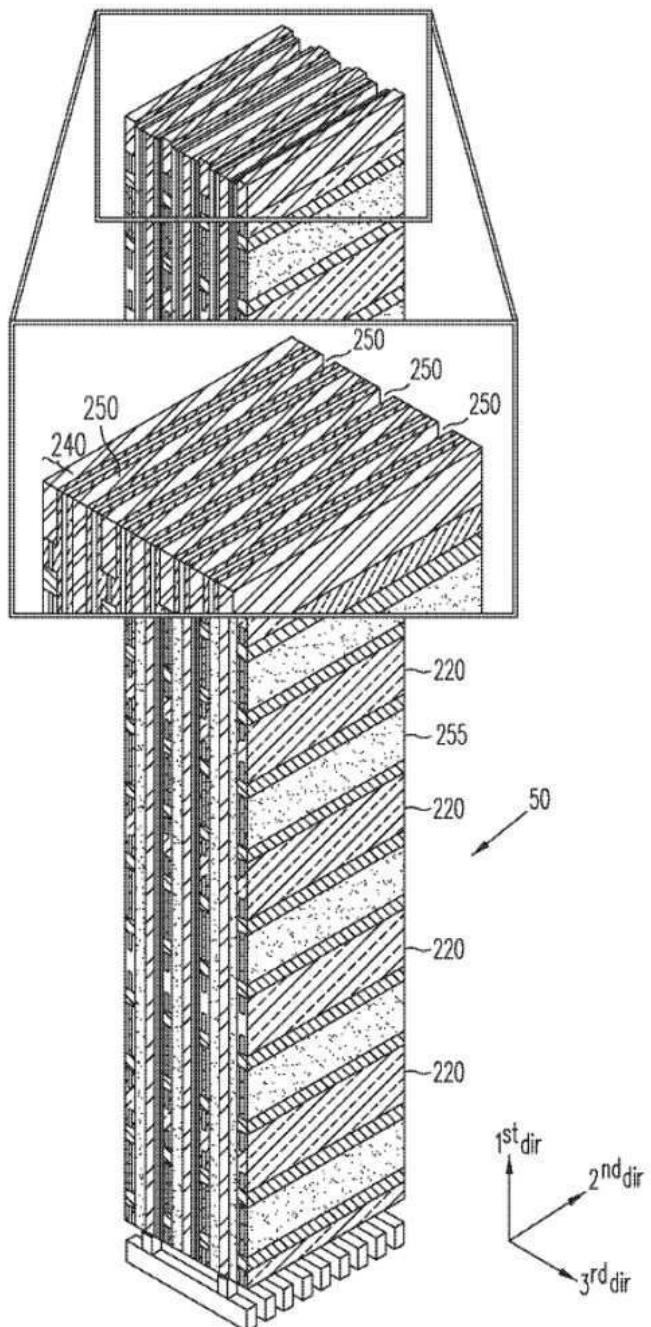
도면1



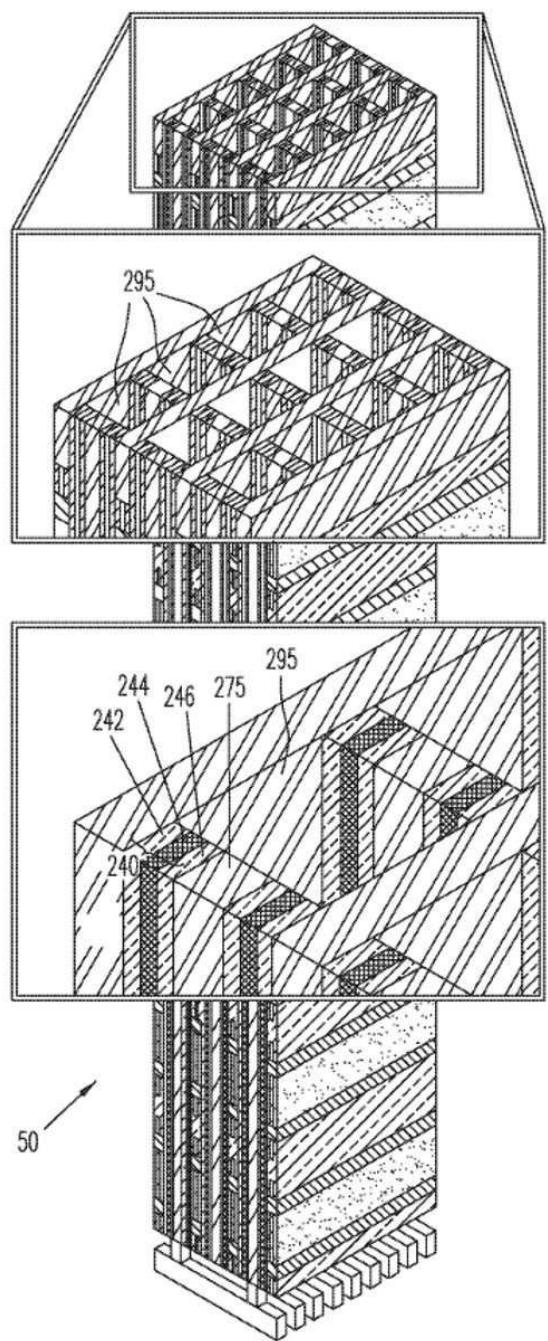
도면2



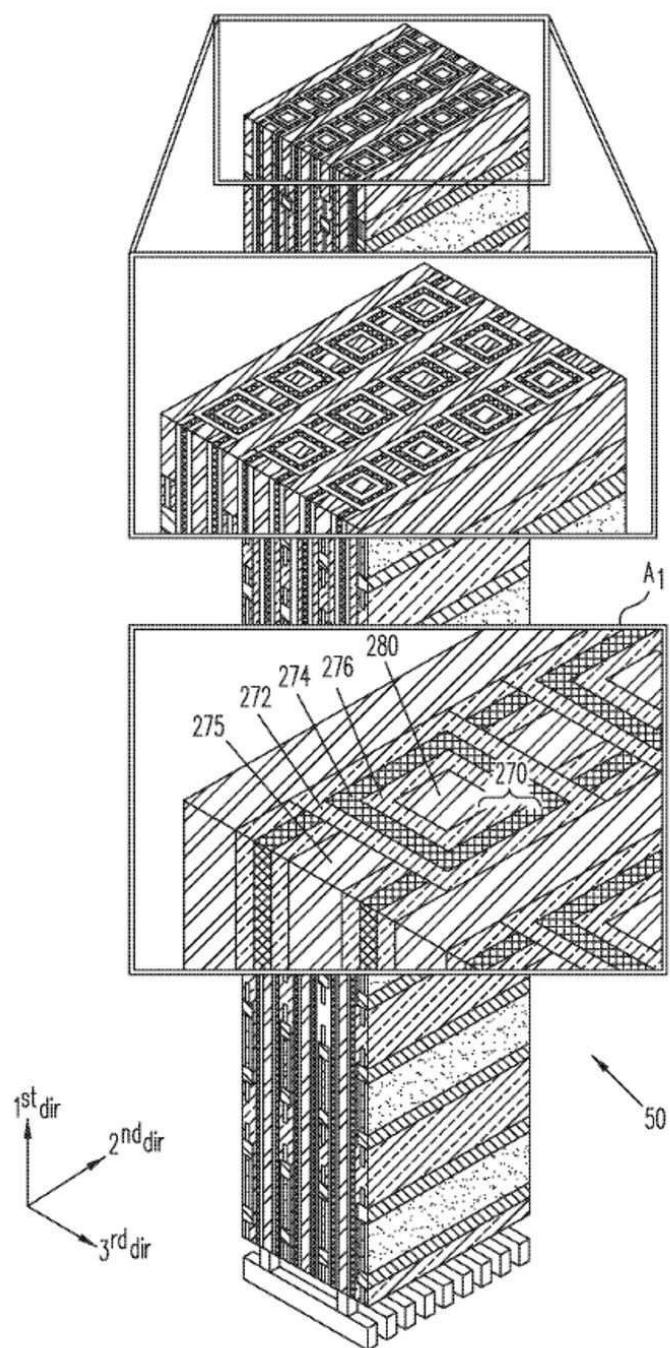
도면3



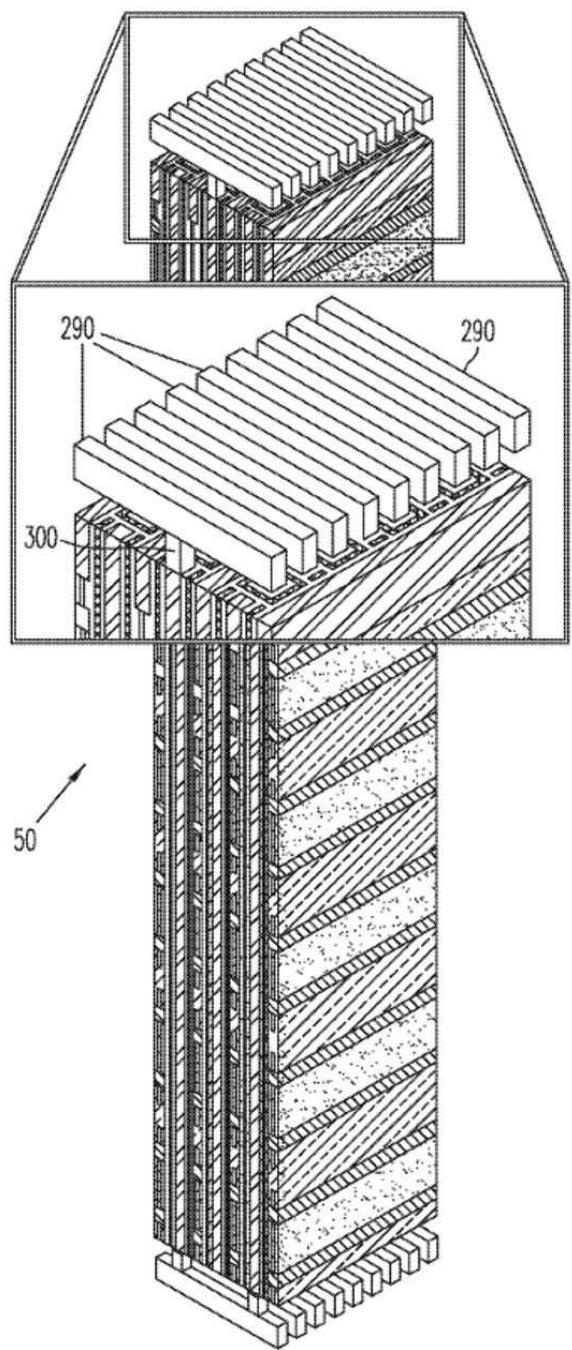
도면4



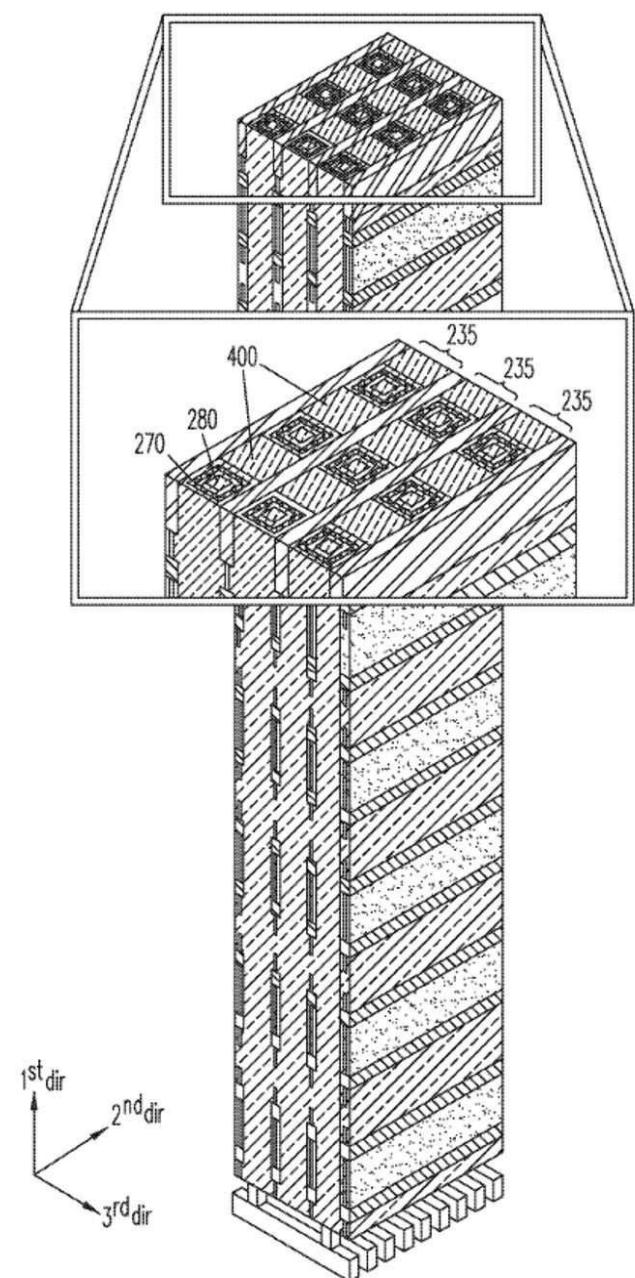
도면5



도면6



도면7a



도면7b

