



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

234 478

(11)

(B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 17 10 83
(21) (PV 7553-83)

(51) Int. Cl.³ G 01 N 3/38;
G 01 R 25/00

(40) Zveřejněno 31 08 84
(45) Vydáno 01 03 87

(75)

Autor vynálezu ČEKAL STANISLAV ing. CSc.,
TŮMA PAVEL ing., PRAHA

(54) Zapojení obvodů číslicového fázoměru s rychlou odezvou

Podstata vynálezu spočívá v tom, že se výpočet fázového úhlu provádí pomocí rychlé binární odečítačky (13) a dvou čítačů (11, 12). Měřený a referenční signál jsou přes komparátory (1, 2) přivedeny do řídicích obvodů, obsahujících rychlé klopné obvody (3, 4, 5) a hradla (7, 8, 9), z nichž jsou buzeny uvedené čítače. Počet odečítacích cyklů je přímo úměrný měřenému fázovému rozdílu. Odečítací cykly jsou počítány ve výstupním čítači (14), na který je připojena paměť fázového posunu, která je nahrávána přenosovým výstupem z binární odečítačky (13).

Zapojení podle vynálezu lze využít pro konstrukce číslicových nebo analogových měřičů fáze, určených k nejrůznějším aplikacím.

Vynález se týká obvodů číslicového fázoměru s rychlou odezvou.

Při únavových zkouškách strojních součástí, při vibračních zkouškách, zkouškách komplexních odezev, je důležitou veličinou fáze mezi budícím signálem a signálem tvořeným odezvou zkoušené součásti. Velmi často tvoří zkušební soustavu uzavřený regulační okruh, kde signál úměrný fázi představuje jeho regulační odchylku. Příkladem jsou zkoušky lopatek tepelných točivých strojů, kdy je potřeba s vysokou přesností a hlavně rychlostí udržovat konstantní fázový rozdíl mezi budící silou a vlastními kmity lopatky. Vlastní zkoušky se provádí v širokých rozmezích frekvencí, což klade vysoké nároky na obvody fázoměrů. Jinou významnou aplikací fázoměru je měření komplexních odezev strojních součástí, kde je nutné rychle zaznamenat frekvenci, amplitudu a fázi - tyto veličiny by měly být odebrány ve stejném okamžiku. Frekvenci a amplitudu lze změřit velmi rychle, obtížné je však měření fáze. Užívané měřiče fáze pracují na analogovém nebo číslicovém principu. Analogové měřiče převádí fázový rozdíl na časový interval, tedy elektrické pulsy různé délky, jejichž střední hodnota v čase, vzniklá filtrací, je úměrná fázovému rozdílu. Je-li vyžadována číslicová informace o fázi, převádí se uvedená střední hodnota na číselný údaj analogo-číslíkovým převodníkem. Tyto fázoměry mají značně dlouhou dobu odezvy na změnu fáze, způsobenou nutností kvalitní filtrace. Fázoměry, pracující na číslicovém principu počítají číslicově poměr času mezi průchody nulou referenčního a měřeného signálu a dobou periody referenčního signálu. Tento poměr je zpravidla realizován postupným odečítáním těchto dob v čítačích a dostatečném počtu řádů. Pro vyšší měřené frekvence a požadované přesnosti nevyhovuje ani tento princip z hlediska rychlosti, neboť dělení, realizované čítači je poměrně zdlouhavé.

Uvedené nevýhody odstraňuje zapojení číslicového fázoměru s rychlou odezvou s komparátorem referenčního signálu a s komparátorem měřeného signálu, jejichž výstupy jsou připojeny k příslušným klopným obvodům podle vynálezu, jehož podstata spočívá v tom, že negovaný výstup prvního klopného obvodu, na jehož hodinový vstup je připojen výstup komparátoru referenční-

ho signálu, je spojen s nulovacími vstupy prvního čítače a druhého čítače, zatímco výstup prvního klopného obvodu je spojen jednak se vstupem třetího klopného obvodu, na jehož hodinový vstup je připojen výstup komparátoru měřeného signálu a jehož negovaný výstup je připojen k prvnímu vstupu prvního součinnového hradla a jednak se vstupem druhého klopného obvodu, na jehož hodinový vstup je připojen výstup komparátoru referenčního signálu a jehož výstup je spojen s prvním vstupem druhého součinnového hradla a jehož negovaný výstup je spojen s prvním vstupem třetího součinnového hradla, přičemž na druhé vstupy prvního součinnového hradla, druhého součinnového hradla a třetího součinnového hradla je připojen výstup hodinového generátoru, zatímco výstup prvního součinnového hradla je spojen s hodinovým vstupem druhého čítače, na jehož paralelní vstupy jsou připojeny výstupy binární odečítačky, na jejíž první vstupy jsou připojeny výstupy druhého čítače a na druhé vstupy výstupy prvního čítače a jejíž přenosový výstup je připojen jednak na nulovací vstupy prvního klopného obvodu, druhého klopného obvodu, třetího klopného obvodu, jednak na hodinový vstup výstupní paměti a jednak na nulovací vstup výstupního čítače, přičemž na hodinový vstup prvního čítače je připojen přes dělič kmitočtu výstup třetího součinnového hradla, zatímco výstup druhého součinnového hradla je spojen jednak s nastavovacím vstupem druhého čítače a jednak s hodinovým vstupem výstupního čítače, jehož výstup je spojen se vstupy výstupní paměti, jejíž výstupy tvoří číslicový výstup fáze.

Výhodou zapojení podle vynálezu je jeho snadná realizovatelnost z dostupných elektronických prvků. Hlavní výhodou je velmi rychlá odezva na měřený fázový rozdíl. To umožňuje zařadit fázoměr i v rychlých regulačních smyčkách a v řadě dalších aplikací.

Příklad zapojení podle vynálezu je schematicky znázorněn na připojeném výkresu.

Výstup komparátoru ²/referenčního signálu je přiveden k hodinovým vstupům druhého klopného obvodu 4 a prvního klopného obvodu 3, jehož negovaný výstup je spojen s nulovacími vstupy prvního čítače 11 a druhého čítače 12. Výstup prvního klop-

ného obvodu 3 je spojen jednak s vstupem třetího klopného obvodu 5, na jehož hodinový vstup je připojen výstup komparátoru 1 měřeného signálu a jehož negovaný výstup je připojen k prvnímu vstupu prvního součinnového hradla 7 a jednak s vstupem druhého klopného obvodu 4, jehož výstup je spojen s prvním vstupem druhého součinnového hradla 8 a jehož negovaný výstup je spojen s prvním vstupem třetího součinnového hradla 9. Na druhé vstupy prvního součinnového hradla 7, druhého součinnového hradla 8 a třetího součinnového hradla 9 je připojen výstup hodinového generátoru 6. Výstup prvního součinnového hradla 7 je spojen s hodinovým vstupem druhého čítače 12, na jehož paralelní vstupy jsou připojeny výstupy binární odečítačky 13, na jejíž první vstupy jsou připojeny výstupy druhého čítače 12 a na jejíž druhé vstupy jsou připojeny výstupy prvního čítače 11 a jejíž přenosový výstup je připojen jednak na nulovací vstupy prvního klopného obvodu 3, druhého klopného obvodu 4, třetího klopného obvodu 5, jednak na hodinový vstup výstupní paměti 15 a jednak na nulovací vstup výstupního čítače 14. Na hodinový vstup prvního čítače 11 je připojen přes dělič kmitočtu 10 výstup třetího součinnového hradla 9. Výstup druhého součinnového hradla 8 je spojen jednak s nastavovacím vstupem druhého čítače 12 a jednak s hodinovým vstupem výstupního čítače 14, jehož výstup je spojen se vstupy výstupní paměti 15, jejíž výstupy tvoří číslicový výstup fáze 18.

Měřený signál 16 i referenční signál 17 jsou na vstupu fázoměru upraveny komparátorem měřeného signálu 1 a komparátorem 2 referenčního signálu do takových úrovní, aby je bylo možno zpracovat TTL logickými obvody. V cestě signálů dále následuje logický obvod, složený z prvního klopného obvodu 3, druhého klopného obvodu 4 a třetího klopného obvodu 5 (všechny jsou typu D), který ve větvi vstupního měřeného signálu 16 vytváří impuls, jehož délka odpovídá zpoždění vstupního signálu 16 za signálem referenčním 17 a ve větvi referenčního signálu 17 vytváří impuls, jehož délka odpovídá době jedné periody měřeného signálu. Všechny tři klopné obvody 3, 4 a 5 jsou uváděny do aktivního stavu impulsem do nulovacího vstupu. Oč tohoto okamžiku jsou výstupy Q všech obvodů na úrovni L a jako první se do úrovně H může překlopit první klopný obvod 3, jehož D

vstup je trvale na úrovni H. K jeho překlopení dojde na náběžnou hranu do jeho hodinového vstupu, čímž jsou aktivovány druhý klopný obvod 4 a třetí klopný obvod 5, neboť na jejich vstupech D se objeví úroveň H. Na další náběžnou hranu referenčního signálu 17 se překlopí druhý klopný obvod 4, čímž je vymezena doba periody. Během této doby nutně muselo dojít i k překlopení třetího klopného obvodu 5. Tím byl sejmут vzorek pro výpočet fáze a prvý, druhý i třetí klopný obvod 3, 4, 5 jsou v úrovni H, a tím dále neaktivní až do příchodu nulovacího pulsu. Negovaným výstupem prvního klopného obvodu 3 byly při jeho překlopení odblokovány první čítač 11 a druhý čítač 12. Do prvního čítače 11 je zaveden přes třetí hradlo 9 a dělič kmitočtu 10 hodinový kmitočet z hodinového generátoru 6 a do druhého čítače 12 je tentýž kmitočet zaveden přes první hradlo 7. Třetí klopný obvod 5 svým negovaným výstupem uzavírá první hradlo 7 a druhý klopný obvod 4 svým negovaným výstupem uzavírá třetí hradlo 9. Tím je zajištěno, že po překlopení druhého klopného obvodu 4 a třetího klopného obvodu 5 obsahuje první čítač 11 údaj, úměrný délce periody, ale vydělený dělicím poměrem děliče kmitočtu 10, zatímco druhý čítač 12 obsahuje údaj, úměrný časovému zpoždění vstupního signálu za signálem referenčním. Podíl obsahu druhého čítače 12 a obsahu prvního čítače 11 udává měřenou fázi, přičemž dělicím poměrem děliče kmitočtu 10 je dáno úhlové dělení, ve kterém je výsledek^{10x} fáze zobrazen. Vlastní dělení zajišťuje binární odečítačka 13, která od obsahu druhého čítače 12 odečítá obsah prvního čítače 11 tak dlouho, až dojde k přenosu. Po jednotlivých odečtech se obsah druhého čítače 12 přepisuje vždy na novou zmenšenou hodnotu, což je řízeno pulsy, přivedenými do jeho nastavovacího vstupu z výstupu druhého hradla 8, buzeného do druhého vstupu hodinovým generátorem 6. Druhé hradlo 8 se otevřelo výstupem druhého klopného obvodu 4 po sejmutí vzorku periody. Výstupní pulsy z druhého hradla 8 představují počet odečtů^{10x} podíl a jsou čítány výstupním čítačem 14. Signál na přenosovém výstupu odečítačky 13 způsobí přehrání stavu výstupního čítače 14 do výstupní paměti 15 a zároveň vynulování prvního, druhého a třetího klopného obvodu 3, 4, 5 a prvního a druhého čítače 11, 12, čímž je

fázoměr uveden do výchozího stavu. Výstupy z výstupní paměti 15 obsahují číslicový výstup fáze 18. Tento výstup může být eventuelně pomocí DA převodníku převeden na analogový.

Zapojení podle vynálezu lze využít pro konstrukce číslicových nebo analogových měřičů fáze, určených k nejrůznějším aplikacím. Zvláště vhodné je zapojení pro konstrukci fázoměrů, u nichž jsou kladeny vysoké nároky na rychlost odezvy, to je např. v regulačních smyčkách a u speciálních aplikací ve strojírenském výzkumu.

PŘEDMĚT VYNÁLEZU

234 478

Zapojení obvodů číslicového fázoměru s rychlou odezvou s komparátorem referenčního signálu a s komparátorem měřeného signálu, jejichž výstupy jsou připojeny k příslušným klopným obvodům, vyznačené tím, že negovaný výstup prvního klopného obvodu (3), na jehož hodinový vstup je připojen výstup komparátoru⁽²⁾ referenčního signálu, je spojen s nulovacími vstupy prvního čítače (11) a druhého čítače (12), zatímco výstup prvního klopného obvodu (3) je spojen jednak s vstupem třetího klopného obvodu (5) na jehož hodinový vstup je připojen výstup komparátoru měřeného signálu (1) a jehož negovaný výstup je připojen k prvnímu vstupu prvního součinnového hradla (7) a jednak s vstupem druhého klopného obvodu (4), na jehož hodinový vstup je připojen výstup komparátoru referenčního signálu (2) a jehož výstup je spojen s prvním vstupem druhého součinnového hradla (8) a jehož negovaný výstup je spojen s prvním vstupem třetího součinnového hradla (9), přičemž na druhé vstupy prvního součinnového hradla (7), druhého součinnového hradla (8) a třetího součinnového hradla (9) je připojen výstup hodinového generátoru (6), zatímco výstup prvního součinnového hradla (7) je spojen s hodinovým vstupem druhého čítače (12), na jehož paralelní vstupy jsou připojeny výstupy binární odečítačky (13), na jejíž první vstupy jsou připojeny výstupy druhého čítače (12) a na druhé vstupy výstupy prvního čítače (11) a jejíž přenosový výstup je připojen jednak na nulovací vstupy prvního klopného obvodu (3), druhého klopného obvodu (4), třetího klopného obvodu (5), jednak na hodinový vstup výstupní paměti (15) a jednak na nulovací vstup výstupního čítače (14), přičemž na hodinový vstup prvního čítače (11) je připojen přes dělič kmitočtu (10) výstup třetího součinnového hradla (9), zatímco výstup druhého součinnového hradla (8) je spojen jednak s nastavovacím vstupem druhého čítače (12) a jednak s hodinovým vstupem výstupního čítače (14), jehož výstup je spojen se vstupy výstupní paměti (15), jejíž výstupy tvoří číslicový výstup fáze /18/.

1 výkres

