

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: 本発明の一態様によるアクティブマトリクス基板は、複数のゲート線および複数のソース線と複数の画素電極とを有する画素部と、ソースドライバーからの信号を分割して複数のソース線に供給する分割スイッチ回路と、を備え、画素部は、第1酸化物半導体層を含む第1TFTを備え、分割スイッチ回路は、第2酸化物半導体層と第3酸化物半導体層を含む第2TFTを備え、第3酸化物半導体層は、少なくとも第2酸化物半導体層の上面の一部および端面の一部を覆っている。

明 細 書

発明の名称： アクティブマトリクス基板および表示装置

技術分野

[0001] 本発明のいくつかの態様は、アクティブマトリクス基板および表示装置に関する。

本願は、２０１７年３月１７日に日本に出願された特願２０１７－０５３６９９号について優先権を主張し、その内容をここに援用する。

背景技術

[0002] 表示装置等の電子機器に用いるスイッチング素子として、近年、酸化物半導体を備えた薄膜トランジスタが注目を浴びている。以下、本明細書では、薄膜トランジスタをＴＦＴと略記する。

[0003] 下記の特許文献１に、酸化物半導体を用いたＴＦＴを備えたゲートドライバーとソース線駆動用アナログスイッチとを備えた表示装置が開示されている。また、下記の特許文献２には、第１酸化物半導体層と、第１酸化物半導体層上に設けられた第２酸化物半導体層と、第２酸化物半導体層上に設けられて第２酸化物半導体層の側面を覆う第３酸化物半導体層と、を備えたＴＦＴが開示されている。

先行技術文献

特許文献

[0004] 特許文献１：特開２０１１－１３９０５６号公報

特許文献２：特開２０１３－２１３１５号公報

発明の概要

発明が解決しようとする課題

[0005] 特許文献２に記載のＴＦＴは、複数の酸化物半導体層の積層構造を備えていることにより、高い電界効果移動度を得ることができる。しかしながら、特許文献１に記載のゲートドライバー、ソース線駆動用アナログスイッチ等を含む、アクティブマトリクス基板上の複数の回路に対して、酸化物半導体

の積層構造を備えた T F T を適用したとしても、表示装置に求められる狭額縁、消費電力低減等の要求を満足することが難しい。

[0006] 本発明の一つの態様は、上記の課題を解決するためになされたものであり、狭額縁、消費電力低減等の利点を有する表示装置を提供することを目的の一つとする。また、上記の表示装置に用いて好適なアクティブマトリクス基板を提供することを目的の一つとする。

課題を解決するための手段

[0007] 上記の目的を達成するために、本発明の一つの態様のアクティブマトリクス基板は、互いに交差して設けられた複数のゲート線および複数のソース線と、前記複数のゲート線と前記複数のソース線との交差に対応してマトリクス状に設けられた複数の画素電極と、を有する画素部と、ソースドライバーからの信号を分割して前記複数のソース線に供給する分割スイッチ回路と、を備え、前記画素部は、第 1 酸化物半導体層を含む第 1 T F T を備え、前記分割スイッチ回路は、第 2 酸化物半導体層と第 3 酸化物半導体層を含む第 2 T F T を備え、前記第 3 酸化物半導体層は、少なくとも第 2 酸化物半導体層の上面の一部および端面の一部を覆う。

[0008] 本発明の一つの態様のアクティブマトリクス基板において、前記第 2 酸化物半導体層のキャリア移動度は、前記第 3 酸化物半導体層のキャリア移動度よりも大きくてもよい。

[0009] 本発明の一つの態様のアクティブマトリクス基板において、前記第 1 酸化物半導体層は、前記第 3 酸化物半導体層と同一材料で構成されていてもよい。

[0010] 本発明の一つの態様のアクティブマトリクス基板において、前記第 2 T F T の閾値電圧は、前記第 1 T F T の閾値電圧よりも小さくてもよい。

[0011] 本発明の一つの態様のアクティブマトリクス基板において、前記第 2 T F T の閾値電圧は、負の値であってもよい。

[0012] 本発明の一つの態様のアクティブマトリクス基板において、前記第 1 T F T の閾値電圧は正の値であってもよい。

[0013] 本発明の一つの態様のアクティブマトリクス基板において、前記第2 TFTは、前記第2酸化物半導体層の上層側に、前記第3酸化物半導体層とともに前記第2酸化物半導体層の上面および端面を覆う第4酸化物半導体層をさらに備えていてもよい。

[0014] 本発明の一つの態様のアクティブマトリクス基板において、前記第2 TFTは、ダブルゲート構造を有していてもよい。

[0015] 本発明の一つの態様の表示装置は、本発明の一つの態様のアクティブマトリクス基板を備えている。

発明の効果

[0016] 本発明の一つの態様によれば、狭額縁、消費電力低減等の利点を得られる表示装置を提供することができる。また、本発明の一つの態様によれば、上記の表示装置に用いて好適なアクティブマトリクス基板を提供することができる。

図面の簡単な説明

[0017] [図1]第1実施形態の液晶表示装置の概略構成を示す分解斜視図である。

[図2]アクティブマトリクス基板の概略構成図である。

[図3]分割スイッチ回路の等価回路図である。

[図4A]分割スイッチ回路用TFTのパターンを示す平面図である。

[図4B]図4AのA-A線に沿う断面図である。

[図5A]画素部用TFT及びゲートドライバ回路用TFTのパターンを示す平面図である。

[図5B]図5AのB-B線に沿う断面図である。

[図6A]第2実施形態のアクティブマトリクス基板における分割スイッチ回路用TFTのパターンを示す平面図である。

[図6B]図6AのC-C線に沿う断面図である。

[図7A]画素部用TFT及びゲートドライバ回路用TFTのパターンを示す平面図である。

[図7B]図7AのD-D線に沿う断面図である。

[図8A]第3実施形態のアクティブマトリクス基板における分割スイッチ回路用T F Tのパターンを示す平面図である。

[図8B]図8AのE－E線に沿う断面図である。

[図9A]画素部用T F T及びゲートドライバー回路用T F Tのパターンを示す平面図である。

[図9B]図9AのF－F線に沿う断面図である。

[図10A]第4実施形態のアクティブマトリクス基板における分割スイッチ回路用T F Tのパターンを示す平面図である。

[図10B]図10AのG－G線に沿う断面図である。

発明を実施するための形態

[0018] [第1実施形態]

以下、本発明の第1実施形態について、図1～図5Bを用いて説明する。

本実施形態の表示装置は、液晶表示装置の一例である。

図1は、第1実施形態の液晶表示装置の概略構成を示す分解斜視図である。

なお、以下の各図面においては各構成要素を見やすくするため、構成要素によって寸法の縮尺を異ならせて示すことがある。

[0019] 図1に示すように、液晶表示装置1は、観察者から見て奥側（図1の下側）から、バックライト2と、偏光板3と、液晶セル4と、偏光板5と、を備えている。このように、液晶表示装置1は、バックライト2を備えた透過型液晶表示装置である。液晶表示装置1は、バックライト2から射出される光の透過率を液晶セル4により制御して表示を行う。

[0020] 以下の説明では、観察者が液晶表示装置1を見たときの画面の左右方向を水平方向と称し、画面の上下方向を垂直方向と称する。また、水平方向をx軸方向とし、垂直方向をy軸方向とし、液晶表示装置の厚さ方向をz軸方向とする。x軸方向、y軸方向、およびz軸方向は互いに直交する。

[0021] 液晶セル4は、対向配置されたアクティブマトリクス基板6とカラーフィルター基板7とからなる一対の基板を備えている。アクティブマトリクス基

板 6 とカラーフィルター基板 7 とはシール材（図示略）により貼り合わされ、液晶層 8 は、アクティブマトリクス基板 6 とカラーフィルター基板 7 との間に挟持されている。液晶層 8 にはポジ型液晶材料を用いてもよいし、ネガ型液晶材料を用いてもよい。

[0022] アクティブマトリクス基板 6 は、基板 9 上にマトリクス状に配列された複数のサブ画素 10 を有している。これらのサブ画素 10 により複数の画素が構成され、複数の画素により表示領域（画面）が構成されている。カラーフィルター基板 7 は、透明基板 11 上にカラーフィルター 12 を備えている。

[0023] 図 2 は、アクティブマトリクス基板 6 の概略構成図である。

図 2 に示すように、アクティブマトリクス基板 6 は、画素部 15 と、ゲートドライバー回路 16 と、ソースドライバー IC 17 と、分割スイッチ回路 18 と、を備えている。画素部 15 は、基板 20 の中央領域に設けられている。ゲートドライバー回路 16、ソースドライバー IC 17 および分割スイッチ回路 18 は、基板 20 の周辺領域に設けられている。

[0024] 画素部 15 は、互いに平行に配置された複数のソース線 SL と、互いに平行に配置された複数のゲート線 GL と、を有している。複数のソース線 SL と複数のゲート線 GL とは、互いに交差している。画素部 15 は、複数のソース線 SL と複数のゲート線 GL とによって格子状に区画され、区画された略矩形状の各領域がサブ画素 10 となる。一つのサブ画素 10 に、カラーフィルター 12 の赤（R）、緑（G）、青（B）のいずれか一つの着色パターンが対応する。赤（R）、緑（G）、青（B）の 3 個のサブ画素によって 1 個の画素が構成されている。

[0025] 複数の画素電極 22 の各々は、複数のサブ画素 10 の各々に対応しており、複数のゲート線 GL と複数のソース線 SL との交差に対応してマトリクス状に設けられている。複数の画素電極 22 の各々は、TF T 24 を介して 1 本のソース線 SL および 1 本のゲート線 GL にそれぞれ接続されている。後述する TF T 24 のゲート電極はゲート線 GL に接続され、ソース電極はソース線 SL に接続されている。また、複数の容量線 CL は、複数のゲート線

GLと平行に設けられる。容量線CLは、画素電極22の各々と容量（図示せず）を形成し、画素電極22の電位の安定を図る目的で設けられている。

本実施形態における画素部15のTF T 24は、特許請求の範囲の第1薄膜トランジスタに対応する。

[0026] ゲートドライバー回路16は、複数のTF T 26を備えている。ゲートドライバー回路16は、画素部15の両側にモノリシックに設けられ、複数のゲート線GLに走査信号を供給する。ゲートドライバー回路16には一般的なものが用いられるため、詳細な説明を省略する。

[0027] ソースドライバーIC 17は、基板20の周辺領域に実装されている。ソースドライバーIC 17は、複数のソース線SLに画像信号を供給する。ソースドライバーIC 17には一般的なものが用いられるため、詳細な説明を省略する。

[0028] 図3は、分割スイッチ回路18の等価回路図である。

図3に示すように、分割スイッチ回路18は、複数のソース線 SR_n , SG_n , SB_n , SR_{n+1} , SG_{n+1} , SB_{n+1} の各々にドレイン電極を介して接続されたTF T 28を備えている。複数のTF T 28のうち、TF T 281～283のゲート電極は制御線SEL 1に接続され、TF T 284～286のゲート電極は制御線SEL 2に接続されている。また、TF T 281, 284のソース電極はソースドライバーIC 17からの出力線 SIN_m に接続され、TF T 282, 285のソース電極は出力線 SIN_{m+1} に接続され、TF T 283, 286のソースは出力線 SIN_{m+2} に接続されている。

[0029] 上記構成の分割スイッチ回路18において、制御線SEL 1、SEL 2に切換信号が供給されることにより、同一の制御線SEL 1、SEL 2に接続されたTF T 281～283の3個のTF T、TF T 284～286の3個のTF Tのいずれか一方の組が所定期間で同時にON状態となり、他方の組がOFF状態となり、ON状態とOFF状態とが所定期間毎に切り換えられる。このようにして、ソースドライバーIC 17の出力線 SIN_m 、 SIN_{m+1} 、 SIN_{m+2} から供給された画像信号は、TF T 281～286を介して複

数のソース線 SR_n , SG_n , SB_n , SR_{n+1} , SG_{n+1} , SB_{n+1} の各々に時分割で出力される。

[0030] 図4Aは、分割スイッチ回路用TFTのパターンを示す平面図である。

図4Aに示すように、TFT28においては、第2酸化物半導体層331と第3酸化物半導体層332とからなる酸化物半導体層33は、ゲート電極31に重なるように設けられている。また、第3酸化物半導体層332は、第2酸化物半導体層331の上面および端面の全てを覆っている。ソース電極34の一部とドレイン電極35の一部は、酸化物半導体層33の一部に重なるように設けられている。

なお、図4Aを含む以下のTFTのパターンを示す平面図において、ゲート絶縁層32および保護層36は、不図示としている。

[0031] 図4Bは、図4AのA-A線に沿う断面図である。

図4Bに示すように、TFT28は、基板20の第1面20aに設けられている。TFT28は、ゲート電極31と、ゲート絶縁層32と、酸化物半導体層33と、ソース電極34と、ドレイン電極35と、を備えている。本実施形態におけるTFT28は、ボトムゲート方式のチャネルエッチ型TFTで構成されている。

[0032] 基板20の第1面20aに、ゲート電極31が形成されている。ゲート電極31は、例えばW（タングステン）／Ta（タンタル）の積層膜で構成されている。ゲート絶縁層32は、ゲート電極31を覆うように、基板20の第1面20aに形成されている。ゲート絶縁層32は、例えばSiO₂（酸化シリコン層）／SiN_x（窒化シリコン層）の積層膜で構成されている。

[0033] ゲート絶縁層32上に、酸化物半導体層33が形成されている。酸化物半導体層33は、第2酸化物半導体層331と第3酸化物半導体層332とからなる2層構造を有している。第3酸化物半導体層332は、第2酸化物半導体層331の上面331aおよび端面331cを覆い、さらに端面331cの側方に延びるように設けられている。

[0034] 酸化物半導体層33は、例えばIn-Ga-Zn-O系の酸化物半導体で

構成されている。酸化物半導体層 33 のチャネル領域 33c 上にはエッチストップ層が形成されておらず、ソース電極 34 およびドレイン電極 35 のチャネル領域 33c 側の端部の下面は、酸化物半導体層 33 の上面と接するように配置されている。

[0035] ソース電極 34 およびドレイン電極 35 は、例えば Ti (チタン) / Al (アルミニウム) / Ti (チタン) の 3 層の積層金属膜で構成されている。本実施形態のように、チャネルエッチ型の TFT 28 は、例えば酸化物半導体層 33 上にソース・ドレイン電極用の導電膜を形成し、ソース・ドレイン分離を行うことによって形成される。

[0036] 酸化物半導体層 33 を構成する酸化物半導体は、アモルファス酸化物半導体であってもよいし、結晶質部分を有する結晶質酸化物半導体であってもよい。結晶質酸化物半導体としては、多結晶酸化物半導体、微結晶酸化物半導体、c 軸が層面に概ね垂直に配向した結晶質酸化物半導体などが挙げられる。

[0037] 酸化物半導体層 33 は、非晶質酸化物半導体層と結晶質酸化物半導体層とを含んでいてもよい。あるいは、酸化物半導体層 33 は、結晶構造の異なる複数の結晶質酸化物半導体層を含んでいてもよいし、複数の非晶質酸化物半導体層を含んでいてもよい。

[0038] 非晶質酸化物半導体および上記の各結晶質酸化物半導体の材料、構造、成膜方法、積層構造を有する酸化物半導体層の構成などは、例えば特開 2014-007399 号公報に記載されている。参考のために、特開 2014-007399 号公報の開示内容の全てを本明細書に援用する。

[0039] 酸化物半導体層 33 は、例えば、In、Ga および Zn のうち少なくとも 1 種の金属元素を含んでもよい。本実施形態では、酸化物半導体層 33 は、例えば、In-Ga-Zn-O 系の半導体（例えば酸化インジウムガリウム亜鉛）を含む。ここで、In-Ga-Zn-O 系の半導体は、In（インジウム）、Ga（ガリウム）、Zn（亜鉛）の三元系酸化物であって、In、Ga および Zn の原子数比率（組成比）は特に限定されず、例えば In : G

$a : Zn = 2 : 2 : 1$ 、 $In : Ga : Zn = 1 : 1 : 1$ 、 $In : Ga : Zn = 1 : 1 : 2$ 等を含む。このような酸化物半導体層33は、 $In-Ga-Zn-O$ 系の半導体を含む酸化物半導体膜から形成することができる。

[0040] $In-Ga-Zn-O$ 系の半導体は、アモルファスでもよいし、結晶質でもよい。結晶質 $In-Ga-Zn-O$ 系の半導体としては、 c 軸が層面に概ね垂直に配向した結晶質 $In-Ga-Zn-O$ 系の半導体が好ましい。 $In-Ga-Zn-O$ 系の酸化物半導体層33を有するTFT28は、高い移動度（ $a-SiTFT$ に比べて20倍超）および低いリーク電流（ $a-SiTFT$ に比べて100分の1未満）を有している。

[0041] なお、結晶質 $In-Ga-Zn-O$ 系の半導体の結晶構造は、例えば、上述した特開2014-007399号公報、特開2012-134475号公報、特開2014-209727号公報などに開示されている。参考のために、特開2012-134475号公報および特開2014-209727号公報の開示内容の全てを本明細書に援用する。

[0042] 酸化物半導体層33は、 $In-Ga-Zn-O$ 系半導体に代えて、他の酸化物半導体を含んでもよい。例えば $In-Sn-Zn-O$ 系半導体（例えば $In_2O_3-SnO_2-ZnO$ ； $InSnZnO$ ）を含んでもよい。 $In-Sn-Zn-O$ 系半導体は、 In （インジウム）、 Sn （スズ）および Zn （亜鉛）の三元系酸化物である。あるいは、 $In-Ga-Zn-O$ 系半導体に SnO_2 を添加した構成を有する $In-Ga-Zn-Sn-O$ 系半導体（例えば $In_2O_3-Ga_2O_3-ZnO-SnO_2$ ； $InGaZnSnO$ ）を含んでもよい。あるいは、酸化物半導体層33は、 $In-Al-Zn-O$ 系半導体、 $In-Al-Sn-Zn-O$ 系半導体、 $Zn-O$ 系半導体、 $In-Zn-O$ 系半導体、 $Zn-Ti-O$ 系半導体、 $Cd-Ge-O$ 系半導体、 $Cd-Pb-O$ 系半導体、 CdO （酸化カドミウム）、 $Mg-Zn-O$ 系半導体、 $In-Ga-Sn-O$ 系半導体、 $In-Ga-O$ 系半導体、 $Zr-In-Zn-O$ 系半導体、 $Hf-In-Zn-O$ 系半導体などを含んでもよい。

[0043] 第2酸化物半導体層331と第3酸化物半導体層332との各々は、上記の酸化物半導体材料から適宜選択されるが、第2酸化物半導体層331のキャリア移動度が第3酸化物半導体層332のキャリア移動度よりも大きくなるように選択されることが好ましい。材料の組合せの一例として、第2酸化物半導体層331として例えば In-Sn-Zn-O 系半導体を用い、第3酸化物半導体層332として例えば In-Ga-Zn-O 系半導体を用いることができる。 In-Sn-Zn-O 系半導体のキャリア移動度は、 In-Ga-Zn-O 系半導体のキャリア移動度よりも高い。これにより、キャリア移動度が高く、閾値電圧が低いTF T 28を得ることができ、TF T 28のオン電流を増加させることができる。

[0044] 他の組合せの一例として、第2酸化物半導体層331として例えば In-Ga-Zn-Sn-O 系半導体を用い、第3酸化物半導体層332として例えば In-Ga-Zn-O 系半導体を用いることができる。これにより、キャリア移動度が高く、閾値電圧が低いTF T 28を得ることができ、TF T 28のオン電流を増加させることができる。

[0045] ここで、第2酸化物半導体層331と第3酸化物半導体層332の上記の2つの組合せにおいて、ともに第3酸化物半導体層332に In-Ga-Zn-O 系半導体を用いている理由は、 In-Ga-Zn-O 系半導体は、ソース／ドレイン電極形成工程のチャネルエッチングなどに対するプロセス耐性に優れ、量産プロセスに耐えることができるためである。第3酸化物半導体層332は主目的としてプロセス耐性の確保という役割を担い、第2酸化物半導体層331は主目的として高いTF Tの移動度の実現という役割を担っている。

[0046] 他の組合せとして、 In-Ga-Zn-O 系半導体の組成比を変えて用いることができる。第2酸化物半導体層331として例えば $\text{In:Ga:Zn} = 1.2:1:1$ の組成比を有する In-Ga-Zn-O 系半導体を用い、第3酸化物半導体層332として例えば $\text{In:Ga:Zn} = 1:1:1$ の組成比を有する In-Ga-Zn-O 系半導体を用いることができる。 In-

S n - Z n - O系半導体においては、I nの含有量を増やすことによってキャリア移動度を高くすることができる。これにより、キャリア移動度が高く、閾値電圧が低いT F T 2 8を得ることができ、T F T 2 8のオン電流を増加させることができる。

より詳細には、インジウムとガリウムと亜鉛の合計量に対するインジウムの原子数比率 $[I n] / ([I n] + [G a] + [Z n])$ について、第2酸化物半導体層331のインジウムの原子数比率は、第3酸化物半導体層332のインジウムの原子数比率よりも大きい方が良い。

[0047] ここで、第2酸化物半導体層331は、第3酸化物半導体層332よりもI nを多く含むため、キャリア移動度は高くなる一方、G aあるいはZ nの比率が相対的に小さくなるため、前述のプロセス耐性が低くなる。このため、本実施形態では、第2酸化物半導体層331を第3酸化物半導体層332で覆うことにより第2酸化物半導体層331を保護し、プロセス耐性を高めている。

[0048] なお、I n - G a - Z n - O系半導体の構成元素のうち、I nは電気伝導性の向上、G aは酸素欠損の抑制、Z nはアモルファス構造安定化、の効果それぞれ持つと言われている。また、これらに新たな元素を添加することにより、電気的特性と耐酸性を両立させることが検討されている。参考のために、森田晋也、他2名、「B C E型T F T対応酸化物半導体材料」、神戸製鋼技報、株式会社神戸製鋼所、2015年9月30日、第65巻、第2号、p. 72 - 77)の開示内容を本明細書に援用する。

[0049] 保護層36は、ソース電極34およびドレイン電極35を覆うように形成されている。

保護層36は、例えばS i O₂ (シリコン酸化膜) / S i N_x (シリコン窒化膜) の積層膜で構成されていてもよいし、これらのいずれか一方の単層膜であってもよい。

[0050] 図5Aは、画素部用T F T及びゲートドライバ回路用T F Tのパターンを示す平面図である。なお、図5Aにおいて、図4Aと共通の構成には同一

の符号を付し、説明を省略する。

図5Aに示すように、TF T 2 4, 2 6においては、第1酸化物半導体層3 9は、ゲート電極3 1に重なるように設けられている。ソース電極3 4の一部とドレイン電極3 5の一部は、第1酸化物半導体層3 9の一部に重なるように設けられている。なお、図5Aにおいて、ゲート絶縁層3 2および保護層3 6は不図示としている。

[0051] 図5Bは、図5AのB-B線に沿う断面図である。なお、図5Bにおいて、図4Bと共通の構成には同一の符号を付し、説明を省略する。

分割スイッチ回路1 8のTF T 2 8が2層構造の酸化物半導体層3 3を備えていたのに対し、図5Bに示すように、画素部1 5およびゲートドライバー回路1 6のTF T 2 4, 2 6は、第1酸化物半導体層3 9を備えている。画素部1 5のTF T 2 4とゲートドライバー回路1 6のTF T 2 6とは、同一の構成を有している。

[0052] 画素部1 5およびゲートドライバー回路1 6のTF T 2 4, 2 6の第1酸化物半導体層3 9は、分割スイッチ回路1 8のTF T 2 8の第3酸化物半導体層3 3 2と同一の材料で構成されている。すなわち、画素部1 5およびゲートドライバー回路1 6のTF T 2 4, 2 6の第1酸化物半導体層3 9は、分割スイッチ回路1 8のTF T 2 8に含まれる第2酸化物半導体層3 3 1、第3酸化物半導体層3 3 2のうち、キャリア移動度が低い方の第3酸化物半導体層3 3 2と同一材料で構成されている。

[0053] 分割スイッチ回路1 8のTF T 2 8の閾値電圧は、オン電流を大きくするため、負の値であることが好ましい。一方、ゲートドライバー回路1 6のTF T 2 6は、分割スイッチ回路1 8のTF T 2 8に比べてオン電流が小さくてもよいが、閾値電圧は正の値であることが好ましい。また、画素部1 5のTF T 2 4も、分割スイッチ回路1 8のTF T 2 8に比べてオン電流が小さくてもよいが、閾値電圧は正の値であることが好ましい。

[0054] なお、本明細書における閾値電圧は、TF Tの $V_g - I_d$ 特性（伝達特性）において、 $I_d \times L / W$ の値が1 nA（ナノアンペア）のときの V_g と定

義する。

ここで、 V_g はゲート電極に印加される電圧（ゲート電圧）であり、 I_d はドレイン電極－ソース電極間の電流（ドレイン電流）であって、ソース電極に印加される電圧（ソース電圧）は0 Vとしている。 L はT F Tのチャンネル長であり、 W はT F Tのチャンネル幅である。さらに、ドレイン電極に印加される電圧 V_d （ドレイン電圧）は10 Vとするが、ドレイン電圧は、T F Tがアクティブマトリクス基板や表示装置として用いられる際に印加される範囲内で適切に選択されてもよい。

[0055] アクティブマトリクス基板において、分割スイッチ回路のT F Tは他の部位のT F Tと比べてオン電流が大きいことが要求される。そのため、従来のアクティブマトリクス基板では分割スイッチ回路のT F Tのサイズが大きくなる傾向にあり、狭額縁化の障害となっていた。

[0056] 上記の問題に対し、本実施形態のアクティブマトリクス基板6の場合、分割スイッチ回路18のT F T28は、ゲート電極31に近い下層側でキャリア移動度が相対的に高く、ゲート電極31から遠い上層側でキャリア移動度が相対的に低い2層構造の第2酸化物半導体層331、第3酸化物半導体層332を備え、閾値電圧が負の値である。これにより、従来と同程度のオン電流を得るためのT F T28のサイズを従来に比べて小さくすることができる。

[0057] さらに、第2酸化物半導体層331の上面331aおよび端面331cが第3酸化物半導体層332に覆われていることにより、ソース／ドレイン電極形成工程のチャンネルエッチングにより第2酸化物半導体層331が損傷を受けることがない。さらに、ソース／ドレイン電極に含まれる金属材料や水素、窒素、酸素などの不純物が第2酸化物半導体層331に拡散し難いので特性変化しにくく、さらに上層側の第3酸化物半導体層332をパターンニングする際に、エッチャントが第2酸化物半導体層331に触れることがないため、第2酸化物半導体層331がエッチャントによって損傷を受けることがない。これにより、キャリア移動度が高いという第2酸化物半導体層33

1の作用をより有効に発揮させることができる。

[0058] また、分割スイッチ回路18と同様、閾値電圧が負の値のTFTを用いてゲートドライバー回路16を構成することは可能である。しかしながら、ゲートドライバー回路16に閾値電圧が負の値のTFTを用いると、ゲートドライバー回路16の内部を流れる電流の平均量が増えるため、消費電力が増える、という弊害がある。

[0059] その点、本実施形態のアクティブマトリクス基板6では、閾値電圧が正の値のTFT26を用いてゲートドライバー回路16を構成しているため、上記の弊害が生じるおそれが少ない。従来は、分割スイッチ回路のTFTとゲートドライバー回路のTFTが同じ構造を有していたため、特性の作り分けが難しかったが、本実施形態では、分割スイッチ回路18のTFT28とゲートドライバー回路16のTFT26が異なる構造を有しているため、特性の作り分けが比較的容易である。

[0060] 上述したように、本実施形態の分割スイッチ回路18のTFT28の閾値電圧は負の値であることが好ましいが、別の形態として、分割スイッチ回路18のTFT28の閾値電圧が画素部15のTFT24およびゲートドライバー回路16のTFT26の閾値電圧よりも小さくする形態であってもよい。この場合でも、分割スイッチ回路18において、従来と同程度のオン電流を得るためのTFT28のサイズを従来に比べて小さくすることができる。

[0061] また、本実施形態のゲートドライバー回路16は、閾値電圧が正の値のTFT26のみを用いて構成される必要はなく、部分的であれば閾値電圧が負の値のTFTを用いてもよい。また、本実施形態において、ゲートドライバー回路16のTFT26は画素部15のTFT24と同じ構成であるとして説明したが、ゲートドライバー回路16を構成する複数のTFT26のうち、一部のTFTに分割スイッチ回路18のTFT28と同じ構成のTFTが用いられてもよい。

[0062] 本実施形態によれば、上記のアクティブマトリクス基板6が用いられたことにより、狭額縁で低消費電力の液晶表示装置1を提供することができる。

[0063] [第2実施形態]

以下、本発明の第2実施形態について、図6A～図7Bを用いて説明する。

本実施形態のアクティブマトリクス基板の基本構成は第1実施形態と同一であり、TFTの構成が第1実施形態と異なる。

図6Aは、第2実施形態のアクティブマトリクス基板における分割スイッチ回路用TFTのパターンを示す平面図である。図6Bは、図6AのC-C線に沿う断面図である。

図7Aは、画素部用TFT及びゲートドライバー回路用TFTのパターンを示す平面図である。図7Bは、図7AのD-D線に沿う断面図である。

図6A～図7Bにおいて、第1実施形態で用いた図面と共通の構成要素には同一の符号を付し、説明を省略する。

[0064] 図6Aに示すように、分割スイッチ回路18のTFT48においては、第2酸化物半導体層531と第3酸化物半導体層532と第4酸化物半導体層533とからなる酸化物半導体層53は、ゲート電極31に重なるように設けられている。ソース電極34の一部とドレイン電極35の一部は、酸化物半導体層53の一部に重なるように設けられている。

[0065] 図6Bに示すように、分割スイッチ回路18のTFT48においては、ゲート絶縁層32上に、酸化物半導体層53が形成されている。酸化物半導体層53は、第2酸化物半導体層531、第3酸化物半導体層532、および第4酸化物半導体層533からなる3層構造を有している。

[0066] 第3酸化物半導体層532は、第2酸化物半導体層531の上面531aおよび端面531cを覆い、さらに端面531cの側方に延びるように設けられている。第4酸化物半導体層533は、第3酸化物半導体層532の上面532aおよび端面532cを覆い、さらに端面532cの側方に延びるように設けられている。すなわち、分割スイッチ回路18のTFT48は、第3酸化物半導体層532の上層側に、第3酸化物半導体層532とともに第2酸化物半導体層531の上面531aおよび端面531cを覆う第4酸

化物半導体層 533 をさらに備えている。

[0067] 図 7A に示すように、画素部 15 およびゲートドライバー回路 16 の TFT 44, 46 においては、酸化物半導体層 59 は、ゲート電極 31 に重なるように設けられている。ソース電極 34 の一部とドレイン電極 35 の一部は、酸化物半導体層 59 の一部に重なるように設けられている。

[0068] 図 7B に示すように、画素部 15 およびゲートドライバー回路 16 の TFT 44, 46 においては、ゲート絶縁層 32 上に、酸化物半導体層 59 が形成されている。酸化物半導体層 59 は、第 1 酸化物半導体層 591 と第 5 酸化物半導体層 592 とからなる 2 層構造を有している。TFT 44, 46 の場合、第 1 酸化物半導体層 591 の端面 591c は、第 5 酸化物半導体層 592 で覆われておらず、第 1 酸化物半導体層 591 の端面 591c と第 5 酸化物半導体層 592 の端面 592c とが揃っている。その他の構成は第 1 実施形態と同様である。

[0069] 本実施形態においても、TFT 48 の第 2 酸化物半導体層 531 と第 3 酸化物半導体層 532 との各々の材料は、第 2 酸化物半導体層 531 のキャリア移動度が第 3 酸化物半導体層 532 のキャリア移動度よりも大きくなるように選択されることが好ましい。2 つの層の材料の組合せは、第 1 実施形態と同様である。すなわち、材料の組合せの一例として、第 2 酸化物半導体層 531 として例えば In-Sn-Zn-O 系半導体を用い、第 3 酸化物半導体層 532 として例えば In-Ga-Zn-O 系半導体を用いることができる。

もしくは、第 2 酸化物半導体層 531 として例えば In-Ga-Zn-Sn-O 系半導体を用い、第 3 酸化物半導体層 532 として例えば In-Ga-Zn-O 系半導体を用いることができる。もしくは、第 2 酸化物半導体層 531 として例えば $\text{In:Ga:Zn}=1.2:1:1$ の組成比を有する In-Ga-Zn-O 系半導体を用い、第 3 酸化物半導体層 532 として例えば $\text{In:Ga:Zn}=1:1:1$ の組成比を有する In-Ga-Zn-O 系半導体を用いることができる。

[0070] さらに、第4酸化物半導体層533としては、ソース／ドレイン電極形成工程のチャネルエッチングにより損傷を受けにくい材料を用いることが好ましい。その観点から、第4酸化物半導体層533の材料として、例えばIn:Ga:Zn=1:2:2の組成比を有するIn-Ga-Zn-O系の半導体を用いることができる。このように、第4酸化物半導体層533の材料としては、第3酸化物半導体層532よりも膜の安定性に寄与するGaとZnを多く含ませる、すなわちインジウムを少なく含ませることにより、プロセス耐性を向上させることが良い。より詳細には、インジウムとガリウムと亜鉛の合計量に対するインジウムの原子数比率 $[In] / ([In] + [Ga] + [Zn])$ について、第4酸化物半導体層533のインジウムの原子数比率は、第3酸化物半導体層532のインジウムの原子数比率よりも小さい方が良い。

同様の理由により、第1酸化物半導体層591の材料は、第3酸化物半導体層532の材料と同じでよく、第5酸化物半導体層592の材料は、第4酸化物半導体層533の材料と同じでよい。

[0071] 本実施形態においても、分割スイッチ回路18の占有面積が低減され、狭額縁、低消費電力の液晶表示装置1を実現することができる、といった第1実施形態と同様の効果が得られる。

[0072] さらに本実施形態の場合、分割スイッチ回路18のTFT48において、第4酸化物半導体層533を備えているため、TFT48のプロセス耐性を向上させ、特性を安定させる効果を得ることができる。

[0073] [第3実施形態]

以下、本発明の第3実施形態について、図8A～図9Bを用いて説明する。

本実施形態のアクティブマトリクス基板の基本構成は第1実施形態と同一であり、TFTの構成が第1実施形態と異なる。

図8Aは、第3実施形態のアクティブマトリクス基板における分割スイッチ回路用TFTのパターンを示す平面図である。図8Bは、図8AのE-E

線に沿う断面図である。

図 9 A は、画素部用 T F T 及びゲートドライバー回路用 T F T のパターンを示す平面図である。図 9 B は、図 9 A の F - F 線に沿う断面図である。

図 8 A ~ 図 9 B において、第 1 実施形態で用いた図面と共通の構成要素には同一の符号を付し、説明を省略する。

[0074] 図 8 A に示すように、分割スイッチ回路 1 8 の T F T 6 8 においては、第 2 酸化物半導体層 5 3 1 と第 3 酸化物半導体層 5 3 2 と第 4 酸化物半導体層 5 3 3 とからなる酸化物半導体層 5 3 は、第 1 ゲート電極 3 1 1 に重なるように設けられている。ソース電極 3 4 の一部とドレイン電極 3 5 の一部は、酸化物半導体層 5 3 の一部に重なるように設けられている。第 2 ゲート電極 3 1 2 は、第 1 ゲート電極 3 1 1、酸化物半導体層 5 3 の一部、およびソース電極 3 4 の一部とドレイン電極 3 5 の一部に重なるように設けられている。

[0075] 図 8 B に示すように、分割スイッチ回路 1 8 の T F T 6 8 は、第 1 ゲート電極 3 1 1 と、第 1 ゲート絶縁層 3 2 1 と、酸化物半導体層 5 3 と、ソース電極 3 4 と、ドレイン電極 3 5 と、第 2 ゲート絶縁層 3 2 2 と、第 2 ゲート電極 3 1 2 と、を備えている。すなわち、本実施形態の T F T 6 8 は、ダブルゲート構造を有している。酸化物半導体層 5 3 の構成は、第 2 実施形態における分割スイッチ回路 1 8 の T F T 4 8 と同様である。

[0076] 基板 2 0 の第 1 面 2 0 a に、第 1 ゲート電極 3 1 1 が形成されている。第 1 ゲート絶縁層 3 2 1 は、第 1 ゲート電極 3 1 1 を覆うように、基板 2 0 の第 1 面 2 0 a に形成されている。また、第 2 ゲート絶縁層 3 2 2 は、ソース電極 3 4 およびドレイン電極 3 5 を覆うように形成されている。第 2 ゲート電極 3 1 2 は、第 2 ゲート絶縁層 3 2 2 を介して酸化物半導体層 5 3 の上方にあたる位置に形成されている。

[0077] 図 9 A に示すように、画素部 1 5 およびゲートドライバー回路 1 6 の T F T 6 4, 6 6 においては、酸化物半導体層 5 9 は、第 1 ゲート電極 3 1 1 に重なるように設けられている。ソース電極 3 4 の一部とドレイン電極 3 5 の

一部は、酸化物半導体層 59 の一部に重なるように設けられている。第 2 ゲート電極 312 は、第 1 ゲート電極 311、酸化物半導体層 59 の一部、およびソース電極 34 の一部とドレイン電極 35 の一部に重なるように設けられている。

[0078] 図 9 B に示すように、画素部 15 およびゲートドライバー回路 16 の T F T 64, 66 は、第 1 ゲート電極 311 と、第 1 ゲート絶縁層 321 と、酸化物半導体層 59 と、ソース電極 34 と、ドレイン電極 35 と、第 2 ゲート絶縁層 322 と、第 2 ゲート電極 312 と、を備えている。すなわち、本実施形態の T F T 64, 66 は、ダブルゲート構造を有している。酸化物半導体層 59 の構成は、第 2 実施形態における画素部 15 およびゲートドライバー回路 16 の T F T 44, 46 と同様である。その他の構成は、第 1 実施形態と同様である。

[0079] 本実施形態においても、分割スイッチ回路 18 の占有面積が低減され、狭額縁、低消費電力の液晶表示装置 1 を実現することができる、といった第 1 実施形態と同様の効果が得られる。

[0080] さらに本実施形態の場合、T F T 64, 66, 68 がダブルゲート構造を備えているため、T F T 64, 66, 68 のオン電流が増加する効果を得ることができ、保護層 36 などの構成にもよるが、T F T 64, 66, 68 のオン電流を例えば 2 倍程度にすることが可能である。

[0081] [第 4 実施形態]

以下、本発明の第 4 実施形態について、図 10 A および図 10 B を用いて説明する。

本実施形態のアクティブマトリクス基板の基本構成は第 1 実施形態と同一であり、T F T の構成が第 1 実施形態と異なる。

図 10 A は、第 4 実施形態のアクティブマトリクス基板における分割スイッチ回路用 T F T のパターンを示す平面図である。図 10 B は、図 10 A の G-G 線に沿う断面図である。

図 10 A および図 10 B において、第 1 実施形態で用いた図面と共通の構

成要素には同一の符号を付し、説明を省略する。

[0082] 図10Aに示す分割スイッチ回路18のTF T 88のパターンは、図4Aに示す第1実施形態の分割スイッチ回路18のTF T 28のパターンと類似している。ただし、第1実施形態のTF T 28では、第3酸化物半導体層332が第2酸化物半導体層331の上面331aの全ておよび端面331cの全てを覆っていたのに対し、本実施形態のTF T 88では、第3酸化物半導体層732は、第2酸化物半導体層731の上面731aの一部および端面731cの一部を覆っている。

[0083] 図10Bに示すように、上述したように、本実施形態のTF T 88は、第1実施形態のTF T 28と構成が異なるが、図10AのG-G線に沿う断面構造を見る限りにおいては、第1実施形態のTF T 28の断面構造と同様である。

[0084] 本実施形態では、第2酸化物半導体層731の上面731aの一部（端部）および端面731cの一部（端部）は、第3酸化物半導体層732に覆われていない。しかしながら、TF T 88の特性に最も大きな影響を与える第2酸化物半導体層731の中央部、すなわちチャネル領域73cの近傍において、上面731aと端面731cとが第3酸化物半導体層732に覆われているため、狭額縁、低消費電力の液晶表示装置を実現することができる、という第1実施形態に準じた効果が得られる。

[0085] なお、本発明の技術範囲は上記実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲において種々の変更を加えることが可能である。

例えば上記実施形態では、TF Tとして、チャネルエッチ型TF Tの例を挙げたが、例えばチャネルストップ型TF Tが用いられてもよいし、トップゲート方式のTF Tが用いられてもよい。その他、液晶表示装置を構成する各構成要素の数、形状、寸法、配置、材料等の具体的な記載については、上記実施形態で例示したものに限らず、適宜変更が可能である。

[0086] また、上記実施形態のアクティブマトリクス基板は、液晶表示装置に限らず、例えば有機エレクトロルミネッセンス表示装置等の表示装置に用いられ

てもよい。

産業上の利用可能性

[0087] 本発明のいくつかの態様は、液晶表示装置、有機エレクトロルミネッセンス表示装置等の各種表示装置に利用が可能である。

符号の説明

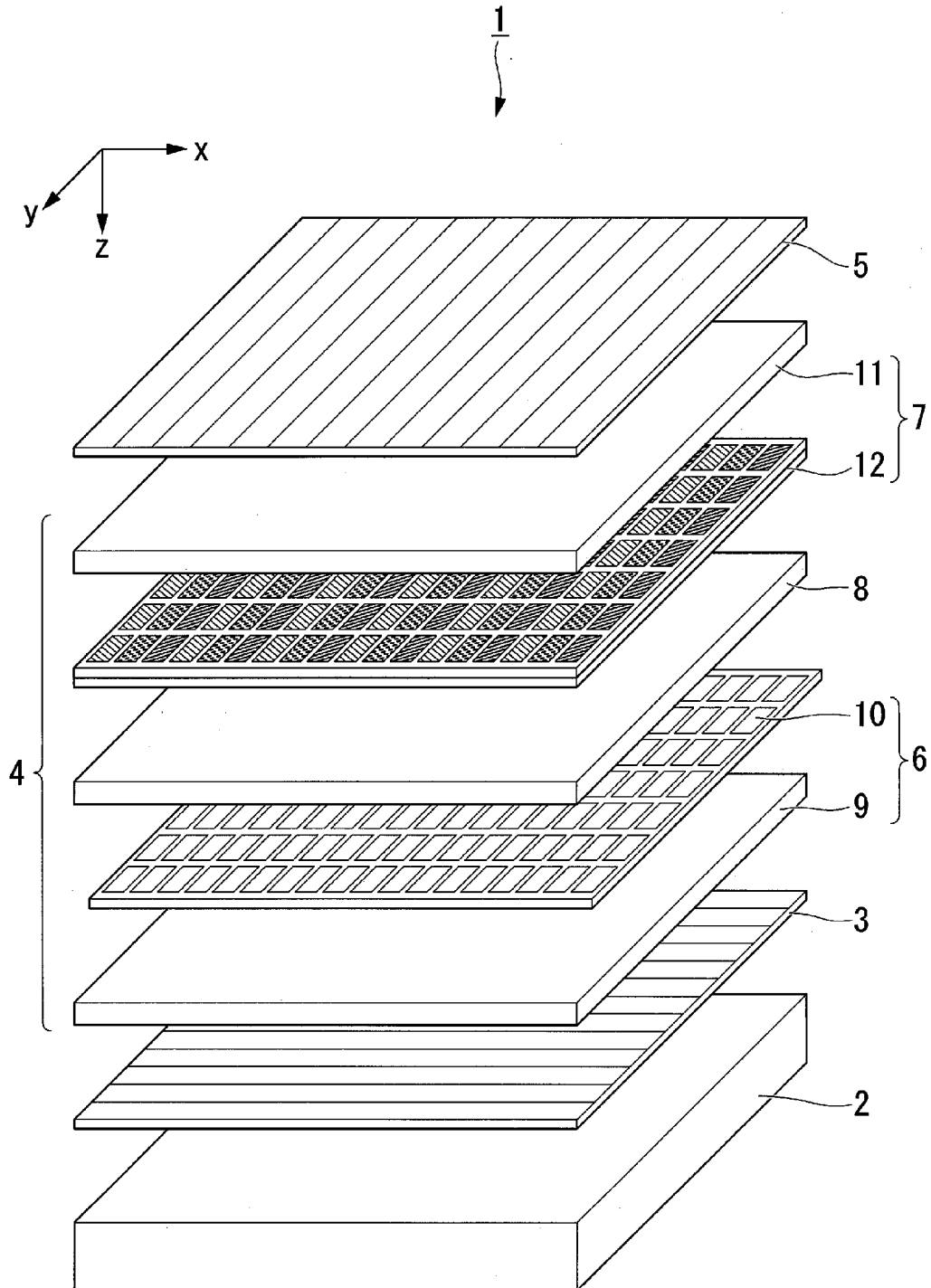
[0088] 1…液晶表示装置（表示装置）、6…アクティブマトリクス基板、15…画素部、16…ゲートドライバー回路、17…ソースドライバーIC、18…分割スイッチ回路、22…画素電極、24, 44, 64…TFT（画素部、第1薄膜トランジスタ）、28, 48, 68…TFT（分割スイッチ回路、第2薄膜トランジスタ）、33, 53, 59…酸化物半導体層、39, 591…第1酸化物半導体層、331, 531, 731…第2酸化物半導体層、332, 532, 732…第3酸化物半導体層、533…第4酸化物半導体層。

請求の範囲

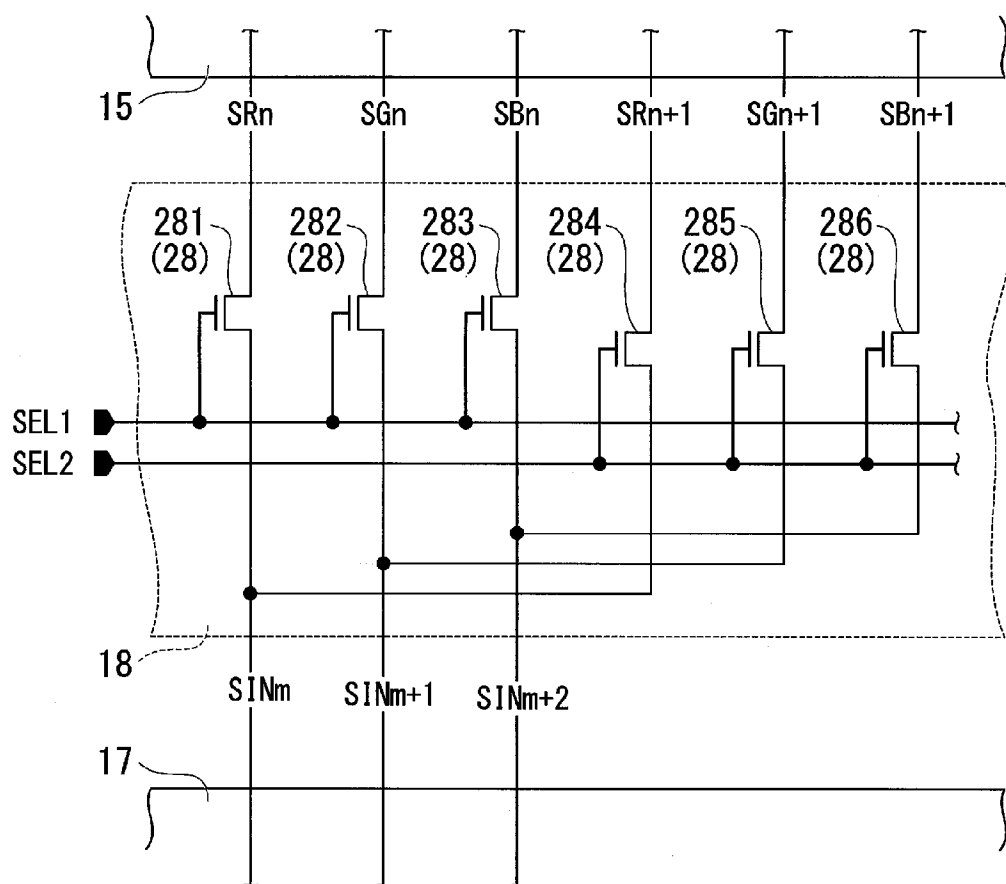
- [請求項1] 互いに交差して設けられた複数のゲート線および複数のソース線と、前記複数のゲート線と前記複数のソース線との交差に対応してマトリクス状に設けられた複数の画素電極と、を有する画素部と、
- ソースドライバーからの信号を分割して前記複数のソース線に供給する分割スイッチ回路と、を備え、
- 前記画素部は、第1酸化物半導体層を含む第1薄膜トランジスタを備え、
- 前記分割スイッチ回路は、第2酸化物半導体層と第3酸化物半導体層を含む第2薄膜トランジスタを備え、
- 前記第3酸化物半導体層は、少なくとも第2酸化物半導体層の上面の一部および端面の一部を覆う、アクティブマトリクス基板。
- [請求項2] 前記第2酸化物半導体層のキャリア移動度は、前記第3酸化物半導体層のキャリア移動度よりも大きい、請求項1に記載のアクティブマトリクス基板。
- [請求項3] 前記第1酸化物半導体層は、前記第3酸化物半導体層と同一材料で構成されている、請求項1に記載のアクティブマトリクス基板。
- [請求項4] 前記第2薄膜トランジスタの閾値電圧は、前記第1薄膜トランジスタの閾値電圧よりも小さい、請求項1に記載のアクティブマトリクス基板。
- [請求項5] 前記第2薄膜トランジスタの閾値電圧は負の値である、請求項1に記載のアクティブマトリクス基板。
- [請求項6] 前記第1薄膜トランジスタの閾値電圧は正の値である、請求項5に記載のアクティブマトリクス基板。
- [請求項7] 前記第2薄膜トランジスタは、前記第2酸化物半導体層の上層側に、前記第3酸化物半導体層とともに前記第2酸化物半導体層の上面および端面を覆う第4酸化物半導体層をさらに備えた、請求項1に記載のアクティブマトリクス基板。

- [請求項8] 前記第2薄膜トランジスタは、ダブルゲート構造を有する、請求項1に記載のアクティブマトリクス基板。
- [請求項9] 請求項1から請求項8までのいずれか一項に記載のアクティブマトリクス基板を備えた表示装置。

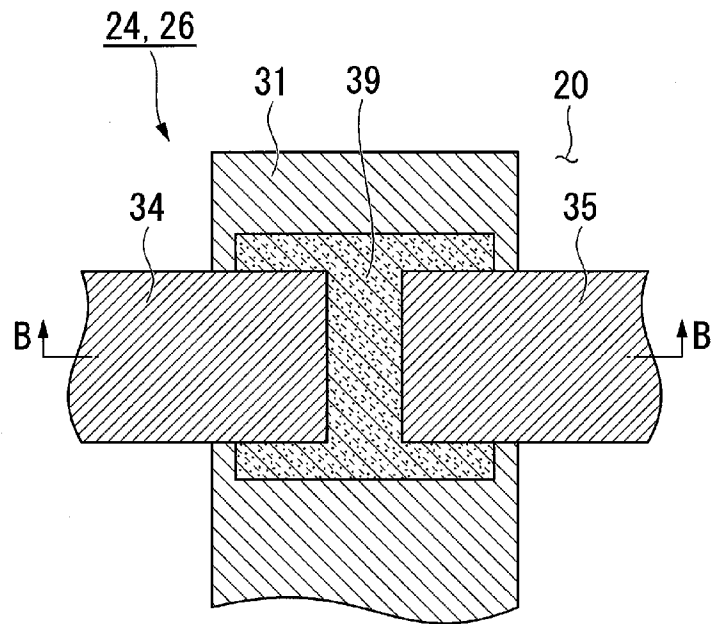
[図1]



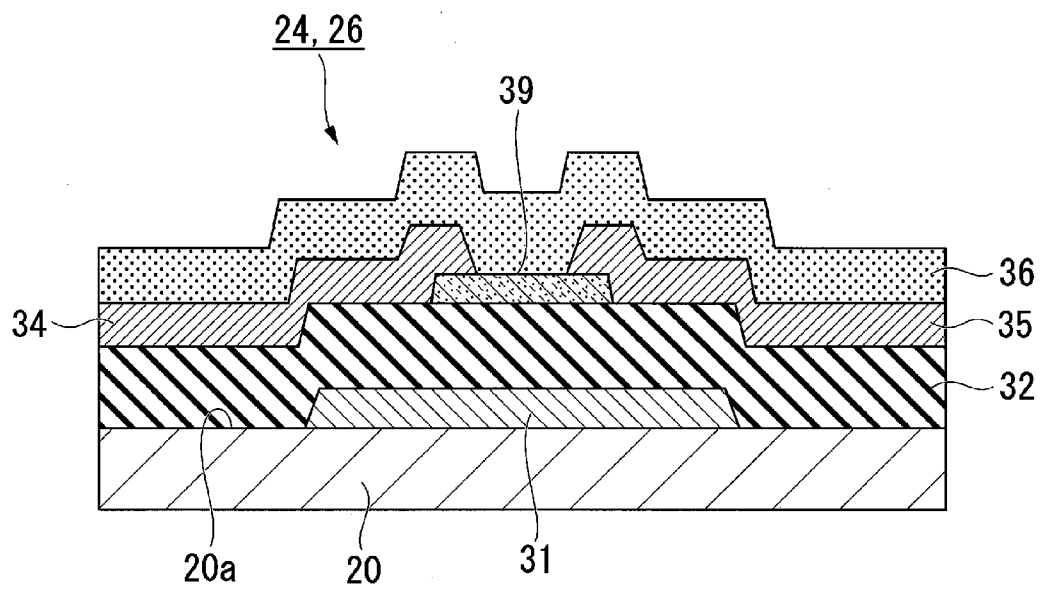
[図3]



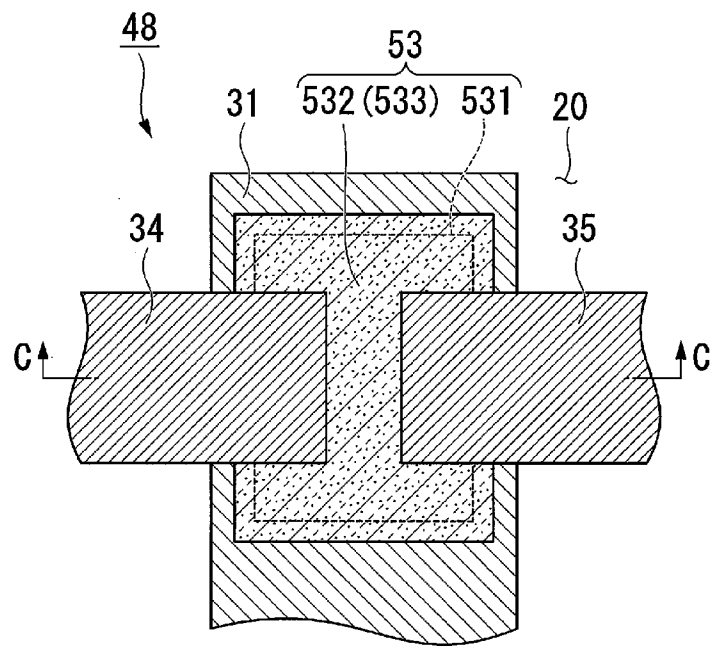
[図5A]



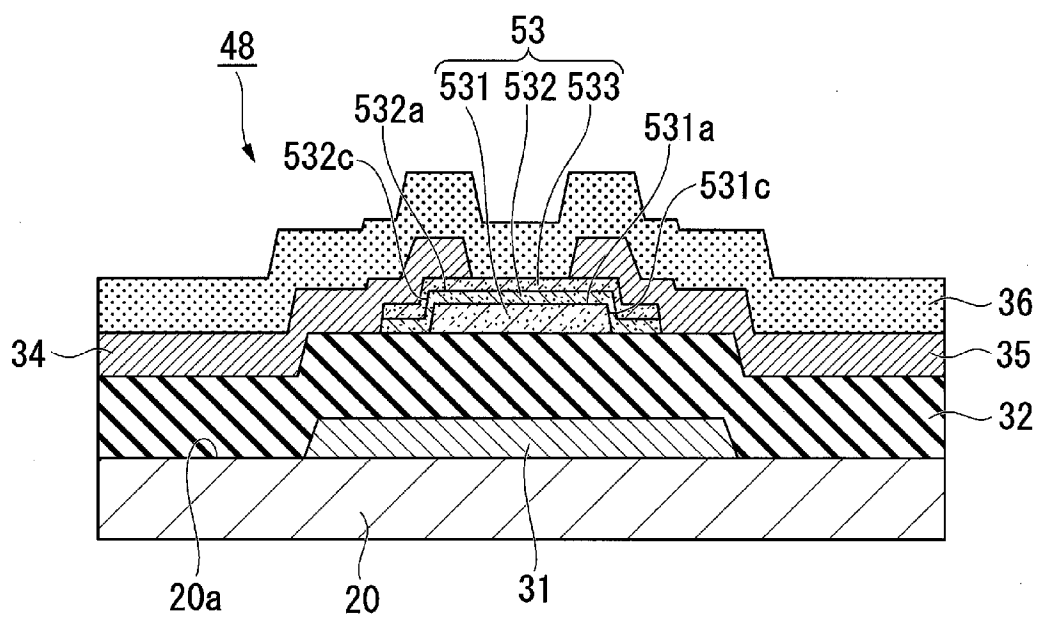
[図5B]



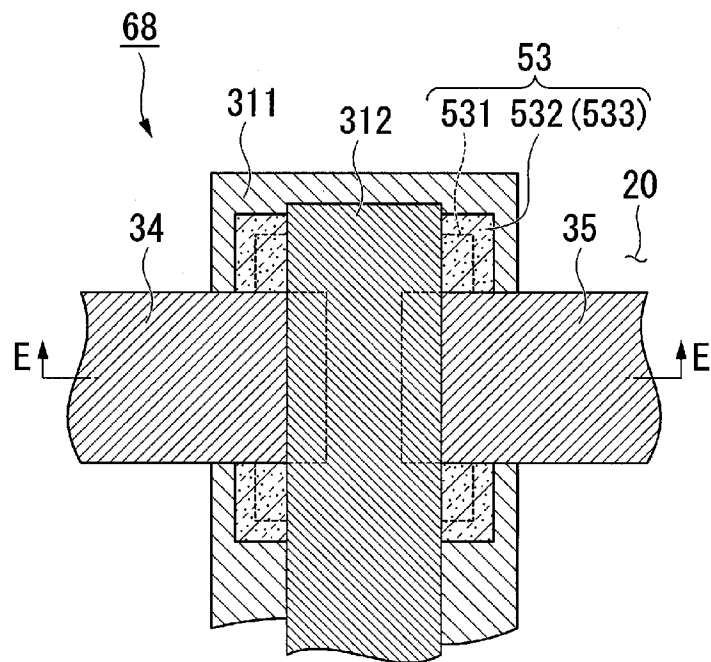
[図6A]



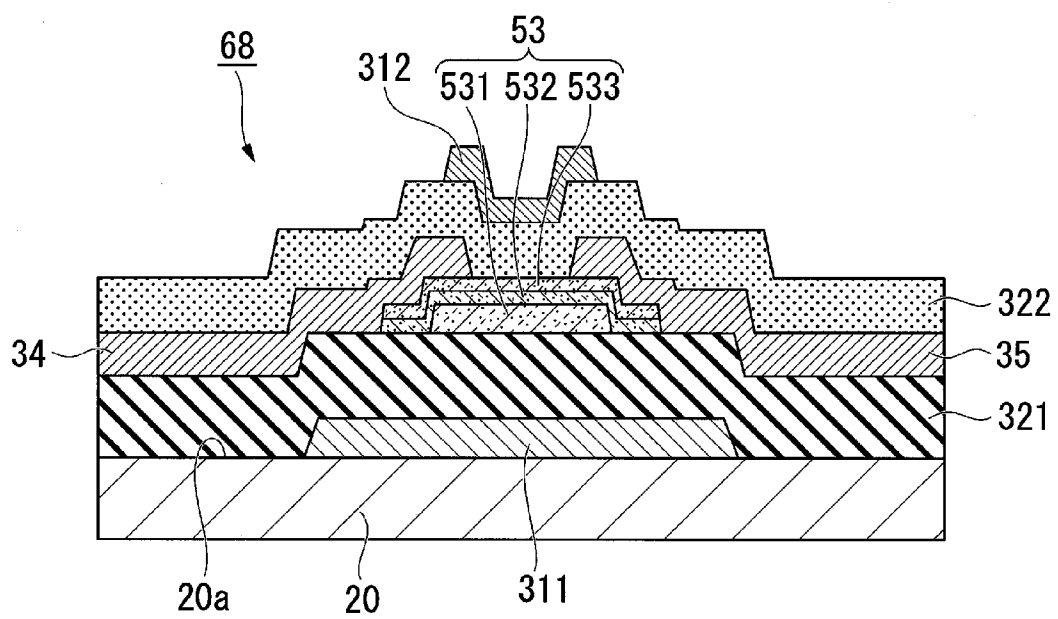
[図6B]



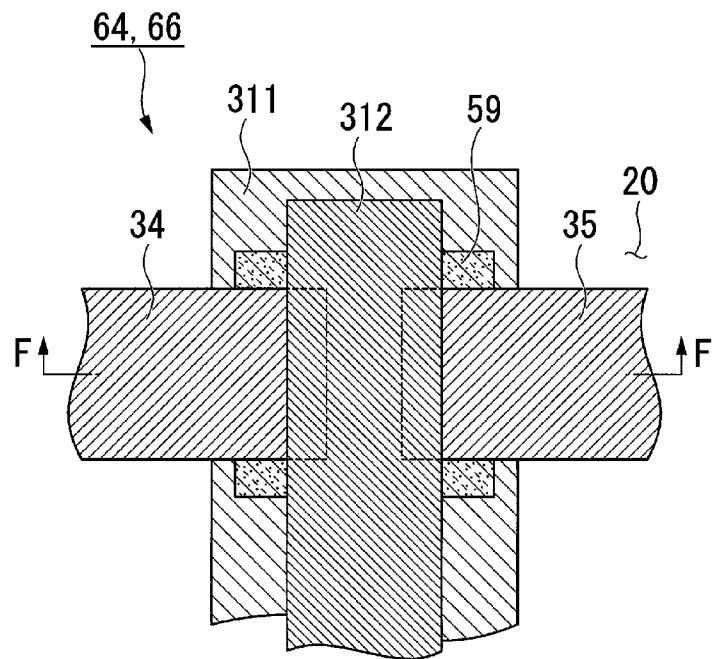
[図8A]



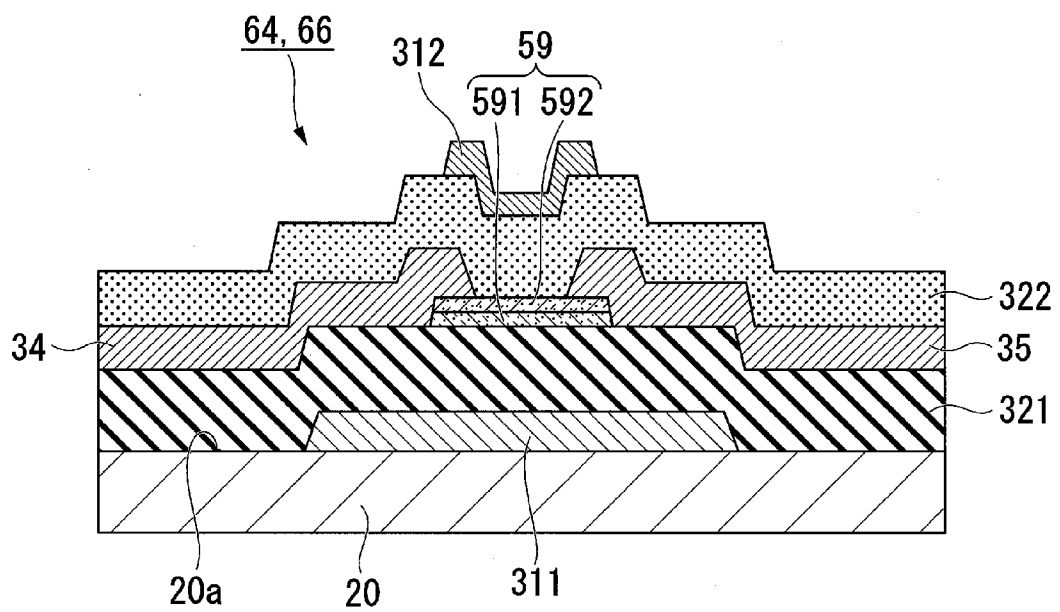
[図8B]



[図9A]



[図9B]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/010132

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G09F9/30 (2006.01) i, G02F1/1368 (2006.01) i, H01L29/786 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G02F1/136-1/1368
G09F9/30-9/46, G09G3/00-3/08, 3/12, 3/16-3/26, 3/30, 3/34-3/38
H01L21/336, 29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2011-139056 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 14 July 2011, claim 1, paragraphs [0029], [0072]-[0073], [0158], [0160] & US 2012/0012847 A1, claim 1, paragraphs [0030], [0089]-[0090], [0175], [0177] & WO 2011/068017 A1 & TW 201142953 A & KR 10-2012-0092688 A	1-4, 7-9 5-6
Y A	WO 2011/118079 A1 (SHARP CORP.) 29 September 2011, abstract, paragraph [0005], claim 12, fig. 3, 4, 21 & US 2013/0038518 A1, abstract, paragraph [0005], claim 12, fig. 3, 4, 21 & CN 102792450 A & KR 10-2013-0012020 A	1-4, 7-9 5-6



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:	"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
06 June 2018 (06.06.2018)

Date of mailing of the international search report
19 June 2018 (19.06.2018)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/010132

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2016-170293 A (JAPAN DISPLAY INC.) 23 September 2016, paragraphs [0003], [0055], [0064], [0069]-[0070], [0081], fig. 4 & US 2016/0266451 A1, paragraphs [0004], [0074], [0083], [0088]-[0089], [0100], fig. 4 & CN 205539813 U	1-4, 7-9 5-6
Y	JP 2014-45173 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 13 March 2014, paragraphs [0064]-[0066], [0142]-[0144], [0223], fig. 5 & US 2014/0034945 A1, paragraphs [0083]-[0085], [0161]-[0163], [0242], fig. 5 & KR 10-2014-0018803 A	1-4, 7-9
Y	JP 2014-30001 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 13 February 2014, paragraphs [0046]-[0054], [0062]-[0064], [0186], fig. 2 & US 2014/0001465 A1, paragraphs [0065]-[0073], [0081]-[0083], [0205], fig. 2 & KR 10-2014-0002496 A	1-4, 7-9
Y	JP 2013-21315 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 31 January 2013, abstract, paragraphs [0069], [0116], fig. 2 & US 2012/0319183 A1, abstract, paragraphs [0081], [0128], fig. 2 & KR 10-2013-0007426 A	1, 3-4, 7-9
Y	JP 2011-119714 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 16 June 2011, paragraphs [0029], [0031], fig. 1 & US 2011/0109351 A1, paragraphs [0058], [0060], fig. 1 & WO 2011/055631 A1 & EP 2497115 A1 & CN 102598282 A & TW 201140844 A & KR 10-2012-0091293 A	1, 3-4, 7-9
Y	JP 2010-80952 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 08 April 2010, abstract, paragraph [0151], fig. 5 & US 2010/0051949 A1, abstract, paragraph [0203] & EP 2159845 A1 & KR 10-2010-0027067 A & CN 101882630 A & TW 201029184 A	1, 3-4, 7-9
A	JP 2009-206508 A (CANON INC.) 10 September 2009, paragraph [0192] & US 2011/0175081 A1, paragraph [0250] & WO 2009/096608 A1 & EP 2248179 A1 & KR 10-2010-0107058 A & CN 101933150 A & TW 200947088 A	5-6
A	WO 2013/080516 A1 (SHARP CORP.) 06 June 2013, paragraph [0004] & TW 201330277 A	5-6
A	JP 9-269511 A (SEIKO EPSON CORP.) 14 October 1997, paragraph [0049] (Family: none)	5-6

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G09F9/30(2006.01)i, G02F1/1368(2006.01)i, H01L29/786(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G02F1/136-1/1368
G09F9/30-9/46, G09G3/00-3/08, 3/12, 3/16-3/26, 3/30, 3/34-3/38
H01L21/336, 29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2011-139056 A (株式会社半導体エネルギー研究所) 2011.07.14, 請求項1、段落0029、0072~0073、0158、0160 & US 2012/0012847 A1, 請求項1、[0030]、[0089]~[0090]、[0175]、[0177] & WO 2011/068017 A1 & TW 201142953 A & KR 10-2012-0092688 A	1-4, 7-9 5-6
Y A	WO 2011/118079 A1 (シャープ株式会社) 2011.09.29, 要約、[0005]、請求項12、図3、4、21 & US 2013/0038518 A1, 要約、[0005]、請求項12、図3、4、21 & CN 102792450 A & KR 10-2013-0012020	1-4, 7-9 5-6

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

06.06.2018

国際調査報告の発送日

19.06.2018

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

杉田 翠

21

3811

電話番号 03-3581-1101 内線 3273

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
	A	
Y A	JP 2016-170293 A (株式会社ジャパンディスプレイ) 2016.09.23, 段落 0003、0055、0064、0069~0070、0081、図 4 & US 2016/0266451 A1, [0004]、[0074]、[0083]、[0088]~[0089]、[0100]、図 4 & CN 205539813 U	1-4, 7-9 5-6
Y	JP 2014-45173 A (株式会社半導体エネルギー研究所) 2014.03.13, 段落 0064~0066、0142~0144、0223、図 5 & US 2014/0034945 A1, [0083]~[0085]、[0161]~[0163]、[0242]、図 5 & KR 10-2014-0018803 A	1-4, 7-9
Y	JP 2014-30001 A (株式会社半導体エネルギー研究所) 2014.02.13, 段落 0046~0054、0062~0064、0186、図 2 & US 2014/0001465 A1, [0065]~[0073]、[0081]~[0083]、[0205]、図 2 & KR 10-2014-0002496 A	1-4, 7-9
Y	JP 2013-21315 A (株式会社半導体エネルギー研究所) 2013.01.31, 要約、段落 0069、0116、図 2 & US 2012/0319183 A1, 要約、[0081]、[0128]、図 2 & KR 10-2013-0007426 A	1, 3-4, 7-9
Y	JP 2011-119714 A (株式会社半導体エネルギー研究所) 2011.06.16, 段落 0029、0031、図 1 & US 2011/0109351 A1, [0058]、[0060]、図 1 & WO 2011/055631 A1 & EP 2497115 A1 & CN 102598282 A & TW 201140844 A & KR 10-2012-0091293 A	1, 3-4, 7-9
Y	JP 2010-80952 A (株式会社半導体エネルギー研究所) 2010.04.08, 要約、段落 0151、図 5 & US 2010/0051949 A1, 要約、[0203] & EP 2159845 A1 & KR 10-2010-0027067 A & CN 101882630 A & TW 201029184 A	1, 3-4, 7-9
A	JP 2009-206508 A (キヤノン株式会社) 2009.09.10, 段落 0192 & US 2011/0175081 A1, [0250] & WO 2009/096608 A1 & EP 2248179 A1 & KR 10-2010-0107058 A & CN 101933150 A & TW 200947088 A	5-6
A	WO 2013/080516 A1 (シャープ株式会社) 2013.06.06, [0004] & TW 201330277 A	5-6
A	JP 9-269511 A (セイコーエプソン株式会社) 1997.10.14, 段落 0049 (ファミリーなし)	5-6