

申請日期: 88.9.29

案號: 88116267

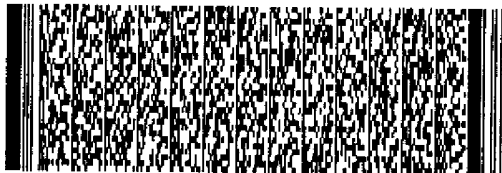
公告本

類別: G06F 9/46

(以上各欄由本局填註)

448409

發明專利說明書

一、 發明名稱	中文	單線作業系統中模擬多線處理之方法
	英文	METHODOLOGY FOR EMULATION OF MULTI-THREADED PROCESSES IN A SINGLE-THREADED OPERATING SYSTEM
二、 發明人	姓名 (中文)	1. 史蒂芬妮 瑪麗亞 福斯曼 2. 瑞克 艾倫 哈米爾頓二世 3. 奇坦 梅塔 4. 瑪琳 伊許瓦巴哈 帕泰爾
	姓名 (英文)	1. STEPHANIE MARIA FORSMAN 2. RICK ALLEN HAMILTON, II 3. CHETAN MEHTA 4. MAULIN ISHWARBHAI PATEL
	國籍	1. 美國 2. 美國 3. 美國 4. 印度
	住、居所	1. 美國明尼蘇達州羅契斯特市瑞薇巷3120號 2. 美國德州奧斯丁市展覽大道2505號 3. 美國德州奧斯丁市日光林蔭海灣10612號 4. 美國德州滾石市橡園大道522號
三、 申請人	姓名 (名稱) (中文)	1. 美商萬國商業機器公司
	姓名 (名稱) (英文)	1. INTERNATIONAL BUSINESS MACHINES CORPORATION
	國籍	1. 美國
	住、居所 (事務所)	1. 美國紐約州阿蒙市新果園路
	代表人 姓名 (中文)	1. 傑拉德 羅森賽
	代表人 姓名 (英文)	1. GERALD ROSENTHAL
 		

本案已向

國(地區)申請專利

美國 US

申請日期

1998/10/02 09/165,953

案號

62-2414

主張優先權

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

發明之背景

1. 發明領域

本發明大體上有關於一種在利用低階、普用處理器之資料處理系統中的多線(線串)處理，尤其是有關於在單線串作業系統中透過定時器常式中斷所進行之多線串處理模擬。更詳言之，本發明係有關於在單線串、單層次中斷作業系統中，藉由一定時器對於諸處理間之切換的中斷組態來模擬多線串處理的方法與系統。

2. 先前技藝說明

在許多現代微處理器環境中，諸如那些在消費性電子、自動化電子、以及工業控制器等當中所看到者，作業系統僅允許一單線串處理。這些作業系統由於供該作業系統之代碼相當易於實現而相當便宜。在定義上，一些單線串處理僅允許在一確實連續性作業之單一、連續代碼主體內執行。在該環境下之該連續性作業通常涉及一由代碼環路所允許之短的、瞬間且具多個單次作業的流程，在該環路中執行邏輯會連續性地探詢各種內部參數之狀態，並根據該等參數值採取動作。

其所發生之一問題為在功能性已為一單線串作業系統發展下，在這樣環境下需要經常追蹤多線串作業，而這些需求通常需要藉由移至一多線串作業系統並為新作業系統重寫代碼，或藉由以在該單線串限制內之遞迴呼叫將單線串代碼主體重寫成包括有該新功能，來取得協調。這兩種手法都需要大量的測試等實質上努力，以確保所要之功能保



五、發明說明 (2)

持完整。然而這在真實之多工(multi-tasking)需求並沒有被要求時，此乃是無法確保的，而僅在有擴充普用處理器功能之需求時才得以被確保。

因此應期望能提供一種用以在一僅支援單層中斷之單線串作業系統中模擬多線串處理的系統。

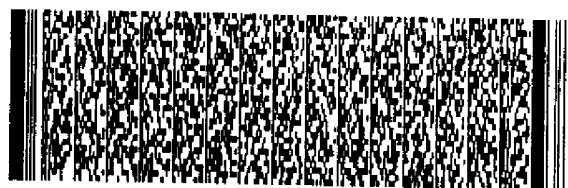
發明概述

因此本發明之一目的在於提供一種改良之用以在一些利用低階、普用處理器之資料處理系統中實現多線串處理的方法與系統。

本發明之另一目的在於提供一種用以在單線串作業系統中透過定時器常式中斷來模擬多線串處理之方法與系統。

本發明之再另一目的在於提供一種用以藉由一定時器對於各處理間之切換的中斷組態，而在單線串、單層中斷作業系統中模擬多線處理之方法與系統。

上述各目的以現在所述者來達成。為了在一僅支援單線串處理與單層中斷之作業系統中模擬多線串處理，處理器之定時器會在執行一主代碼線串期間，以一選定之暫停(time-out)期開始計時。該主代碼線串之程序會進行至有定時器中斷發生時，此時該作業系統之定時器中斷服務常式(ISR)會將執行控制轉移至一副代碼線串或副代碼線串構件。該副代碼線串或構件將整個被執行，且在整個被執行後該定時器會被重置，且執行控制返回至主代碼線串，在此整個程序回復至該定時器中斷被宣告之點。為縮小該主代碼線串執行之分裂，應在副代碼線串上賦予一最大等



五、發明說明 (3)

待時間，這可以藉由將該副代碼線串打斷成多個構件而達成。該定時器ISR以一指標器將一既定起始點之索引保存於該副代碼線串中，該指標器會辨識下一在該定時器中斷被宣告時所要被選擇之副代碼線串構件。如此一來，程序即在主代碼線串與副代碼線串或各構件之間，利用以循環之方式被選擇之不同副代碼線串構件進行替換。在該主代碼線串與副代碼線串或各構件間之工作週期可以藉由選擇該暫停期以及副代碼線串程序所允許之最大等待時間而被改變。

本發明之上述以及其它目的、特徵、和優點將由下述詳細說明而更為明顯。

圖式簡要說明

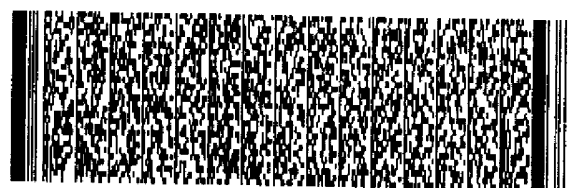
相信是本發明之特色之新穎特徵描述於所附申請專利範圍中。然而發明本身，以及使用之一較佳模式，和其它目的與優點將可由下述一參考所附圖式之例舉性實施例之詳細說明而獲得最佳了解。其中：

圖1描繪一可實現本發明之一較佳實施例之資料處理系統的方塊圖；

圖2為一根據本發明之一較佳實施例之用以在一支援單層中斷之單線串作業系統中模擬多線串處理的系統圖；

圖3A至3B描繪一根據本發明之一較佳實施例之顯示出在主與副代碼線串執行期間之多線串程序之模擬的時序圖；

圖4為一根據本發明之一較佳實施例之用以模擬多線串處理之主代碼線串、副代碼線串、和中斷程序的高階流程



五、發明說明 (4)

圖。

發明詳細說明

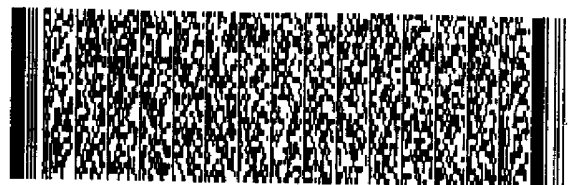
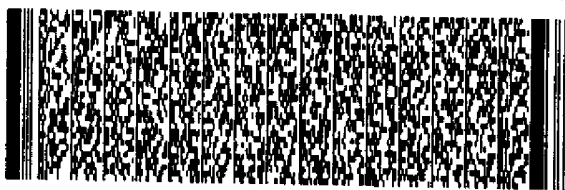
現在參考各圖，且尤其參考圖1，其描繪一其中可實現本發明之一較佳實施例之資料處理系統的方塊圖。資料處理系統100包括處理器102和104，分別連接至一第二階(L2)快取記憶體106和108，各記憶體再連接至系統匯流排110。資料處理系統100因此為一此業界所熟知之對稱性多處理器系統(SMP)。

資料處理系統100亦包括一連接至系統匯流排110之服務處理器112，其獨立運作，且即使主系統當機仍能運作。服務處理器112可提供整體系統環境監視/警告功能，諸如AC/DC電壓、風扇速度、以及溫度感測等。服務處理器112亦可提供電源預警且可具有一些錯誤載入分析與警告之功能。

在系統匯流排110上亦連接有系統記憶體114和輸出/入(I/O)匯流排橋接器116。I/O匯流排橋接器116連接系統匯流排110與I/O匯流排118，並使資料可以在兩匯流排間交換。I/O匯流排118上可以連接一鍵盤及/或列印裝置120、一網路轉接器122、與一用以將I/O匯流排118連結至一顯示器124之圖形轉接器124。

圖1所示之類型的資料處理系統之作業為此技藝之人士所熟知者，且所示之構件與組態有多種可能之變更。這些變更相信都在本發明之精神與範圍內。

本發明中之服務處理器112執行一單線串作業系統，在

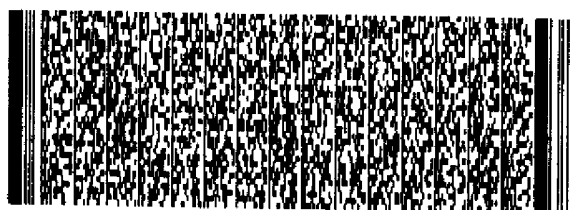


五、發明說明 (5)

該單線串作業系統中由服務處理器112所執行之主要應用程序為查核上述各種參數(AC/DC電壓、風扇速度、及溫度)。然而，一些導入相當不同之應用程序的需求，諸如心跳監督或一"顯示特性"處理(供瞬間前進指標器顯示在作業者面板上)亦可發生。該用以模擬多線串應用程序之需求因而產生，且藉由利用該進一步詳述如下之定時器中斷服務常式而獲得解決。

參考圖2，其例舉一根據本發明之較佳實施例之一用以在一支援單層中斷之單線串作業系統中模擬多線串處理的系統圖。系統200包括一主代碼線串202與一副代碼線串204。在此所用之"主代碼線串"係指一對應於一可在該單線串作業系統上被執行之可執行碼主體的主線、連續處理。"副代碼線串"係指一次要處理，其依狀況而被存取，但相對應於一分離之駐在一不同編譯區的可執行代碼主體，其被儲存在相同或一不相同之儲存媒體。該兩代碼主體以及該相對應之處理線串被寫成不會同時或並行執行，而其下之作業系統亦未設計成為了並行執行而在多條線串間切換。

為了模擬多線串程序執行，該定時器中斷服務常式用來橋接該兩不同代碼主體以及其對應處理之邊界。主代碼線串202先被執行，並施行一定時器功能，亦即，主代碼線串包括一起始該服務處理器之定時器206之指令。該指令亦可藉由選擇一些要被該定時器206計數之時脈週期，來定義該定時器206中之暫停期。處理持續在主代碼線串202



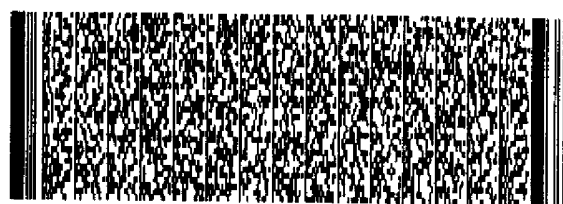
五、發明說明 (6)

進行，直到該暫停期過了為止(例如，定時器206到時)。

根據習用之中斷處理，當該定時器中斷"彈出"(被宣告)時，主代碼線串程序202之當時狀態將被儲存在一或多個暫存器210中。然而，在本發明中，該作業系統(OS)之定時器中斷服務常式(ISR)208則被規劃成在該暫停期結束時將該執行控制送至副代碼線串204。副代碼線串204即續行而在該中斷處理期間完成相關之功能。一旦副代碼線串之執行完成，定時器206即被重置，且執行控制權為該定時器ISR 208返回主代碼線串202之先前處理被中斷之點。依此方式，處理將定期性地在主代碼線串202與副代碼線串204之間交替。

為確保在主代碼線串202執行期間有一最小之中斷，某些有關最大等待時間或是最大強制延緩之保證應被施加於副代碼線串204之處理上。為了此目的，副代碼線串204可被分成數個構件204a~204n。各構件204a~204n可與整個副代碼線串204之各部份相關，亦即以定時器ISR 208從副代碼線串204內之各種預定點中聲請執行。或者，各構件204a~204n可以與多個副代碼線串相關，各線串對應於一不同之在不同編譯區的可執行代碼主體，供進行一些不同之各需要週期性存取的二次處理。

定時器ISR 208包括一有關各構件204a~204n會被聲請執行之點的環形索引212，並以一指標器214來標示下一在該暫停期結束後要被定時器ISR 208聲請之構件。一副代碼線串構件之每一時間處理完了後，定時器ISR 208將先使



五、發明說明 (7)

指標器214前進，再重置定時器206並將執行控制返回主代碼線串202。以此方式，各種副代碼線串構件204a~204n之執行將隨著每一定時器中斷而以循環方式發生。

使用多個副代碼線串構件204a~204n能夠藉由將處理切換至副代碼線串204，而將等待時間之控制導入該主代碼線串202之執行當中。每一構件204a~204n可被抑制到一消耗一預定數量之處理器執行週期的預定數量指令或指令組。各構件204a~204n之等待時間因此可與該讓定時器206為了使該主代碼線串202與副代碼線串204處理之間達到一想要之工作週期(例如，65%~35%)而選擇之暫停期取得平衡。

雖然使用定時器中斷來進行各程序之切換大體上為此技藝之人士已知者，但習知用法通常係中斷一應用程序，俾服務一作業系統程序，亦即一些整合於該作業系統之程序。這些用法並不包括將該定時器中斷用於兩個或多個應用程序間之交替，每一程序都運作於該作業系統之最高效能上。

現參考圖3A~3B，其顯示一根據本發明之一較佳實施例之主副代碼線串執行期間模擬多線串處理的時序圖。圖3A顯示一單一主代碼線串與一單一副代碼線串間之處理交替。數個位於該主代碼線串之時脈，與數個位於該副代碼線串之時脈之間的工作週期，受控於該定時器之暫停期以及施行於該副代碼線串上之最大等待時間。每當處理程序為該中斷服務常式所切換於主副代碼線串間時，所花時間



五、發明說明 (8)

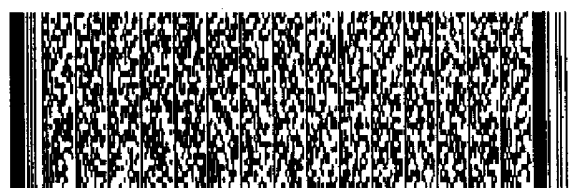
可能有數時脈週期，而如果需要的话，其必須儲存該主代碼線串處理之狀態，並重置該定時器等。圖3B顯示一單一主代碼線串與一被從該群副代碼線串構件中以循環方式選出來之副代碼線串構件兩者間的處理交替。

參考圖4，其例示一根據本發明之一較佳實施例之用以模擬多線串處理之有關主代碼線串、代碼線串、以及中斷處理間的高階流程圖。該處理程序起始於步驟402，其指出處理之開始，並起始於主代碼線串之處理。然後該程序進至步驟404，其指出該處理器定時器開始計時，並選擇性地選擇一暫停期。

該程序接著進至步驟406，其指出一對於該定時器中斷是否被宣告之判定。若沒有，則程序進至步驟408，其顯示該主代碼線串之連續處理。然而，若有，則程序轉而進至步驟410，其顯示切換至一副代碼線串或副代碼線串構件，在此時點，主代碼線串之處理狀態可被儲存下來，供稍後回復。

該程序然後進至步驟412，其顯示出完整地處理該副代碼線串或構件，然後進至步驟414，其選擇性地更新該索引指標器，以辨識一不同之副代碼線串，或構件，並重置該處理器定時器。然後程序進至步驟416，其恢復該主代碼線串處理，然後回到如上所述之步驟406。

利用本發明之方法將可以把分離或不同的代碼主體連繫在一起並同時執行。而根基所在之單線串作業系統基本上仍保持完整。如此一來，該用以將單線串功能併入一模仿



五、發明說明 (9)

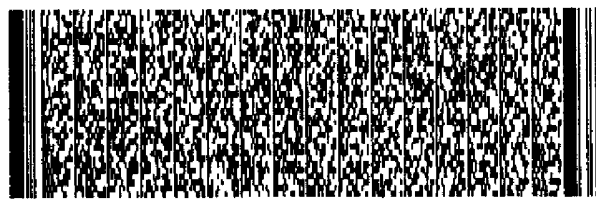
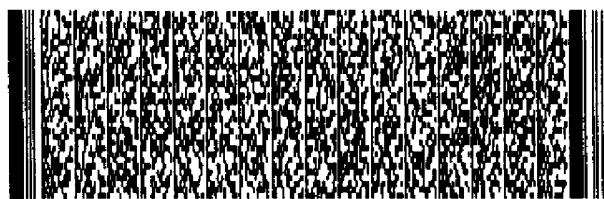
之多線環境的工作負荷與花費將大致被減少。

以往之解決方案一則會(a)因試圖將一個二級代碼線串之功能插入一級線串中而導入代碼作業中之無效率，並帶來顯著之工作負荷；二則(b)需要大量之花費與工作負荷來將任何現存之一級與二級線串處理用代碼接續(port)到一多線串作業系統。前者之手法除了時間、努力與花費之外，由於對各"副"功能之呼叫間的等待時間通常必須要靠實證，而對量測則是具挑戰性的，故相當困難。後者之手法則需要致力於接續碼(porting code)，其規模等級無疑地大於本發明之手法。

雖然該代表性實施例使用一定時器中斷，然其它中斷亦可同樣被使用。例如，一鍵盤中斷可用以切換主與副代碼線串處理，俾使所顯示之一前進指標器僅在作業者敲下某一特定鍵時才被更新。

雖然該代表性之實施例已就一服務處理器相對於一高階、多處理器系統下之情形作一描述，然本發明亦可有利地被使用在任何使用一執行單線串作業系統之通用處理器的環境中。先前所述之消費性電子、自動化電子、以及工業用控制器等例子尤其適於作為該利用本發明之多線串程序模擬之候選。

重要的一點是雖然本發明已就一完全功能性之裝置作一描述，然熟於此技藝之人士將了解到本發明之機構及/或其觀點可以以一電腦可讀取之各種形式指令媒介進行傳佈，且不管用以實際執行該傳佈之信號承載媒介是那一種



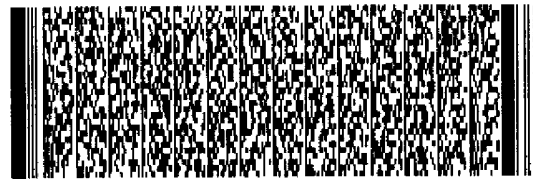
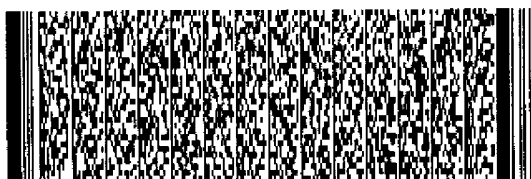
五、發明說明 (10)

特殊型態，本發明都能同樣地適用。各種電腦可讀取之媒介例子包括：非依電性、硬編碼型媒介，例如唯讀記憶體(ROM)或可電性、可抹除程式化之唯讀記憶體(EEPROM)、可記錄式媒介，例如軟碟片、硬碟裝置、以及CD-ROM等，以及傳輸式媒介，例如數位與類比通訊鏈路。

雖然本發明已特別參照一較佳實施例作一顯示與描述，然熟於此技藝之人士應了解到各種形式與細節上之變更都可在不脫離本發明之精神與範圍下被實施。

元件符號說明

100 資料處理系統	102、104 處理器
106、108 第二階(L2)快取記憶體	
110 系統匯流排	112 服務處理器
114 系統記憶體	
116 輸出/入(I/O)匯流排橋接器	
118 I/O匯流排	120 鍵盤及/或指標裝置
122 網路轉接器	124 圖形轉接器
126 顯示器	200 系統
202 主代碼線串	204 副代碼線串
204a-204n 構件	206 服務處理器之定時器
208 定時器中斷服務常式(ISR)	
210 暫存器	212 環形索引
214 指標器	

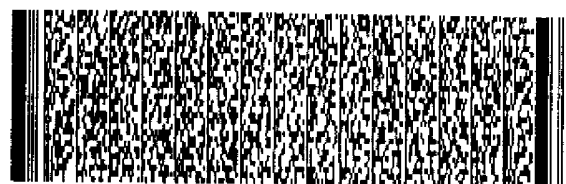
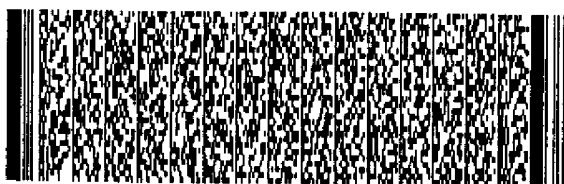


四、中文發明摘要 (發明之名稱：單線作業系統中模擬多線處理之方法)

本發明中，為了在一僅支援單線串(single-threaded)處理與單層岔斷之作業系統中模擬多線串處理，處理器之定時器會在執行一主代碼線串期間以一選定之暫停(time-out)期開始計時。該主代碼線串之程序會進行至有定時器中斷發生時，此時該作業系統之定時器中斷服務常式(ISR)會將執行控制轉移至一副代碼線串或副代碼線串構件(component)。該副代碼線串或構件將整個被執行，此時該定時器會被重置，且執行控制返回至主代碼線串，在此，整個程序回復至該定時器中斷被宣告(asserted)之點。為最小化該主代碼線串執行之分裂，應在副代碼線串上賦予一最大等待時間(latency)，這可以藉由將該副代碼線串分裂成多個構件而達成。該定時器ISR會用一指標

英文發明摘要 (發明之名稱：METHODOLOGY FOR EMULATION OF MULTI-THREADED PROCESSES IN A SINGLE-THREADED OPERATING SYSTEM)

To emulate multi-threaded processing in an operating system supporting only single-threaded processes and single-level interrupts, the processor timer is started with a selected time-out period during execution of a master code thread. Processing of the master code thread proceeds until the timer interrupt, at which time the operating system timer interrupt service routine (ISR) transfers execution control to a slave code thread or slave code thread component.

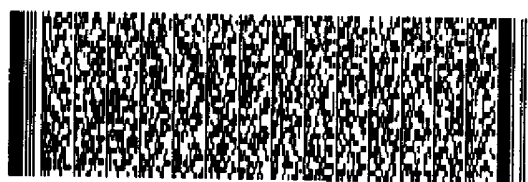
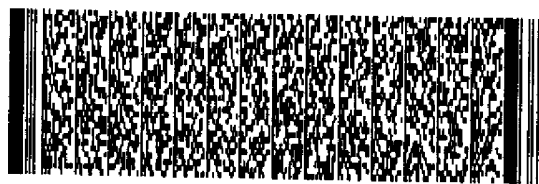


四、中文發明摘要 (發明之名稱：單線作業系統中模擬多線處理之方法)

器將一既定起始點之索引保存於該副代碼線串中，該指標器會辨識下一在該定時器中斷被宣告時所要被選擇之副代碼線串構件。如此一來，程序即在主代碼線串與副代碼線串或各構件之間，以由循環之方式(round-robin fashion)選擇之不同副代碼線串構件進行替換。在該主代碼線串與副代碼線串或各構件間之工作週期可以藉由選擇該暫停期以及允許副代碼線串程序之最大等待時間而被改變。

英文發明摘要 (發明之名稱：METHODOLOGY FOR EMULATION OF MULTI-THREADED PROCESSES IN A SINGLE-THREADED OPERATING SYSTEM)

The slave code thread or component is executed in its entirety, at which time the timer is reset and execution control is returned to the master code thread, where processing resumes at the point during which the timer interrupt was asserted. To minimize disruption of the master code thread execution, a maximum latency should be enforced on the slave code thread, which may be accomplished by breaking the slave code thread into multiple components. The timer ISR maintains an index of



四、中文發明摘要 (發明之名稱：單線作業系統中模擬多線處理之方法)

英文發明摘要 (發明之名稱：METHODOLOGY FOR EMULATION OF MULTI-THREADED PROCESSES IN A SINGLE-THREADED OPERATING SYSTEM)

the predetermined starting points within the slave code thread(s) with a pointer identifying the next slave code thread component to be selected when the timer interrupt is asserted. Processing thus alternates between the master code thread and the slave code thread or components, with different slave code thread components being selected in round-robin fashion. The duty cycle between the master code thread and the slave code thread or components may be varied by selection of the



四、中文發明摘要 (發明之名稱：單線作業系統中模擬多線處理之方法)

英文發明摘要 (發明之名稱：METHODOLOGY FOR EMULATION OF MULTI-THREADED PROCESSES IN A SINGLE-THREADED OPERATING SYSTEM)

time-out period and the maximum latency allowed to slave code thread processing.



六、申請專利範圍

1. 一種模擬多線處理之方法，其包含：

起動一會產生一定時器中斷之定時器；

執行一第一應用程序；以及

響應於該被宣告之定時器中斷，懸置該第一應用程序之執行，並執行一第二應用程序。

2. 如申請專利範圍第1項之方法，其中該懸置該第一應用程序之執行且執行一第二應用程序的步驟還包含：

執行該第二應用程序至完成；

重置該定時器；以及

回復該第一應用程序之執行。

3. 如申請專利範圍第1項之方法，其中該懸置該第一應用程序之執行且執行一第二應用程序之步驟還包含：

從多數二級應用程序當中選擇一個二級應用程序來執行。

4. 如申請專利範圍第3項之方法，其中該從多個二級應用程序當中選擇一個二級應用程序來執行之步驟還包含：

選擇一位於該等多數二級應用程序組成之排列序列當中的索引指標器所辨識之二級應用程序；

執行所選定之二級應用程序至結束；

更新該索引指標器，以辨識出下一個在該序列當中之二級應用程序；

重置該定時器；以及

回復該第一應用程序之執行。

5. 如申請專利範圍第4項之方法，其還包含：



六、申請專利範圍

響應於該再度被宣告之定時器中斷，並懸置該第一應用程序之執行，再執行該下一二級應用程序。

6. 一種模擬多線處理之方法，包含：

(a) 配置一定時器中斷服務常式給一其最上層執行一對應於一主代碼線串之應用的單線作業系統，以在一定時器中斷之宣告下，選擇性地執行至少一個對應於一運行於該單線作業系統之最上層之應用的二級代碼線串，其中該至少一二級代碼線串不同於該主代碼線串；

(b) 起始一會產生該定時器中斷之定時器；

(c) 執行該主代碼線串；

(d) 響應於再次被宣告之定時器中斷，而懸置該主代碼線串之執行，並執行該至少一二級代碼線串至結束；

(e) 重置該定時器；

(f) 回復該主代碼線串之執行；以及

(g) 重複步驟(d)~(f)。

7. 如申請專利範圍第6項之方法，其中該懸置該主代碼線串之執行且執行該至少一二級代碼線串至結束之步驟還包含：

從多數二級代碼線串中選擇一為一索引指標器所辨識之二級代碼線串，而該索引指標器則循環經過一由該等多數二級代碼線串組成之重複、排列序列；

執行該所選之二級代碼線串至結束；以及

更新該索引指標器，以辨識下一個在該排列序列中之二級代碼線串。



六、申請專利範圍

8. 如申請專利範圍第6項之方法，其還包含：

重複性地交替執行該主代碼線串，以及一以循環方式選自多數二級代碼線串當中的一二級代碼線串。

9. 如申請專利範圍第6項之方法，其中該懸置該主代碼線串之執行並執行該至少一二級代碼線串至結束之步驟還包含：

在開始執行該至少一二級代碼線串之前，儲存該主代碼線串之執行狀態。

10. 如申請專利範圍第6項之方法，其中該回復該主代碼線串之執行的步驟還包含：

從該定時器中斷先前被宣告之點回復該主代碼線串之執行。

11. 一種模擬多線處理之機構，包含：

一定時器中斷服務常式，用於一其最上層執行一對應該於一主代碼線串之應用的單線作業系統，其中該定時器中斷服務常式會在一定時器中斷之宣告下，辨識至少一個要被選擇性地執行之二級代碼線串，其中該至少一二級代碼線串不同於該主代碼線串且對應於一運行於該單線作業系統之最上層的應用程序；

用以起始一會產生該定時器中斷之定時器的裝置；

用以執行該主代碼線串之裝置；

用以響應於再次被宣告之定時器中斷，而懸置該主代碼線串之執行，並執行該至少一二級代碼線串至結束的裝置；



六、申請專利範圍

用以重置該定時器之裝置；以及

用以回復該主代碼線串之執行的裝置。

12. 如申請專利範圍第11項之機構，其中該用以懸置該主代碼線串之執行且執行該至少一二級代碼線串至結束之裝置還包含：

用以從多個二級代碼線串中選擇一為一索引指標器所辨識之二級代碼線串且該索引指標器會循環經過一由該等多個二級代碼線串組成之重複、排列序列的裝置；

用以執行該所選之二級代碼線串至結束的裝置；以及用以更新該索引指標器以辨識下一個在該排列序列中之二級代碼線串的裝置。

13. 如申請專利範圍第11項之機構，其還包含：

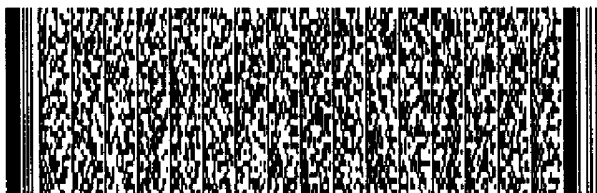
用以重複性地交替執行該主代碼線串，以及一以循環方式選自多個二級代碼線串當中的一二級代碼線串的裝置。

14. 如申請專利範圍第11項之機構，其中該用以懸置該主代碼線串之執行並執行該至少一二級代碼線串至結束之裝置還包含：

用以在開始執行該至少一二級代碼線串之前，儲存該主代碼線串之執行狀態的裝置。

15. 如申請專利範圍第11項之機構，其中該用以回復該主代碼線串之執行的裝置還包含：

用以從該定時器中斷先前被宣告之點回復該主代碼線串之執行的裝置。



六、申請專利範圍

16. 一種在一電腦可使用媒體中之電腦程式產品，其包含：

用以起動一會產生一定時器中斷之定時器的指令；

用以執行一第一應用程序之指令；以及

用以響應於該被宣告之定時器中斷而懸置該第一應用程序之執行並執行一第二應用程序的指令。

17. 如申請專利範圍第16項之電腦程式產品，其中該用以懸置該第一應用程序之執行且執行一第二應用程序的指令還包含：

用以執行該第二應用程序至完成之指令；

用以重置該定時器之指令；以及

用以回復該第一應用程序之執行的指令。

18. 如申請專利範圍第16項之電腦程式產品，其中該用以懸置該第一應用程序之執行且執行一第二應用程序之指令還包含：

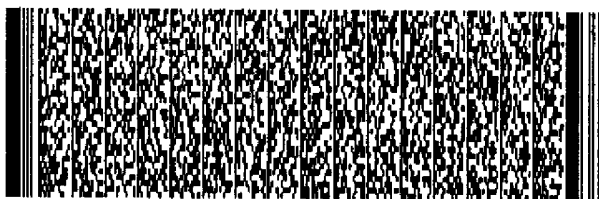
用以從多數二級應用程序當中選擇一個二級應用程序來執行之指令。

19. 如申請專利範圍第18項之電腦程式產品，其中該用以從多數二級應用程序當中選擇一個二級應用程序來執行之指令還包含：

用以選擇一位於該等多數二級應用程序組成之排列序列當中的索引指標器所辨識之二級應用程序的指令；

用以執行所選定之二級應用程序至結束之指令；

用以更新該索引指標器以辨識出下一個在該序列當中



六、申請專利範圍

之二級應用程序的指令；

用以重置該定時器之指令；以及

用以回復該第一應用程序之執行的指令。

20. 如申請專利範圍第19項之電腦程式產品，其還包含：

用以響應於該再度被宣告之定時器中斷並懸置該第一應用程序之執行才執行該下一二級應用程序的指令。



88116767

圖式

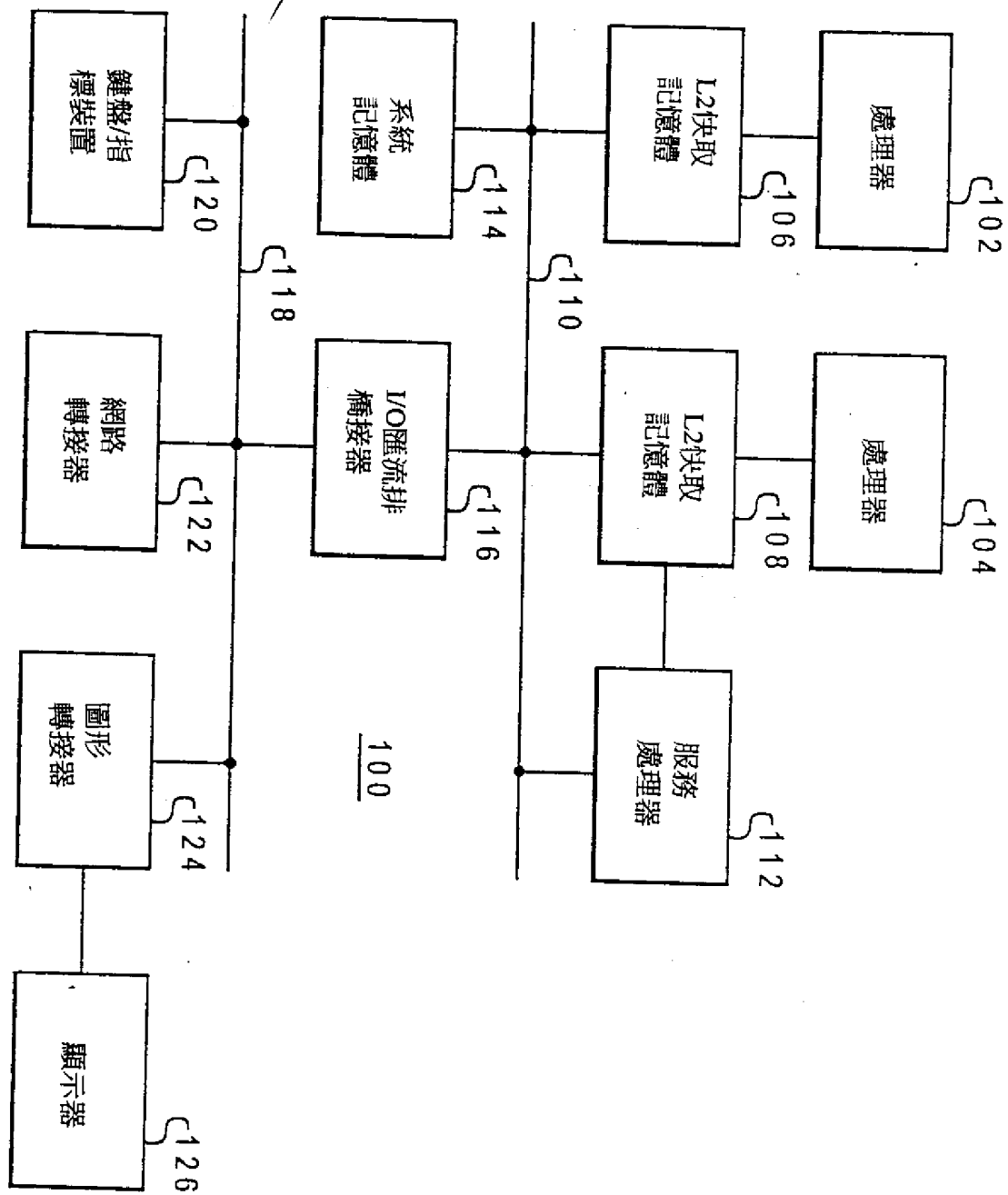


圖 1

圖式

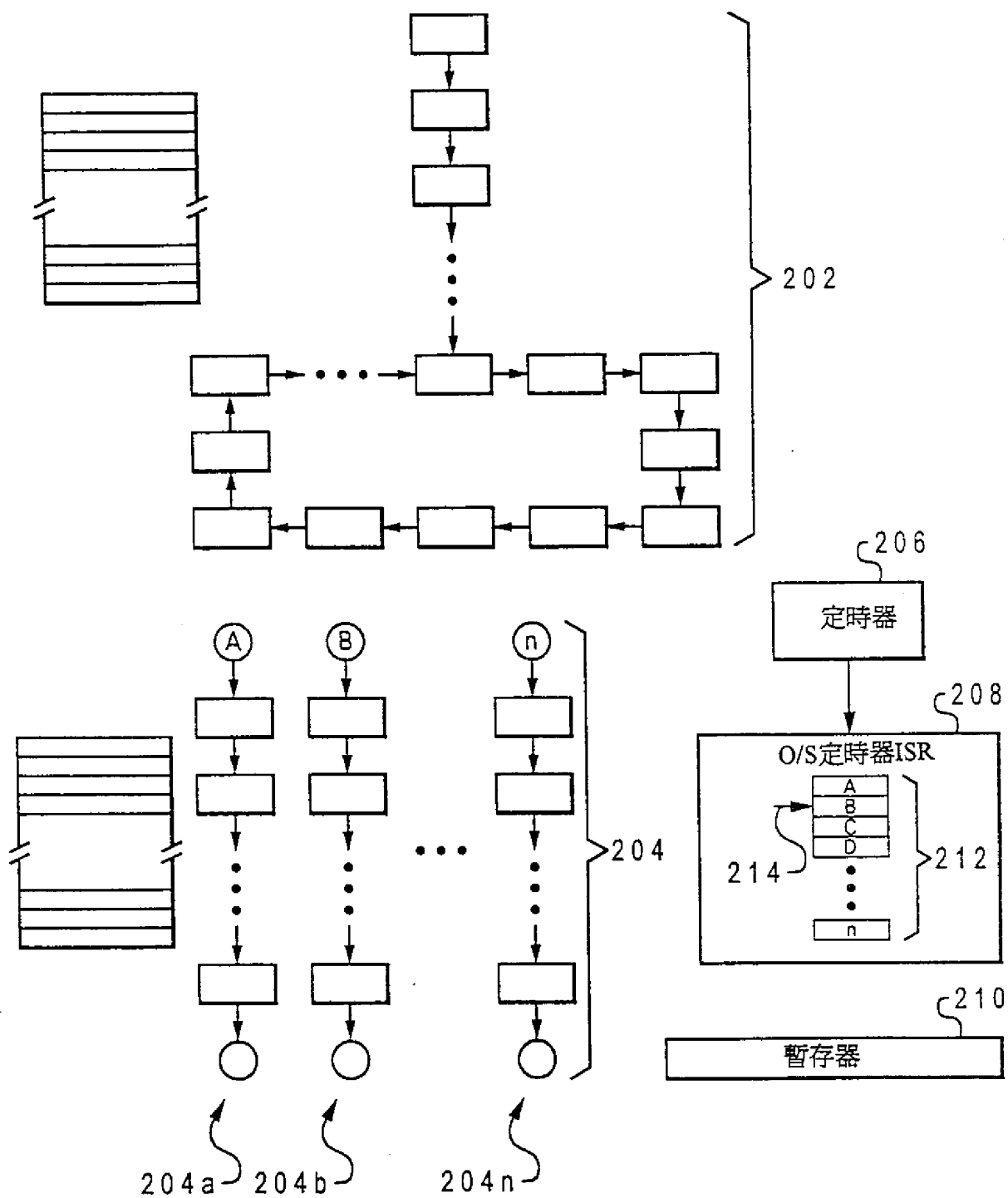


圖2

圖式

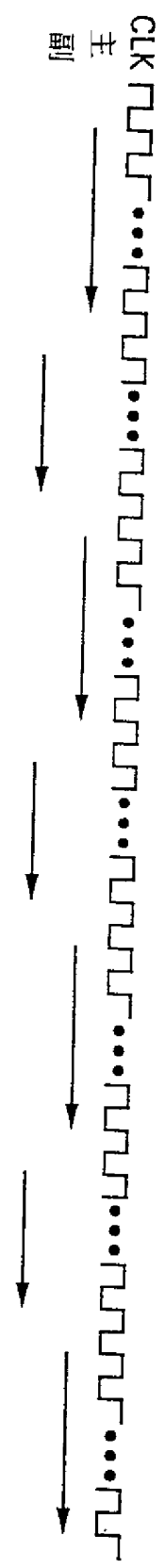


圖3A

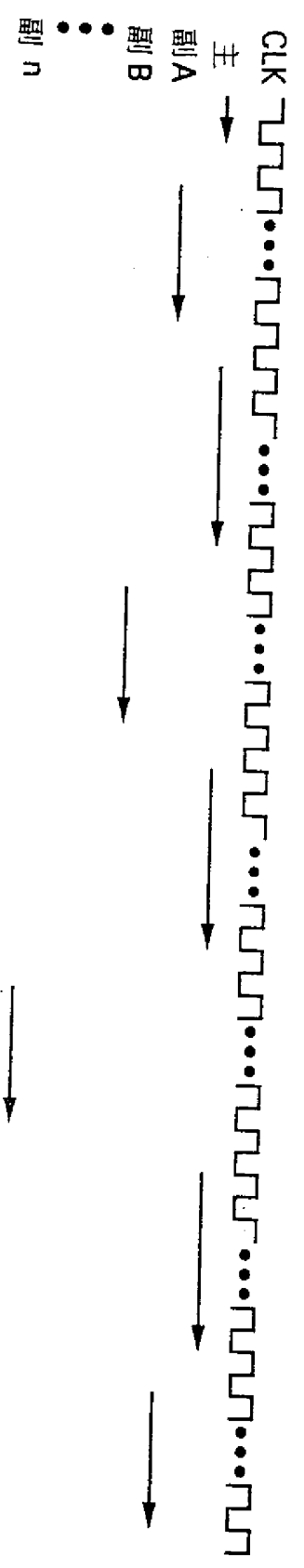


圖3B

圖式

