

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



PCT



(10) 国际公布号

WO 2011/124059 A1

(43) 国际公布日
2011 年 10 月 13 日 (13.10.2011)

- (51) 国际专利分类号:
H01L 21/28 (2006.01)
- (21) 国际申请号: PCT/CN2010/077295
- (22) 国际申请日: 2010 年 9 月 26 日 (26.09.2010)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201010142039.9 2010 年 4 月 7 日 (07.04.2010) CN
- (71) 申请人 (对除美国外的所有指定国): 中国科学院
微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES)
[CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。
- (72) 发明人: 及
- (75) 发明人/申请人 (仅对美国): 骆志炯 (LUO, Zhi-jiong) [CN/US]; 美国纽约州波基普西市洛克科劳斯特街 11#, Poughkeepsie, NY 12603 (US)。朱慧珑 (ZHU, Huilong) [US/US]; 美国纽约州波基普西市奥特姆路 93#, Poughkeepsie, NY 12603 (US)。尹海洲 (YIN, Haizhou) [CN/US]; 美国纽约州波基普西市洛克科劳斯特街 11#, Poughkeepsie, NY 12603 (US)。
- (74) 代理人: 北京市立方律师事务所 (LIFANG & PARTNERS LAW FIRM); 中国北京市东四十条甲 22 号南新仓国际大厦 A1105 室, Beijing 100007 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

[见续页]

(54) Title: HIGH SPEED TRANSISTOR STRUCTURE AND METHOD FOR FABRICATING THE SAME

(54) 发明名称: 一种高速晶体管结构及其制造方法

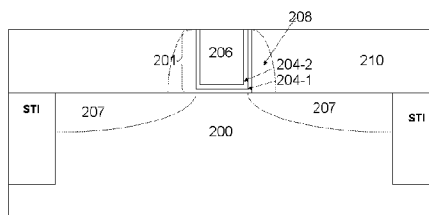


图 1 / Fig. 1

(57) Abstract: A high speed transistor device and a method for fabricating the same are provided. The transistor device comprises: a silicon substrate (200), and a gate stacking (201) on the silicon substrate, wherein, the gate stacking comprises a gate dielectric stacking (204) and a gate electrode layer (206), and the gate dielectric stacking comprises a SrTiO₃ layer (204-1) and a LaAlO₃ layer (204-2) thereon. By forming a trigonal potential well between the SrTiO₃ layer and the LaAlO₃ layer, two dimensional electron gas is generated, and electron density is improved. Meanwhile, because a channel is formed between the SrTiO₃ layer and the LaAlO₃ layer, separation of electrons and scattering centers can be achieved, electron mobility is improved, so that the operation speed of the transistor device is improved.

(57) 摘要:

提供了一种高速晶体管器件及其制造方法, 该晶体管器件包括: 硅衬底 (200), 和在硅衬底上形成的栅堆叠 (201), 栅堆叠包括栅介质堆叠 (204) 和栅电极层 (206), 栅介质堆叠包括 SrTiO₃ 层 (204-1) 和其上的 LaAlO₃ 层 (204-2)。通过在 SrTiO₃ 层和 LaAlO₃ 层之间形成三角势阱, 产生二维电子气, 提高了电子密度。同时由于沟道形成在 SrTiO₃ 层和 LaAlO₃ 层之间, 因此实现了电子和散射中心的分离, 提高了电子迁移率, 由此提高了晶体管器件的工作速度。

WO 2011/124059 A1



本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

一种高速晶体管结构及其制造方法

技术领域

本发明通常涉及一种高速晶体管器件及其制造方法。更具体而言，涉及一种通过形成特殊的栅介质堆叠来提高栅堆叠中电子浓度，从而提高电子迁移率，提升晶体管的工作速度的晶体管器件及其制造方法。

背景技术

随着半导体行业的发展，具有更高性能和更强功能的集成电路要求更大的元件密度，而且各个部件、元件之间或各个元件自身的尺寸、大小和空间也需要进一步缩小。相应地，为了提高 MOSFET（金属氧化物半导体场效应晶体管）器件的性能需要进一步提高栅中的电子迁移率。

因此，为了提高晶体管器件的性能，需要一种高速晶体管结构及其制造方法以提高栅中的电子迁移率，提高晶体管器件的速度。

发明内容

为了解决上述技术问题，本发明提出了一种高速晶体管器件，包括：硅衬底；以及在所述硅衬底上形成的栅堆叠，所述栅堆叠包括栅介质堆叠和栅电极层，所述栅介质堆叠包括 SrTiO₃ 层和在其上的 LaAlO₃ 层。其中，所述 SrTiO₃ 层的厚度为小于 20Å。其中，所述 LaAlO₃ 层的厚度大于所述 SrTiO₃ 层的厚度。

此外，本发明还提供了分别利用先栅工艺和后栅工艺制造高速晶体管器件的方法，利用后栅工艺制造高速晶体管器件的方法包括：a) 提供衬底；b) 在衬底上形成伪栅堆叠、侧墙以及在伪栅堆叠两侧的衬底中的源极区和漏极区，以及覆盖所述器件的层间介质层；c) 去除所述伪栅堆叠以形成开口；d) 在所述开口中外延生长 SrTiO₃ 层；e) 在 SrTiO₃ 层上外延生长 LaAlO₃ 层；以及 f) 在所述 LaAlO₃ 层上沉积栅电极层。利用先栅工艺制造高速晶体管器件的方法包括：a) 提供衬底；b) 在衬底上外延生长 SrTiO₃ 层；c) 在 SrTiO₃ 层上外延生长 LaAlO₃ 层；以及 d) 在所述 LaAlO₃ 层上沉积栅电极层。

由此，通过在 SrTiO₃ 层与 LaAlO₃ 层之间形成三角势阱，产生了二维电子气，提高了电子浓度。同时，由于沟道形成在 SrTiO₃ 层与 LaAlO₃ 层之间从而实现了电子和散射中心的分离，提高了电子的迁移率，由此提高了晶体管器件的工作速度。

5

附图说明

图 1 示出了根据本发明的第一实施例的晶体管器件的结构；

图 2 示出了根据本发明的第一实施例的晶体管器件的制造方法的流程图；

图 3-4 示出了根据本发明的第一实施例的晶体管器件的各个制造阶段的结

10 构；

图 5 示出了根据本发明的第二实施例的晶体管器件的结构；

图 6 示出了根据本发明的第二实施例的晶体管器件的制造方法的流程图；

图 7 示出了高速晶体管器件的能带图。

15 具体实施方式

本发明通常涉及一种高速晶体管结构及其制造方法，尤其涉及一种通过形成特殊的栅介质堆叠来提高栅堆叠中电子浓度，从而提高电子迁移率，提升晶体管的工作速度的晶体管器件及其制造方法。

20 下文的公开提供了许多不同的实施例或例子用来实现本发明的不同结构。为了简化本发明的公开，下文中对特定例子的部件和设置进行描述。

当然，它们仅仅为示例，并且目的不在于限制本发明。此外，本发明可以在不同例子中重复参考数字和/或字母。这种重复是为了简化和清楚的目的，其本身不指示所讨论各种实施例和/或设置之间的关系。此外，本发明提供了的各种特定的工艺和材料的例子，但是本领域普通技术人员可以意
25 识到其他工艺的可应用于性和/或其他材料的使用。另外，以下描述的第一特征在第二特征之“上”的结构可以包括第一和第二特征形成直接接触的实施例，也可以包括另外的特征形成在第一和第二特征之间的实施例，这样第一和第二特征可能不是直接接触。

第一实施例

根据本发明的第一实施例，参考图 1，图 1 示出了根据本发明的第一实施例的晶体管器件的结构。如图 1 所示，本发明的晶体管器件通过后栅（栅替代工艺）形成。根据这种方法形成的晶体管器件包括：包括硅衬底 200；以及
5 在衬底中形成的源极区和漏极区 207，和在所述硅衬底上形成的栅堆叠 201 及其侧墙 208，所述栅堆叠包括栅介质堆叠 204 和栅电极层 206，所述栅介质堆叠包括 SrTiO₃ 层 204-1 和在其上的 LaAlO₃ 层 204-2，所述栅介质堆叠 204 覆盖所述衬底和侧墙 208 的侧壁。可选地，所述器件还包括覆盖所述晶体管器件的层间介质层 210。其中，所述 SrTiO₃ 层 204-1 的厚度为
10 小于 20Å；所述 LaAlO₃ 层 204-2 的厚度大于所述 SrTiO₃ 层的厚度。

图 7 是图 1 所示高速晶体管器件的能带图，根据能带理论，由于各层费米能级的差异以及栅极电压的作用，高速晶体管的 SrTiO₃ 层 204-1、LaAlO₃ 层 204-2 以及硅衬底的能带发生倾斜，从图中可以看出，在 SrTiO₃ 层 204-1 和 LaAlO₃ 层 204-2 之间，以及 SrTiO₃ 层 204-1 与硅衬底 200 之
15 间形成三角形电子势阱，使电子在垂直于衬底 200 方向的运动受到限制，从而形成二维电子气。在靠近源极的区域，硅衬底表面的二维电子气在栅极电压的作用下隧穿进入 SrTiO₃ 层 204-1 与 LaAlO₃ 层 204-2 之间的电子势阱内，从而提高了 SrTiO₃ 层 204-1 与 LaAlO₃ 层 204-2 之间的电子浓度，在靠近漏极的区域，在漏和栅电压的作用下，SrTiO₃ 层 204-1 与 LaAlO₃
20 层 204-2 之间的电子隧穿进入衬底表面的电子阱中，从而实现了漏极到源极的电流流动。

由此，通过在 SrTiO₃ 层 204-1 与 LaAlO₃ 层 204-2 之间形成三角势阱，产生了二维电子气，提高了电子浓度。同时，由于沟道形成在 SrTiO₃ 层 204-1 与 LaAlO₃ 层 204-2 之间从而实现了电子和散射中心的分离，提高了
25 电子的迁移率，由此提高了晶体管器件的工作速度。

下面根据附图 2 描述根据本发明的第一实施例的晶体管器件的制造方法的流程图。

在步骤 101，首先提供一个半导体衬底 200，衬底 200 包括位于晶体结构中的硅衬底（例如晶片）。衬底优选为 p 型衬底，衬底 200 可以包括各种

掺杂配置。其他例子的衬底 200 还可以包括其他基本半导体，例如锗和金刚石。或者，衬底 200 可以包括化合物半导体，例如碳化硅、砷化镓、砷化铟或者磷化铟。此外，衬底 200 可以可选地包括外延层，可以被应力改变以增强性能，以及可以包括绝缘体上硅（SOI）结构。

5 在步骤 102，在衬底上形成伪栅堆叠 201、侧墙 208 以及在伪栅堆叠两侧的衬底中的源极区和漏极区 207，以及覆盖所述器件的层间介质层 210。伪栅堆叠 201 包括伪栅极介质层和伪栅极，伪栅极介质层可以为热氧化层，包括氧化硅、氮化硅，例如二氧化硅。伪栅极为牺牲层，伪栅极可以例如为多晶硅。在一个实施例中，伪栅极包括非晶硅。伪栅极介质层和伪栅极可以
10 由 MOS 技术工艺，例如沉积、光刻、蚀刻及/或其他合适的方法形成。

源/漏极区 207 可以通过根据期望的晶体管结构，注入 p 型或 n 型掺杂物或杂质到衬底 200 中而形成。源/漏极区 207 可以由包括光刻、离子注入、扩散和/或其他合适工艺的方法形成。利用通常的半导体加工工艺和步骤，对所述器件进行热退火，以激活源极和漏极 207 中的掺杂，热退火可以采用
15 包括快速热退火、尖峰退火等本领域技术人员所知晓的工艺进行。

覆盖所述伪栅堆叠 201 形成侧墙 208。侧墙 208 可以由氮化硅、氧化硅、氮氧化硅、碳化硅、氟化物掺杂硅玻璃、低 k 电介质材料及其组合，和/或其他合适的材料形成。侧墙 208 可以具有多层结构。侧墙 208 可以通过包括沉积合适的电介质材料的方法形成。这结构可以用本领域技术人员所
20 知晓的工艺得到。

特别地，还可以在所述衬底上沉积形成层间介质层（ILD）210，可以是但不限于例如未掺杂的氧化硅（SiO₂）、掺杂的氧化硅（如硼硅玻璃、硼磷硅玻璃等）和氮化硅（Si₃N₄）。所述层间介质层 210 可以使用例如化学气相沉积（CVD）、物理气相沉积（PVD）、原子层沉积（ALD）及/
25 或其他合适的工艺等方法形成。层间介质层 210 可以具有多层结构。在一个实施例中，层间介质层 210 的厚度范围为大约 30 到 90 纳米。

而后，对所述层间介质层 210 和所述侧墙 208 平坦化处理以暴露所述伪栅极的上表面。例如可以通过化学机械抛光（CMP）方法来去除所述层间介质层 210，直至暴露所述侧墙 208 的上表面。而后再对所述侧墙 208

进行化学机械抛光或反应离子刻蚀，从而去除所述侧墙 208 的上表面，从而暴露所述伪栅极，如图 3 所示。

而后方法进行到步骤 103，去除所述伪栅堆叠 201 以形成开口。如图 4 所示。例如，选择性地蚀刻多晶硅和伪栅极介质层上来除去伪栅极和伪栅极介质层并形成开口。可以使用湿蚀刻和/或干蚀刻除去。在一个实施例中，
5 湿蚀刻工艺包括四甲基氢氧化铵(TMAH)、氢氧化钾(KOH)或者其他合适蚀刻剂溶液。

而后，在步骤 204，在所述开口中外延生长 SrTiO₃ 层 204-1，所述 SrTiO₃ 层 204-1 的厚度为小于 20Å。而后在步骤 205，在 SrTiO₃ 层 204-1 上外延
10 生长 LaAlO₃ 层 204-2，所述 LaAlO₃ 层 204-2 的厚度大于所述 SrTiO₃ 层的厚度。在这种工艺中所述 SrTiO₃ 层 204-1 和 LaAlO₃ 层 204-2 覆盖所述开口下方的衬底和侧墙的侧壁。

此后，在步骤 206，在所述 LaAlO₃ 层 204-2 上沉积栅电极层 206，如图 1 所示。金属栅极材料可以包括一个或多个材料层，例如衬层，向栅极提供
15 合适功函数的材料，栅电极材料和/或其他合适材料。对于 N 型半导体器件可以从包含下列元素的组中选择一种或多种元素进行沉积：TiN、TiAlN、TaAlN、Ta₂N、TaSiN、HfSiN、MoSiN、RuTa_x、NiTa_x 及这些材料的组合；对于 P 型半导体器件可以从包含下列元素的组中选择一种或多种元素进行沉积：TiN、TiSiN、TiCN、TaAlC、TiAlN、Ta₂N、PtSi_x、Ni₃Si、Pt、Ru、Ir、Mo、
20 HfRu、RuO_x 及这些材料的组合。

此后对器件进行后续的加工工艺，例如化学机械抛光等，这将根据器件的设计需要进行。

第二实施例

25 下面将仅就第二实施例区别于第一实施例的方面进行阐述。未描述的部分应当认为与第一实施例采用了相同的步骤、方法或者工艺来进行，因此再次不再赘述。在根据本发明的第二实施例中，晶体管器件采用先栅工艺形成，包括硅衬底 200；以及在所述硅衬底上形成的栅堆叠 202，所述栅堆叠包括栅介质堆叠 204 和栅电极层 206，所述栅介质堆叠包括 SrTiO₃ 层

204-1 和在其上的 LaAlO₃ 层 204-2, 此外, 所述高速晶体管器件还包括在栅堆叠两侧的衬底中形成的源极区和漏极区 207。其中, 所述 SrTiO₃ 层 204-1 的厚度为小于 20Å; 所述 LaAlO₃ 层 204-2 的厚度大于所述 SrTiO₃ 层的厚度, 如图 5 所示。

5 图 7 是图 5 所示高速晶体管器件的能带图, 根据能带理论, 由于各层费米能级的差异以及栅极电压的作用, 高速晶体管的 SrTiO₃ 层 204-1、LaAlO₃ 层 204-2 以及硅衬底的能带发生倾斜, 从图中可以看出, 在 SrTiO₃ 层 204-1 和 LaAlO₃ 层 204-2 之间, 以及 SrTiO₃ 层 204-1 与硅衬底 200 之间形成三角形电子势阱, 使电子在垂直于衬底 200 方向的运动受到限制,
10 从而形成二维电子气。在靠近源极的区域, 硅衬底表面的二维电子气在栅极电压的作用下隧穿进入 SrTiO₃ 层 204-1 与 LaAlO₃ 层 204-2 之间的电子势阱内, 从而提高了 SrTiO₃ 层 204-1 与 LaAlO₃ 层 204-2 之间的电子浓度, 在靠近漏极的区域, 在漏和栅电压的作用下, SrTiO₃ 层 204-1 与 LaAlO₃ 层 204-2 之间的电子隧穿进入衬底表面的电子阱中, 从而实现了漏极到源
15 极的电流流动。

由此, 通过在 SrTiO₃ 层 204-1 与 LaAlO₃ 层 204-2 之间形成三角势阱, 产生了二维电子气, 提高了电子浓度。同时, 由于沟道形成在 SrTiO₃ 层 204-1 与 LaAlO₃ 层 204-2 之间从而实现了电子和散射中心的分离, 提高了电子的迁移率, 由此提高了晶体管器件的工作速度。

20 下面根据附图 6 描述根据本发明的第二实施例的晶体管器件的制造方法的流程图。

在步骤 201, 首先提供一个半导体衬底 200, 衬底 200 包括位于晶体结构中的硅衬底 (例如晶片)。衬底优选为 p 型衬底, 衬底 200 可以包括各种掺杂配置。其他例子的衬底 200 还可以包括其他基本半导体, 例如锗和金
25 刚石。或者, 衬底 200 可以包括化合物半导体, 例如碳化硅、砷化镓、砷化铟或者磷化铟。此外, 衬底 200 可以可选地包括外延层, 可以被应力改变以增强性能, 以及可以包括绝缘体上硅 (SOI) 结构。

在步骤 202, 在衬底 200 上形成的栅堆叠 202, 所述栅堆叠 202 包括栅介质堆叠 204 和栅电极层 206, 所述栅介质堆叠 204 包括 SrTiO₃ 层 204-1

和在其上的 LaAlO₃ 层 204-2。其中，所述 SrTiO₃ 层 204-1 的厚度大约小于 20Å；所述 LaAlO₃ 层 204-2 的厚度大于 204-1 的厚度。所述 SrTiO₃ 层 204-1 和 LaAlO₃ 层 204-2 通过外延生长方式形成。

而后，在步骤 203，在栅堆叠 202 两侧的衬底 200 中形成的源极区和漏极区 207。此后对晶体管器件执行后续加工步骤，例如化学机械抛光等，这将根据器件的设计需要进行。

以上已经根据本发明的第一实施例和第二实施例描述了本发明的原理，通过在 SrTiO₃ 层 204-1 与 LaAlO₃ 层 204-2 之间形成三角势阱，产生了二维电子气，提高了电子浓度。同时，由于沟道形成在 SrTiO₃ 层 204-1 与 LaAlO₃ 层 204-2 之间从而实现了电子和散射中心的分离，提高了电子的迁移率，由此提高了晶体管器件的工作速度。

虽然关于示例实施例及其优点已经详细说明，应当理解在不脱离本发明的精神和所附权利要求限定的保护范围的情况下，可以对这些实施例进行各种变化、替换和修改。对于其他例子，本领域的普通技术人员应当容易理解在保持本发明保护范围内的同时，工艺步骤的次序可以变化。

此外，本发明的应用范围不局限于说明书中描述的特定实施例的工艺、机构、制造、物质组成、手段、方法及步骤。从本发明的公开内容，作为本领域的普通技术人员将容易地理解，对于目前已存在或者以后即将开发出的工艺、机构、制造、物质组成、手段、方法或步骤，其中它们执行与本发明描述的对应实施例大体相同的功能或者获得大体相同的结果，依照本发明可以对它们进行应用。因此，本发明所附权利要求旨在将这些工艺、机构、制造、物质组成、手段、方法或步骤包含在其保护范围内。

权 利 要 求

1、一种高速晶体管器件，包括：

硅衬底；以及

5 在所述硅衬底上形成的栅堆叠，所述栅堆叠包括栅介质堆叠和栅电极层，所述栅介质堆叠包括 SrTiO₃ 层和在其上的 LaAlO₃ 层。

2、根据权利要求 1 所述的高速晶体管器件，包括：在栅堆叠两侧的衬底中形成的源极区和漏极区。

10 3、根据权利要求 1 所述的高速晶体管器件，其中，所述 SrTiO₃ 层的厚度为小于 20Å。

4、根据权利要求 1 所述的高速晶体管器件，其中，所述 LaAlO₃ 层的厚度大于所述 SrTiO₃ 层的厚度。

5、一种制造高速晶体管器件的方法，包括如下步骤：

a) 提供衬底；

15 b) 在衬底上外延生长 SrTiO₃ 层；

c) 在 SrTiO₃ 层上外延生长 LaAlO₃ 层；以及

d) 在所述 LaAlO₃ 层上沉积栅电极层。

6、一种制造高速晶体管器件的方法，包括如下步骤：

a) 提供衬底；

20 b) 在衬底上形成伪栅堆叠、侧墙以及在伪栅堆叠两侧的衬底中的源极区和漏极区，以及覆盖所述器件的层间介质层；

c) 去除所述伪栅堆叠以形成开口；

d) 在所述开口中外延生长 SrTiO₃ 层；

e) 在 SrTiO₃ 层上外延生长 LaAlO₃ 层；以及

25 f) 在所述 LaAlO₃ 层上沉积栅电极层。

7、根据权利要求 5 或 6 所述的方法，其中，所述 SrTiO₃ 层的厚度为小于 20Å。

8、根据权利要求 5 或 6 所述的方法，其中，所述 LaAlO₃ 层的厚度大于所述 SrTiO₃ 层的厚度。

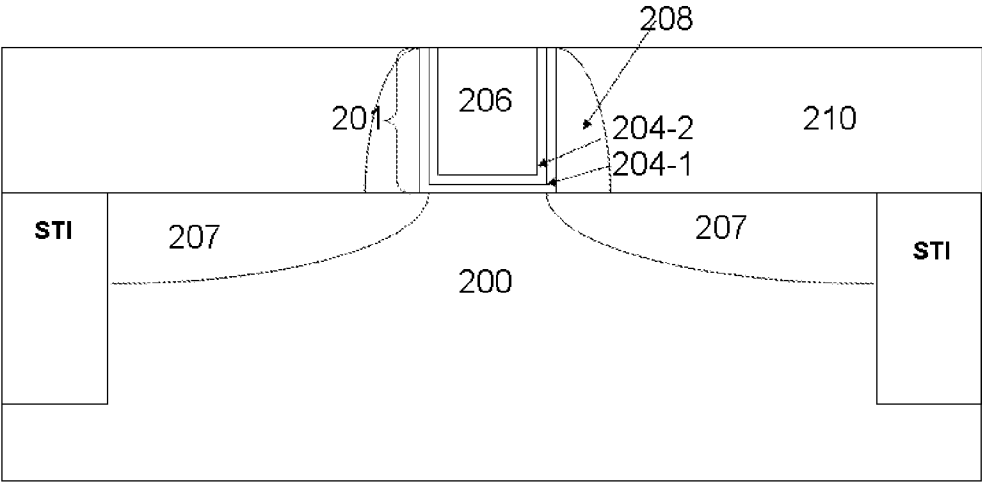


图 1

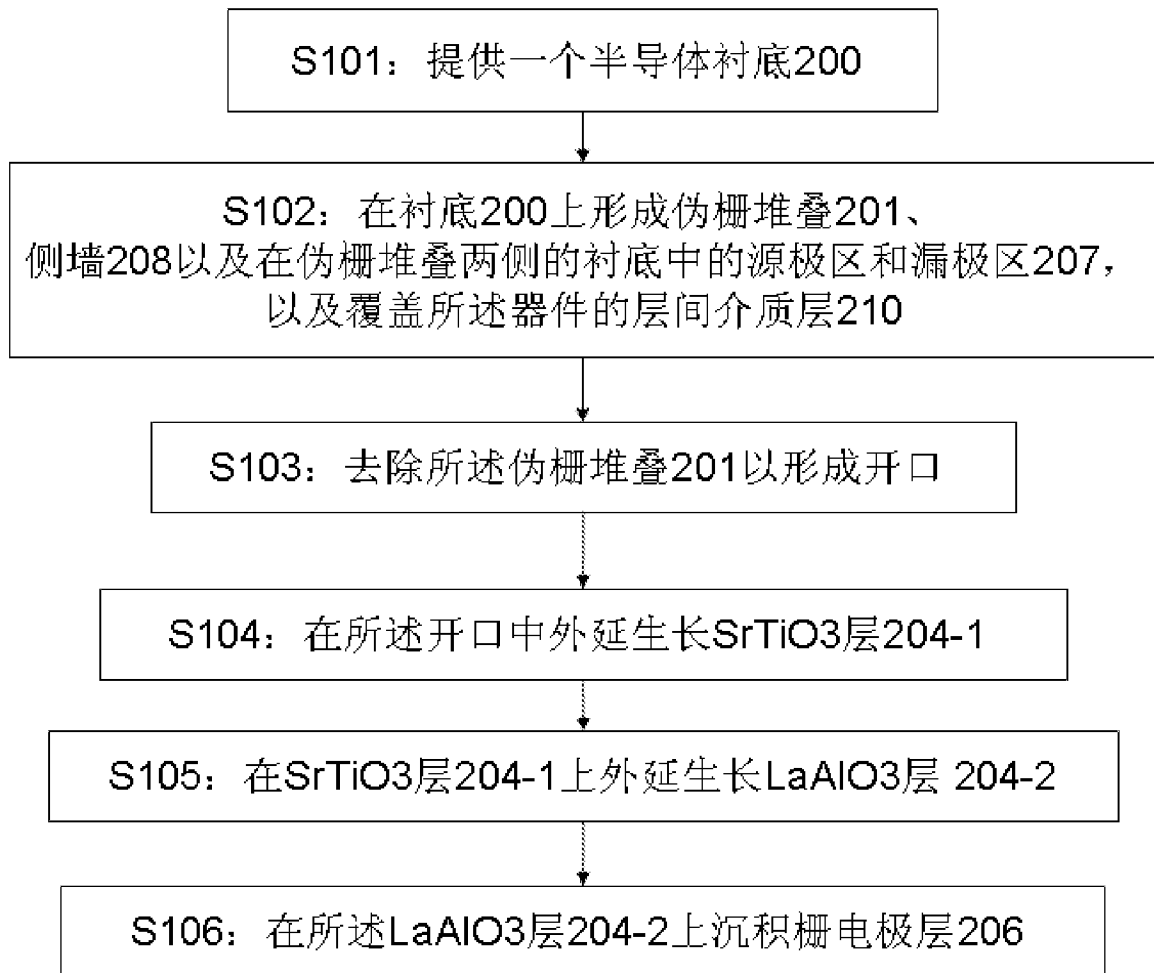


图 2

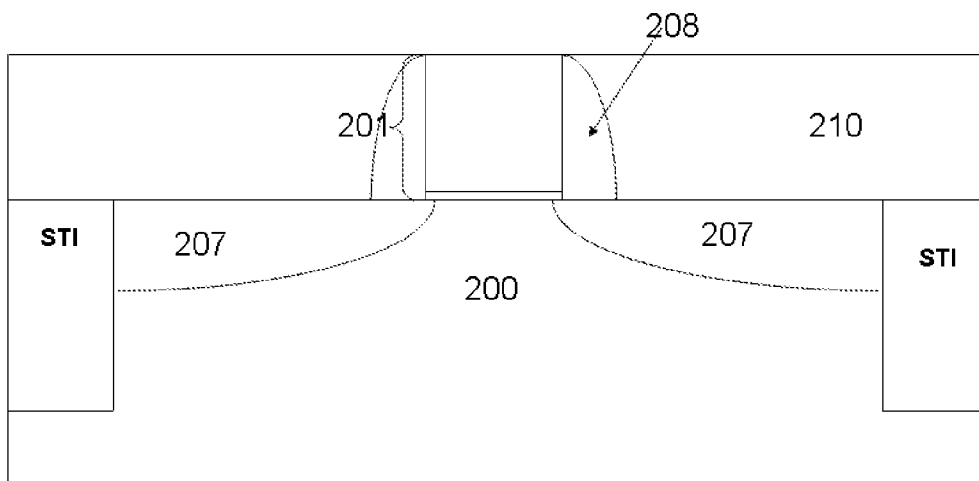


图 3

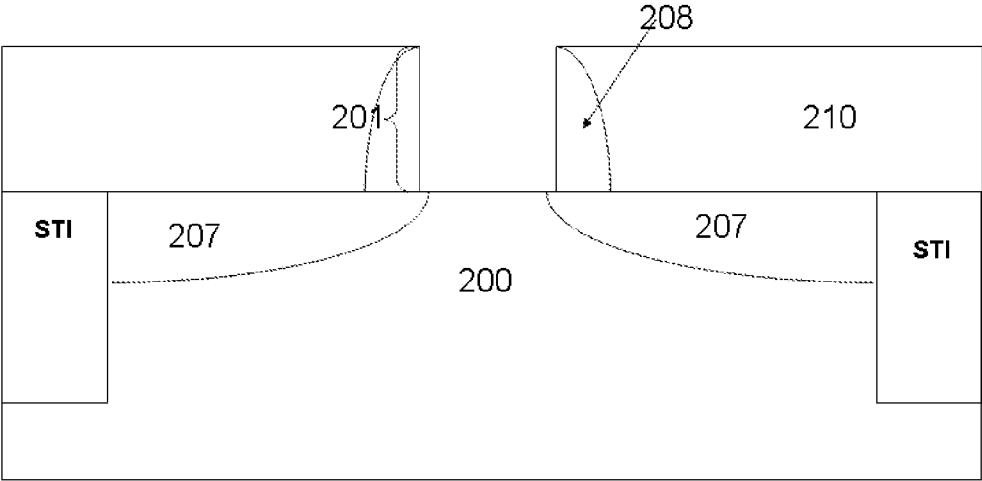


图 4

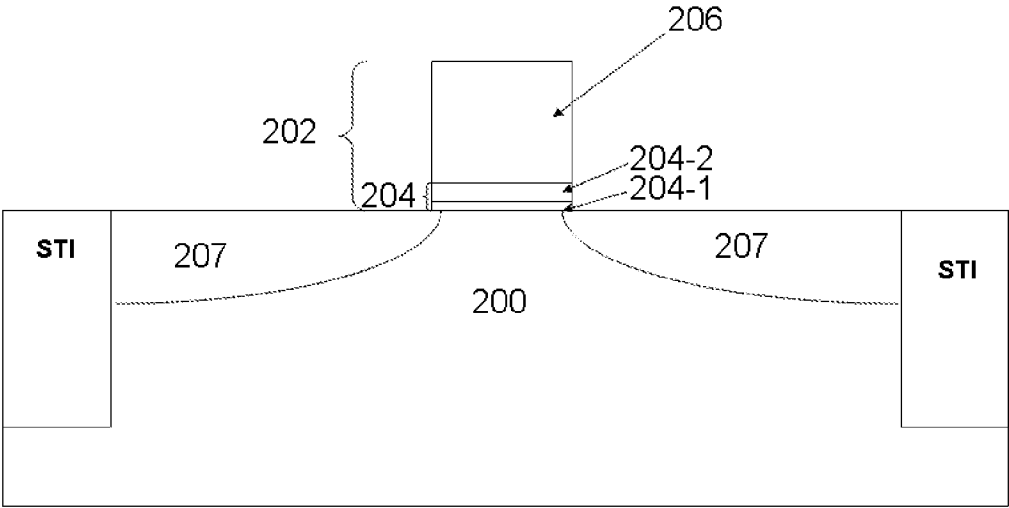


图 5



图 6

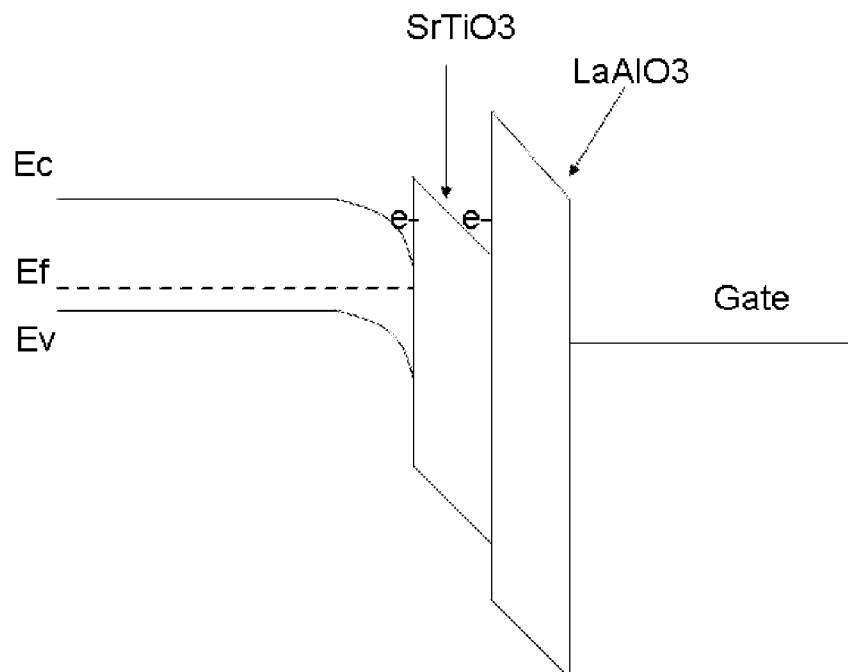


图 7

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2010/077295

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/28(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC:H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI,CPRS,WPI,EPODOC: SrTiO?, LaAlO?, gate, substrate, stack, epitaxy, thicknes

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN101599436A(INST MICROELECTRONICS CHINESE ACAD SCI)09 Dec. 2009 (09.12.2009) the whole document	1-8
A	US2009/0283836A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION)19 Nov. 2009(19.11.2009) the whole document	1-8
A	CN101325203A(INT BUSINESS MACHINES CORP)17 Dec. 2008(17.12.2008)the whole document	1-8
A	CN101231952A(TOKYO ELECTRON LTD)30 Jul. 2008(30.07.2008)the whole document	1-8

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim (S) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&"document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
31 Dec. 2010 (31.12.2010)Date of mailing of the international search report
20 Jan. 2011 (20.01.2011)Name and mailing address of the ISA/CN
The State Intellectual Property Office, the P.R.China
6 Xitucheng Rd., Jimen Bridge, Haidian District, Beijing, China
100088
Facsimile No. 86-10-62019451

Authorized officer

Zhi, Yue

Telephone No. (86-10)62411788

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2010/077295

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN101599436A	09.12.2009	NONE	
US2009/0283836A1	19.11.2009	NONE	
CN101325203A	17.12.2008	US2008308872A1	18.12.2008
		US7696036B2	13.04.2010
CN101231952A	30.07.2008	US2008175994A1	24.07.2008
		JP2008181995A	07.08.2008
		KR20080069918A	29.07.2008
		TW200845215A	16.11.2008

国际检索报告

国际申请号
PCT/CN2010/077295

A. 主题的分类

H01L21/28(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC:H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNKI,CPRS,WPI,EPODOC:栅极, 介电, 衬底, 堆叠, 外延, 厚度, SrTiO₂, LaAlO₃, gate, substrate, stack, epitaxy, thickness

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN101599436A (中国科学院微电子研究所) 09.12 月 2009 (09.12.2009) 全文	1—8
A	US2009/0283836A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 19.11 月 2009 (19.11.2009) 全文	1—8
A	CN101325203A (国际商业机器公司) 17.12 月 2008 (17.12.2008) 全文	1—8
A	CN101231952A (东京毅力科创株式会社) 30.7 月 2008 (30.07.2008) 全文	1—8

☐ 其余文件在 C 栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期
31.12 月 2010 (31.12.2010)

国际检索报告邮寄日期
20.1 月 2011 (20.01.2011)

ISA/CN 的名称和邮寄地址:
中华人民共和国国家知识产权局
中国北京市海淀区蓟门桥西土城路 6 号 100088
传真号: (86-10)62019451

授权官员

智月
电话号码: (86-10) **62411788**

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2010/077295

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN101599436A	09.12.2009	无	
US2009/0283836A1	19.11.2009	无	
CN101325203A	17.12.2008	US2008308872A1	18.12.2008
		US7696036B2	13.04.2010
CN101231952A	30.07.2008	US2008175994A1	24.07.2008
		JP2008181995A	07.08.2008
		KR20080069918A	29.07.2008
		TW200845215A	16.11.2008