

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-168603

(P2017-168603A)

(43) 公開日 平成29年9月21日(2017.9.21)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/316 (2006.01)	HO 1 L 21/316 P	5 F 0 5 8
HO 1 L 21/318 (2006.01)	HO 1 L 21/316 S	5 F 1 4 0
HO 1 L 29/78 (2006.01)	HO 1 L 21/318 A	
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 O 1 G	
	HO 1 L 29/78 3 O 1 B	

審査請求 未請求 請求項の数 8 O L (全 16 頁)

(21) 出願番号 特願2016-51736 (P2016-51736)
 (22) 出願日 平成28年3月15日 (2016.3.15)

(71) 出願人 000005234
 富士電機株式会社
 神奈川県川崎市川崎区田辺新田1番1号
 (71) 出願人 301021533
 国立研究開発法人産業技術総合研究所
 東京都千代田区霞が関1-3-1
 (74) 代理人 100104190
 弁理士 酒井 昭徳
 (72) 発明者 荒岡 幹
 茨城県つくば市東1-1-1 国立研究開
 発法人産業技術総合研究所つくばセンター
 内

最終頁に続く

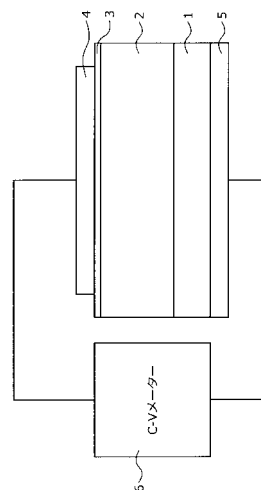
(54) 【発明の名称】 炭化珪素半導体素子および炭化珪素半導体素子の製造方法

(57) 【要約】

【課題】ゲート酸化直後のチャネル移動度の低下を抑え、かつフラットバンド電圧を正の値に両立できること。

【解決手段】炭化珪素基板 1 上に、ゲート絶縁膜 3 として少なくとも 1 層以上の酸化膜、窒化膜あるいは酸窒化膜を形成する。ゲート絶縁膜 3 を形成した後に、ゲート絶縁膜 3 を 400 以上の温度で熱処理する。熱処理の工程は、最高温度から 400 の範囲での降温速度が 5 /分以上 100 /分未満とすることで、ゲート絶縁膜 3 は質量密度が 2 . 2 g / c m⁻³以上かつ 2 . 5 g / c m⁻³未満となる。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

炭化珪素基板上に、ゲート絶縁膜として少なくとも 1 層以上の酸化膜、窒化膜あるいは酸窒化膜を形成する工程と、前記ゲート絶縁膜を形成した後に、当該ゲート絶縁膜を 400 以上の温度で熱処理する工程を含み、

前記熱処理の工程は、最高温度から 400 の範囲での降温速度が 5 / 分以上 100 / 分未満としたことを特徴とする炭化珪素半導体素子の製造方法。

【請求項 2】

前記熱処理の工程では、前記ゲート絶縁膜の形成および低抵抗化、層間絶縁膜の形成および焼締め、コンタクトメタルの形成および前記コンタクトメタルと前記炭化珪素半導体との反応層の形成、のいずれかを行うことを特徴とする請求項 1 に記載の炭化珪素半導体素子の製造方法。

【請求項 3】

前記熱処理の工程は、少なくとも水素、水蒸気、窒素、ヘリウム、アルゴンのいずれかを含むガスを用いることを特徴とする請求項 1 または 2 に記載の炭化珪素半導体素子の製造方法。

【請求項 4】

前記ゲート絶縁膜を形成する工程に、水分を含まない乾燥酸素中での熱酸化が含まれることを特徴とする請求項 1 ~ 3 のいずれか一つに記載の炭化珪素半導体素子の製造方法。

【請求項 5】

前記ゲート絶縁膜を形成する工程に、少なくとも一酸化二窒素または一酸化窒素を含むガス中での熱酸窒化が含まれることを特徴とする請求項 1 ~ 3 のいずれか一つに記載の炭化珪素半導体素子の製造方法。

【請求項 6】

前記ゲート絶縁膜を形成する工程に、少なくとも水分を含むガス中での熱酸化が含まれることを特徴とする請求項 1 ~ 3 のいずれか一つに記載の炭化珪素半導体素子の製造方法。

【請求項 7】

前記ゲート絶縁膜を形成する工程に、酸化膜あるいは窒化膜あるいは酸窒化膜の絶縁膜を化学的もしくは物理的気相成長法により堆積させる工程が含まれることを特徴とする請求項 1 ~ 3 のいずれか一つに記載の炭化珪素半導体素子の製造方法。

【請求項 8】

炭化珪素基板と、

前記炭化珪素基板上に形成され、少なくとも 1 層以上の酸化膜、窒化膜あるいは酸窒化膜からなるゲート絶縁膜とを有し、

前記ゲート絶縁膜は、質量密度が 2.2 g/cm^3 以上かつ 2.5 g/cm^3 未満であることを特徴とする炭化珪素半導体素子。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、炭化珪素基板を使用した半導体装置に関わり、特にゲート絶縁膜に特徴を有する、炭化珪素半導体素子および炭化珪素半導体素子の製造方法に関する。

【背景技術】

【0002】

炭化珪素は優れた物性値を有するため、その特性を生かして高耐圧で低損失なパワーデバイスへの適用が期待されている。炭化珪素を炭化珪素半導体装置の一種である炭化珪素縦型金属 - 酸化膜 - 半導体電界効果型トランジスタ (Metal Oxide Semiconductor Field Effect Transistor: MOSFET) に適用する場合、炭化珪素の上に二酸化珪素などのゲート絶縁膜を形成する。

【0003】

10

20

30

40

50

炭化珪素基板の上に二酸化珪素を形成するには、炭化珪素基板を熱酸化する方法と、炭化珪素基板上に二酸化珪素をデポジション（堆積）する方法とがある。いずれかの方法を用いても、炭化珪素基板と二酸化珪素との界面に界面準位ができ、この界面準位がMOSFETの電界効果移動度（チャンネル移動度）を炭化珪素バルク中の移動度より低下させる。これによりMOSFETのオン動作時の抵抗値を増加させ、損失が増大してしまうことがあった。

【0004】

炭化珪素基板と二酸化珪素の界面特性を評価する指標として、界面準位密度がある。一般的には、界面準位密度が小さい方がチャンネル移動度に代表される界面特性が良好となる傾向がある。

10

【0005】

炭化珪素基板と二酸化珪素の界面特性を改善する一般的な手法としては、炭化珪素基板を酸素の含んだ雰囲気中で酸化し、酸化後のアニール（POA: Post Oxidation Annealing）として一酸化二窒素や一酸化窒素の窒素を含むガスを用いる方法や、水素と酸素を反応させたウェット雰囲気をを用いる方法が知られている。

【0006】

一酸化二窒素や一酸化窒素の窒素を含むガスを用いる場合、酸化と同時に窒化が起こり、窒素原子が二酸化珪素中や炭化珪素基板と二酸化珪素との界面のダングリングボンド（未結合手）の終端に寄与し、界面準位密度を低減する効果があるとされている（例えば、下記特許文献1参照。）。

20

【0007】

また、水素と酸素を反応させたウェット雰囲気をを用いる場合、ウェット雰囲気に含まれる水素または水酸基が炭化珪素基板と二酸化珪素界面のダングリングボンド（未結合手）の終端に寄与し、界面準位密度を低減する効果があるとされている（例えば、下記特許文献2参照。）。

【0008】

炭化珪素基板を用いた半導体デバイスの製造工程では、ゲート絶縁膜形成後にポリシリコンのゲート導電膜の形成と低抵抗化の熱処理、あるいは層間絶縁膜の形成と焼締めの熱処理、あるいはコンタクトメタルの形成とコンタクトメタルと炭化珪素の反応層（シリサイド層）を形成するための熱処理といった熱処理工程が必須である。

30

【0009】

特に、コンタクトメタルの形成とシリサイド層を形成するための熱処理では600より低い温度から様々な金属間化合物が形成されることが知られている。金属間化合物が形成されることによりシリサイド層形成を阻害することが想定される。このため、実質的に炭化珪素基板との間でシリサイドを形成しオーミック電極として機能させるためには900以上での熱処理が必要であり、さらには昇温中に金属間化合物等の安定相の形成を抑制するために、一般に昇降温を100/分以上で制御可能なRapid Thermal Anneal（RTA）法が多く用いられている（例えば、下記特許文献3, 4参照。）。

40

【0010】

ゲート絶縁膜形成工程で作った界面準位密度等のMOS界面特性は、ゲート絶縁膜の形成方法だけでなく、ゲート絶縁膜形成後の工程の熱処理でも変化してしまうことが知られている。このため、炭化珪素MOSFETにおいて、ゲート酸化膜としてウェット雰囲気中での熱酸化により二酸化珪素を形成した後、シリサイド層を形成するための熱処理を不活性ガスではなく不活性ガスと水素の混合ガスの雰囲気で行うことで、界面準位密度の増加を抑え、かつコンタクト抵抗を低減できる方法が示されている（例えば、下記特許文献5参照。）。

【先行技術文献】

【特許文献】

【0011】

50

【特許文献1】特表2004-511101号(第8~15頁)

【特許文献2】特許第4374437号公報

【特許文献3】特開2006-344688号公報

【特許文献4】特開2011-171551号公報

【特許文献5】特開2007-242744号公報

【発明の概要】

【発明が解決しようとする課題】

【0012】

炭化珪素基板を用いた半導体デバイスは、ゲート絶縁膜形成後にも高温の熱処理が必須であり、その温度や雰囲気といった条件でチャネル移動度が低下してしまうが、従来この点が考慮されておらず、チャネル移動度の低下を抑制できなかった。

10

【0013】

このため、ゲート絶縁膜形成条件に加え、ゲート絶縁膜形成の後工程の熱処理の条件も併せて検討する必要がある。また、半導体デバイスはノーマリーオフの特性を示すことが望ましい。つまり、しきい値は正の値であることが望ましい。しきい値はフラットバンド電圧の関数で表されるため、フラットバンド電圧が正の値であることが望ましい。

【0014】

本発明は、上記の問題に鑑み、ゲート酸化直後のチャネル移動度の低下を抑え、かつフラットバンド電圧を正の値に両立できることを目的とする。

【課題を解決するための手段】

20

【0015】

上述した課題を解決し、本発明の目的を達成するために、この発明にかかる炭化珪素半導体素子の製造方法は、炭化珪素基板上に、ゲート絶縁膜として少なくとも1層以上の酸化膜、窒化膜あるいは酸窒化膜を形成する工程と、前記ゲート絶縁膜を形成した後に、当該ゲート絶縁膜を400以上の温度で熱処理する工程を含み、前記熱処理の工程は、最高温度から400の範囲での降温速度が5/分以上100/分未満としたことを特徴とする。

【0016】

また、この発明にかかる炭化珪素半導体素子の製造方法は、上述した発明において、前記熱処理の工程では、前記ゲート絶縁膜の形成および低抵抗化、層間絶縁膜の形成および焼締め、コンタクトメタルの形成および前記コンタクトメタルと前記炭化珪素半導体との反応層の形成、のいずれかを行うことを特徴とする。

30

【0017】

また、この発明にかかる炭化珪素半導体素子の製造方法は、上述した発明において、前記熱処理の工程は、少なくとも水素、水蒸気、窒素、ヘリウム、アルゴンのいずれかを含むガスを用いることを特徴とする。

【0018】

また、この発明にかかる炭化珪素半導体素子の製造方法は、上述した発明において、前記ゲート絶縁膜を形成する工程に、水分を含まない乾燥酸素中での熱酸化が含まれることを特徴とする。

40

【0019】

また、この発明にかかる炭化珪素半導体素子の製造方法は、上述した発明において、前記ゲート絶縁膜を形成する工程に、少なくとも一酸化二窒素または一酸化窒素を含むガス中での熱酸化が含まれることを特徴とする。

【0020】

また、この発明にかかる炭化珪素半導体素子の製造方法は、上述した発明において、前記ゲート絶縁膜を形成する工程に、少なくとも水分を含むガス中での熱酸化が含まれることを特徴とする。

【0021】

また、この発明にかかる炭化珪素半導体素子の製造方法は、上述した発明において、前

50

記ゲート絶縁膜を形成する工程に、酸化膜あるいは窒化膜あるいは酸窒化膜の絶縁膜を化学的もしくは物理的気相成長法により堆積させる工程が含まれることを特徴とする。

【0022】

また、この発明にかかる炭化珪素半導体素子は、炭化珪素基板と、前記炭化珪素基板上に形成され、少なくとも1層以上の酸化膜、窒化膜あるいは酸窒化膜からなるゲート絶縁膜とを有し、前記ゲート絶縁膜は、質量密度が 2.2 g/cm^3 以上かつ 2.5 g/cm^3 未満であることを特徴とする。

【発明の効果】

【0023】

本発明によれば、ゲート酸化直後のチャネル移動度の低下を抑え、かつフラットバンド電圧を正の値に両立できる。

10

【図面の簡単な説明】

【0024】

【図1】図1は、本発明の炭化珪素半導体素子にかかるMOSキャパシタの実験例を示す図である。

【図2】図2は、実施の形態および対比用のMOSキャパシタの界面準位密度とフラットバンド電圧の関係を示す図表である。

【図3】図3は、実施の形態および対比用のMOSキャパシタから電極を除去し、ゲート絶縁膜の質量密度を示した図表である。

【図4】図4は、本発明の実施例1にかかる炭化珪素MOSFETの製造方法を説明するための断面図である。(その1)

20

【図5】図5は、本発明の実施例1にかかる炭化珪素MOSFETの製造方法を説明するための断面図である。(その2)

【図6】図6は、本発明の実施例1にかかる炭化珪素MOSFETの製造方法を説明するための断面図である。(その3)

【図7】図7は、本発明の実施例1にかかる炭化珪素MOSFETの製造方法を説明するための断面図である。(その4)

【図8】図8は、本発明の実施例1にかかる炭化珪素MOSFETの製造方法を説明するための断面図である。(その5)

【図9】図9は、本発明の実施例1にかかる炭化珪素MOSFETの製造方法を説明するための断面図である。(その6)

30

【図10】図10は、本発明の実施例1にかかる炭化珪素MOSFETの製造方法を説明するための断面図である。(その7)

【図11】図11は、本発明の実施例1にかかる炭化珪素MOSFETの製造方法を説明するための断面図である。(その8)

【図12】図12は、本発明の実施例1にかかる炭化珪素MOSFETの製造方法を説明するための断面図である。(その9)

【図13】図13は、実施例1の製造方法によって作製された炭化珪素MOSFETと、比較例それぞれのチャネル移動度のゲート電圧依存性を示す図表である。

【図14】図14は、本発明の炭化珪素半導体素子として縦型のMOSFETへの適用例を示す断面図である。

40

【発明を実施するための形態】

【0025】

(実施の形態)

以下に添付図面を参照して、この発明にかかる好適な実施の形態を詳細に説明する。本明細書および添付図面においては、nまたはpを冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、nやpに付す+および-は、それぞれそれが付されていない層や領域よりも高不純物濃度および低不純物濃度であることを意味する。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。なお、本明細書では、ミラー指数の表記におい

50

て、“ - ”はその直後の指数につくバーを意味しており、指数の前に“-”を付けることで負の指数を表している。

【0026】

はじめに、本発明の炭化珪素半導体素子により、界面準位密度、フラットバンド電圧がどのように制御されるかを検証するため、MOSキャパシタに、ゲート酸化膜形成後の熱処理を想定した雰囲気、温度の熱処理を行った実験例を説明する。

【0027】

図1は、本発明の炭化珪素半導体素子にかかるMOSキャパシタの実験例を示す図である。MOSキャパシタは以下のようにして作成される。

【0028】

(工程1)まず、n型4H-SiC(000-1)基板1((000-1)面から0~8度オフ基板)上にドナー密度 $1 \times 10^{16} \text{ cm}^{-3}$ 程度のn型エピタキシャル膜2を5~10 μm 成長させる。なお、4H-SiC基板1単体、あるいは4H-SiC基板1とエピタキシャル膜2を併せて4H-SiC半導体(炭化珪素半導体)1と呼ぶ。

【0029】

(工程2)次に、4H-SiC半導体1を洗浄した後に、1300の一酸化二窒素を含んだ雰囲気での酸化を100分を行い、続けて1000の水素を含んだ雰囲気です30分の熱処理を行い、厚さ50nmの絶縁膜3を形成する。なお、熱処理の雰囲気は水素を不活性ガスで希釈してもよい。

【0030】

(工程3)次に、4H-SiC半導体1を室温まで冷却した後、絶縁膜3の焼き締めのための80010分の熱処理、シリサイド層を形成するための9502分の熱処理を想定した熱処理を行う。この際、実施の形態では、層間絶縁膜3の焼き締め、シリサイド層を形成するための熱処理時の降温速度を100/分として制御を行い、400まで冷却する。その後は制御を行わず、室温まで戻す。

【0031】

本実験では熱処理の雰囲気は水素、水蒸気、窒素としたが、ヘリウム、アルゴンのいずれかの不活性ガスを用いてもよい。熱処理の温度は、焼き締め具合やコンタクト抵抗等の熱処理毎の指標により選択すればよいが、酸化温度よりも高温の熱処理は界面準位密度の大幅な増加を招く恐れがあるため、酸化温度以下であることが望ましい。

【0032】

(工程4)次に、絶縁膜3上に、室温でドット状のアルミゲート電極4を蒸着し、裏面全面にアルミを蒸着したアルミ裏面電極5からなるMOSキャパシタを作製した。

【0033】

ここで、MOS界面の制御効果を検証するため、比較例として工程3において熱処理時の降温速度を通常で使用する180/分、制御可能な最低温度である5/分、さらには、熱処理無、でそれぞれMOSキャパシタを作製した。

【0034】

図2は、実施の形態および対比用のMOSキャパシタの界面準位密度とフラットバンド電圧の関係を示す図表である。横軸はフラットバンド電圧、縦軸は界面準位密度である。図1に示した実験例にかかるMOSキャパシタ(a)と、対比用のMOSキャパシタ(b~d)それぞれの測定結果を示す。完成した実施の形態および比較例のMOSキャパシタをC-Vメーター6(図1参照)で測定し、界面準位密度とフラットバンド電圧の関係について調べた。

【0035】

図2を用いて工程3の熱処理の仕方の相違で比較すると、(d)熱処理無(白丸のプロット)に対し、(a:実施の形態)100/分の熱処理有(黒四角のプロット)、(b)5/分の熱処理有(黒ひし形のプロット)、(c)180/分の熱処理有(黒三角のプロット)は界面準位密度が大きい。

【0036】

10

20

30

40

50

しかし、界面準位密度の増加量では、(a : 実施の形態) 1 0 0 / 分、(b) 5 / 分の熱処理有の方が、(c) 1 8 0 / 分の熱処理有と比較し、抑えられている。

【 0 0 3 7 】

また、フラットバンド電圧は(c) 熱処理無が負の値になっているのに対し、(a : 実施の形態) 1 0 0 / 分の熱処理有、(b) 5 / 分の熱処理有、(c) 1 8 0 / 分の熱処理有) の熱処理有の方が、僅かに低下するものの1 V 以上になっている。

【 0 0 3 8 】

このように、界面準位密度とフラットバンド電圧は工程 3 の熱処理の有無や、工程 3 の熱処理時の降温速度によって変化する。実使用を考えたデバイスとしては(c) や(d) の条件よりも、界面準位密度が $3 \times 10^{11} \text{ cm}^{-2}$ より低く、かつフラットバンド電圧が 1 V 以上となっている(a : 実施の形態) や(b) の条件が好ましい。

10

【 0 0 3 9 】

また、実際のプロセスを考慮した場合、処理時間の短縮が可能である(a : 実施の形態) 条件がさらに好ましい。絶縁膜(ゲート絶縁膜) 3 形成後の熱処理時の降温速度を適切(例えば 1 0 0 / 分) にすることによって、界面準位密度、フラットバンド電圧を制御できることが確認できた。

【 0 0 4 0 】

また、絶縁膜(ゲート絶縁膜) 3 の質量密度は、放射光を利用した X 線反射率法などを用いて測定することが可能である。次に、上記各 MOS キャパシタ(a) ~ (d) の電極を除去し、放射光を利用した X 線反射率法にてゲート絶縁膜の質量密度を測定した。

20

【 0 0 4 1 】

図 3 は、実施の形態および対比用の MOS キャパシタから電極を除去し、ゲート絶縁膜の質量密度を示した図表である。横軸は各 MOS キャパシタ(a) ~ (d) であり、縦軸はゲート絶縁膜の質量密度である。

【 0 0 4 2 】

図 3 に示すように、(d) 熱処理無に対し、(a : 実施の形態) 1 0 0 / 分の熱処理有、(b) 5 / 分の熱処理有、(c) 1 8 0 / 分の熱処理有は質量密度が低くなっており、これはゲート絶縁膜 3 中の酸素欠損およびシリコン結合している水素の脱離に影響していると推測できる。

【 0 0 4 3 】

これにより、(c) 1 8 0 / 分の熱処理有が 2.1 g / cm^{-3} となり、一番酸素欠損が多く、界面準位密度が劣化したと考えられる。そして、(a : 実施の形態) 1 0 0 / 分の熱処理有、(b) 5 / 分の熱処理有は、質量密度の結果から、ゲート絶縁膜 3 の質量密度が 2.2 g / cm^{-3} 以上かつ 2.5 g / cm^{-3} 未満であれば良好な界面特性が得られる。

30

【 実施例 1 】

【 0 0 4 4 】

図 4 ~ 図 1 2 は、本発明の実施例 1 にかかる炭化珪素 MOS F E T の製造方法を説明するための断面図である。図 4 ~ 図 1 2 を用いて、炭化珪素 MOS F E T 製造の各工程 1 ~ 9 を説明する。

40

【 0 0 4 5 】

(工程 1) まず、図 4 に示すように、 p^+ 型の炭化珪素基板(4 H - S i C (0 0 0 - 1) 基板) 7 面から 0 ~ 8 度オフ基板、好ましくは 0 ~ 4 度オフ基板上に、アクセプター密度 $1 \times 10^{16} \text{ cm}^{-3}$ の p 型エピタキシャル膜 8 を成長させる。

【 0 0 4 6 】

(工程 2) 次に、図 5 に示すように、p 型エピタキシャル膜 8 の表面上に減圧 C V D 法により厚さ $1 \mu\text{m}$ の S i O₂ 膜を堆積し、フォトリソグラフィによりパターン加工してマスク 9 を形成する。マスク 9 には、ドレイン領域 1 3、ソース領域 1 4 に対応した箇所を開口を形成する。その後、例えば、リンイオン 1 0 を基板温度 5 0 0 、加速エネルギー 4 0 k e V ~ 2 5 0 k e V の多段、不純物濃度が $2 \times 10^{20} \text{ cm}^{-3}$ となるようにイオン注入

50

する。

【0047】

(工程3)次に、図6に示すように、マスク9を除去し、表面上に減圧CVD法により、厚さ1 μ mのSiO₂膜を堆積し、フォトリソグラフィによりパターン加工してマスク11を形成する。マスク11には、グラウンド領域15に対応した箇所に開口を形成する。その後、例えば、アルミニウムイオン12を基板温度500、加速エネルギー40keV~200keVの多段、不純物濃度が $2 \times 10^{20} \text{ cm}^{-3}$ となるようにイオン注入する。

【0048】

(工程4)次に、図7に示すように、マスク11を除去し、アルゴン雰囲気中にて1600で5分間にわたる活性化アニールを行って基板1の主面側にドレイン領域13、ソース領域14、およびグラウンド領域15を形成する。

10

【0049】

(工程5)次に、図8に示すように、減圧CVD法により厚さ0.5 μ mのフィールド酸化膜16を堆積し、フォトリソグラフィとウェットエッチングによりフィールド酸化膜16の一部を除去してアクティブ領域17を形成する。アクティブ領域17は、ドレイン領域13、ソース領域14、およびグラウンド領域15の位置に対応して形成する。

【0050】

(工程6)次に、図9に示すように、1300で一酸化二窒素と窒素の流量比が1:5の雰囲気中で酸化を100分を行い、続けて1000の水素を含んだ雰囲気中で30分の熱処理を行い厚さ50nmのゲート絶縁膜18を形成する。熱処理の雰囲気は、水素を不活性ガスで希釈してもよい。その後、ゲート絶縁膜18上には、減圧CVD法によって多結晶シリコンを0.3 μ mの厚さで堆積し、フォトリソグラフィによりパターン加工してゲート電極19を形成する。

20

【0051】

(工程7)この後、フォトリソグラフィとフッ酸エッチングによりドレイン領域13、ソース領域14およびグラウンド領域15上にコンタクトホールを形成する。そして、図10に示すように、コンタクトホール上に厚さ10nmのアルミニウムと60nmのニッケルを蒸着させリフトオフによりパターン加工されてコンタクトメタル20を形成する。

【0052】

(工程8)図11に示すように、オーミックコンタクトアニールとして不活性ガスの雰囲気中で950、2分間保持でアニールし、その後降温速度100/分にて室温まで戻し、コンタクトメタル20と炭化珪素の反応層21を形成する。不活性ガスは窒素、ヘリウム、アルゴンのいずれかである。

30

【0053】

(工程9)次に、図12に示すように、表面にアルミニウムを300nm蒸着し、フォトリソグラフィとリン酸エッチングによりゲート電極19および反応層21上にパッド電極22を形成する。また、基板1の主面と反対の面にアルミニウムを100nm蒸着し、裏面電極23を形成する。

【0054】

図13は、実施例1の製造方法によって作製された炭化珪素MOSFETと、比較例それぞれのチャネル移動度のゲート電圧依存性を示す図表である。(a)が上記実施の形態(実施例1)の特性であり、(b)~(d)が上記各比較例の特性である。各比較例(b)~(d)は、図11の工程8(ゲート絶縁膜18形成後の熱処理時の降温速度)がそれぞれ異なり、作成したものである。

40

【0055】

図5の(a:実施例)100/分、(b)5/分の熱処理有のMOSFETのチャネル移動度は最大で約43 $\text{ cm}^2/\text{ V s}$ であり、(c)180/分の熱処理有のMOSFETのチャネル移動度は最大で約35 $\text{ cm}^2/\text{ V s}$ 、(d)熱処理無のMOSFETのチャネル移動度は最大で約46 $\text{ cm}^2/\text{ V s}$ であった。

【0056】

50

(a)と(b)のチャネル移動度のゲート電圧依存性は、ほぼ同一の特性を示しており、MOSキャパシタにて確認した界面準位密度とフラットバンド電圧と同じ傾向を示した。(a)100 /分、(b)5 /分の熱処理有のMOSFETのピーク時のチャネル移動度は、180 /分の降温速度よりは約30%改善され、熱処理無に対しては7%(1/10以下)まで抑制する結果となった。このことから、(a)、(b)の条件で作製したデバイスは(c)と比較してさらなる低損失化が見込める。

【0057】

また、しきい値は(d)熱処理無は負の値となり、ノーマリーオン特性となったが、(a)、(b)、(c)はいずれも4Vとなり、十分なノーマリーオフ特性を示した。

【0058】

また、これらの炭化珪素MOSFETの電極を除去し、放射光を利用したX線反射率法にてゲート絶縁膜18の質量密度を測定した。その結果、図3と同様に(d)熱処理無に対し、(a:実施例)100 /分の熱処理有、(b)5 /分の熱処理有、(c)180 /分の熱処理有は質量密度が低くなった。(c)180 /分の熱処理有が 2.1 g/cm^{-3} となり、一番酸素欠損や水素の脱離が多いため、界面準位密度が劣化し、チャネル移動度が低下したと考えられる。MOSキャパシタ同様、(a:実施例)100 /分の熱処理有、(b)5 /分の熱処理有は質量密度の結果から、ゲート絶縁膜18の質量密度が 2.2 g/cm^{-3} 以上かつ 2.5 g/cm^{-3} 未満であれば良好な界面特性が得られる。

【実施例2】

【0059】

実施例2では、実施例1で説明した工程6において、図9に示すゲート絶縁膜18の形成方法が実施例1と異なる。実施例2では、1100 の乾燥酸素中で50分の熱酸化を行った後、1300 で一酸化二窒素と窒素の流量比が1:20の雰囲気中で酸窒化を30分行い、続けて1000 の水素を含んだ雰囲気中で30分の熱処理を行うことで厚さ50nmのゲート絶縁膜18を形成する。その他の工程は実施例1と同様である。

【0060】

このような製造方法によって作製された実施例2の炭化珪素MOSFETも実施例1と同様の特性を示した。また、この炭化珪素MOSFET化珪素MOSFETの電極を除去し、放射光を利用したX線反射率法にてゲート絶縁膜18の質量密度を測定した結果、質量密度は、実施例1と同様の結果となった。

【実施例3】

【0061】

実施例3では、実施例1で説明した工程6において、図9に示したゲート絶縁膜18の形成方法が実施例1と異なる。実施例3では、1100 の乾燥酸素中で50分の熱酸化を行った後、1200 で一酸化窒素と窒素の流量比が1:10の雰囲気中で酸窒化を30分行い、続けて1000 の水素を含んだ雰囲気中で30分の熱処理を行うことで厚さ50nmのゲート絶縁膜18を形成する。その他の工程は、実施例1と同様である。

【0062】

このような製造方法によって作製された実施例3の炭化珪素MOSFETも実施例1と同様の特性を示した。また、この炭化珪素MOSFET化珪素MOSFETの電極を除去し、放射光を利用したX線反射率法にてゲート絶縁膜18の質量密度を測定した結果、質量密度は同様の結果となった。

【実施例4】

【0063】

実施例4では、実施例1で説明した工程6において、図9に示したゲート絶縁膜18の形成方法が実施例1と異なる。実施例4では、50nm弱の膜厚の絶縁膜を堆積法により形成した後、1300 で一酸化二窒素と窒素の流量比が1:20の雰囲気中で30分、数nmの酸窒化を行い、続けて1000 の水素を含んだ雰囲気中で30分の熱処理を行うことで合計50nm程度のゲート絶縁膜18を形成する。絶縁膜の堆積方法は、CVD法に

10

20

30

40

50

よってシランやTEOS（テトラエトキシシラン）を用いた方法があるが、特に限定されない。その他の工程は実施例1と同様である。

【0064】

このような製造方法によって作製された実施例4の炭化珪素MOSFETも実施例1と同様の特性を示した。また、この炭化珪素MOSFET化珪素MOSFETの電極を除去し、放射光を利用したX線反射率法にてゲート絶縁膜18の質量密度を測定した結果、質量密度は同様の結果となった。

【実施例5】

【0065】

実施例5では、実施例1で説明した工程6において、図9に示したゲート絶縁膜18の形成方法と、工程8（図11参照）においてオーミックコンタクトアニール時のガスの雰囲気の実施例1と異なる。実施例5では、1000の温度で30分間の少なくとも水分を含む雰囲気中にて酸化を行い、続けて1000の水素を含んだ雰囲気中で30分の熱処理を行うことで厚さ50nmのゲート絶縁膜18を形成する。その後、コンタクトアニール時には、水素または水蒸気と窒素、ヘリウム、アルゴンの混合ガス雰囲気中にて処理を行う。その他の工程は実施例1と同様である。

10

【0066】

このような製造方法によって作製された実施例5の炭化珪素MOSFETも実施例1と同様の特性を示した。また、これらの炭化珪素MOSFET化珪素MOSFETの電極を除去し、放射光を利用したX線反射率法にてゲート絶縁膜18の質量密度を測定した結果、質量密度は同様の結果となった。

20

【0067】

水分を含む雰囲気中にて形成したゲート絶縁膜はその後の熱処理を窒素やアルゴンなどの不活性ガスのみ雰囲気中にて実施した場合、炭化珪素基板と二酸化珪素との界面で結合している水素が離脱するため、特性は劣化することが報告されている。この特性劣化を防ぐため、水分を含む雰囲気中にてゲート絶縁膜を形成した場合、水素または水蒸気と窒素、ヘリウム、アルゴンの混合ガス雰囲気中にて熱処理を実施する必要がある（例えば、上記特許文献5参照。）。

【実施例6】

【0068】

実施例6は、実施例1で説明した工程6において、図9に示したゲート絶縁膜18の形成方法と工程8（図11参照）においてオーミックコンタクトアニール時のガスの雰囲気の実施例1と異なる。実施例6では、1300で一酸化二窒素と窒素の流量比が1:5の雰囲気中で酸化を100分を行い、続けて1000の少なくとも水分を含む雰囲気中にて30分の熱処理を行うことで厚さ50nmのゲート絶縁膜18を形成する。その後、コンタクトアニール時には、水素または水蒸気と窒素、ヘリウム、アルゴンの混合ガス雰囲気中にて処理を行う。その他の工程は実施例1と同様である。

30

【0069】

このような製造方法によって作製された実施例6の炭化珪素MOSFETも実施例1と同様の特性を示した。また、この炭化珪素MOSFET化珪素MOSFETの電極を除去し、放射光を利用したX線反射率法にてゲート絶縁膜18の質量密度を測定した結果、質量密度は同様の結果となった。

40

【実施例7】

【0070】

実施例7は、実施例1で説明した工程6において、図9に示すゲート絶縁膜18の形成方法と工程8（図11参照）においてオーミックコンタクトアニール時のガスの雰囲気の実施例1と異なる。実施例7では、1300で一酸化二窒素と窒素の流量比が1:5の雰囲気中で酸化を100分を行い、続けて1000の少なくとも水分を含む雰囲気中にて30分の熱処理を行うことで厚さ50nmのゲート絶縁膜18を形成する。その後、コンタクトアニール時には、水素または水蒸気のみ雰囲気中にて処理を行う。その他の工程

50

は実施例 1 と同様である。

【 0 0 7 1 】

このような製造方法によって作製された実施例 7 の炭化珪素 MOSFET も実施例 1 と同様の特性を示した。また、この炭化珪素 MOSFET 化珪素 MOSFET の電極を除去し、放射光を利用した X 線反射率法にてゲート絶縁膜 18 の質量密度を測定した結果、質量密度は同様の結果となった。

【 実施例 8 】

【 0 0 7 2 】

図 1 4 は、本発明の炭化珪素半導体素子として縦型の MOSFET への適用例を示す断面図である。図 1 4 に示すように、縦型の MOSFET において、 n^+ 型炭化珪素基板 3 1 のおもて面には n 型エピタキシャル層 3 2 が形成される。 n 型エピタキシャル層 3 2 の不純物濃度は、 n^+ 型炭化珪素基板 3 1 の不純物濃度よりも低い。 n 型エピタキシャル層 3 2 の内部には、複数の p 型領域 3 6 が選択的に形成される。 p 型領域 3 6 は、 n 型エピタキシャル層 3 2 の n^+ 型炭化珪素基板 3 1 側に対して反対側の面に露出する。

【 0 0 7 3 】

n 型エピタキシャル膜 3 2 および p 型領域 3 6 の表面にわたって p 型領域 3 6 より低濃度の p 型 SiC 層 3 7 が形成される。 p 型領域 3 6 が形成されていない n 型エピタキシャル膜 3 2 上の p 型 SiC 層 3 7 に、深さ方向に p 型 SiC 層 3 7 を貫通し n 型エピタキシャル膜 3 2 に達する n 型領域 3 3 が形成される。 n 型エピタキシャル膜 3 2 および n 型領域 3 3 は、 n 型ドリフト領域である。 n 型領域 3 3 の不純物濃度は、 n 型エピタキシャル膜 3 2 よりも高いことが望ましい。

【 0 0 7 4 】

p 型 SiC 層 3 7 の内部には、互いに接するように n^+ ソース領域 3 4 および p^+ 型コンタクト領域 3 5 が形成される。 n^+ ソース領域 3 4 および p^+ 型コンタクト領域 3 5 は、 p 型 SiC 層 3 7 の p 型領域 3 6 側に対して反対側の面に露出する。 n^+ ソース領域 3 4 は、 n 型領域 3 3 と離れて形成される。 p^+ 型コンタクト領域 3 5 は、 n^+ ソース領域 3 4 の n 型領域 3 3 側に対して反対側に位置する。 p^+ 型コンタクト領域 3 5 の不純物濃度は、 p 型 SiC 層 3 7 の不純物濃度よりも高い。

【 0 0 7 5 】

p 型 SiC 層 3 7 の n^+ ソース領域 3 4、 p^+ 型コンタクト領域 3 5 および n 型領域 3 3 を除く部分は、 p 型領域 3 6 と共に p 型ベース領域となる。 n^+ ソース領域 3 4 と p^+ 型コンタクト領域 3 5 との表面には、ソース電極 3 8 が形成される。隣り合う n^+ ソース領域 3 4 の間の p 型 SiC 層 3 7 と n 型領域 3 3 との表面には、ゲート絶縁膜 18 を介してゲート電極 19 が形成される。ゲート電極 19 は、図示省略する層間絶縁膜によって、ソース電極 3 8 と電気的に絶縁される。また、 n^+ 型炭化珪素基板 3 1 の裏面には、 n^+ 型炭化珪素基板 3 1 に接するドレイン電極 3 9 が形成される。

【 0 0 7 6 】

図 1 4 に示した複雑な構造の縦型の MOSFET において、実施例 1 ~ 実施例 7 と同様なゲート絶縁膜 18 を形成したが、実施例 1 ~ 7 と同様な界面準位密度の結果を得ることができた。また、この炭化珪素 MOSFET 化珪素 MOSFET の電極を除去し、放射光を利用した X 線反射率法にてゲート絶縁膜 18 の質量密度を測定した結果、質量密度は同様の結果となった。

【 0 0 7 7 】

これら各実施例により、絶縁膜（ゲート絶縁膜 18）形成後の温度範囲とその降温速度を熱処理時の最高温度から 400 の範囲での降温速度が 5 /分以上 100 /分未満とすることが望ましい。このように、ゲート絶縁膜 18 形成後の工程上不可欠な熱処理時の降温速度を適切に制御することで、特別な処理を追加することなく、実効的なチャネル移動度とノーマリーオフ特性を両立することができる。ゲート絶縁膜 18 形成後の後工程の熱処理の時の降温速度を適切に選択すれば、実効的なチャネル移動度とノーマリーオフ特性を備えた高性能の炭化珪素 MOSFET を製造することが可能となる。

【 0 0 7 8 】

そして、炭化珪素半導体のゲート絶縁膜の形成において、特別な工程を追加せずに、ゲート酸化直後のチャネル移動度の低下を従来（比較例）に比して1/10以下に抑えながら、1V以上の正のフラットバンド電圧を両立できるようになる。

【 0 0 7 9 】

また、上記の各実施例では、ゲート絶縁膜18形成後の工程の熱処理の中で一般的に一番高い温度が必要とされているオーミックコンタクトアニールを例にして説明したが、これに限定されるものではなく、半導体装置の製造方法において後工程で施される、ポリシリコンの形成温度や低抵抗化のための熱処理、層間絶縁膜の平坦化のための熱処理等も含めた各種熱処理時の降温速度を不活性ガスとすることで、いずれも同様の効果を奏することができる。

10

【 0 0 8 0 】

さらには、上記の実施例では、結晶構造が4H-SiCの(000-1)基板(0~8°オフ基板)を使用したか、結晶構造が4H-SiCの(000-1)基板、(11-20)基板でも同様の効果が得られる。

【 0 0 8 1 】

以上のように、本発明は、炭化珪素MOSFETとして横型MOSFETの製造方法と、一部の縦型MOSFETの製造方法を例にして説明したが、これに限定されるものではなく、高耐压化構造を有する縦型MOSFETなどの半導体装置にも適用可能であり、同様の効果を奏することができる。したがって、特許請求の範囲に記載された本発明を逸脱しない範囲で、種々の半導体装置の製造方法に適用可能である。

20

【 産業上の利用可能性 】

【 0 0 8 2 】

以上のように、本発明にかかる炭化珪素半導体素子は、半導体材料として炭化珪素を用いた横型および縦型の炭化珪素半導体素子に有用である。

【 符号の説明 】

【 0 0 8 3 】

- 1 n型 4H-SiC(000-1)基板
- 2 n型 エピタキシャル膜
- 3 絶縁膜
- 4 アルミゲート電極
- 5 アルミ裏面電極
- 6 C-Vメーター
- 7 p型4H-SiC(000-1)基板
- 8 p型エピタキシャル膜
- 9, 11 マスク
- 10 リンイオン
- 12 アルミニウムイオン
- 13 ドレイン領域
- 14 ソース領域
- 15 グラウンド領域
- 16 フィールド酸化膜
- 17 アクティブ領域
- 18 ゲート絶縁膜
- 19 ゲート電極
- 20 コンタクトメタル
- 21 反応層
- 22 パッド電極
- 23 裏面電極
- 31 n⁺型 炭化珪素基板

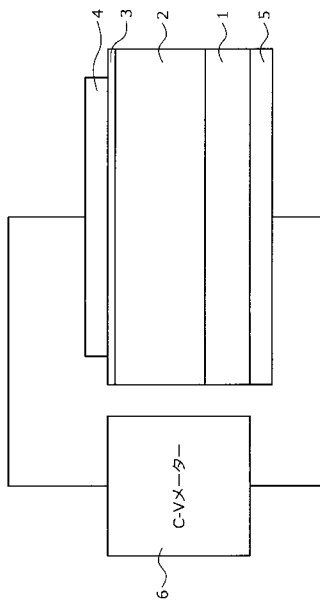
30

40

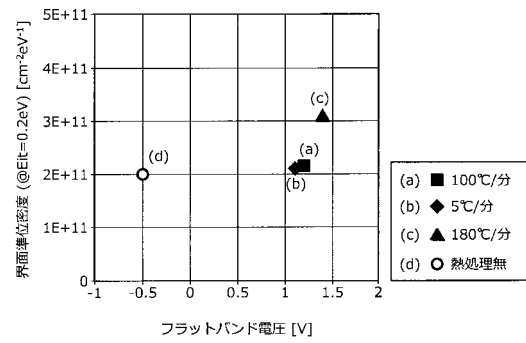
50

- 3 2 n 型 エピタキシャル膜
- 3 3 n 型領域
- 3 4 n⁺ ソース領域
- 3 5 p⁺ 型コンタクト領域
- 3 6 p 型領域
- 3 7 p 型 SiC 層
- 3 8 ソース電極
- 3 9 ドレイン電極

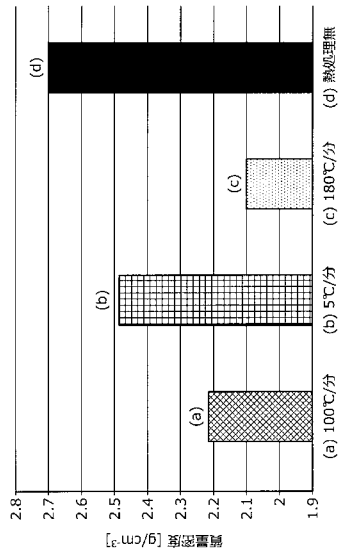
【 図 1 】



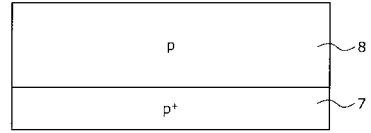
【 図 2 】



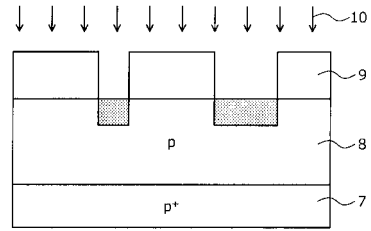
【 図 3 】



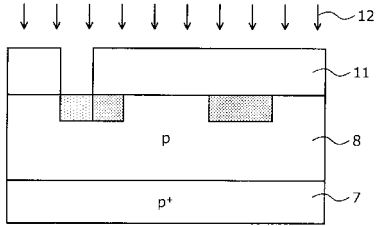
【 図 4 】



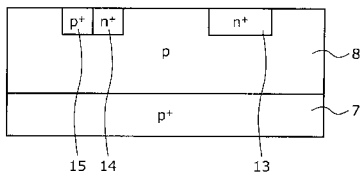
【 図 5 】



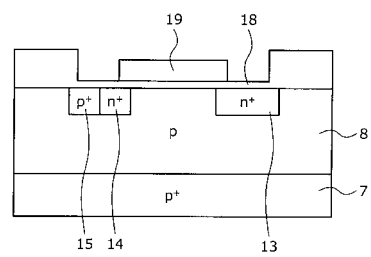
【 図 6 】



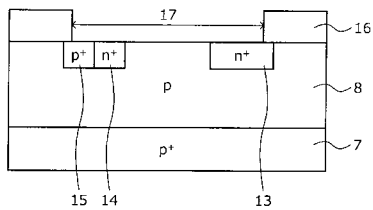
【 図 7 】



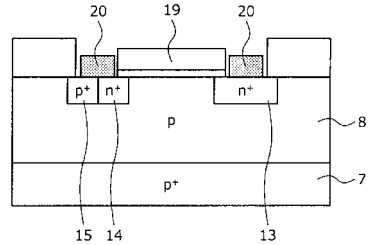
【 図 9 】



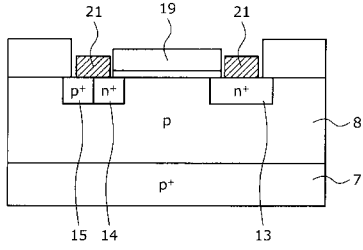
【 図 8 】



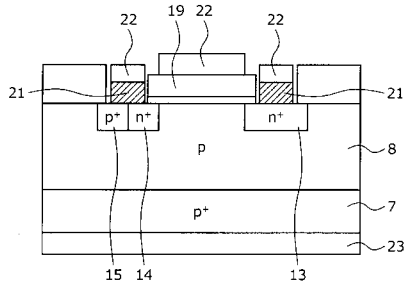
【 図 10 】



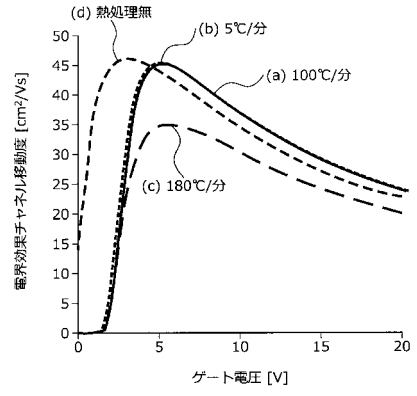
【図 1 1】



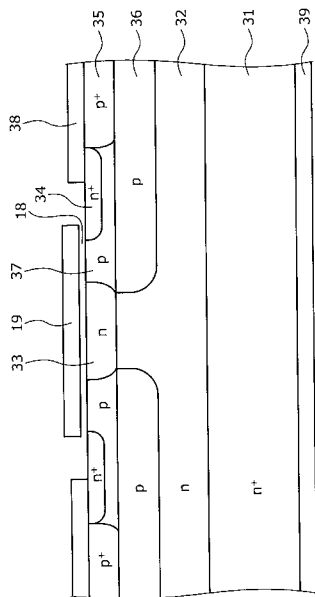
【図 1 2】



【図 1 3】



【図 1 4】



フロントページの続き

- (72)発明者 巻瀧 陽一
茨城県つくば市東 1 - 1 - 1 国立研究開発法人産業技術総合研究所つくばセンター内
- (72)発明者 宮里 真樹
茨城県つくば市東 1 - 1 - 1 国立研究開発法人産業技術総合研究所つくばセンター内
- (72)発明者 堤 岳志
茨城県つくば市東 1 - 1 - 1 国立研究開発法人産業技術総合研究所つくばセンター内
- (72)発明者 福田 憲司
茨城県つくば市東 1 - 1 - 1 国立研究開発法人産業技術総合研究所つくばセンター内
- (72)発明者 岡本 光央
茨城県つくば市東 1 - 1 - 1 国立研究開発法人産業技術総合研究所つくばセンター内

F ターム(参考) 5F058 BB01 BC02 BC08 BC11 BF62 BF63 BH01 BH02
5F140 AA06 BA02 BA20 BD09 BE06 BF01 BF04 BG28 BH30 BH43
BH49 BJ05 BJ11 BJ15 BK13 BK21 BK22 CE02