

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4807931号
(P4807931)

(45) 発行日 平成23年11月2日(2011.11.2)

(24) 登録日 平成23年8月26日(2011.8.26)

(51) Int.Cl. F I
 HO 1 L 21/331 (2006.01) HO 1 L 29/72 H
 HO 1 L 29/737 (2006.01) HO 1 L 29/72 S
 HO 1 L 29/732 (2006.01)

請求項の数 3 (全 10 頁)

(21) 出願番号	特願2003-373787 (P2003-373787)	(73) 特許権者	300057230
(22) 出願日	平成15年10月31日(2003.10.31)		セミコンダクター・コンポーネンツ・イン ダストリーズ・リミテッド・ライアビリテ ィ・カンパニー
(65) 公開番号	特開2004-186675 (P2004-186675A)		アメリカ合衆国 アリゾナ州 85008 フェニックス イースト・マクドウェル ・ロード5005
(43) 公開日	平成16年7月2日(2004.7.2)		
審査請求日	平成18年8月15日(2006.8.15)	(74) 代理人	100091915 弁理士 本城 雅則
(31) 優先権主張番号	10/307590	(74) 代理人	100099106 弁理士 本城 吉子
(32) 優先日	平成14年12月2日(2002.12.2)	(72) 発明者	ゲイリー・エイチ・ローケルト アメリカ合衆国 アリゾナ州 85281 テンピ イースト・14ス・ストリート 231
(33) 優先権主張国	米国 (US)		最終頁に続く

(54) 【発明の名称】 狭いドーピング・プロファイルを有する高性能半導体デバイスを作成する構造および方法

(57) 【特許請求の範囲】

【請求項1】

ヘテロ接合エピタキシャル・スタック(30)を具備する半導体基板(11)に形成されたNPNヘテロ接合バイポーラトランジスタ(100)において、

前記ヘテロ接合エピタキシャル・スタック(30)は、

前記トランジスタのベース領域を形成するためのヘテロ接合層(82)であって、前記ヘテロ接合層(82)は、侵入物トラップ材料の領域(87)を含む第1SiGe部、および、前記第1SiGe部に隣接して形成され、かつp型ドーブ領域(86)を含む第2SiGe部を含み、前記第2SiGe部は、前記侵入物トラップ材料を含まないで形成される、ヘテロ接合層(82)と、

前記トランジスタのエミッタ領域を形成するために前記ヘテロ接合層(82)に隣接して形成されたキャップ層(84)であって、前記ヘテロ接合層(82)と前記キャップ層(84)との間の境界は、エミッタ-ベース接合を形成し、前記キャップ層(84)は、侵入物トラップ材料の層(81)を有するシリコン領域を含み、前記侵入物トラップ材料の層(81)および前記侵入物トラップ材料の領域(87)は分離され、かつ重なり合わず、前記侵入物トラップ材料の層(81)は、前記エミッタ-ベース接合から離間している、キャップ層(84)と、からなり、

前記侵入物トラップ材料は、炭素である、

ことを特徴とするNPNヘテロ接合バイポーラトランジスタ。

【請求項2】

NPNヘテロ接合バイポーラトランジスタ(100)を形成する方法において、
 半導体基板(11)を提供する段階と、
 前記半導体基板上に侵入物トラップ材料の領域(87)を含む第1SiGe部を形成する段階と、
 前記第1SiGe部上にp型にドーパされた領域を含む第2SiGe層(86)を形成する段階であって、前記第2SiGe層は侵入物トラップ材料を含まないで形成され、かつ前記第1および第2SiGe部は、前記NPNヘテロ接合バイポーラトランジスタのベース領域(82)を形成する、段階と、
 前記第2SiGe部上にシリコン領域(84)を形成する段階であって、前記シリコン領域はn型ドーパントを含み、かつ前記第2SiGe部とエミッタ-ベース接合を形成し、
 また前記シリコン領域は侵入物トラップ材料の層(81)を含み、さらに前記侵入物トラップ材料の層はエミッタ-ベース接合から離間しており、かつ前記侵入物トラップ材料の領域(87)および前記侵入物トラップ材料の層(81)は重なり合わない、段階と、
 前記シリコン領域上にシリコンを含む誘電層を形成する段階であって、前記侵入物トラップ材料の層は、前記誘電層を形成する間、前記ベース領域にシリコン侵入物の注入を抑制するために構成される、段階と、
から構成され、
前記侵入物トラップ材料は、炭素である、
 ことを特徴とする方法。

10

【請求項3】

前記ベース領域(82)は、前記シリコン領域(84)によって前記誘電層から分離されることを特徴とする請求項2記載の方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般に半導体デバイスに関し、より詳しくは、高周波NPNヘテロ接合バイポーラトランジスタおよびそのような装置を製作する方法に関する。

【背景技術】

【0002】

NPNヘテロ接合バイポーラトランジスタ(HBT)は、集積回路および個別部品を含む様々な電子応用に用いられる。HBTは、その単一電流利得 f の周波数が、ホモ接合バイポーラトランジスタのそれよりも高いという点で、優れた高周波特性を有する。さらに、NPN HBTは、NPNデバイス内の電子の移動度がPNPデバイス内の正孔の移動度よりも高いので、PNP HBTよりも高速である。これらの理由により、NPN HBTは、高速スイッチングの応用にこの上なく適している。多くの実例において、NPN HBTの f は100GHzまたはそれより高い。

30

【0003】

一例として、NPN HBTは、シリコン基板、およびシリコン基板に接するシリコン・ゲルマニウム層を含む。シリコン基板とシリコン・ゲルマニウム層との間の界面は、ヘテロ接合である。シリコンのバンドギャップは、ヘテロ構造におけるシリコンに対するゲルマニウムの比率を変えることにより変更することができ、これによって非常に高速のバイポーラトランジスタの製作が可能となる。

40

【0004】

高速スイッチングには狭いベースが要求されるため、NPN HBTの性能をより改善するための多くの試みは、ベース領域の幅の縮小に焦点を合わせたものであった。しかしながら、かかる縮小を達成することは、様々な技術的な理由によって困難であることが判明した。

【0005】

例えば、狭いベース幅を有するNPNトランジスタの作成における制限的な要因は、後続の熱処理工程サイクル中におけるベース領域内のボロン・ドーパント原子の拡散であり

50

、そのようなサイクルは、ベース領域を含むヘテロ構造上に熱酸化膜のような誘電体層を形成するときに遭遇する。熱酸化膜は、低密度の表面準位と最小の欠陥を有する界面を形成することから、シリコンにとって理想的なパッシベーション層ではあるが、熱酸化膜はまた、狭いベースを維持するという問題をさらに悪化させる。なぜなら、酸化反応は、表面から半導体バルク内へシリコン侵入物(silicon interstitials)を注入し、それが酸化増速拡散(OED)と呼ばれる現象によって、一定の要素の拡散を加速するからである。特に、ボロンは、主として侵入機構によって拡散するので、OEDはその拡散工程を著しく増強し、その結果、ベース内のドーピング層の好ましくない拡張を生ぜしめ、それによってベース幅が増大する。当業者間で周知のように、単一電流利得の周波数はベース幅の二乗にほぼ反比例する。したがって、従来のNPNヘテロ接合バイポーラトランジスタの構造および方法は、後続の熱酸化が行なわれるときに、どれくらい薄くベース・エピタキシを製作できるかという点で限界がある。

10

【0006】

従って、狭いベース・ドーピング・プロファイルを有する高性能NPNヘテロ接合バイポーラトランジスタを作成する構造および方法であって、その方法によって優れた高周波性能を有するデバイスが製作できることに対する要求がある。

【発明の開示】**【0007】**

図において、同じ参照番号を有する要素は、同様の機能を有する。図中に示される構造を形成するために使用される複数の特定の処理工程は、記述を単純化し、本発明をよりよく説明するために省略されることに注意されたい。これらの工程の多くは、カート・サカモト(発明者)に対して2002年5月14日に交付された、「半導体コンポーネントを製造する方法およびその半導体コンポーネント」という名称の米国特許第6,387,768号に詳述されている。

20

【0008】

図1は、製作の第1ステージ後のNPNヘテロ接合バイポーラトランジスタまたは半導体デバイス100の断面図である。NPNヘテロ接合バイポーラトランジスタ100は、複数のトレンチ17によって、他のデバイス(図示せず)から分離して半導体基板11上に形成される。一実施例において、基板11は単結晶シリコンで形成される。

【0009】

ベース層12は、半導体デバイス100を通して流れる高周波信号に低抵抗の接地平面を提供するために高濃度にドーブされる。一実施例において、ベース層12は、p型の導電率(conductivity)および約0.1オーム・センチメートルの電気抵抗率(resistivity)を有するようにドーブされた単結晶シリコンから成る。

30

【0010】

エピタキシャル層13は、p型の導電率および比較的高い電気抵抗率を有するベース層12上で成長する。高い電気抵抗率によって、半導体デバイス100に低い寄生基板容量(parasitic substrate capacitance)が提供され、それが半導体デバイス100の全面的な周波数応答を増加させる。一実施例において、エピタキシャル層13は、約2.75マイクロメートルの厚さであり、約 1.0×10^{14} 原子/cm³のドーピング濃度を有する。

40

【0011】

埋込層14がエピタキシャル層13上に形成され、半導体デバイス100に低いコレクタ抵抗を提供する。一実施例において、埋込層14は、n型の導電率、約1マイクロメートルの厚さ、および約 6.0×10^{19} 原子/cm³のドーピング濃度を有するように埋め込まれる。

【0012】

エピタキシャル層15は、約0.8マイクロメートルの厚さになるまで埋込層14上で成長する。一実施例において、エピタキシャル層15は、n型の導電率、および約 2.0×10^{16} 原子/cm³のドーピング濃度を有する。

50

【 0 0 1 3 】

複数のトレンチ 17 は、エピタキシャル層 13, 15 および埋込層 14 の部分を取り囲む、電氣的に分離されたアイランドを形成するために、ベース層 12 に達するのに十分な深さにエッチングされる。一実施例では、トレンチ 17 は約 6 マイクロメートルの深さに形成される。トレンチ 17 の表面は、誘電層 18 で区画され、そしてコンフォーマル材料 19 で充填される。一実施例において、誘電層 18 は、熱成長二酸化シリコン (thermally grown silicon dioxide) である。また、コンフォーマル材料 19 は、ドーブされていない多結晶シリコンを含む。

【 0 0 1 4 】

表面 24 はパターン化され、誘電材料が表面 24 上に選択的に形成されて浅い局所的な分離領域 22 を生成する。一実施例において、分離領域 22 は、熱成長二酸化シリコンで形成される。

【 0 0 1 5 】

表面 24 は、エピタキシャル層 15 内へ導入されるドーパントをマスクするためにさらにパターン化されて、ドーブされた領域 21 を形成し、それが後続の熱処理サイクル中に拡散して埋込層 14 内へ広がる。ドーブされた領域 21 は、NPN ヘテロ接合バイポーラトランジスタ 100 のコレクタの部分形成する。領域 21 は、典型的には高濃度にドーブされ、表面 24 から埋込層 14 への低抵抗の経路を提供する。一実施例において、ドーブされた領域 21 は、n 型の導電率、および約 2.0×10^{18} 原子 / cm^3 のような有効なドーピング濃度で形成される。

【 0 0 1 6 】

図 2 は、図 1 のヘテロ接合エピタキシャル・スタック 30 の詳細な断面図である。ヘテロ接合エピタキシャル・スタック 30 は、表面 24 上に形成された侵入物トラップ材料 (interstitial trapping material) または領域 81 を含む。ヘテロ接合エピタキシャル・スタック 30 は、第 1 領域またはシリコン・ゲルマニウム (SiGe) 層 82 上に形成された、第 2 領域またはシリコン (Si) キャップ 84 から構成される。この第 2 領域または半導体層 84 は、結果的にはエミッタを構成するであろうし、また、第 1 領域または半導体層 82 は、結果的には後の組立てステージの後でバイポーラトランジスタのベースを構成するであろう。領域 82, 84 間の境界は、デバイス内のエミッタ - ベース接合の位置を示す。

【 0 0 1 7 】

一実施例において、Si キャップ 84 は約 200 ~ 500 オングストロームの厚さを有するように形成され、また、半導体または SiGe 層 82 は約 300 ~ 1000 オングストロームの厚さに形成され、約 8 ~ 20% のゲルマニウム濃度を有する。したがって、上記実施例中のヘテロ接合エピタキシャル・スタック 30 の厚さは、約 500 ~ 1500 オングストロームである。更に、SiGe 層 82 中のゲルマニウムのプロファイル (図示せず) は、多様なデバイスの性能目標と合致させるために均一であってもよく、あるいは、複数の異なる方法で勾配をつけてもよい。さらに、SiGe 層 82 は、第 1 ドーパントまたは p 型のドーブされた領域 86 を含む。一実施例において、p 型のドーブされた領域 86 は、約 100 ~ 200 オングストロームの厚さおよび約 2.0×10^{19} 原子 / cm^3 の濃度を有するボロンをドーブした層である。Si キャップ 84 は、侵入物トラップ材料または領域 81 を含む。一実施例において、侵入物トラップ材料または領域 81 は、約 100 ~ 200 オングストロームの厚さで形成され、約 0.1 ~ 0.2%、または $5.0 \times 10^{19} \sim 1.0 \times 10^{20}$ 原子 / cm^3 の炭素濃度を有する。図 2 に示した実施例において、領域 86 にドーブされたボロンは、約 200 ~ 800 オングストロームのドーブされていない、あるいは少しドーブされた Si および / または SiGe によって、侵入物トラップ材料または領域 81 から物理的に分離される。あるいは、侵入物トラップ領域 81 の炭素は、SiGe 層またはベース領域 82 内へ広がり、および / または、SiGe 層またはベース領域 82 内に含まれる第 2 の明確に分離した炭素領域 87 を有する。ヘテロ接合エピタキシャル・スタック 30 に関する上記の多様な実施例はすべて、デバイスのエミ

10

20

30

40

50

ッタ領域 8 4 内のトランジスタの S i G e 層またはベース領域 8 2 の外部に現れる相当量の炭素を有する。

【 0 0 1 8 】

ヘテロ接合エピタキシャル・スタック 3 0 は、標準の選択的なエピタキシャル工程を用いて形成することができ、この工程において、シリコン・ゲルマニウムおよびボロンを含む単結晶シリコンが、低圧の選択的なエピタキシを使用して、第 1 領域または S i G e 層 8 2 内に形成される。その後、ゲルマニウムおよびボロン材料源を止めて、炭素源を入れることによって、第 2 領域または S i キャップ 8 4 が、炭素を含む単結晶シリコンで形成される。

【 0 0 1 9 】

S i G e 層 8 2 内に含まれる第 2 の明確に分離した炭素領域 8 7 を有する場合の他の実施例では、上記のような同様の方法で、侵入物トラップ材料の領域 8 7 を提供するために、また、ベース幅の増加およびデバイスの電気的な性能の低下をもたらすであろう、コレクタ内でのボロンの下方への拡散を防ぐために、S i G e 層 8 2 の形成を開始する時点で、炭素が、第 2 領域 8 7 内の S i G e 層 8 2 へ導入される。

【 0 0 2 0 】

図 3 は、製作の第 2 ステージ後の半導体デバイス 1 0 0 の断面図である。誘電材料が、誘電材料 3 2 を生成するために表面 2 4 上に選択的に形成される。一実施例において、誘電材料 3 2 は、約 1 0 0 オングストロームの典型的な厚さで形成された熱成長二酸化シリコン層から成る。

【 0 0 2 1 】

ヘテロ接合エピタキシャル・スタック 3 0 の表面 9 0 上に誘電材料 3 2 を形成することにより、ヘテロ接合エピタキシャル・スタック 3 0 内へ、およびあるケースでは基板 1 1 内へシリコン侵入物(silicon interstitials) 3 2 0 をもたらす。しかしながら、侵入物トラップ材料 8 1 の存在は、格子間原子(interstitial atoms)がボロンをドーブした層または領域 8 6 に達することを効果的に制限し、それによって、侵入物トラップ材料 8 1 が無くても狭いベース幅 1 8 0 を維持することができる。パイポーラトランジスタのベースは、デバイスの電流スイッチング能力を制御する領域である。ベースを通して注入された小数キャリアの走行時間は、ベース幅の 2 乗にほぼ比例するので、ベース幅の縮小によって、劇的にベース走行時間が減少するが、それは、単一電流利得 f の周波数とは逆比例の関係にある。従って、より狭いベースを有するパイポーラトランジスタは、より高い周波数で電流をスイッチングすることができる。

【 0 0 2 2 】

この後、誘電材料が誘電材料 3 2 上に堆積され、誘電性フィルム 3 4 が生成される。一実施例において、誘電性フィルム 3 4 は、約 1 0 0 0 オングストロームの厚さに形成された、堆積した窒化シリコンから成る。

【 0 0 2 3 】

導電性フィルムが、誘電性フィルム 3 4 上に形成されてパターン化され、NPN ベース電極 3 6 が生成される。一実施例において、ベース電極 3 6 は、約 1 8 0 0 オングストロームの厚さに形成され、p 型の伝導率を提供するために高濃度にドーブされた多結晶シリコンから成る。

【 0 0 2 4 】

その後、誘電材料が半導体デバイス 1 0 0 上に堆積され、誘電性フィルム 3 9 を生成する。一実施例において、誘電性フィルム 3 9 は、約 1 マイクロメータの厚さに堆積し、約 6 0 0 0 オングストロームの最終的な厚さを残すために平坦化エッチバックにさらされた二酸化シリコンを含む。

【 0 0 2 5 】

誘電性フィルム 3 9 がパターン化されてエッチングされ、ベース電極 3 6 を暴露する開口 4 0 が生成される。

【 0 0 2 6 】

10

20

30

40

50

図4は、製作における第3ステージ後の半導体デバイス100の断面図を示す。標準的なエッチング段階のシーケンスによって、誘電材料32, 34の部分から材料が除去され、開口40内のベース電極36を暴露する。これらのエッチング段階の結果、開口40を通してヘテロ接合エピタキシャル・スタック30の表面44が暴露される。これによって、開口40は、ベース電極36内の接触ウィンドウを画定する。

【0027】

導電材料は、半導体デバイス100の暴露表面上に堆積され、異方性エッチングを行って、開口40のサイドウォールに沿って導電性のスペーサ46を生成する。スペーサ46はオーバーエッチングされるので、それらの高さが表面44から伸びて、電氣的にベース電極36と接触する。このようなオーバーエッチングによって、寄生電極容量が減少され、さらに、開口40の上方の角に形成された垂直のステップ上に薄く広がっているフィルムからの電極ショートによる故障が回避される。

10

【0028】

誘電材料および他のフィルムのシーケンスが堆積され、選択的にエッチングされて、図示のようなNPNヘテロ接合バイポーラトランジスタ100内に誘電性のスペーサ52を形成する。一実施例において、スペーサ52は、約1000オングストロームの厚さに堆積された窒化シリコンから成る。

【0029】

その後、半導体デバイス100は、パターン化およびエッチングされ、エピタキシャル層15と接触するためのNPNコレクタ・ウィンドウ56を形成する。半導体材料が堆積され、平坦化エッチバックまたは類似のプロセスによって半導体材料の部分が削除される。NPNトランジスタ100については、エッチバックによって、NPNコレクタ電極58としてのウィンドウ56内の半導体の部分の第1部分、および、第3領域またはNPNエミッタ電極59としての開口40内の第2部分が残る。一実施例において、半導体材料は、高濃度にドーパされた多結晶シリコンから成り、n型の伝導率および低抵抗を提供する。一実施例において、エミッタ電極はドーパントヒ素を含む。

20

【0030】

図5は、図4のヘテロ接合エピタキシャル・スタック30の詳細な断面図である。後続の熱処理サイクルによって、表面24, 44と接触する導電性の半導体材料からのドーパントの外方拡散が生じる。特に半導体デバイス100の場合、スペーサ46からのp型のドーパントは、表面44を通過してベース領域82へ拡散し、p型のNPNベース接触領域64を形成し、また、n型のドーパントは、エミッタ電極59から拡散し、図示したようなn型のエミッタ接触領域65を形成する。ベース接触領域64およびエミッタ接触領域65は、典型的には、表面44の下方に0.1マイクロメートル未満の深さに形成される。

30

【0031】

フォトリソ工程によって半導体デバイス100がパターン化され、暴露したフィルムが選択的にエッチングされて、NPNベース電極36と電氣的に接触するための開口72, 73を生成する。これに続く相互接続金属層、層間絶縁フィルム、パッシベーション・フィルムおよび同様のものは、標準的な方法で適用されるが、記述を単純化し、本発明をより明確に記述するために特に図示しない。

40

【0032】

上記の構造の1つの利点は、Siキャップ層またはエミッタ領域84内に炭素を組み込むことによって、炭素が、誘電材料または熱酸化膜32の成長中に表面90からヘテロ接合エピタキシャル・スタック30内に注入される侵入物320をトラップする。侵入型シリコンは、いくつかのドーパント要素、特にボロンの拡散を増強することが知られている。シリコン侵入物の拡散距離は数マイクロメートルであるので、それらは容易に86のようなボロンをドーパした領域に達し、ドーパント原子の拡散を加速することができ、この結果、トランジスタのベース領域の望ましくない幅の拡大を生ぜしめる。誘電材料または熱酸化層32の形成中に注入された侵入物をトラップすることによって、拡散効果で増強される酸化(それによってボロン拡散が大幅に増加される)は、最小限になるか、あるいは

50

完全に除去される。したがって、侵入物トラップ領域 8 1 でシリコン侵入物 3 2 0 をトラップすることによって、ベース領域 8 2 の幅 1 8 0 がより狭くなり、熱酸化のような後続の熱処理に曝されたとしても狭いままにしておくことができる。寸法制御は 2 つから 5 つの要因によって改善され、これによって、ベースをエミッタにより近づけて配置することができるのはもちろんのこと、より狭い幅を有するベース領域を利用することができ、それによって完成したトランジスタの電気的な性能がさらに改善される。特に、より狭いベース幅によって、トランジスタは削減されたベース走行時間およびより急峻なエミッタ・ベース接合を有するように形成することが可能となり、これらの両者はトランジスタの高速スイッチング能力を改善する。

【 0 0 3 3 】

さらに、デバイスのエミッタ領域 8 4 内に包含された侵入物トラップ層 8 1 有する上記の構造は、デバイスの電気的な性能を低下させる侵入物トラップ要素の問題を解決する。炭素は、キャリアの寿命および移動度を減少することによって、半導体材料の電気的特性を潜在的に低下させることができる。この問題は、キャリア寿命の減少によって、より高いベース電流およびより低い DC 電流利得が生じ、また、移動度の減少によって、デバイスのベース走行時間が増加するトランジスタのベース領域 8 2 内で特に厳しくなる。しかしながら、上記の構造では、かなりの量の炭素が、デバイスのエミッタ領域 8 4 内のベース領域 8 2 の外部に位置する。最新の高性能 NPN トランジスタは、高濃度にドーピングされた縮退エミッタを有する。エミッタ領域の高ドーピング濃度によって、ショックレー - リード - ホールおよびオーガ再結合の双方によるキャリア寿命、および、イオン化された不純物の散乱によるキャリア移動度における著しい減少がすでに引き起こされているので、炭素の存在によって引き起こされるであろうこれらの電気的特性のさらなる減少はわずかである。一例として、0.1 ~ 0.2 %、または約 $5.0 \times 10^{19} \sim 1.0 \times 10^{20}$ 原子 / cm^3 の炭素濃度は、ベース (2.0×10^{19} 原子 / cm^3) のボロンのドーピング濃度を超えるが、依然としてほとんどのエミッタに典型的であるドーピング濃度、 $5.0 \times 10^{20} \sim 1.0 \times 10^{21}$ 原子 / cm^3 未満であるという事実を考慮されたい。従って、炭素の特性を減じる有益な拡散を、その有害な電気的副作用を招かずに利用することができる。NPN トランジスタのベースのボロンをドーピングした領域 8 6 と、エミッタ接触 6 5 の形成に先立った酸化層 3 2 との間に、侵入物トラップ領域を配置することによって、侵入物トラップ材料のあらゆる望ましくない影響は、デバイス構造の重要でない領域に移される。

【 0 0 3 4 】

エミッタからベースへのドーパント拡散の制御が最重要事柄である PNP HBT デバイス装置とは対照的に、上記の解決策によって、ベース形成の後に続く酸化工程からの侵入物のトラップが可能になる。もし、ベース領域内への伝播が許容されるならば、これらの侵入物はボロン拡散を増強し、その結果ベース幅を拡大させるであろう。

【 0 0 3 5 】

以上に記述された単純な方法は、標準的な半導体処理工程と互換性を有し、その結果、正確に制御されたベース幅を有する低価格かつ高速の NPN ヘテロ接合バイポーラトランジスタが実現できる。

【 0 0 3 6 】

要約すると、本発明は、NPN ヘテロ接合バイポーラトランジスタ 1 0 0 を作成する構造および方法を提供し、そこで、NPN ヘテロ接合バイポーラトランジスタは、トランジスタのベース領域を形成するために第 1 ドーパント 8 6 を含む第 1 領域 8 2 と、トランジスタのエミッタ領域を形成するために第 1 の領域に隣接する第 2 領域 8 4 とを有し、後続の熱処理工程の間にベース領域内にドーパントが拡散することを減じる侵入物トラップ材料 8 1 によって特徴づけられた半導体基板 1 1 から構成される。

【 図面の簡単な説明 】

【 0 0 3 7 】

【 図 1 】 第 1 製作ステージ後の NPN ヘテロ接合バイポーラトランジスタまたは半導体デ

10

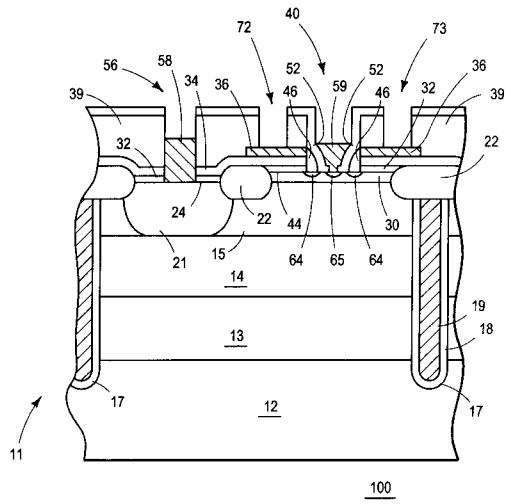
20

30

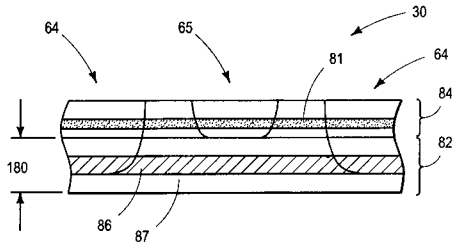
40

50

【 図 4 】



【 図 5 】



フロントページの続き

審査官 棚田 一也

- (56)参考文献 特開平07 - 176541 (JP, A)
特開平05 - 293328 (JP, A)
特開2000 - 077425 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/331

H01L 29/732

H01L 29/737