



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년01월02일
 (11) 등록번호 10-1346875
 (24) 등록일자 2013년12월24일

(51) 국제특허분류(Int. Cl.)
H01L 23/62 (2006.01)
 (21) 출원번호 10-2012-0015987
 (22) 출원일자 2012년02월16일
 심사청구일자 2012년02월16일
 (65) 공개번호 10-2013-0069293
 (43) 공개일자 2013년06월26일
 (30) 우선권주장
 13/328,944 2011년12월16일 미국(US)
 (56) 선행기술조사문헌
 KR1020110016877 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 타이완 세미콘덕터 매뉴팩처링 컴퍼니 리미티드
 중화민국, 타이완 300-77, 신쑤, 사이언스-베이스
 드 인더스트리얼 파크, 리신 로드. 6, 8호
 (72) 발명자
 양 샤오-란
 대만 타이페이시 114 네이후 디스트릭트 동후 로
 드 7번 라인 3호 6층
 (74) 대리인
 신정건, 김태홍

전체 청구항 수 : 총 10 항

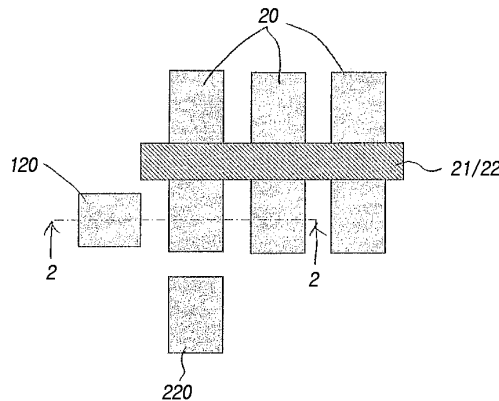
심사관 : 이용호

(54) 발명의 명칭 **반도체 핀 상의 안티-퓨즈**

(57) 요약

장치는 기관과, 기관의 표면에 배치된 분리 영역과, 분리 영역의 상단면 위에 배치된 반도체 영역을 포함한다. 전도 특징부는 분리 영역의 상단면 위에 배치되고, 전도 특징부는 반도체 영역에 인접해 배치된다. 유전 물질은 전도 특징부와 반도체 영역 사이에 배치된다. 유전 물질, 전도 특징부와 반도체 영역은 안티-퓨즈를 형성한다.

대표도 - 도1



특허청구의 범위

청구항 1

반도체 장치에 있어서,

기관;

상기 기관의 표면에 배치된 분리 영역들;

상기 분리 영역들의 상단면 위에 배치된 반도체 영역;

상기 분리 영역들의 상단면 위에 배치되고, 상기 반도체 영역에 인접한 전도 특징부; 및

상기 전도 특징부와 상기 반도체 영역 사이에 배치된 유전 물질을

포함하고,

상기 유전 물질, 상기 전도 특징부 및 상기 반도체 영역은 안티-퓨즈를 형성하고,

상기 반도체 영역은 상기 분리 영역들의 상단면에 평행 및 수직이 아닌 패싯(facet)들을 포함하는 에피택시 영역을 포함하는 것인,

반도체 장치.

청구항 2

제 1 항에 있어서,

상기 안티-퓨즈에 연결된 전원을 더 포함하고, 상기 전원은 상기 안티-퓨즈를 프로그래밍하기 위한 프로그래밍 전압을 제공하도록 구성되는 것인, 반도체 장치.

청구항 3

제 1 항에 있어서,

상기 전도 특징부는 상기 분리 영역들의 상단면 위의 반도체 부분과, 상기 반도체 부분 위의 실리사이드 영역을 포함하고, 상기 분리 영역들의 일부분은 상기 반도체 영역과 상기 전도 특징부 사이에 배치되는 것인, 반도체 장치.

청구항 4

반도체 장치에 있어서,

반도체 기관;

상기 반도체 기관의 표면에 배치된 STI(Shallow Trench Isolation) 영역들;

상기 STI 영역들의 상단면 위에 배치된 제1 반도체 핀;

상기 STI 영역들의 상단면 위에 배치된 제2 반도체 핀;

상기 제1 반도체 핀 및 상기 제2 반도체 핀 사이에 배치된 유전 물질을

포함하고,

상기 제1 반도체 핀 및 상기 제2 반도체 핀은 패싯(facet)들을 포함하고,

상기 유전 물질, 상기 제1 반도체 핀과 상기 제2 반도체 핀은 안티-퓨즈를 형성하는 것인 반도체 장치.

청구항 5

제 4 항에 있어서,

상기 제1 반도체 핀 및 상기 제2 반도체 핀은 제1 에피택시 영역 및 제2 에피택시 영역을 각각 포함하고,

상기 제1 에피택시 영역 및 상기 제2 에피택시 영역은 실리콘 게르마늄을 포함하는 것인, 반도체 장치.

청구항 6

제 5 항에 있어서,

상기 제1 반도체 핀 및 상기 제2 반도체 핀은 상기 제1 에피택시 영역과 상기 제2 에피택시 영역 아래에 각각 배치된 제1 핀과 제2 핀을 더 포함하고,

상기 제1 핀 및 제2 핀은 실리콘을 포함하는 것인, 반도체 장치.

청구항 7

반도체 장치를 형성하는 방법에 있어서,

STI(Shallow Trench Isolation) 영역의 상단면 위에 에피택시 영역을 형성하기 위해 에피택시를 수행하는 단계로서, 상기 STI 영역은 기판의 표면에 배치되는 것인, 상기 에피택시 수행 단계;

상기 에피택시 영역과 그 위에서 접촉하는 실리사이드 영역을 형성하는 단계;

상기 실리사이드 영역에 인접하고, 상기 STI 영역 위에 배치되는 전도 영역을 형성하는 단계;

상기 실리사이드 영역 및 상기 에피택시 영역의 결합된 영역과 상기 전도 영역 사이에 유전 물질을 충전하는 (filling) 단계로서, 상기 전도 영역, 상기 결합된 영역과 상기 유전 물질은 안티-퓨즈를 형성하는 것인, 상기 유전 물질 충전 단계; 및

상기 실리사이드 영역과 상기 전도 영역에 전기적으로 연결된 전원을 형성하는 단계로서, 상기 전원은 상기 안티-퓨즈를 프로그래밍하는데 요구되는 프로그래밍 전압을 인가하도록 구성되는 것인, 전원 형성 단계

를 포함하는 반도체 장치의 형성 방법.

청구항 8

제 7 항에 있어서,

상기 STI 영역의 상단면 위에 제1 반도체 핀을 형성하는 단계; 및

리세스를 형성하도록 상기 제1 반도체 핀을 리세싱(recessing)하는 단계를 더 포함하고,

상기 에피택시 영역은 상기 리세스 내에 형성되는 것인, 반도체 장치의 형성 방법.

청구항 9

제 8 항에 있어서,

상기 전도 영역을 형성하는 단계는,

상기 STI 영역의 상단면 위에 제2 반도체 핀을 형성하는 단계;

추가적인 리세스를 형성하도록 상기 제2 반도체 핀을 리세싱하는 단계와;

상기 에피택시 수행 단계가 수행되는 때와 동시에 추가적인 에피택시 영역을 상기 리세스 내에 형성하는 단계를 포함하는 것인, 반도체 장치의 형성 방법.

청구항 10

제 8 항에 있어서,

상기 전도 영역을 형성하는 단계는,

게이트 유전층 위에 게이트 전극층을 형성하는 단계로서, 상기 게이트 유전층은 상기 제1 반도체 핀 위에 배치되는 것인, 게이트 전극층 형성 단계; 및

다중-게이트 트랜지스터의 게이트 전극과 상기 전도 영역을 동시에 형성하도록 상기 게이트 전극층을 패터닝하는 단계를 포함하는 것인, 반도체 장치의 형성 방법.

명세서

기술분야

[0001] 본 발명은 반도체 핀 상의 안티-퓨즈(anti-fuse)에 대한 것이다.

배경기술

[0002] 두 개의 주요 유형의 데이터 저장 소자가 존재한다. 제1 유형은 전원이 메모리로부터 제거되는 순간에 특정 저장 소자 내에 저장된 정보가 손실되는 휘발성 메모리이다. 제2 유형은 전원이 제거된 후에조차 정보가 보존되는 비휘발성 저장 소자이다. 제2 유형 중에, 일부 설계는 다중 프로그래밍을 허용하는 반면에, 다른 설계는 단지 일회(one-time) 프로그래밍만을 허용한다. 통상적으로, 비휘발성 메모리를 형성하기 위해 사용된 제조 기술은 표준 논리 공정과는 상이하다. 따라서, 비휘발성 메모리를 형성하기 위한 복잡도와 비용은 높다.

상술한 종래 기술은 미국 특허공보 US 8,030,736 (2011.10.4.)에 개시되어 있다.

발명의 내용

해결하려는 과제

[0003] 통상적으로, 일회-프로그래밍가능한(OTP: One-Time-Programmable) 메모리 장치는 금속 퓨즈, 산화 게이트 퓨즈 등을 포함한다. 금속 퓨즈는 프로그래밍 요소로서 금속을 사용한다. 산화 게이트 퓨즈는 프로그래밍 소자로서 산화 게이트를 사용한다. 기존의 OTP 메모리 장치는 알루미늄 상호연결 기술을 사용해서 통상적으로 제조되며, 이 기술은 알루미늄 증착, 패터닝, 및 에칭의 단계들을 포함한다. 이러한 OTP 메모리장치의 형성은 표준 공정이 된 현재의 구리 다마신 공정과 호환되지 않는다. 또한, 기존의 OTP 메모리 장치는 프로그래밍하기 위해 (산화 게이트 퓨즈에서와 같이) 고전압 또는 (금속과 안티-퓨즈를 통해서와 같이) 고전류를 필요로 한다. 이러한 고전압 또는 고전류는 설계시 고려할 필요가 있어서, 따라서 집적회로 제조의 복잡도와 비용을 증가시킨다.

과제의 해결 수단

[0004] 본 발명은 기판; 상기 기판의 표면에 배치된 분리 영역; 상기 분리 영역의 상단면 위에 배치된 반도체 영역; 상기 분리 영역의 상단면 위에 배치되고, 상기 반도체 영역에 인접한 전도 특징부; 및 상기 전도 특징부와 상기 반도체 영역 사이에 배치된 유전 물질을 포함하고, 상기 유전 물질, 상기 전도 특징부와 상기 반도체 영역은 안티-퓨즈를 형성하는 것인 장치를 제공한다.

[0005] 또한, 본 발명은 반도체 기판; 상기 반도체 기판의 표면에 배치된 STI(Shallow Trench Isolation) 영역; 상기 STI 영역의 상단면 위에 배치된 제1 반도체 핀; 상기 STI 영역의 상단면 위에 배치된 제2 반도체 핀; 상기 제1 및 제2 반도체 핀 사이에 배치된 유전 물질을 포함하고, 상기 제1 및 제2 반도체 핀은 패짓(facet)을 포함하고, 상기 유전 물질, 상기 제1 반도체 핀과 상기 제2 반도체 핀은 안티-퓨즈를 형성하는 것인 장치를 제공한다.

[0006] 또한, 본 발명은 STI(Shallow Trench Isolation) 영역의 상단면 위에 에피택시 영역을 형성하기 위해 에피택시를 수행하는 단계로서, 상기 STI 영역은 기판의 표면에 배치되는 것인, 에피택시 수행 단계; 상기 에피택시 영역 위에서 접촉하는 실리사이드 영역을 형성하는 단계; 상기 실리사이드 영역에 인접하고, 상기 STI 영역 위에 배치되는 전도 영역을 형성하는 단계; 상기 실리사이드 영역 및 상기 에피택시 영역의 결합된 영역과 상기 전도 영역 사이에 유전 물질을 충전하는(filling) 단계로서, 상기 전도 영역, 상기 결합된 영역과 상기 유전 물질은 안티-퓨즈를 형성하는 것인, 유전 물질 충전 단계; 및 상기 실리사이드 영역과 상기 전도 영역에 전기적으로 연결된 전원을 형성하는 단계로서, 상기 전원은 상기 안티-퓨즈를 프로그래밍하기 충분히 높은 프로그래밍 전압을 인가하도록 구성되는 것인, 전원 형성 단계를 포함하는 방법을 제공한다.

발명의 효과

[0007] 본 발명은 집적회로의 복잡도와 비용을 증가시키지 않으면서 안티-퓨즈를 제조하는 것을 가능케 한다.

도면의 간단한 설명

[0008] 본 발명개시 및 본 발명개시의 장점의 보다 완벽한 이해를 위해, 첨부된 도면들을 참조하면서 이하의 상세한 설명에 대해 설명을 한다.

도 1 내지 5는 일부 예시적 실시예에 따라 안티-퓨즈를 제조하는 중간 단계들의 평면도 및 단면도이다.

도 6 내지 10은 대안적 예시적 실시예에 따라 안티-퓨즈를 제조하는 중간 단계들의 평면도 및 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0009] 이하에서는 실시예들의 제조 및 이용을 자세하게 설명한다. 하지만, 실시예는 폭넓은 특정 환경에서 구현될 수 있는 수 많은 적용가능한 발명 개념을 제공한다는 점을 이해해야 한다. 논의된 특정 실시예는 단지 예증적이지, 본 발명 개시의 범위를 제한하지 않는다.

[0010] 일회-프로그래밍가능한(OTP) 안티-퓨즈 및 이러한 안티-퓨즈를 형성하는 방법은 다양한 실시예에 따라 제공된다. OTP 안티-퓨즈를 형성하는 중간 단계가 예증된다. 실시예에 따른 OTP 안티-퓨즈의 변형과 동작이 논의된다. 다양한 뷰(view)와 예증적인 실시예 전체를 통해서, 유사한 참조 번호는 유사한 요소를 지정하기 위해 사용된다.

[0011] 도 1 내지 5는 특정 예시적 실시예에 따라 안티-퓨즈를 제조하는 중간 단계들의 평면도 및 단면도이다. 도 1은 안티-퓨즈를 형성하기 위한 초기 구조의 평면도이다. 복수의 반도체 핀(20)이 먼저 형성된다. 일부 실시예에서, 반도체 핀(20)은 서로 평행하고, 서로 인접하다. 게이트 유전체(21)와 게이트 전극(22)은 반도체 핀(20)의 상단면과 측벽 위에 형성되고, 게이트 전극(22)은 게이트 유전체(21) 위에 형성되고, 이 유전체와 정렬된다(도 4를 참조). 게이트 전극(22)의 길이 방향은 반도체 핀(20)의 길이 방향에 대해 수직일 수 있다. 반도체 핀(120, 220)은 반도체 핀(20)에 인접하게 배치된다. 반도체 핀(20, 120, 220)은 실리콘과 같은 동일 반도체 물질로 형성될 수 있고, 동시에 형성될 수 있다.

[0012] 도 2는 도 1의 구조의 단면도를 예증하고, 단면도 뷰는 도 1의 평면 교차 라인 2-2를 따라 취해진다. 일부 실시예에 따라, 분리 영역(26)이 반도체 기판(30)에 형성된다. 분리 영역(26)은 STI(Shallow Trench Isolation) 영역일 수 있고, 따라서 STI 영역으로서 이하에서 대안적으로 지칭된다. 반도체 기판(30)은 실리콘, 실리콘 게르마늄, 실리콘 카본, 또는 다른 반도체 물질을 포함할 수 있다. 반도체 핀(20, 120)은 STI 영역(26)의 상단면 위에 있다. 반도체 핀(20, 120)은 반도체 기판(30)과 동일한 물질로 형성될 수 있다. 일부 실시예에서, 핀(20, 120)의 형성은 이웃하는 STI 영역(26)들 사이에 위치한 기판(30)의 부분들을 갖고 반도체 기판(30) 내에 STI 영역(26)을 형성하는 단계를 포함한다. 그런 다음, STI 영역(26)은 리세싱(recessing)되어, 이웃하는 STI 영역(26) 위에 있는 기판(30)의 부분은 핀(20, 120)을 형성한다.

[0013] 도 1에 도시된 것과 같이 핀(20)의 중간 섹션 위에 게이트 유전체(21)와 게이트 전극(22)을 형성한 후에, 핀(20)이 리세싱 될 수 있다. 게이트 전극(22) 아래에 핀(20)의 부분은 리세싱 되는 것으로부터 보호되는 한편, 게이트 전극(22)에 의해 보호되지 않는 핀(20)의 부분은 리세싱 된다. 핀(20)이 리세싱 되는 시간에, 핀(120)이 또한 리세싱 된다. 도 3a와 3b의 점선(32)에 도시된 것과 같이, 핀(20){또는 기판(30)의 상단면}과 핀(120)의 상단면은 리세싱 된 후에 도 2에 도시된 라인(32)을 사용해서 개략적으로 예증된다. 리세싱 된 핀(20, 120)의 상단면은 STI 영역(26)의 상단면보다 높게, 수평이 되게, 또는 낮게 배치될 수 있다. 대안적인 실시예에서, 핀(20, 120)은 오목하게 되지 않는다.

[0014] 그 다음에, 도 3a와 3b에서 도시된 것처럼, 에피택시가 에피택시 영역(36, 136)을 성장시키기 위해 수행된다. 에피택시는 예를 들면, 선택적 에피택살 성장(SEG: selective epitaxial growth)을 사용해서 수행될 수 있다. 도 3a는 리세싱 된 핀(20, 120)이 STI 영역(26)의 상단면보다 높은 상단면(32)을 가지는 실시예를 예증한다. 도 3b는 오목하게 된 핀(20)이 STI 영역(26)의 상단면과 수평이 되거나 더 낮은 상단면(32)을 가지는 실시예를 예증한다. 에피택시 영역(36, 136)은 분리 영역(26)의 상단면 위에 핀의 일부분을 또한 형성하는 것이 인식된다. 예를 들면, 도 3a에서, 에피택시 영역(36, 136)과, 각각의 핀(20, 120)의 하부 잔여 부분은 또한 조합되어 핀을 형성한다. 일부 실시예에서, 에피택시 영역(36, 136)은 실리콘 게르마늄을 포함한다. 대안적인 실시예에서, 에피택시 영역(36, 136)은 실리콘을 포함하고, 게르마늄을 실질적으로 포함하지 않는다. 실리콘 게르마늄으로 형성되지 않을 때, 생성되는 에피택시 영역(36, 136)은 약 20 원자 퍼센트보다 높은 게르마늄 원자 퍼센트를 가질 수 있다. 에피택시 영역(36, 136) 내의 게르마늄 퍼센트는 또한 약 20 퍼센트 내지 약 40 퍼센트의 원자 퍼센트 사이일 수 있다.

[0015] 상이한 표면 상에 상이한 성장률 때문에, 패싯(facet)이 형성될 수 있고, 패싯은 에피택시 영역(36, 136)의 기

울어진 상단면이다. 기울어진 상단면은 STI 영역(26)의 상단면에 평행하지도 수직도 아니다. 예를 들면, 111 표면 방향을 갖는 표면 상의 성장률은 110 및 100 평면들과 같은 다른 평면의 성장률보다 낮다. 따라서, 에피택시 영역(36, 136){및 도 4의 에피택시 영역(236)}은 111 표면 방향을 갖는(다른 말로 하면, 111 평면 상에) 패킷을 가질 수 있다. 패킷은 경사각 α 를 갖는데, 이 각은 약 54.7도일 수 있다. 패킷의 형성 때문에, 에피택시 영역(136)은 코너(138)를 형성할 수 있고, 에피택시 영역(36)은 코너(38)를 형성할 수 있다. 코너(38, 138)는 서로 근접하고, 서로 대향한다. 더 나아가, 이웃하는 핀(20)으로부터 성장하는 에피택시 영역(36)은 서로 접촉할 수 있고, 큰 에피택시 영역으로 병합될 수 있다.

[0016] 도 3a와 3b에 또한 도시된 것처럼, 에피택시 영역(36, 136)의 상단에 실리사이드 영역(42, 142)이 각각 형성된다. 실리사이드 영역(42, 142)은 실리콘 및/또는 게르마늄을 포함하는 에피택시 영역(36, 136)에 동일 소자를 포함한다. 또한, 실리사이드 영역(42, 142)을 형성하기 위해 사용되는 금속은 니켈, 코발트, 팔라듐과 이것들의 조합을 포함할 수 있지만, 실리사이드 영역을 형성하기 위해 다른 금속이 또한 사용될 수도 있다. 실리사이드 영역(42, 142)은 또한 서로 대향하고, 근접하게 배치된 코너를 갖는다. 전도 특징부(44, 144)는 각각 실리사이드 영역(42, 142) 위에 형성되고 이 영역에 전기적으로 연동된다. 전도 특징부(44, 144)는 예를 들면, 텅스텐을 포함하는 접촉 플러그일 수 있다. 대안적으로, 전도 특징부(44, 144)는 구리로 형성될 수 있고, M0 특징부라고 지칭되는 하단 금속 특징부일 수 있다. 유전 물질(46)은 핀(20, 120), 실리사이드 영역(42, 142)과 전도 특징부(44, 144) 사이의 갭에 충전된다(filled). 유전 물질(46)은 층간 유전체(ILD: Inter-Layer Dielectric)의 일부분일 수 있고, 탄소를 함유하는 유전 물질을 포함할 수 있다.

[0017] 핀(20, 120)의 일부분, 에피택시 영역(36, 136), 실리사이드 영역(42, 142)과, 유전물질(46)의 일부분은 전도 특징부(44, 144)를 통해 프로그래밍될 수 있는 안티-퓨즈(50)를 형성한다. 안티-퓨즈(50)의 상태는 또한 전도 특징부(44, 144)를 통해 관측될 수 있다. 도 5는 도 3a와 3b에 도시된 것과 같은 안티-퓨즈(50)의 평면도를 예증한다. 도 3a와 3b의 각각의 특징은 도 5에 표시된다.

[0018] 도 3a와 3b를 다시 참조하면, 안티-퓨즈(50)는 프로그래밍되기 전의 고-저항 상태에 있다. 프로그래밍이 수행될 때, 전압원일 수 있는 전원(51)은 전도 특징부들(44, 144) 사이에 프로그래밍 전압 V_{prog} 을 인가한다. 프로그래밍 전압 V_{prog} 은 일부 예시적인 실시예에 따라 약 +3 V 에서 약 -3 V 사이에 있을 수 있다. 프로그래밍 동안에, 에피택시 영역들(36, 136) 사이의 유전 물질(46)은 파괴될 수 있다. 따라서, 프로그래밍은 안티-퓨즈(50)를 고-저항 상태에서 저-저항 상태가 되게 한다. 안티-퓨즈(50)의 저항은 전도 특징부(44, 144)로부터 측정될 수 있다. 영역(64)은 유전 물질(46)이 파괴될(break down) 가능성이 있는 영역을 표시한다. 일부 실시예에서, 코너들(38, 138){그리고 실리사이드 영역(42, 142)의 코너들} 사이의 유전 물질(46)의 부분이 파괴될 가능성이 가장 높다. 결과적으로, 전도 특징부들(44, 144) 사이에 측정되는 저항은 감소된다. 또한, 프로그래밍은 실리사이드 영역들(42, 142)의 용융 및/또는 전기적 이동과, 에피택시 영역들(36, 136)의 압출(extruding)을 야기할 수 있다. 실리사이드 영역들(42, 142) 내의 실리사이드는 파괴된 유전 물질(46) 안으로 흐를 수 있다. 결과적으로, 전도 특징부(44, 144)는 실리사이드를 통해 서로 전기적으로 연동될 수 있다. 실시예는 프로그래밍 매커니즘의 연속성을 가능케 하여, 성공적인 프로그래밍 속도와 프로그래밍 효율에서의 증가를 야기한다.

[0019] 일부 예시적인 실시예에서, 프로그래밍 전에, 전도 특징부들(44, 144)로부터 측정되는 안티-퓨즈(50)의 저항은 약 1M 옴보다 높을 수 있다. 프로그래밍 후에, 전도 특징부들(44, 144)로부터 측정되는 안티-퓨즈(50)의 저항은 약 100k 옴보다 작을 수 있다. 따라서, 안티-퓨즈(50)의 상태는 전도 특징부들(44, 144) 사이의 저항을 검출함으로써 관측될 수 있다. 적절한 프로그래밍 전압 V_{prog} 는 에피택시 영역들(36, 136) 사이의{그리고 실리사이드 영역들(42, 142) 사이의} 거리 S1와 관련된다. 거리 S1은 핀들(20, 120) 사이의 거리 S2와 또한 관련된다. 일부 예시적인 실시예에서, 거리 S1은 약 35 nm에서 약 50 nm 사이일 수 있고, 거리 S2는 약 50 nm에서 약 70 nm 사이의 거리일 수 있으며, 더 긴 거리 S1과 S2는 더 높은 프로그래밍 전압 V_{prog} 에 대응한다. 하지만, 본원 상세한 설명 전체에 걸쳐 기재된 치수들은 예시일뿐이고, 상이한 값들로서 변경될 수 있다. 안티-퓨즈(50)에서, 에피택시 영역의 패킷과 정점(38, 138)의 형성은 최소의 S1 및 S2 값들의 요건을 완화시키는 것을 도와서, 더 큰 S1 및 S2 값들이 사용될 수 있고, 안티-퓨즈(50)는 매우 높은 프로그래밍 전압 V_{prog} 없이 여전히 프로그래밍될 수 있다.

[0020] 도 4는 핀들(20, 220), 에피택시 영역들(36, 236), 실리사이드 영역들(42, 242)과, 이것들 사이의 유전물질의 일부분 사이에 형성된 안티-퓨즈(52)의 단면도를 예증한다. 도 5에 도시된 평면도는 또한 안티-퓨즈(52)를 예증하며, 도 4의 단면도는 도 5의 평면 교차 라인 4-4로부터 획득된다. 도 4를 참조하면, 에피택시 영역(236)과 실리사이드 영역(242)이 에피택시 영역(36)과 실리사이드 영역(42)이 각각 형성되는 시간과 동일하게 시

간에 형성된다. 안티-퓨즈(52)는 프로그래밍되고, 전도 특징부(44, 244)를 통해 관통될 수 있다. 안티-퓨즈(52)의 공정 단계들, 물질들, 프로그래밍 및 관통 방법들 등은 안티-퓨즈(50)의 대응 요소들과 실질적으로 동일할 수 있고, 세부사항들은 안티-퓨즈(50)의 각각의 논의로부터 발견될 수 있다.

[0021] 도 6 내지 10은 대안적인 실시예에 따라 안티-퓨즈(54, 56)(도 10)의 형성시의 중간 스테이지들의 평면도와 단면도를 예증한다. 다르게 지정되지 않으면, 이러한 실시예의 구성요소의 물질 및 형성 방법은 도 1 내지 5에서 도시된 실시예의 유사한 참조 번호에 의해 표시된 유사한 구성요소와 실질적으로 동일하다. 따라서, 도 6 내지 10에 도시된 실시예의 형성 세부사항은 도 1 내지 5에 도시된 실시예의 논의에서 발견될 수 있다.

[0022] 도 6을 참조하면, 핀(20), 게이트 유전체(21)와 게이트 전극(22)이 형성된다. 전도 특징부(122, 222)는 또한 게이트 전극(22)이 형성될 때 동시에 형성된다. 전도 특징부(122, 222)는 핀(20)에 인접하게 배치된다. 전도 특징부(122, 222)와 게이트 전극(22) 사이의 거리(S2)는 비록 상이한 값들이 사용될 수 있지만 예를 들어 약 50 nm에서 약 70 nm 사이에 있을 수 있다. 도 7과 8은 전도 특징부(122, 222)와 게이트 전극(22)의 형성 시와, 게이트 유전체(21)의 형성시의 중간 스테이지들의 단면도를 예증하고, 단면도는 도 6의 평면 교차 라인 7-7으로부터 획득된다. 도 7을 참조하면, 게이트 유전층(60)은 핀(20)의 상단면과 측벽 상에 형성된다. 게이트 유전층(60)은 산화실리콘 질화실리콘, 고-k 유전 물질, 이것들의 다중층, 그리고 이것들의 조합을 포함할 수 있다. 전도성층(62)은 게이트 유전층(60) 위에 형성된다. 전도성층(62)은 폴리실리콘, 금속, 금속 실리사이드 등을 포함할 수 있다. 다음으로, 도 8에 도시된 것과 같이, 게이트 유전층(60)과 전도성층(62)은 패터닝된다. 게이트 유전층(60)의 잔여 부분은 게이트 유전체(21)를 형성한다. 전도성층(62)의 잔여 부분은 게이트 전극(22)과 전도 특징부(222)를 형성한다. 그동안에, 전도 특징부(122)(도 6)가 또한 형성된다.

[0023] 다음으로, 도 9와 10에 도시된 것과 같이, 에피택시 영역(36), 실리사이드 영역(42), 전도 특징부(44, 244)와 유전 물질(46)이 형성된다. 도 10은 도 9의 구조의 평면도이다. 에피택시 영역(36), 실리사이드 영역(42), 전도 특징부(44, 244)와 유전물질(46)의 형성 공정은 도 3a 내지 도 5에서 도시된 실시예와 실질적으로 동일할 수 있고, 따라서 여기서는 반복되지 않는다. 결과적으로, 안티-퓨즈(54)가 형성되고, 에피택시 영역(36), 실리사이드 영역(42), 전도 특징부(222)와 이것들 사이의 유전체(46)의 일부분을 포함한다. 전도 특징부(44, 244)는 실리사이드 영역(42)과 전도 특징부(222)에 각각 전기적으로 연동되도록 형성된다. 안티-퓨즈(54)는 유전물질(46)을 파괴하도록 전도 특징부(44, 244) 사이에 프로그래밍 전압 V_{prog} 을 인가하기 위해 전원(51)을 사용함으로써 프로그래밍될 수 있다. 영역(64)은 유전물질(46)이 파괴될 가능성이 가장 높은 영역을 표시한다.

[0024] 안티-퓨즈(54)가 형성되는 시간에, 도 10에 도시된 안티-퓨즈(56)가 또한 동시에 형성된다. 안티-퓨즈(56)는 에피택시 영역(36), 실리사이드 영역(42), 전도 특징부(122)와, 이것들 사이에 유전체(46)의 일부분을 포함한다.

[0025] 도 4, 5, 9와 10에 도시된 것과 같이, 게이트 유전체(21), 게이트 전극(22)과 인접 에피택시 영역(36)은 Fin 전계 효과 트랜지스터(FinFET)와 같은 다중-게이트 트랜지스터를 형성할 수 있다. 에피택시 영역(36)은 FinFET(70)의 소스 및 드레인 영역을 형성하기 위해 주입될 수 있다. 도 4와 5에 도시된 것과 같이, 에피택시 영역(36) 중 하나는 FinFET(70)의 소스/드레인 영역으로서 작용하고, 또한 안티-퓨즈(50, 52) 각각의 일부를 형성한다. 도 9와 10에 도시된 것과 같이, 에피택시 영역(36) 중 하나는 FinFET(70)의 소스/드레인 영역으로서 작용하고, 또한 안티-퓨즈(54, 56) 각각의 일부를 형성한다. 그러므로, 실시예에 따라 안티-퓨즈의 형성은 전치(front end) 공정과 완전하게 호환되고, 어떠한 추가적인 마스크와 공정 단계도 필요하지 않다. 안티-퓨즈는 고밀도를 가질 수 있고, 레이저 대신에 전압을 사용해서 프로그래밍될 수 있다.

[0026] 실시예에 따라, 기판과, 기판의 표면에 배치된 분리 영역, 그리고, 분리 영역의 상단면 위에 배치된 반도체 영역을 포함한다. 전도 특징부는 분리 영역의 상단면 위에 배치되고, 전도 특징부는 반도체 영역에 인접해 배치된다. 유전 물질은 전도 특징부와 반도체 영역 사이에 배치된다. 유전 물질, 전도 특징부와 반도체 영역은 안티-퓨즈를 형성한다.

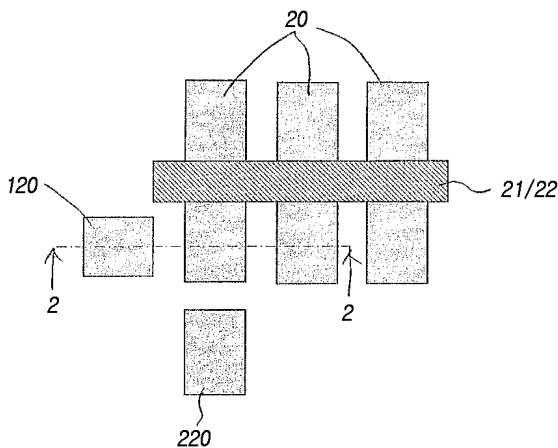
[0027] 다른 실시예에 따라, 장치는 반도체 기판과, 반도체 기판의 표면에 배치된 STI 영역과, STI 영역의 상단면 위에 배치된 제1 반도체 핀, 그리고 STI 영역의 상단면 위에 배치된 제2 반도체 핀을 포함한다. 제1 및 제2 반도체 핀은 페이스(facet)를 포함한다. 유전 물질은 제1 및 제2 반도체 핀 사이에 배치된다. 유전물질, 제1 반도체 핀과 제2 반도체 핀은 안티-퓨즈를 형성한다.

[0028] 다른 실시예에 따라, 방법은 STI 영역의 상단면 위에 에피택시 영역을 형성하기 위해 에피택시를 수행하는 단계를 포함하고, STI 영역은 기판의 표면에 배치된다. 방법은 에피택시 영역 위에서 접촉하는 실리사이드 영역을 형성하는 단계, 실리사이드 영역에 인접하고 STI 영역 위에 위치한 전도성 영역을 형성하는 단계와, 전도성 영역과, 실리사이드 영역 및 에피택시 영역의 결합된 영역 사이에 유전 물질을 충전하는(filling) 단계를 더 포함한다. 전도성 영역, 결합된 영역, 및 유전 물질은 안티-퓨즈를 형성한다. 전원은 실리사이드 영역과 전도성 영역에 전기적으로 연동되도록 형성된다. 전원은 유전 물질을 파괴하기에 충분히 높은 프로그래밍 전압을 인가하도록 구성된다.

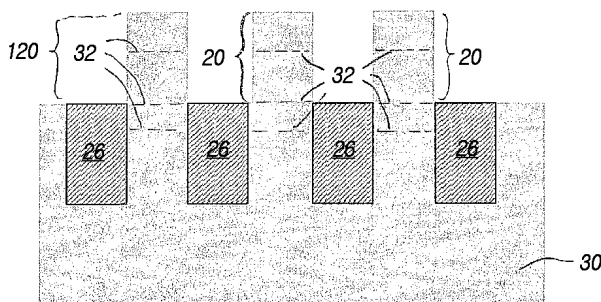
[0029] 본 발명의 실시예 및 이에 관한 이점을 자세하게 설명하였지만, 본 발명에 대한 다양한 변경, 대체, 및 변동이 첨부된 청구범위들에 의해 정의된 실시예의 정신 및 범위로 부터 이탈하지 않고서 행해질 수 있다는 것을 이해해야 한다. 또한, 본 출원의 범위는 명세서에서 설명된 공정, 기계, 제조와, 물질의 조성, 수단, 방법과 단계의 특정 실시예에 제한되는 것을 의도하지 않는다. 본 발명분야의 당업자라면 본 명세서에서 설명된 대응하는 실시예들과 실질적으로 동일한 기능을 수행하거나 이와 실질적으로 동일한 결과를 달성하는, 현존하거나 후에 개발될 공정, 기계, 제조, 물질, 수단, 방법, 또는 단계의 조합이 본 발명의 개시(disclosure)로부터 활용될 수 있다는 것을 본 발명개시로부터 쉽게 알 수 있을 것이다. 따라서, 첨부된 청구항들은 이와 같은 물질, 수단, 방법, 또는 단계의 프로세스, 머신, 제조품, 조성을 청구항의 범위 내에 포함하는 것으로 한다. 또한, 각 청구항은 별도의 실시예를 구성하고, 다양한 청구항과 실시예의 조합은 본 발명의 개시의 범위 내에 있다.

도면

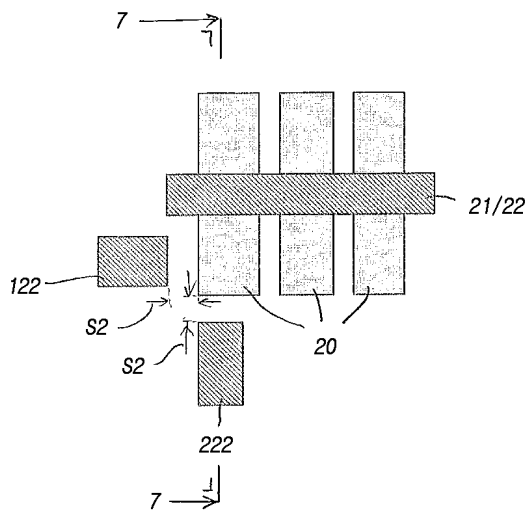
도면1



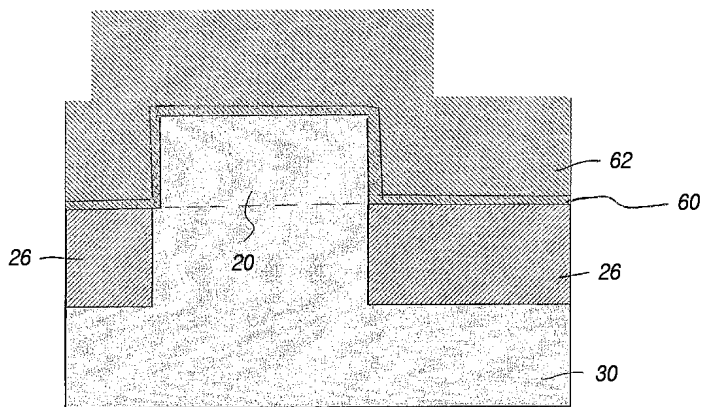
도면2



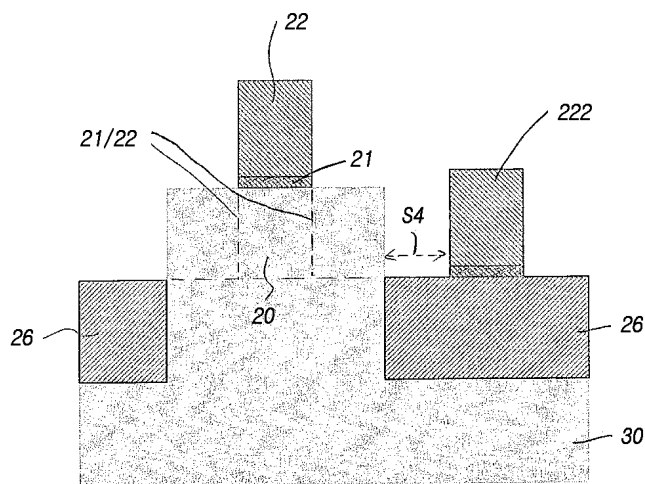
도면6



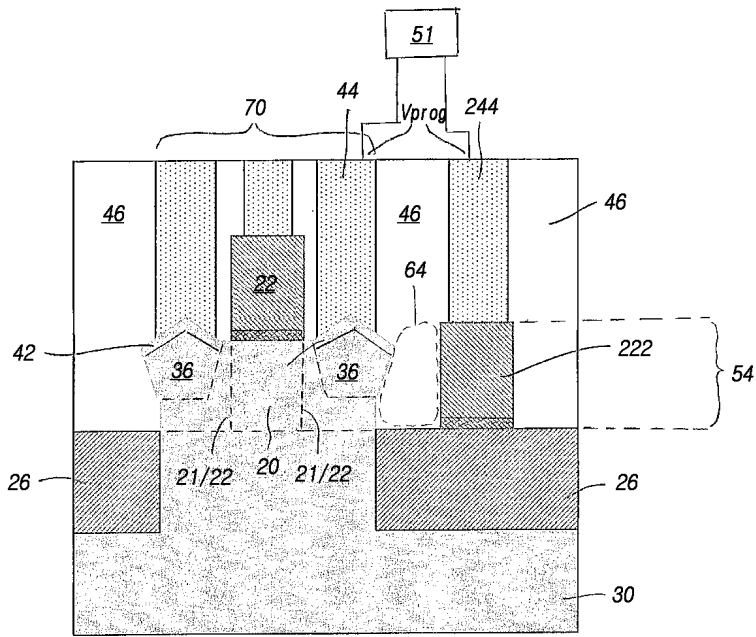
도면7



도면8



도면9



도면10

