

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年8月25日(25.08.2022)



(10) 国際公開番号

WO 2022/176141 A1

- (51) 国際特許分類:
H01L 21/822 (2006.01) H01L 29/78 (2006.01)
H01L 27/04 (2006.01)
- (21) 国際出願番号: PCT/JP2021/006252
- (22) 国際出願日: 2021年2月19日(19.02.2021)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人:三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).
- (72) 発明者:上野 誠(UENO Makoto); 〒8190192 福岡県福岡市西区今宿東一丁目1番1号 メ

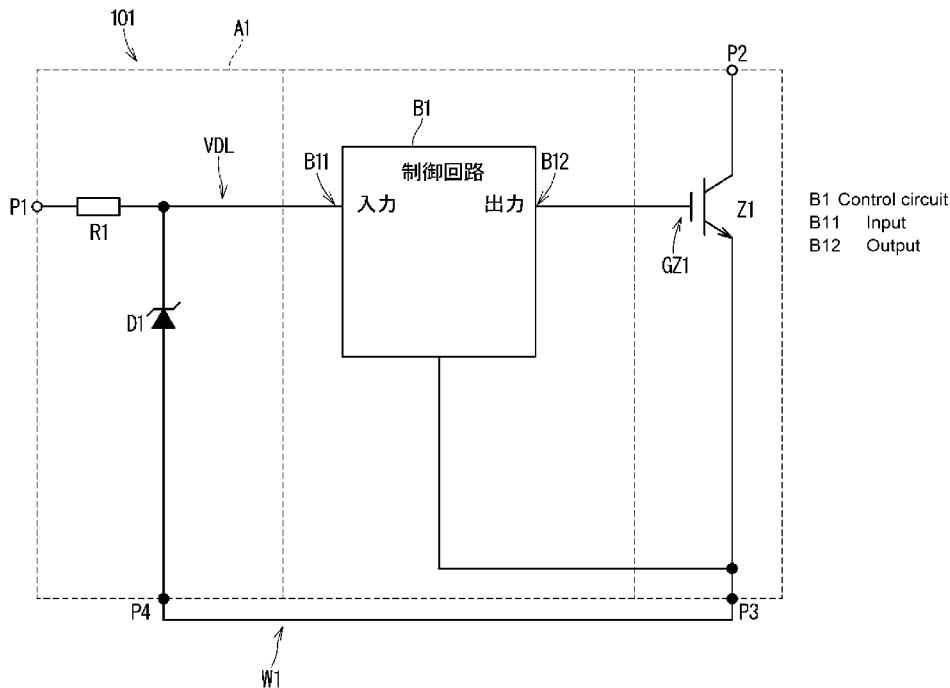
ルコセミコンダクタエンジニアリング株式会社内 Fukuoka (JP). 西村 一廣(NISHIMURA Kazuhiro); 〒8190192 福岡県福岡市西区今宿東一丁目1番1号 メルコセミコンダクタエンジニアリング株式会社内 Fukuoka (JP).

(74) 代理人:吉竹 英俊, 外(YOSHITAKE Hidetoshi et al.); 〒5400001 大阪府大阪市中央区域見1丁目4番70号住友生命OBPプラザビル10階 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN,

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置および半導体装置の製造方法



(57) Abstract: Provided is a semiconductor device with which it is possible to perform reliable screening in a short period of time. This semiconductor device comprises a switching element, a control circuit, a Zener diode, a first terminal, and a second terminal. The switching element is formed on a semiconductor substrate. The control circuit is formed on the semiconductor substrate including the switching element, and controls the state of the switching element. The Zener diode includes a cathode connected to a power supply voltage line between the control circuit and an input terminal, to which is

HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告 (条約第21条(3))

inputted a power supply voltage for driving the control circuit. The Zener diode is formed on the semiconductor substrate. The first terminal is provided to a main surface of the semiconductor substrate as an anode of the Zener diode. The second terminal is provided to the main surface of the semiconductor substrate as either an emitter or a source of the switching element, and is insulated from the first terminal in the semiconductor substrate.

(57) 要約：信頼性のあるスクリーニングを短時間で行うことが可能な半導体装置を提供する。半導体装置は、スイッチング素子、制御回路、ツェナーダイオード、第1端子および第2端子を備える。スイッチング素子は、半導体基板に形成されている。制御回路は、スイッチング素子を含む半導体基板に形成され、スイッチング素子の状態を制御する。ツェナーダイオードは、制御回路を駆動させるための電源電圧が入力される入力端子と制御回路との間の電源電圧ラインに接続されたカソードを含む。ツェナーダイオードは、半導体基板に形成されている。第1端子は、ツェナーダイオードのアノードとして、半導体基板の主面に設けられている。第2端子は、スイッチング素子のエミッタおよびソースのうちいずれか一方として、半導体基板の主面に設けられ、半導体基板内で第1端子から絶縁されている。

明 細 書

発明の名称：半導体装置および半導体装置の製造方法

技術分野

[0001] 本開示は、半導体装置および半導体装置の製造方法に関する。

背景技術

[0002] I G B T (Insulated Gate Bipolar Transistor)、M O S F E T (Metal-Oxide-Semiconductor Field-Effect Transistor) 等のスイッチング素子が形成された半導体基板と同一の基板内に、そのスイッチング素子の状態を制御するための制御回路が形成される半導体装置が知られている（例えば、特許文献1 参照）。制御回路の入力側にはツェナーダイオードが接続されており、そのツェナーダイオードは制御回路に過大な電源電圧が印加されないように制御している。また、半導体装置の内部の寄生素子によって引き起こされるラッチアップを防止するため、制御回路の入力側にはショットキーバリアダイオードが配置される場合がある。ショットキーバリアダイオードが配置されている場合、そのショットキーバリアダイオードによる電圧降下を低減するため、PチャネルM O S F E Tがそのショットキーバリアダイオードに並列に接続される。

先行技術文献

特許文献

[0003] 特許文献1：特開2002-16254号公報

発明の概要

発明が解決しようとする課題

[0004] 制御回路の入力側にツェナーダイオードを含む入力保護用の回路が設けられている場合、制御回路の定格電圧近傍の電圧を印加したとしても、ツェナーダイオードの降伏電圧（ツェナー電圧）以上の電圧は制御回路に印加されない。言い換えると、制御回路のスクリーニングを目的としたバーンイン（通電試験）においては、その定格電圧近傍の電圧を制御回路に印加すること

ができない。信頼性のあるスクリーニングを行うためには、定格電圧よりも低い電圧を長時間印加するなどの措置が必要となり、試験時間が長くなる。

[0005] 本開示は、上記の課題を解決するため、信頼性のあるスクリーニングを短時間で行うことが可能な半導体装置を提供する。

課題を解決するための手段

[0006] 本開示に係る半導体装置は、スイッチング素子、制御回路、ツェナーダイオード、第1端子および第2端子を備える。スイッチング素子は、半導体基板に形成されている。制御回路は、スイッチング素子を含む半導体基板に形成され、スイッチング素子の状態を制御する。ツェナーダイオードは、制御回路を駆動させるための電源電圧が入力される入力端子とその制御回路との間の電源電圧ラインに接続されたカソードを含む。ツェナーダイオードは、半導体基板に形成されている。第1端子は、ツェナーダイオードのアノードとして半導体基板の主面に設けられている。第2端子は、スイッチング素子のエミッタおよびソースのうちいずれか一方として半導体基板の主面に設けられ、半導体基板内で第1端子から絶縁されている。

発明の効果

[0007] 本開示の半導体装置は、信頼性のあるスクリーニングを短時間で行うことを可能にする。

[0008] 本開示の目的、特徴、局面、および利点は、以下の詳細な説明と添付図面とによって、より明白になる。

図面の簡単な説明

[0009] [図1]実施の形態1における半導体装置の構成を示す回路図である。

[図2]実施の形態1における半導体装置の上面における構成を示す平面図である。

[図3]実施の形態1における半導体装置の製造方法を示すフローチャートである。

[図4]端子が開放状態の半導体装置の構成を示す回路図である。

[図5]実施の形態2における半導体装置の構成を示す回路図である。

[図6]実施の形態2における半導体装置の上面における構成を示す平面図である。

[図7]実施の形態2における半導体装置の製造方法を示すフローチャートである。

[図8]端子が開放状態の半導体装置の構成を示す回路図である。

[図9]実施の形態3における半導体装置の構成を示す回路図である。

[図10]実施の形態3における半導体装置の上面における構成を示す平面図である。

[図11]実施の形態3における半導体装置の製造方法を示すフローチャートである。

[図12]端子が開放状態の半導体装置の構成を示す回路図である。

[図13]実施の形態4における半導体装置の構成を示す回路図である。

[図14]実施の形態4における半導体装置の上面における構成を示す平面図である。

[図15]実施の形態4における半導体装置の製造方法を示すフローチャートである。

[図16]実施の形態5における半導体装置の構成を示す回路図である。

[図17]実施の形態5における半導体装置の上面における構成を示す平面図である。

[図18]端子が開放状態の半導体装置の構成を示す回路図である。

[図19]実施の形態6における半導体装置の構成を示す回路図である。

[図20]実施の形態6における半導体装置の上面における構成を示す平面図である。

発明を実施するための形態

[0010] <実施の形態1>

(半導体装置の構成)

図1は、実施の形態1における半導体装置101の構成を示す回路図である。図2は、実施の形態1における半導体装置101の上面における構成を

示す平面図である。

- [0011] 半導体装置 101 は、1つの半導体基板 S1 に形成された保護回路 A1、制御回路 B1、スイッチング素子 Z1、入力端子 P1、端子 P2、端子 P3、端子 P4 および金属ワイヤ W1 を備える。保護回路 A1 および制御回路 B1 は、合わせて1つの保護機能付き制御回路として定義されてもよい。
- [0012] 保護回路 A1 および制御回路 B1 は半導体基板 S1 内の回路領域 10 に形成されており、スイッチング素子 Z1 は同一の半導体基板 S1 内のスイッチング素子領域 20 に形成されている。図 1 には1つのスイッチング素子 Z1 のみが示されているが、スイッチング素子領域 20 には複数のスイッチング素子が形成されている。半導体基板 S1 は、例えば、Si 等の半導体、または、SiC、GaN、酸化ガリウム等のいわゆるワイドバンドギャップ半導体によって形成されている。
- [0013] 保護回路 A1 は、電源電圧ライン VDL、抵抗 R1、ツェナーダイオード D1 および端子 P4 を有する。
- [0014] 電源電圧ライン VDL は、入力端子 P1 と制御回路 B1 とを接続している。以下、「接続」とは、半導体装置 101 が通常動作する場合に2つの部分が互いに電氣的に接続されていることを言う。入力端子 P1 から入力される信号は、制御回路 B1 を駆動させるための電源電圧とスイッチング素子 Z1 の状態を制御するためのパルス信号とを兼ねている。
- [0015] 抵抗 R1 は、電源電圧ライン VDL 上に設けられ、突入電流など設計上、意図しない電流を制限する。
- [0016] ツェナーダイオード D1 のカソードは、電源電圧ライン VDL に接続されている。
- [0017] 端子 P4 は、ツェナーダイオード D1 のアノードであり、半導体基板 S1 の上面に設けられている。ここでは、端子 P4 は、金属パッドである。
- [0018] 制御回路 B1 は、スイッチング素子 Z1 のオン状態およびオフ状態の切り替えを制御する。制御回路 B1 の入力部 B11 は、電源電圧ライン VDL に接続されている。制御回路 B1 の出力部 B12 は、スイッチング素子 Z1 の

ゲートG Z 1 に接続されている。また、制御回路B 1 は、端子P 3 にも接続されている。

[0019] スイッチング素子Z 1 は、例えば、I G B T (Insulated Gate Bipolar Transistor)、M O S F E T (Metal Oxide Semiconductor Field Effect Transistor) 等である。図1におけるスイッチング素子Z 1 は、NチャネルI G B Tである。

[0020] 端子P 2 はコレクタ電極であり、例えば、半導体基板S 1 の下面に形成されている。

[0021] 端子P 3 はエミッタ電極であり、半導体基板S 1 の上面に設けられた金属パッドである。半導体基板S 1 の上面において、端子P 3 は端子P 4 から分離して配置されている。端子P 3 は、半導体基板S 1 内で、端子P 4 とは短絡していない、つまり端子P 4 から絶縁されている。

[0022] 金属ワイヤW 1 は、端子P 3 と端子P 4 とを接続している。金属ワイヤW 1 は、外部配線である。外部配線とは、半導体基板S 1 上に設けられていない配線である。端子P 4 は、半導体基板S 1 内で端子P 3 に短絡していないものの、端子P 3 と端子P 4 とは、金属ワイヤW 1 によって互いに電氣的に接続されている。

[0023] 半導体装置1 0 1 がシステム等を実装される場合、端子P 3 はG N D に接続される。つまり、端子P 4 と制御回路B 1 とは、端子P 3 を介してG N D に接続される。ツェナーダイオードD 1 は、制御回路B 1 に印加される電源電圧をツェナー電圧以下に制御する。

[0024] (半導体装置の製造方法)

図3は、実施の形態1における半導体装置1 0 1 の製造方法を示すフローチャートである。図4は、端子が開放状態の半導体装置1 0 1 Aの構成を示す回路図である。

[0025] ステップS 1 1 にて、端子P 4 が開放状態の半導体装置1 0 1 Aを準備する。バーンイン(通電試験)前の状態、言い換えると初期状態において、端子P 4 は、端子P 3 に金属ワイヤW 1 によって接続されていない。なお、こ

のステップS 1 1における半導体装置1 0 1 Aは、チップ状態であってもよいし、ダイシング前のウエハ状態であってもよい。

[0026] ステップS 1 2にて、試験用電圧を制御回路B 1に印加する。このステップS 1 2は、いわゆるバーンインである。例えば、試験用電圧が、入力端子P 1を介して電源電圧ラインV D Lと端子P 3との間に印加されることで制御回路B 1に印加される。または例えば、試験用電圧は、端子P 4を介して電源電圧ラインV D Lと端子P 3との間に印加されることで制御回路B 1に印加される。試験用電圧は、ツェナーダイオードD 1のツェナー電圧よりも大きく、制御回路B 1の定格電圧以下である。その試験用電圧によって、端子P 4と端子P 3とが短絡することはない。このバーンインによって、仕様を満たす半導体装置1 0 1 Aがスクリーニングされる。なお、この試験と合わせて、制御回路B 1の基本特性評価が実行される場合、端子P 4は端子P 3にテスト等で一時的に接続される。そして、電源電圧が入力端子P 1を介して電源電圧ラインV D Lと端子P 3との間に印加されることで制御回路B 1に印加される。

[0027] ステップS 1 3にて、バーンイン後、端子P 4を端子P 3に金属ワイヤW 1で接続する。このステップS 1 3は、いわゆるワイヤボンディング工程である。この工程により、図1に示される半導体装置1 0 1が完成する。

[0028] 以上をまとめると、実施の形態1における半導体装置1 0 1は、スイッチング素子Z 1、制御回路B 1、ツェナーダイオードD 1、端子P 4（第1端子）、端子P 3（第2端子）および金属ワイヤW 1（外部配線）を備える。スイッチング素子Z 1は、半導体基板S 1に形成されている。制御回路B 1は、スイッチング素子Z 1を含む半導体基板S 1に形成され、スイッチング素子Z 1の状態を制御する。ツェナーダイオードD 1は、制御回路B 1を駆動させるための電源電圧が入力される入力端子P 1と制御回路B 1との間の電源電圧ラインV D Lに接続されたカソードを含む。ツェナーダイオードD 1は、半導体基板S 1に形成されている。端子P 4は、ツェナーダイオードD 1のアノードとして、半導体基板S 1の上面（主面）に設けられている。

端子P3は、スイッチング素子Z1のエミッタとして、半導体基板S1の上面に設けられている。端子P3は、半導体基板S1内で端子P4から絶縁されている。金属ワイヤW1は、端子P3と端子P4とを接続している。

[0029] このような半導体装置101は、その製造工程において、ツェナーダイオードD1のツェナー電圧（約7V）以上の試験用電圧を制御回路B1に印加することが可能である。例えば、制御回路B1の定格電圧に近い電圧を印加して、バーンインを実行することが可能である。その結果、信頼性のあるスクリーニングが短時間で完了する。

[0030] スwitching素子Z1は、NチャネルIGBTに限定されるものではない。スイッチング素子Z1は、NチャネルMOSFETであってもよい。その場合、端子P4は、NチャネルMOSFETのソースに対応する。また、電流センス用にエミッタのみが分離されたスイッチング素子が接続されていてもよい。外部配線は、金属ワイヤに限定されるものではない。外部配線は、平板状の導電体であってもよい。端子P4および端子P3は、半導体基板S1の下面に設けられていてもよい。その場合、外部配線は、半導体基板S1の下面と対向する回路基板に設けられた配線パターンであってもよい。これらの変形例は、以下に示される各実施の形態にも適用可能である。

[0031] <実施の形態2>

実施の形態2における半導体装置および半導体装置の製造方法を説明する。実施の形態2において、実施の形態1と同様の構成要素には、同一の参照符号を付し、それらの詳細な説明は省略する。

[0032] （半導体装置の構成）

図5は、実施の形態2における半導体装置102の構成を示す回路図である。図6は、実施の形態2における半導体装置102の上面における構成を示す平面図である。

[0033] 半導体装置102は、1つの半導体基板S1に形成された保護回路A2、制御回路B1、スイッチング素子Z1、入力端子P1、端子P2、端子P3、端子P5、端子P6および金属ワイヤW2を備える。

[0034] 保護回路A 2は、電源電圧ラインVDL、抵抗R 1、ツェナーダイオードD 1、端子P 5および端子P 6を有する。

[0035] ツェナーダイオードD 1のカソードは、電源電圧ラインVDLに接続されている。ツェナーダイオードD 1のアノードは、スイッチング素子Z 1のエミッタ電極である端子P 3に接続されている。

[0036] 端子P 5は、半導体基板S 1内の電源電圧ラインVDLをツェナーダイオードD 1のカソードと制御回路B 1との間で分断している。端子P 5は、半導体基板S 1の上面に設けられており、制御回路B 1の入力部B 1 1に接続されている。ここでは、端子P 5は、金属パッドである。

[0037] 端子P 6は、ツェナーダイオードD 1のカソードであり、半導体基板S 1の上面に設けられている。端子P 6は、半導体基板S 1内で端子P 5とは短絡していない、つまり端子P 5から絶縁されている。端子P 6は、端子P 5とともに、半導体基板S 1内の電源電圧ラインVDLをツェナーダイオードD 1のカソードと制御回路B 1との間で分断している。ここでは、端子P 6は、金属パッドである。

[0038] 金属ワイヤW 2は、端子P 5と端子P 6とを接続して、電源電圧ラインVDLを形成している。端子P 6は、半導体基板S 1内で端子P 5に短絡していないものの、端子P 5と端子P 6とは、金属ワイヤW 2によって互いに電氣的に接続されている。

[0039] 半導体装置1 0 2がシステム等を実装される場合、端子P 3はGNDに接続される。つまり、ツェナーダイオードD 1のアノードは、端子P 3を介してGNDに接続される。ツェナーダイオードD 1は、制御回路B 1に印加される電源電圧をツェナー電圧以下に制御する。

[0040] (半導体装置の製造方法)

図7は、実施の形態2における半導体装置1 0 2の製造方法を示すフローチャートである。図8は、端子が開放状態の半導体装置1 0 2 Aの構成を示す回路図である。

[0041] ステップS 2 1にて、端子P 5が開放状態の半導体装置1 0 2 Aを準備す

る。端子P5が開放状態であることは、電源電圧ラインVDLが開放状態であることに対応する。バーンイン前の状態において、端子P5は、端子P6に金属ワイヤW2によって接続されていない。

[0042] ステップS22にて、試験用電圧を制御回路B1に印加する。具体的には、試験用電圧は、端子P5を介して電源電圧ラインVDLと端子P3との間に印加されることで制御回路B1に印加される。試験用電圧は、ツェナーダイオードD1のツェナー電圧よりも大きく、制御回路B1の定格電圧以下である。この試験によって、仕様を満たす半導体装置102Aがスクリーニングされる。

[0043] ステップS23にて、バーンイン後、端子P5を端子P6に金属ワイヤW2で接続する。この工程により、図5に示される半導体装置102が完成する。

[0044] 以上をまとめると、実施の形態2における半導体装置102は、スイッチング素子Z1、制御回路B1、ツェナーダイオードD1、端子P5（第1端子）、端子P6（第2端子）および金属ワイヤW2（外部配線）を備える。スイッチング素子Z1は、半導体基板S1に形成されている。制御回路B1は、スイッチング素子Z1を含む半導体基板S1に形成され、スイッチング素子Z1の状態を制御する。ツェナーダイオードD1は、制御回路B1を駆動させるための電源電圧が入力される入力端子P1と制御回路B1との間の電源電圧ラインVDLに接続されたカソードを含む。ツェナーダイオードD1は、半導体基板S1に形成されている。端子P5は、半導体基板S1の上面に設けられている。端子P5は、半導体基板S1内の電源電圧ラインVDLをツェナーダイオードD1のカソードと制御回路B1との間で分断する。端子P5は、制御回路B1の入力部B11に接続されている。端子P6は、ツェナーダイオードD1のカソードとして半導体基板S1の上面に設けられている。端子P6は、端子P5とともに、半導体基板S1内の電源電圧ラインVDLをツェナーダイオードD1のカソードと制御回路B1との間で分断している。金属ワイヤW2は、端子P5と端子P6とを接続して、電源電圧

ラインV D Lを形成している。

[0045] このような半導体装置102は、その製造工程において、ツェナーダイオードD1のツェナー電圧（約7V）以上の試験用電圧を制御回路B1に印加することが可能である。例えば、制御回路B1の定格電圧に近い電圧を印加して、バーンインを実行することが可能である。その結果、信頼性のあるスクリーニングが短時間で完了する。

[0046] 実施の形態2においては、端子P5が保護回路A2に設けられていたが、端子P5は制御回路B1の入力部B11そのものであってもよい。

[0047] <実施の形態3>

実施の形態3における半導体装置および半導体装置の製造方法を説明する。実施の形態3において、実施の形態1または2と同様の構成要素には、同一の参照符号を付し、それらの詳細な説明は省略する。

[0048] （半導体装置の構成）

図9は、実施の形態3における半導体装置103の構成を示す回路図である。図10は、実施の形態3における半導体装置103の上面における構成を示す平面図である。

[0049] 半導体装置103は、1つの半導体基板S1に形成された保護回路A3、制御回路B1、スイッチング素子Z1、入力端子P1、端子P2、端子P3、端子P7、端子P9および金属ワイヤW3を備える。

[0050] 保護回路A3は、入力端子P1、抵抗R1、抵抗R2、ツェナーダイオードD1、ショットキーバリアダイオードD2～D6、トランジスタT1、端子P7および端子P9を有する。入力端子P1、抵抗R1およびツェナーダイオードD1の構成は、実施の形態2のそれらと同様である。

[0051] ショットキーバリアダイオードD2およびトランジスタT1は、電源電圧ラインV D Lに並列に接続されている。ショットキーバリアダイオードD2は、回路内の素子に寄生するラッチアップを防止する。トランジスタT1は、PチャネルMOSFETである。トランジスタT1は、ショットキーバリアダイオードD2の電圧降下を低減する。

- [0052] トランジスタT1のゲートは、抵抗R2を介して、ドレインに接続されている。トランジスタT1のバックゲートは、ショットキーバリアダイオードD3およびD4の各カソードに接続されている。ショットキーバリアダイオードD3のアノードは、スイッチング素子Z1のエミッタ、つまり端子P3に接続されている。ショットキーバリアダイオードD4のアノードは、ツェナーダイオードD1のカソードおよび抵抗R1を介して、入力端子P1に接続されている。ショットキーバリアダイオードD5のアノードは、制御回路B1の入力部B11に接続されている。ショットキーバリアダイオードD6のカソードは、制御回路B1の入力部B11に接続され、アノードは端子P3に接続されている。
- [0053] 端子P9は、トランジスタT1のドレインと制御回路B1の入力部B11との間の電源電圧ラインVDLに接続されている。端子P9は、半導体基板S1の上面に設けられている。ここでは、端子P9は、金属パッドである。
- [0054] 端子P7は、トランジスタT1のゲートとして、半導体基板S1の上面に設けられている。ここでは、端子P7は、金属パッドである。
- [0055] 半導体基板S1の上面において、端子P3は端子P7から分離して配置されている。端子P3は、半導体基板S1内で、端子P7とは短絡していない、つまり端子P7から絶縁されている。
- [0056] 金属ワイヤW3は、端子P3と端子P7とを接続している。端子P7は、半導体基板S1内で端子P3に短絡していないものの、端子P3と端子P7とは、金属ワイヤW3によって互いに電氣的に接続されている。
- [0057] 半導体装置103がシステム等を実装される場合、端子P3はGNDに接続される。つまり、ツェナーダイオードD1のアノードおよび端子P7は、端子P3を介してGNDに接続される。ツェナーダイオードD1は、制御回路B1に印加される電源電圧をツェナー電圧以下に制御する。また、このような構成は、トランジスタT1のバックゲートおよび制御回路B1における寄生サイリスタの誤作動を防止する。
- [0058] (半導体装置の製造方法)

図 1 1 は、実施の形態 3 における半導体装置 1 0 3 の製造方法を示すフローチャートである。図 1 2 は、端子が開放状態の半導体装置 1 0 3 A の構成を示す回路図である。

[0059] ステップ S 3 1 にて、端子 P 7 が開放状態の半導体装置 1 0 3 A を準備する。バーンイン前の状態において、端子 P 7 は、端子 P 3 に金属ワイヤ W 3 によって接続されていない。

[0060] ステップ S 3 2 にて、試験用電圧を制御回路 B 1 に印加する。例えば、端子 P 7 が開放状態において、試験用電圧が、電源電圧ライン V D L に設けられた端子 P 9 と端子 P 3 との間に印加されることで制御回路 B 1 に印加される。トランジスタ T 1 のゲートである端子 P 7 は、上記のように端子 P 3 に接続されていない。トランジスタ T 1 のゲートとドレインとの間にも抵抗 R 2 が存在する。よって、端子 P 9 と端子 P 3 との間に試験用電圧が印加された場合、トランジスタ T 1 が駆動することはない。ショットキーバリアダイオード D 6 の耐圧（約 1 6 V）を最大値とする試験用電圧が制御回路 B 1 に印加される。この試験によって、仕様を満たす半導体装置 1 0 3 A がスクリーニングされる。試験用電圧は、例えば、端子 P 7 を介して電源電圧ライン V D L と端子 P 3 との間に印加されることで制御回路 B 1 に印加されてもよい。

[0061] ステップ S 3 3 にて、バーンイン後、端子 P 7 を端子 P 3 に金属ワイヤ W 3 で接続する。この工程により、図 9 に示される半導体装置 1 0 3 が完成する。トランジスタ T 1 のゲートは、スイッチング素子 Z 1 のエミッタすなわち端子 P 3 に接続されている。トランジスタ T 1 は、ショットキーバリアダイオード D 2 の順方向電圧降下を低減する。

[0062] 以上をまとめると、実施の形態 3 における半導体装置 1 0 3 は、スイッチング素子 Z 1、制御回路 B 1、ツェナーダイオード D 1、トランジスタ T 1、抵抗 R 2、端子 P 7（第 1 端子）、端子 P 3（第 2 端子）および金属ワイヤ W 3（外部配線）を備える。スイッチング素子 Z 1 は、半導体基板 S 1 に形成されている。制御回路 B 1 は、スイッチング素子 Z 1 を含む半導体基板

S 1 に形成され、スイッチング素子 Z 1 の状態を制御する。ツェナーダイオード D 1 は、制御回路 B 1 を駆動させるための電源電圧が入力される入力端子 P 1 と制御回路 B 1 との間の電源電圧ライン V D L に接続されたカソードを含む。ツェナーダイオード D 1 は、半導体基板 S 1 に形成されている。トランジスタ T 1 は、半導体基板 S 1 に形成され、電源電圧ライン V D L に並列に接続されている。抵抗 R 2 は、半導体基板 S 1 に形成され、トランジスタ T 1 のゲートとドレインとの間に設けられている。端子 P 7 は、トランジスタ T 1 のゲートとして、半導体基板 S 1 の上面に設けられている。端子 P 3 は、スイッチング素子 Z 1 のエミッタとして半導体基板 S 1 の上面に設けられ、端子 P 7 から絶縁されている。金属ワイヤ W 3 は、端子 P 7 と端子 P 3 とを接続している。

[0063] このような半導体装置 1 0 3 は、その製造工程において、制御回路 B 1 の定格電圧に近い電圧を、制御回路 B 1 に印加して、バーンインを実行することを可能にする。入力保護用のツェナーダイオード D 1 のツェナー電圧以上の電圧が印加されるため、信頼性のあるスクリーニングが短時間で完了する。

[0064] <実施の形態 4>

実施の形態 4 における半導体装置および半導体装置の製造方法を説明する。実施の形態 4 において、実施の形態 1 から 3 のいずれかと同様の構成要素には、同一の参照符号を付し、それらの詳細な説明は省略する。

[0065] (半導体装置の構成)

図 1 3 は、実施の形態 4 における半導体装置 1 0 4 の構成を示す回路図である。図 1 4 は、実施の形態 4 における半導体装置 1 0 4 の上面における構成を示す平面図である。

[0066] 半導体装置 1 0 4 は、1 つの半導体基板 S 1 に形成された保護回路 A 4、制御回路 B 1、スイッチング素子 Z 1、入力端子 P 1、端子 P 2、端子 P 3、端子 P 8 および端子 P 9 を備える。

[0067] 保護回路 A 4 は、実施の形態 3 の保護回路 A 3 の構成に加えて、ツェナー

ダイオードD 7 および双方向ツェナーダイオードD 8 をさらに備える。

[0068] ツェナーダイオードD 7 は、トランジスタT 1 のゲートに接続されるカソードと、スイッチング素子Z 1 のエミッタに接続されるアノードとを含む。ツェナーダイオードD 7 は、短絡処理（ツェナーザップ）されている。つまり、トランジスタT 1 のゲートは、端子P 3 と短絡している。

[0069] 双方向ツェナーダイオードD 8 は、トランジスタT 1 のゲートとドレインとの間に設けられ、抵抗R 2 と直列に接続されている。双方向ツェナーダイオードD 8 は、半導体装置1 0 4 の製造工程において、試験用電圧が制御回路B 1 に印加される際、電流経路における各素子に生じる発熱を軽減する。その発熱は過電圧または過電流によって生じ、各素子の破損の原因となる。その発熱の軽減の程度は、双方向ツェナーダイオードD 8 の接続個数によって調整可能である。発熱が小さい場合、双方向ツェナーダイオードD 8 は必ずしも必要ない。

[0070] 端子P 8 は、トランジスタT 1 のゲートとして、半導体基板S 1 の上面に設けられている。ここでは、端子P 8 は、金属パッドである。端子P 8 には、金属ワイヤ等は接続されていない。

[0071] 半導体基板S 1 の上面において、端子P 3 は端子P 8 から分離して配置されている。端子P 3 は、半導体基板S 1 内で端子P 8 とは短絡していない、つまり端子P 8 から絶縁されている。

[0072] 半導体装置1 0 4 がシステム等を実装される場合、ツェナーダイオードD 1 のアノードは端子P 3 を介してGNDに接続される。ツェナーダイオードD 1 は、制御回路B 1 に印加される電源電圧をツェナー電圧以下に制御する。また、ツェナーダイオードD 7 は、短絡処理（ツェナーザップ）されているため、トランジスタT 1 のゲートも、端子P 3 を介してGNDに接続されている。トランジスタT 1 は、ショットキーバリアダイオードD 2 の順方向電圧降下を低減する。

[0073] （半導体装置の製造方法）

図1 5 は、実施の形態4 における半導体装置1 0 4 の製造方法を示すフロ

ーチャートである。

- [0074] ステップS 4 1 にて、ツェナーダイオードD 7 が短絡処理されていない状態の半導体装置を準備する。バーンイン前の状態において、トランジスタT 1 のゲートは、ツェナーダイオードD 7 によって所定の電圧範囲内で端子P 3 から絶縁されている。
- [0075] ステップS 4 2 にて、試験用電圧を制御回路B 1 に印加する。例えば、端子P 8 が開放状態において、試験用電圧が、端子P 9 と端子P 3 との間に印加されることで制御回路B 1 に印加される。トランジスタT 1 のゲートから端子P 3 の方向には、電流は流れない。また、トランジスタT 1 のゲートとドレインとの間にも抵抗R 2 が存在する。よって、端子P 9 を介して試験用電圧が印加された場合、トランジスタT 1 が駆動することはない。ショットキーバリアダイオードD 6 の耐圧（約1 6 V）を最大値とする試験用電圧が制御回路B 1 に印加される。なお、この際、トランジスタT 1 のゲートおよびドレイン間には約9 Vの電圧が印加される。この試験によって、仕様を満たす半導体装置がスクリーニングされる。
- [0076] ステップS 4 3 にて、バーンイン後、ツェナーダイオードD 7 に対して短絡処理（ツェナーザップ）を施す。トランジスタT 1 のゲートとスイッチング素子Z 1 のエミッタ間には、短絡処理用電圧として、例えば、約3 5 Vの電圧が印加される。この際、トランジスタT 1 のゲートおよびドレイン間の電圧は、約1 9 Vである。電流経路における各素子が発熱に耐えられるように、双方向ツェナーダイオードD 8 がトランジスタT 1 のゲートおよびドレイン間に接続されている。ツェナーザップによって、トランジスタT 1 のゲートは、スイッチング素子Z 1 のエミッタすなわち端子P 3 と短絡する。トランジスタT 1 は、ショットキーバリアダイオードD 2 の順方向電圧降下を低減する。
- [0077] 以上をまとめると、実施の形態4における半導体装置1 0 4 は、スイッチング素子Z 1、制御回路B 1、ツェナーダイオードD 1、トランジスタT 1、抵抗R 2、ツェナーダイオードD 7（短絡処理用ツェナーダイオード）と

、端子P8（ゲート端子）と、を備える。スイッチング素子Z1は、半導体基板S1に形成されている。制御回路B1は、スイッチング素子Z1を含む半導体基板S1に形成され、スイッチング素子Z1の状態を制御する。ツェナーダイオードD1は、制御回路B1を駆動させるための電源電圧が入力される入力端子P1と制御回路B1との間の電源電圧ラインVDLに接続されたカソードを含む。ツェナーダイオードD1は、半導体基板S1に形成されている。トランジスタT1は、半導体基板S1に形成され、電源電圧ラインVDLに並列に接続されている。抵抗R2は、半導体基板S1に形成され、トランジスタT1のゲートとドレインとの間に設けられている。ツェナーダイオードD7は、トランジスタT1のゲートに接続されるカソードと、スイッチング素子Z1のエミッタに接続されるアノードとを含む。ツェナーダイオードD7は、短絡処理されている。端子P8は、トランジスタT1のゲートとして、半導体基板S1の上面に設けられている。

[0078] このような半導体装置104は、その製造工程において、制御回路B1の定格電圧に近い電圧を、制御回路B1に印加して、バーンインを実行することを可能にする。入力保護用のツェナーダイオードD1のツェナー電圧以上の電圧が印加されるため、信頼性のあるスクリーニングが短時間で完了する。トランジスタT1のゲートとスイッチング素子Z1のエミッタとの電気的な接続に、ワイヤボンディング工程が不要であることから、コストが低減される。

[0079] <実施の形態5>

実施の形態5における半導体装置および半導体装置の製造方法を説明する。実施の形態5において、実施の形態1から4のいずれかと同様の構成要素には、同一の参照符号を付し、それらの詳細な説明は省略する。

[0080] （半導体装置の構成）

図16は、実施の形態5における半導体装置105の構成を示す回路図である。図17は、実施の形態5における半導体装置105の上面における構成を示す平面図である。

- [0081] 半導体装置 105 は、1つの半導体基板 S1 に形成された保護回路 A3、制御回路 B2、スイッチング素子 Z1、入力端子 P1、端子 P2、端子 P3、端子 P7、端子 P9、端子 P10 および金属ワイヤ W3 を備える。
- [0082] 制御回路 B2 は、波形整形回路 C1、Pチャネル MOSFET (T2)、Pチャネル MOSFET (T3)、Pチャネル MOSFET (T4)、定電流源 C2 および抵抗 R3 を含む。
- [0083] Pチャネル MOSFET (T2) は、波形整形回路 C1 の出力によって駆動する。Pチャネル MOSFET (T3) のソースは、Pチャネル MOSFET (T2) のドレインと共通であり、定電流源 C2 に接続されている。Pチャネル MOSFET (T4) のゲートは、Pチャネル MOSFET (T3) と共通である。Pチャネル MOSFET (T4) と Pチャネル MOSFET (T3) はカレントミラー回路を構成している。Pチャネル MOSFET (T4) のドレインは、スイッチング素子 Z1 のゲート GZ1 に接続されている。抵抗 R3 は、トランジスタ T1 のゲート、スイッチング素子 Z1 のゲート GZ1 および Pチャネル MOSFET (T4) のドレインを互いに接続している。
- [0084] 保護回路 A3 は、実施の形態 3 に示された構成を有する。端子 P7 は、半導体基板 S1 内で端子 P3 に短絡していないものの、端子 P3 と端子 P7 とは、金属ワイヤ W3 によって互いに電氣的に接続されている。実施の形態 4 と同様に、必要に応じて、双方向ツェナーダイオード D8 が、トランジスタ T1 のゲートと抵抗 R2 との間に接続されていてもよい。
- [0085] 端子 P10 は、スイッチング素子 Z1 のゲート電極として、半導体基板 S1 の上面に設けられている。ここでは、端子 P10 は、金属パッドである。
- [0086] 半導体装置 105 がシステム等を実装される場合、ツェナーダイオード D1 のアノードおよび端子 P7 は、端子 P3 を介して GND に接続される。
- [0087] (半導体装置の動作)
- (i) 入力端子 P1 に電圧信号が入力される。電源電圧はその電圧信号に基づいて生成され、ツェナーダイオード D1 は、電源電圧をツェナー電圧以

下に制御する。(i i) その電源電圧に基づいて、波形整形回路C 1がON状態となる。H信号がPチャネルMOSFET (T 2) のゲートに伝達され、PチャネルMOSFET (T 2) がOFF状態になる。定電流源C 2からPチャネルMOSFET (T 3) に電流が流れる。カレントミラーの構成により、PチャネルMOSFET (T 4) にコピーされた電流または増幅された電流が流れる。(i i i) 抵抗R 3に電流が流れる。スイッチング素子Z 1のゲートG Z 1にゲート電圧が印加され、エミッタ電極である端子P 3からコレクタ電極である端子P 2に電流が流れる。遮断動作は、上記の(i)から(i i i)の逆である。

[0088] (半導体装置の製造方法)

実施の形態5における半導体装置105の製造方法は、図11に示されるフローチャートと同様である。図18は、端子が開放状態の半導体装置105Aの構成を示す回路図である。

[0089] ステップS31にて、端子P7が開放状態の半導体装置105Aを準備する。バーンイン前の状態において、端子P7は、端子P3に金属ワイヤW3によって接続されていない。

[0090] ステップS32にて、試験用電圧を制御回路B2に印加する。例えば、端子P7が開放状態において、試験用電圧が、端子P9と端子P3との間に印加されることで制御回路B2に印加される。ショットキーバリアダイオードD6の耐圧(約16V)を最大値とする試験用電圧が制御回路B2に印加される。

[0091] また、この際、スイッチング素子Z1のゲートGZ1および抵抗R3は、端子P3に接続されていない。そのため、スイッチング素子Z1のゲート酸化膜のスクリーニングが可能である。ゲート酸化膜のスクリーニング用の電圧(以下、ゲート酸化膜試験用電圧という。)は、端子P10と端子P3との間に印加される。例えば、スイッチング素子Z1のゲート酸化膜の厚さが500Åである場合、酸化膜の耐圧(50V)近傍のゲート酸化膜試験用電圧が印加されることが好ましい。例えば、端子P10と端子P3との間に4

0 Vのゲート酸化膜試験用電圧が印加される場合、抵抗R 3－抵抗R 2－ショットキーバリアダイオードD 6の経路で電流が流れる。その際、ショットキーバリアダイオードD 6の耐圧が約16 Vである場合、抵抗R 2およびR 3には合わせて24 Vの電圧が印加される。双方向ツェナーダイオードD 8は、抵抗R 2およびR 3における発熱を軽減する。その発熱の軽減の程度は、双方向ツェナーダイオードD 8の接続個数によって調整可能である。実施の形態5においては、ゲート酸化膜試験用電圧は、端子P 10を介して印加されたが、抵抗R 2のみで発熱が抑えられる場合、端子P 7を介して、すなわち端子P 7と端子P 3との間にゲート酸化膜試験用電圧が印加されてもよい。

[0092] 以上のステップS 32の試験によって、仕様を満たす半導体装置105 Aがスクリーニングされる。

[0093] ステップS 33にて、バーンイン後、端子P 7を端子P 3に金属ワイヤW 3で接続する。この工程により、図16に示される半導体装置105が完成する。このような接続構成により、トランジスタT 1は、ショットキーバリアダイオードD 2の電圧降下を低減する。また、このような接続構成は、入力端子P 1から入力される信号によって、スイッチング素子Z 1の状態を制御可能にする。

[0094] 以上をまとめると、実施の形態5における半導体装置105は、実施の形態3における半導体装置103の構成に加えて、トランジスタT 1のゲートとスイッチング素子Z 1のゲートG Z 1とを接続する抵抗R 3（電圧発生用抵抗）を、さらに備える。

[0095] このような半導体装置105は、制御回路B 2のスクリーニングだけでなく、スイッチング素子Z 1のゲート酸化膜のスクリーニングも可能にする。半導体装置105 Aの欠陥有無についての選別性が向上する。

[0096] 半導体装置105は、PチャネルMOSFET（T 3）と並列に接続され、誤動作時に駆動するPチャネルMOSFET（図示せず）をさらに備えていてもよい。誤作動とは、例えば、高温時または過電圧時における誤作動で

ある。これにより、保護機能が強化される。

[0097] <実施の形態6>

実施の形態6における半導体装置および半導体装置の製造方法を説明する。実施の形態6において、実施の形態1から5のいずれかと同様の構成要素には、同一の参照符号を付し、それらの詳細な説明は省略する。

[0098] 図19は、実施の形態6における半導体装置106の構成を示す回路図である。図20は、実施の形態6における半導体装置106の上面における構成を示す平面図である。

[0099] 半導体装置106は、1つの半導体基板S1に形成された保護回路A4、制御回路B2、スイッチング素子Z1、入力端子P1、端子P2、端子P3、端子P8、端子P9および端子P10を備える。

[0100] 保護回路A4は、実施の形態4に示された構成を有する。すなわち、ツェナーダイオードD7は、トランジスタT1のゲートに接続されるカソードと、スイッチング素子Z1のエミッタに接続されるアノードとを含む。ツェナーダイオードD7は、短絡処理されている。また、必要に応じて、双方向ツェナーダイオードD8が設けられる。端子P8は、トランジスタT1のゲートとして、半導体基板S1の上面に設けられている。端子P8には、金属ワイヤ等は接続されていない。端子P3は、半導体基板S1内で端子P8とは短絡していない、つまり端子P8から絶縁されている。

[0101] 制御回路B2は、実施の形態5に示された構成を有する。すなわち、抵抗R3は、トランジスタT1のゲートと、スイッチング素子Z1のゲートGZ1と、PチャネルMOSFET(T4)のドレインと、を接続している。

[0102] (半導体装置の製造方法)

実施の形態6における半導体装置106の製造方法は、図15に示されるフローチャートと同様である。

[0103] ステップS41にて、ツェナーダイオードD7が短絡処理されていない状態の半導体装置を準備する。

[0104] ステップS42にて、試験用電圧を制御回路B2に印加する。例えば、端

子P 8が開放状態において、試験用電圧が、端子P 9と端子P 3との間に印加されることで制御回路B 2に印加される。トランジスタT 1のゲートから端子P 3の方向には、電流は流れない。また、トランジスタT 1のゲートとドレインとの間にも抵抗R 2が存在する。よって、端子P 9を介して試験用電圧が印加された場合、トランジスタT 1が駆動することはない。試験用電圧として、ショットキーバリアダイオードD 6の耐圧に対応する電圧（約16 V）が制御回路B 2に印加される。トランジスタT 1のゲートおよびドレイン間には約9 Vの電圧が印加される。この際、実施の形態5と同様に、スイッチング素子Z 1のゲート酸化膜のスクリーニングが可能である。端子P 10と端子P 3との間に例えば40 Vが印加される場合、抵抗R 3－ツェナーダイオードD 7の経路で電流が流れる。抵抗R 3はその際に生じる発熱に耐えられる性能を有する必要がある。この試験によって、仕様を満たす半導体装置がスクリーニングされる。

[0105] ステップS 43にて、バーンイン後、ツェナーダイオードD 7に対して短絡処理（ツェナーザップ）を施す。この際、トランジスタT 1のゲートとスイッチング素子Z 1のエミッタ間には、短絡処理用電圧として、例えば、約35 Vの電圧が印加される。トランジスタT 1のゲートおよびドレイン間の電圧は、約19 Vである。双方向ツェナーダイオードD 8は、電流経路における各素子の発熱を軽減する。その軽減の程度は、双方向ツェナーダイオードD 8の接続個数によって調整可能である。

[0106] 以上をまとめると、実施の形態6における半導体装置106は、実施の形態3における半導体装置104の構成に加えて、トランジスタT 1のゲートとスイッチング素子Z 1のゲートG Z 1とを接続する抵抗R 3（電圧発生用抵抗）を、さらに備える。

[0107] このような半導体装置106は、制御回路B 2のスクリーニングだけでなく、スイッチング素子Z 1のゲート酸化膜のスクリーニングも可能にする。半導体装置106の欠陥有無についての選別性が向上する。

[0108] 本開示は、各実施の形態を自由に組み合わせたり、各実施の形態を適宜、

変形、省略したりすることが可能である。

符号の説明

[0109] 10 回路領域、20 スイッチング素子領域、101～106 半導体装置、A1～A4 保護回路、B1 制御回路、B11 入力部、B12 出力部、B2 制御回路、C1 波形整形回路、C2 定電流源、D1 ツェナーダイオード、D2～D6 ショットキーバリアダイオード、D7 ツェナーダイオード、D8 双方向ツェナーダイオード、GZ1 ゲート、P1 入力端子、P2～P10 端子、R1～R3 抵抗、S1 半導体基板、T1 トランジスタ、VDL 電源電圧ライン、W1～W3 金属ワイヤ、Z1 スイッチング素子。

請求の範囲

- [請求項1] 半導体基板に形成されたスイッチング素子と、
 前記スイッチング素子を含む前記半導体基板に形成され、前記スイッチング素子の状態を制御する制御回路と、
 前記制御回路を駆動させるための電源電圧が入力される入力端子と前記制御回路との間の電源電圧ラインに接続されたカソードを含み、前記半導体基板に形成されたツェナーダイオードと、
 前記ツェナーダイオードのアノードとして前記半導体基板の主面に設けられた第1端子と、
 前記スイッチング素子のエミッタおよびソースのうちいずれか一方として前記半導体基板の前記主面に設けられ、前記半導体基板内で前記第1端子から絶縁されている第2端子と、を備える、半導体装置。
- [請求項2] 前記第1端子と前記第2端子とを接続する外部配線を、さらに備える請求項1に記載の半導体装置。
- [請求項3] スイッチング素子と、前記スイッチング素子の状態を制御する制御回路と、前記制御回路を駆動させるための電源電圧が入力される入力端子と前記制御回路との間の電源電圧ラインに接続されたカソードを含むツェナーダイオードと、が1つの半導体基板に形成されており、前記ツェナーダイオードのアノードとして前記半導体基板の主面に設けられた第1端子と、前記スイッチング素子のエミッタおよびソースのうちいずれか一方として前記半導体基板の前記主面に設けられ前記半導体基板内で前記第1端子から絶縁された第2端子と、を含む半導体装置を準備する工程と、
 前記第1端子を介して前記制御回路に試験用電圧を印加して、または、前記アノードが開放状態である場合に前記入力端子を介して前記制御回路に試験用電圧を印加して、前記制御回路を試験する工程と、
 備える半導体装置の製造方法。
- [請求項4] 前記第1端子と前記第2端子とを外部配線で接続する工程を、さら

に備える請求項3に記載の半導体装置の製造方法。

[請求項5]

半導体基板に形成されたスイッチング素子と、

前記スイッチング素子を含む前記半導体基板に形成され、前記スイッチング素子の状態を制御する制御回路と、

前記制御回路を駆動させるための電源電圧が入力される入力端子と前記制御回路との間の電源電圧ラインに接続されたカソードを含み、前記半導体基板に形成されたツェナーダイオードと、

前記半導体基板の主面に設けられ、前記半導体基板内の前記電源電圧ラインを前記ツェナーダイオードの前記カソードと前記制御回路との間で分断し、前記制御回路の入力部に接続されている第1端子と、

前記ツェナーダイオードの前記カソードとして前記半導体基板の前記主面に設けられ、前記第1端子とともに、前記半導体基板内の前記電源電圧ラインを前記ツェナーダイオードの前記カソードと前記制御回路との間で分断している第2端子と、を備える、半導体装置。

[請求項6]

前記第1端子と前記第2端子とを接続して、前記電源電圧ラインを形成している外部配線を、さらに備える請求項5に記載の半導体装置。

[請求項7]

スイッチング素子と、前記スイッチング素子の状態を制御する制御回路と、前記制御回路を駆動させるための電源電圧が入力される入力端子と前記制御回路との間の電源電圧ラインに接続されたカソードを含むツェナーダイオードと、が1つの半導体基板に形成されており、前記半導体基板の主面に設けられ前記半導体基板内の前記電源電圧ラインを前記ツェナーダイオードの前記カソードと前記制御回路との間で分断し前記制御回路の入力部に接続されている第1端子と、前記ツェナーダイオードの前記カソードとして前記半導体基板の前記主面に設けられ、前記第1端子とともに前記半導体基板内の前記電源電圧ラインを前記ツェナーダイオードの前記カソードと前記制御回路との間で分断している第2端子と、を含む半導体装置を準備する工程と、

前記第 1 端子を介して前記制御回路に試験用電圧を印加して、前記制御回路を試験する工程と、を備える半導体装置の製造方法。

[請求項8] 前記第 1 端子と前記第 2 端子とを、外部配線で接続して、前記電源電圧ラインを形成する工程を、さらに備える請求項 7 に記載の半導体装置の製造方法。

[請求項9] 半導体基板に形成されたスイッチング素子と、
前記スイッチング素子を含む前記半導体基板に形成され、前記スイッチング素子の状態を制御する制御回路と、
前記制御回路を駆動させるための電源電圧が入力される入力端子と前記制御回路との間の電源電圧ラインに接続されたカソードを含み、前記半導体基板に形成されたツェナーダイオードと、
前記半導体基板に形成され、前記電源電圧ラインに並列に接続されたトランジスタと、
前記半導体基板に形成され、前記トランジスタのゲートとドレインとの間に設けられた抵抗と、
前記トランジスタの前記ゲートとして前記半導体基板の主面に設けられた第 1 端子と、
前記スイッチング素子のエミッタおよびソースのうちいずれか一方として前記半導体基板の前記主面に設けられ、前記半導体基板内で前記第 1 端子から絶縁された第 2 端子と、を備える、半導体装置。

[請求項10] 前記第 1 端子と前記第 2 端子とを接続する外部配線を、さらに備える請求項 9 に記載の半導体装置。

[請求項11] 前記トランジスタの前記ゲートと前記スイッチング素子の前記ゲートとを接続する電圧発生用抵抗を、さらに備える請求項 9 または請求項 10 に記載の半導体装置。

[請求項12] スwitchング素子と、前記スイッチング素子の駆動を制御する制御回路と、前記制御回路を駆動させるための電源電圧が入力される入力端子と前記制御回路との間の電源電圧ラインに接続されたカソードを

含むツェナーダイオードと、前記電源電圧ラインに並列に接続されたトランジスタと、前記トランジスタのゲートとドレインとの間に設けられた抵抗と、が1つの半導体基板に形成されており、前記トランジスタの前記ゲートとして前記半導体基板の主面に設けられた第1端子と、前記スイッチング素子のエミッタおよびソースのうちいずれか一方として前記半導体基板の前記主面に設けられ前記半導体基板内で前記第1端子から絶縁された第2端子と、を含む半導体装置を準備する工程と、

前記第1端子を介して前記制御回路に試験用電圧を印加して、または、前記トランジスタの前記ドレインと前記制御回路との間の前記電源電圧ラインに接続された第3端子を介して前記制御回路に試験用電圧を印加して、前記制御回路を試験する工程と、備える半導体装置の製造方法。

[請求項13] 前記第1端子と前記第2端子とを、外部配線で接続する工程を、さらに備える請求項12に記載の半導体装置の製造方法。

[請求項14] 半導体基板に形成されたスイッチング素子と、
前記スイッチング素子を含む前記半導体基板に形成され、前記スイッチング素子の状態を制御する制御回路と、

前記制御回路を駆動させるための電源電圧が入力される入力端子と前記制御回路との間の電源電圧ラインに接続されたカソードを含み、前記半導体基板に形成されたツェナーダイオードと、

前記半導体基板に形成され、前記電源電圧ラインに並列に接続されたトランジスタと、

前記半導体基板に形成され、前記トランジスタのゲートとドレインとの間に設けられた抵抗と、

前記半導体基板に形成され、前記トランジスタの前記ゲートに接続されるカソードと、前記スイッチング素子のエミッタおよびソースのうちいずれか一方に接続されるアノードと、を含む短絡処理用ツェナ

ーダイオードと、

前記トランジスタの前記ゲートとして前記半導体基板の主面に設けられたゲート端子と、を備える半導体装置。

[請求項15] 前記短絡処理用ツェナーダイオードが、短絡処理されている請求項14に記載の半導体装置。

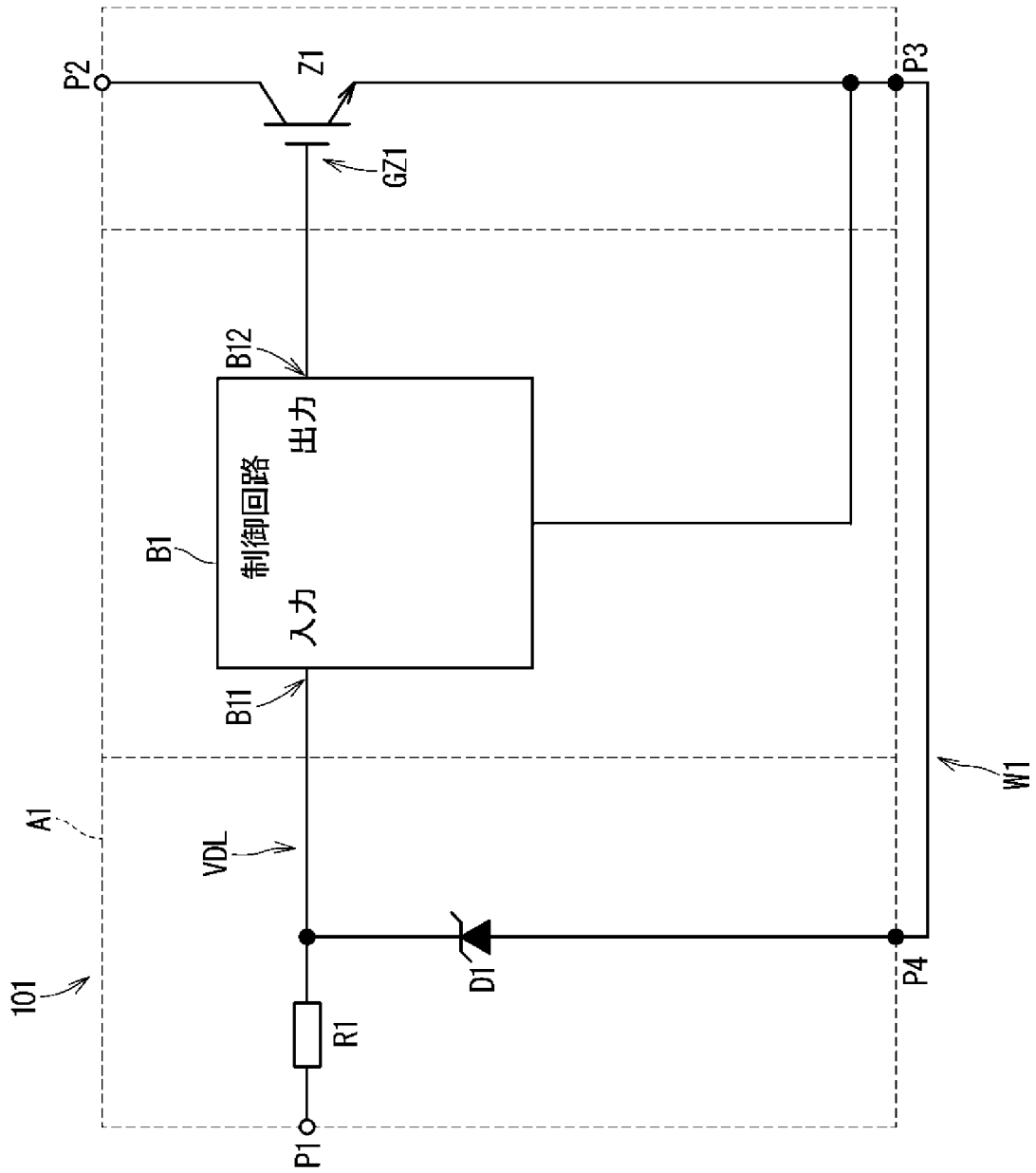
[請求項16] 前記トランジスタの前記ゲートと前記スイッチング素子の前記ゲートと接続する電圧発生用抵抗を、さらに備える請求項14または請求項15に記載の半導体装置。

[請求項17] スwitchング素子と、前記スイッチング素子の駆動を制御する制御回路と、前記制御回路を駆動させるための電源電圧が入力される入力端子と前記制御回路との間の電源電圧ラインに接続されたカソードを含むツェナーダイオードと、前記電源電圧ラインに並列に接続されたトランジスタと、前記トランジスタのゲートとドレインとの間に設けられた抵抗と、前記トランジスタの前記ゲートに接続されるカソードと前記スイッチング素子のエミッタおよびソースのうちいずれか一方に接続されるアノードとを含む短絡処理用ツェナーダイオードと、が1つの半導体基板に形成されており、前記トランジスタの前記ゲートとして前記半導体基板の主面に設けられたゲート端子を、含む半導体装置を準備する工程と、

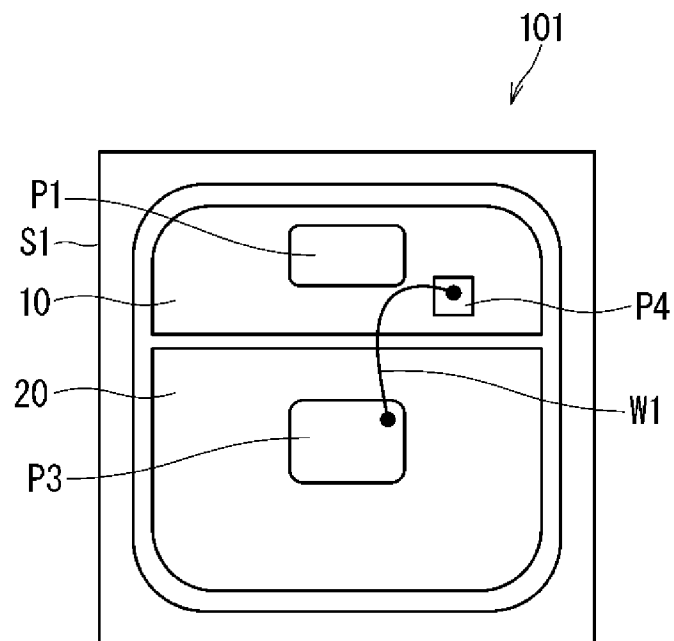
前記ゲート端子を介して前記制御回路に試験用電圧を印加して、または、前記トランジスタの前記ドレインと前記制御回路との間の前記電源電圧ラインに接続された第3端子を介して前記制御回路に試験用電圧を印加して、前記制御回路を試験する工程と、を備える半導体装置の製造方法。

[請求項18] 前記短絡処理用ツェナーダイオードに短絡処理用電圧を印加する工程を、さらに備える請求項17に記載の半導体装置の製造方法。

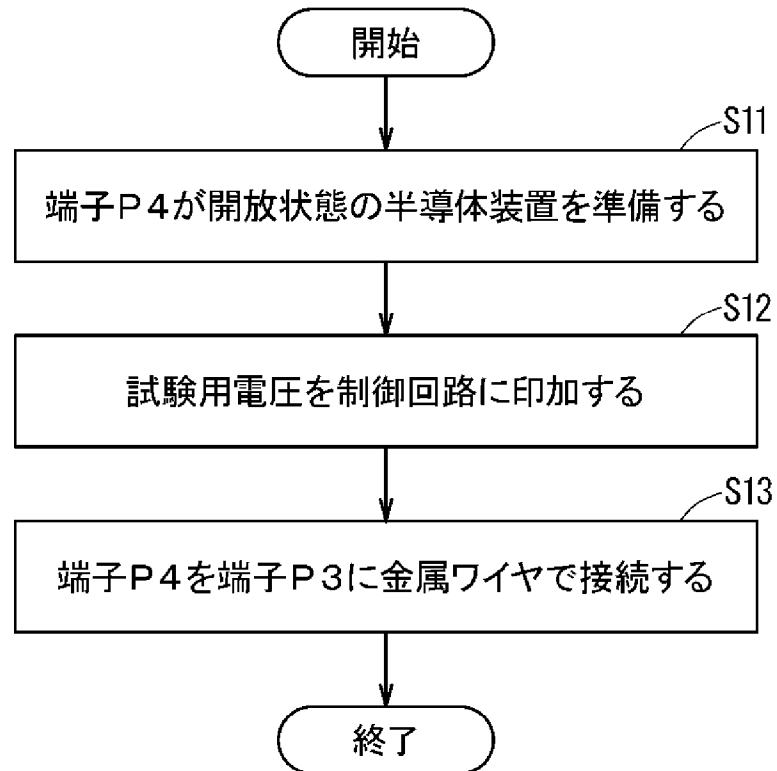
[図1]



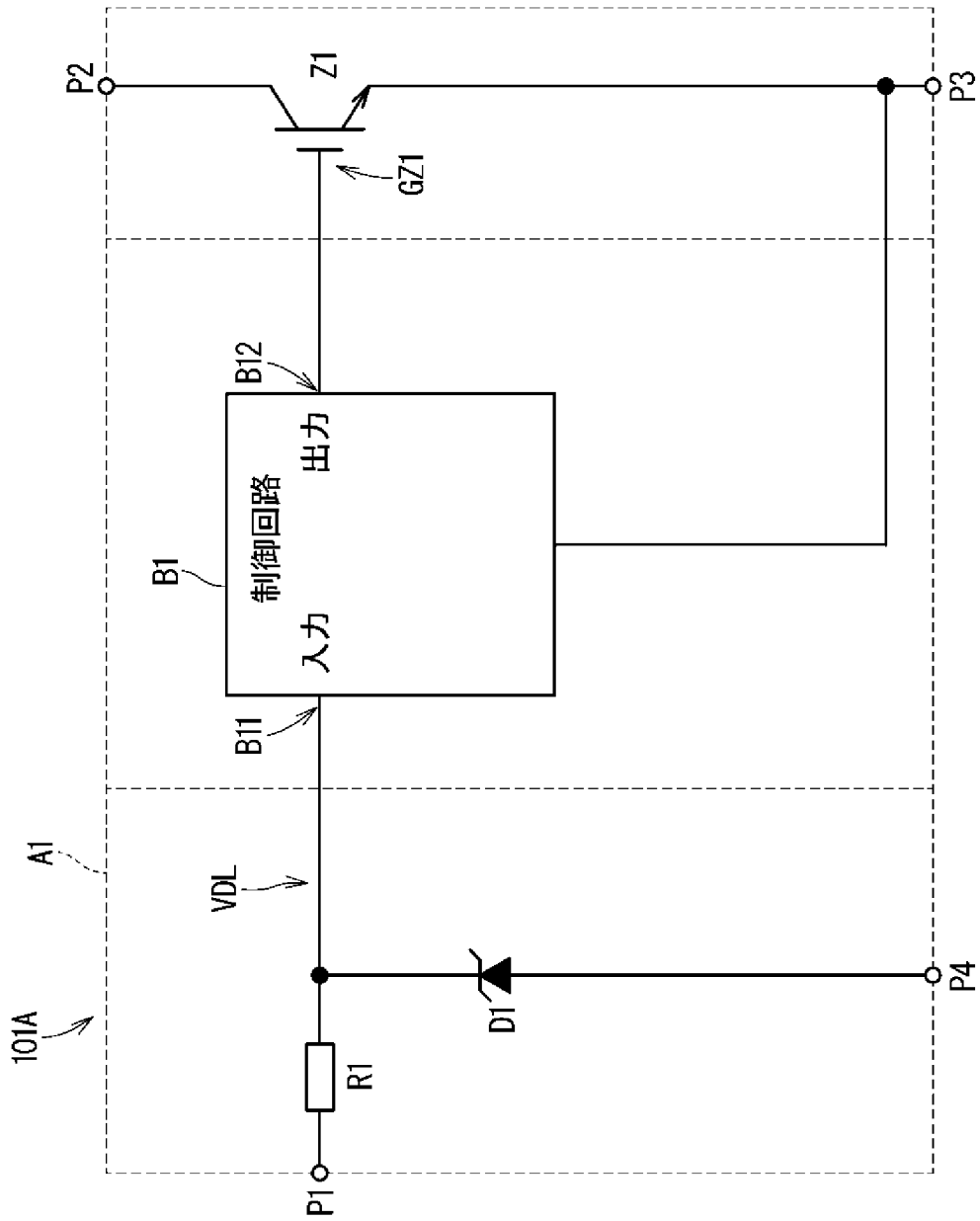
[図2]



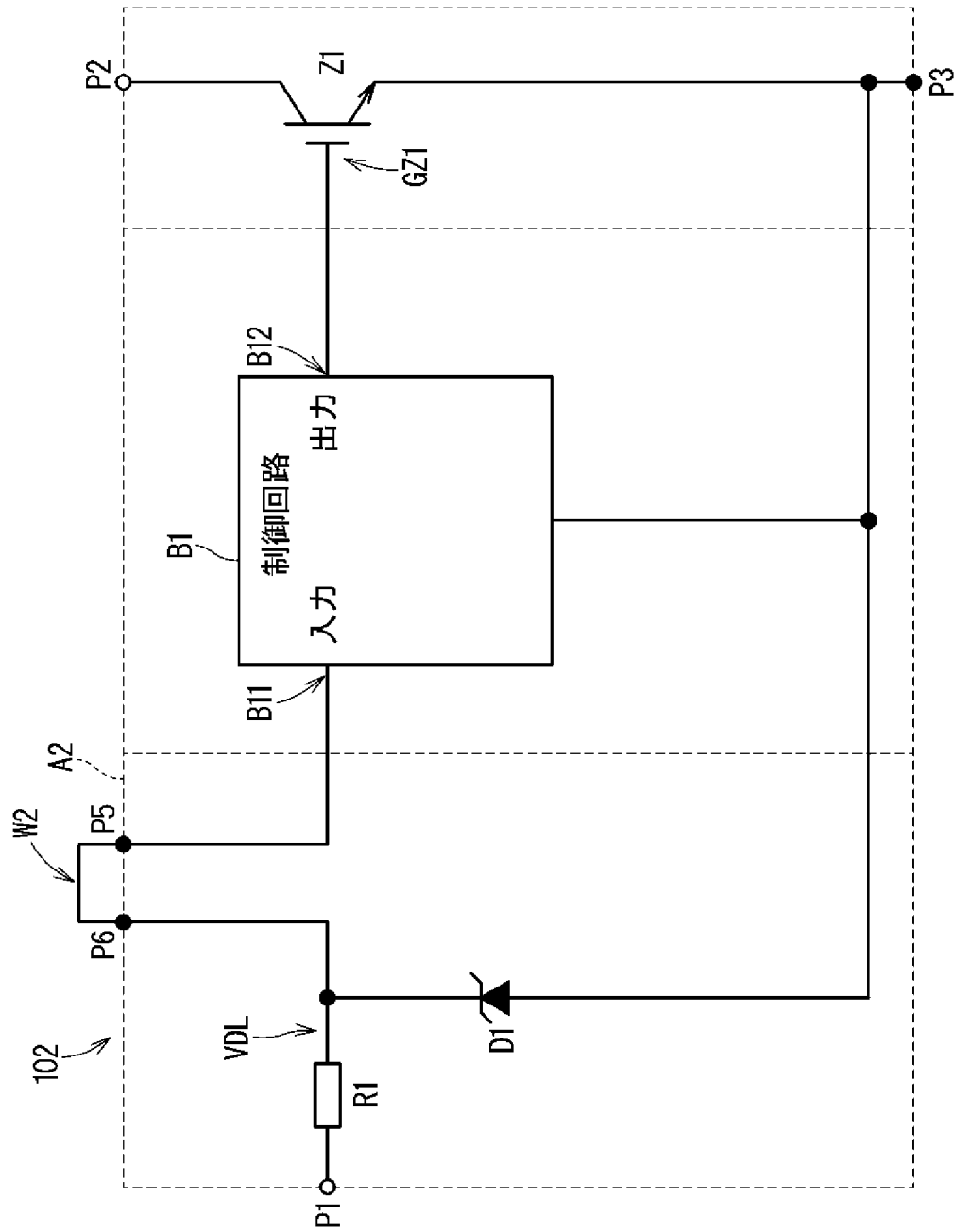
[図3]



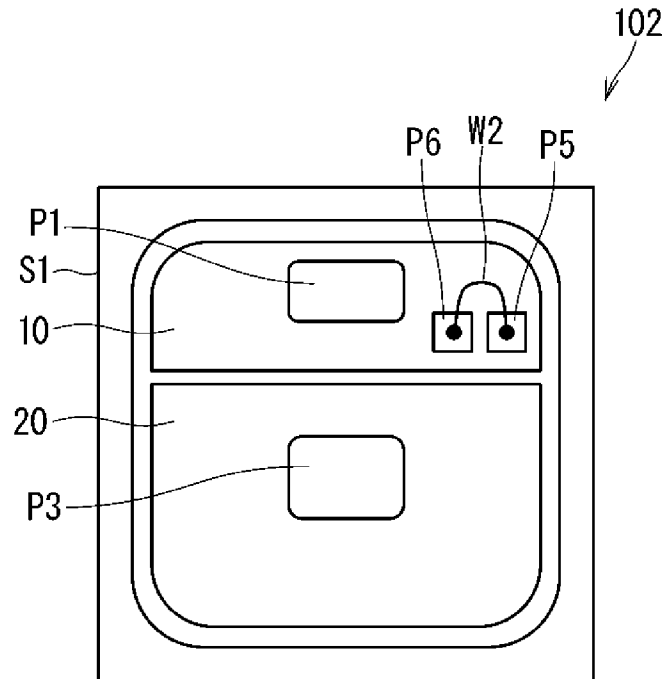
[図4]



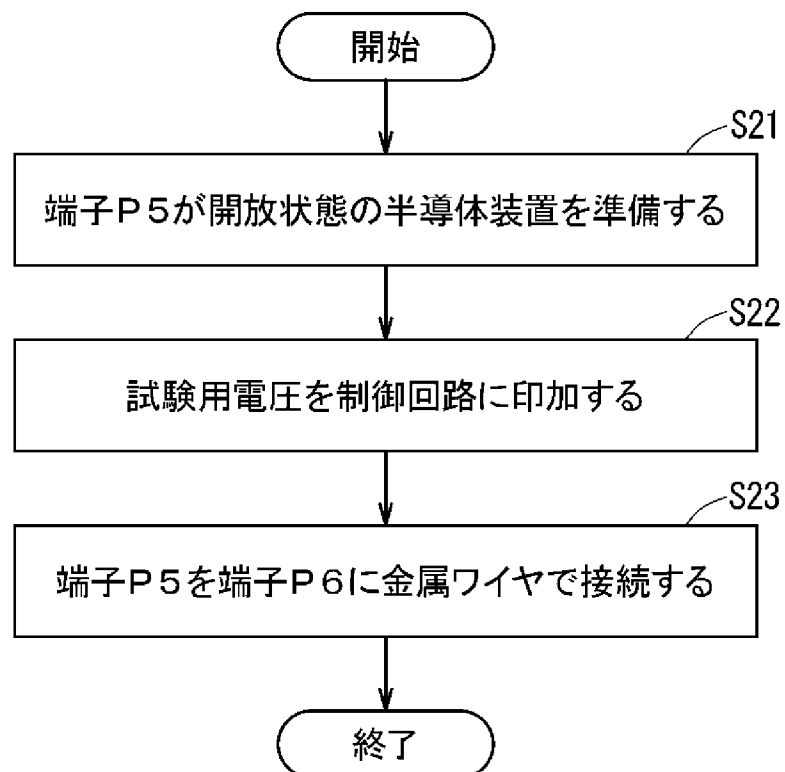
[図5]



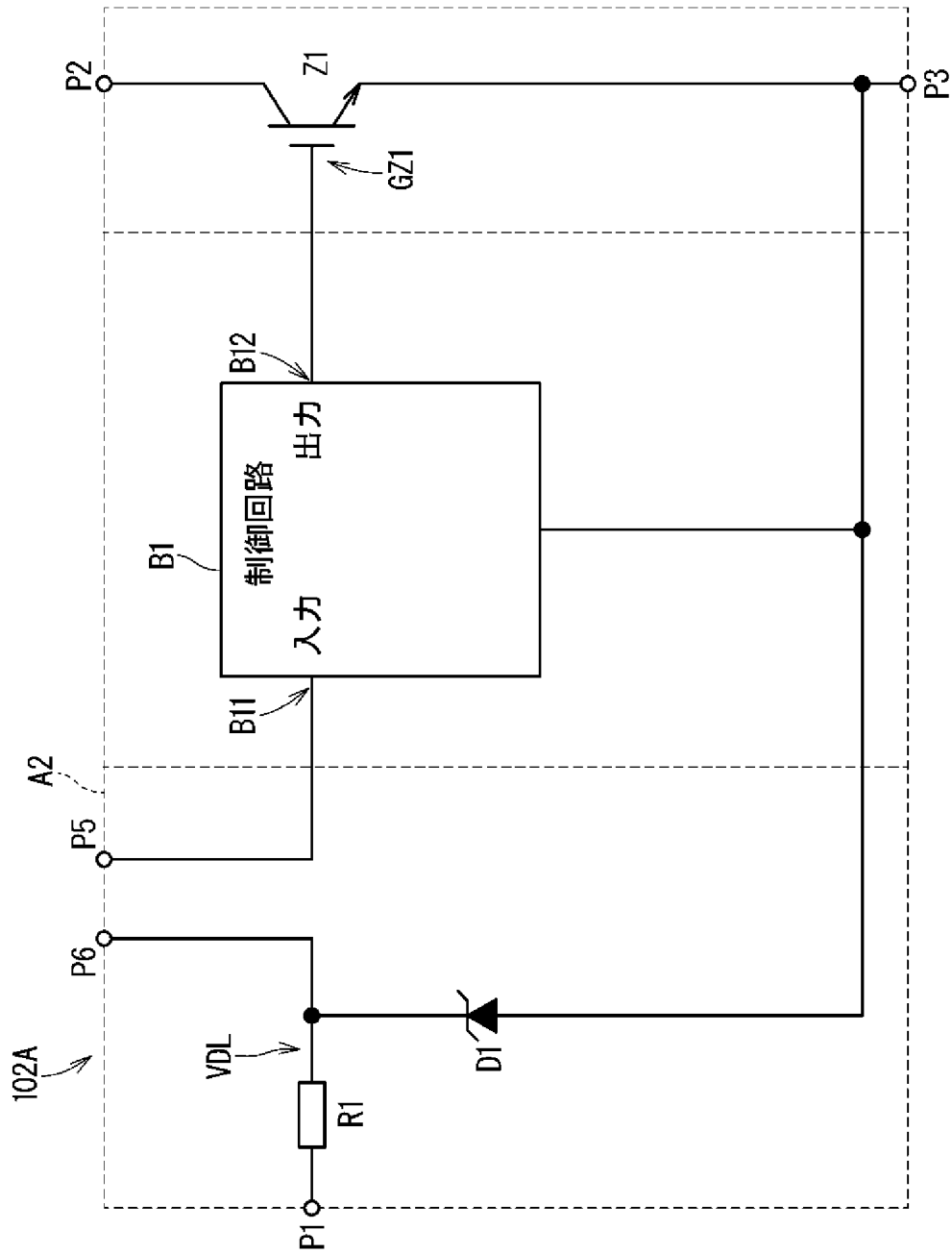
[図6]



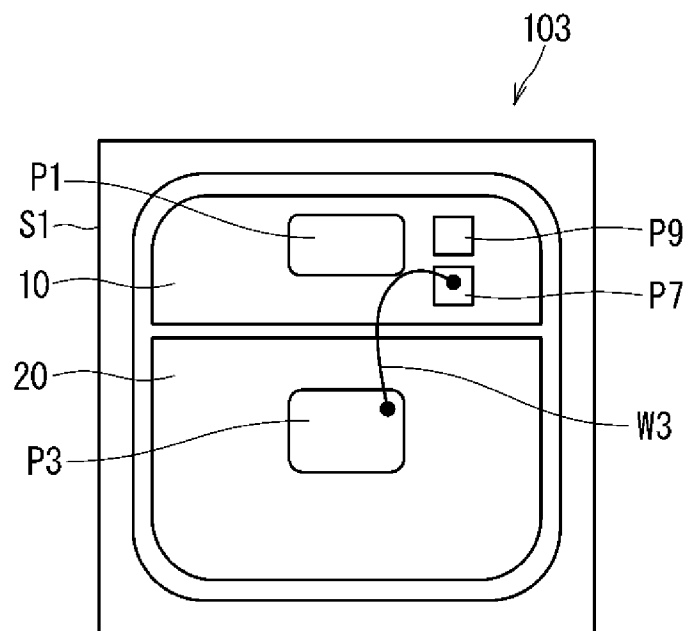
[図7]



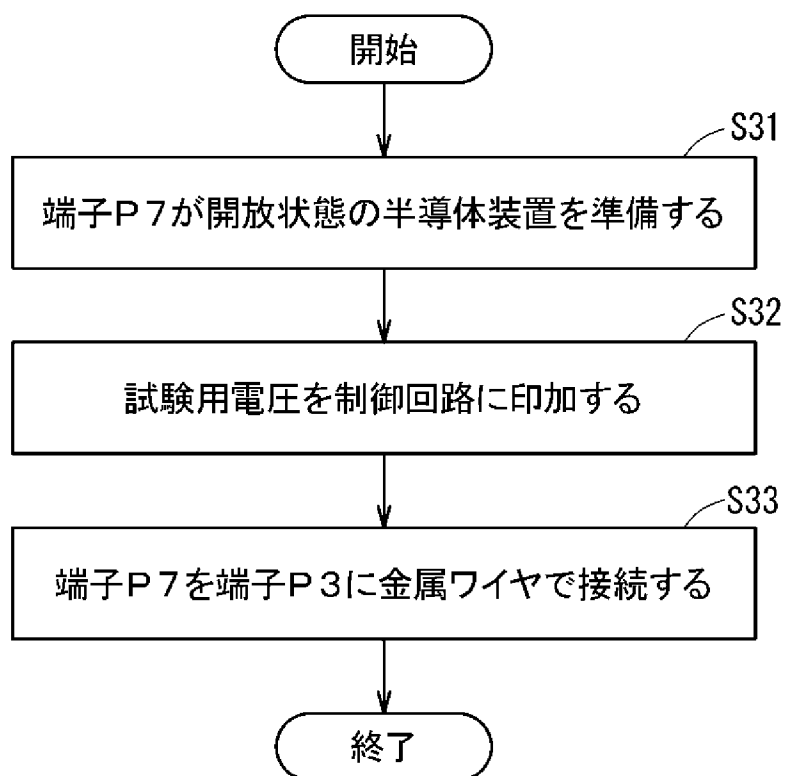
[図8]



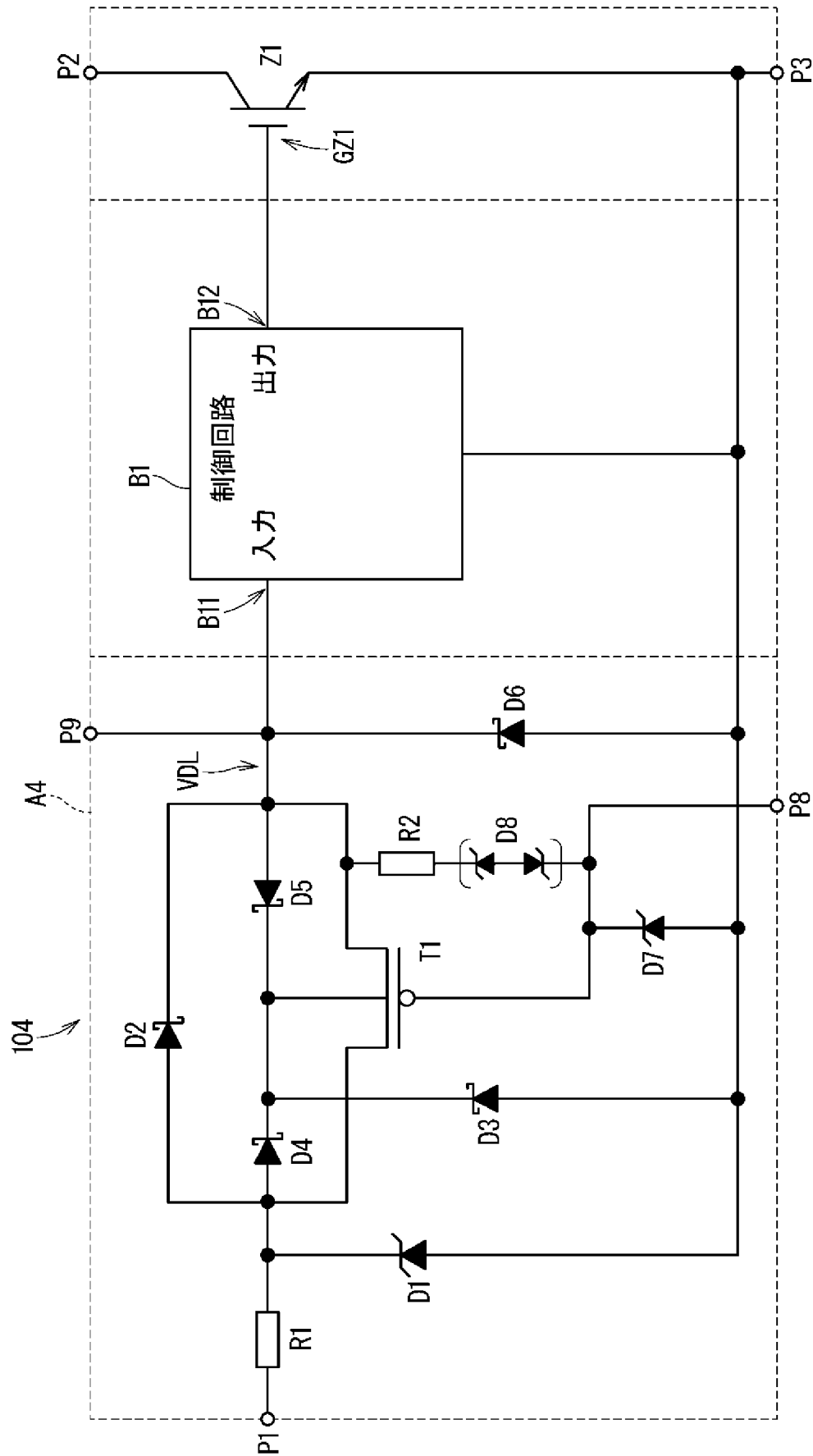
[図10]



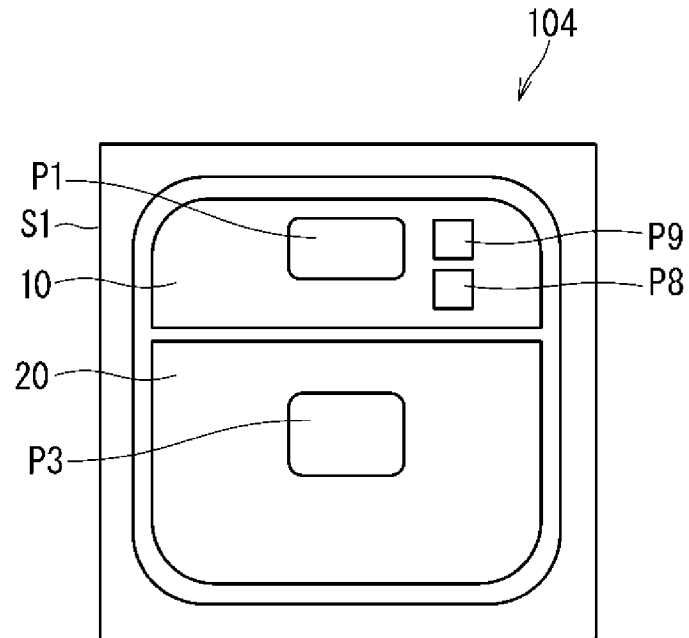
[図11]



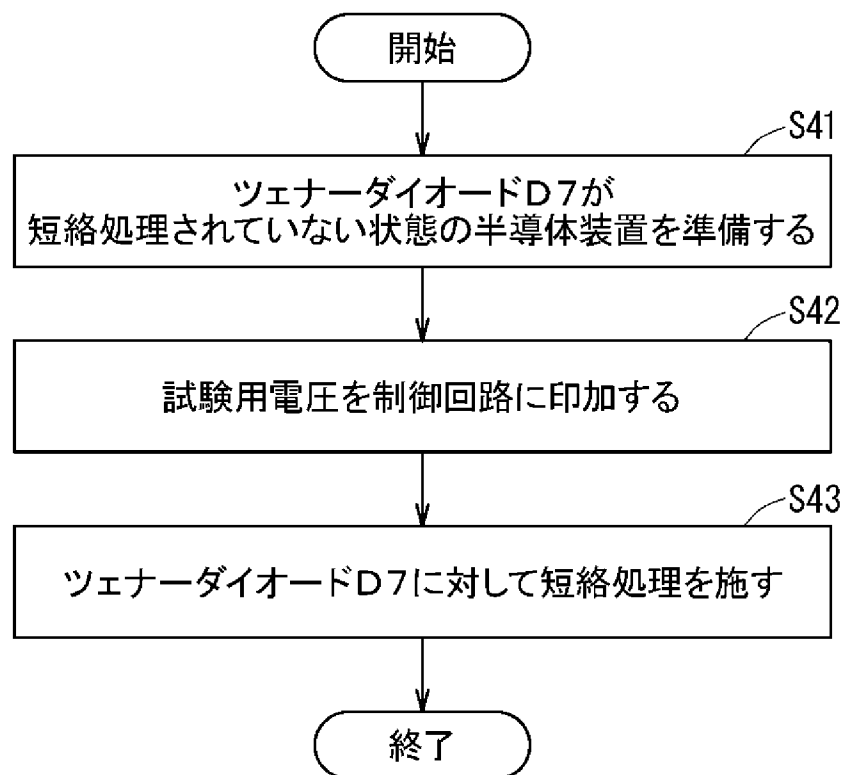
[図13]



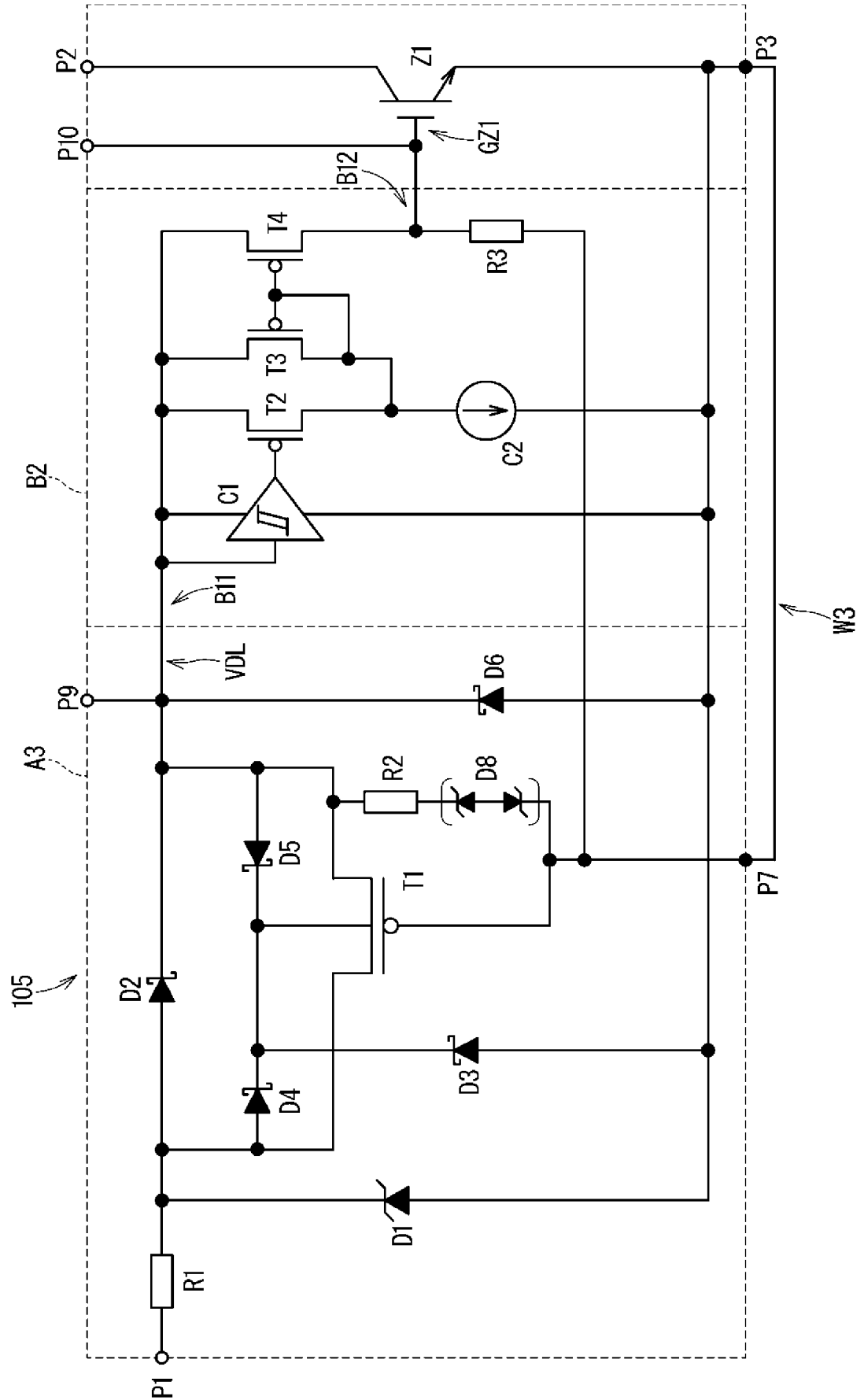
[図14]



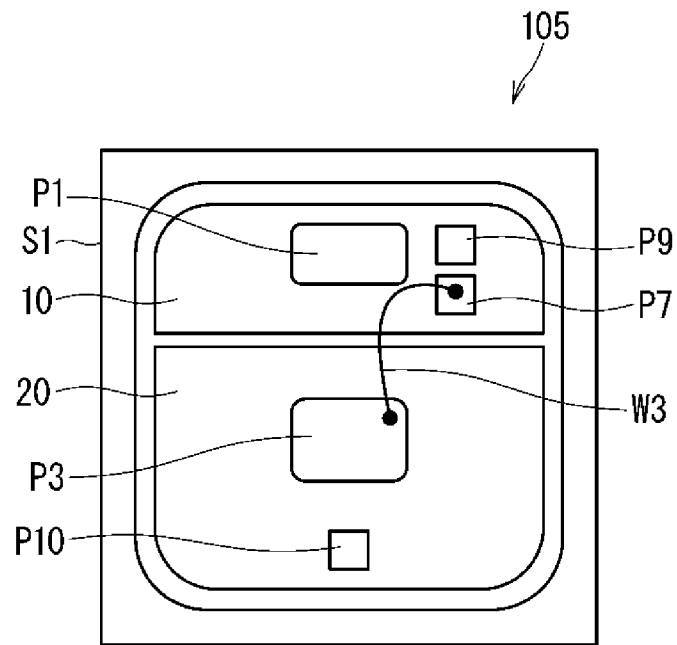
[図15]



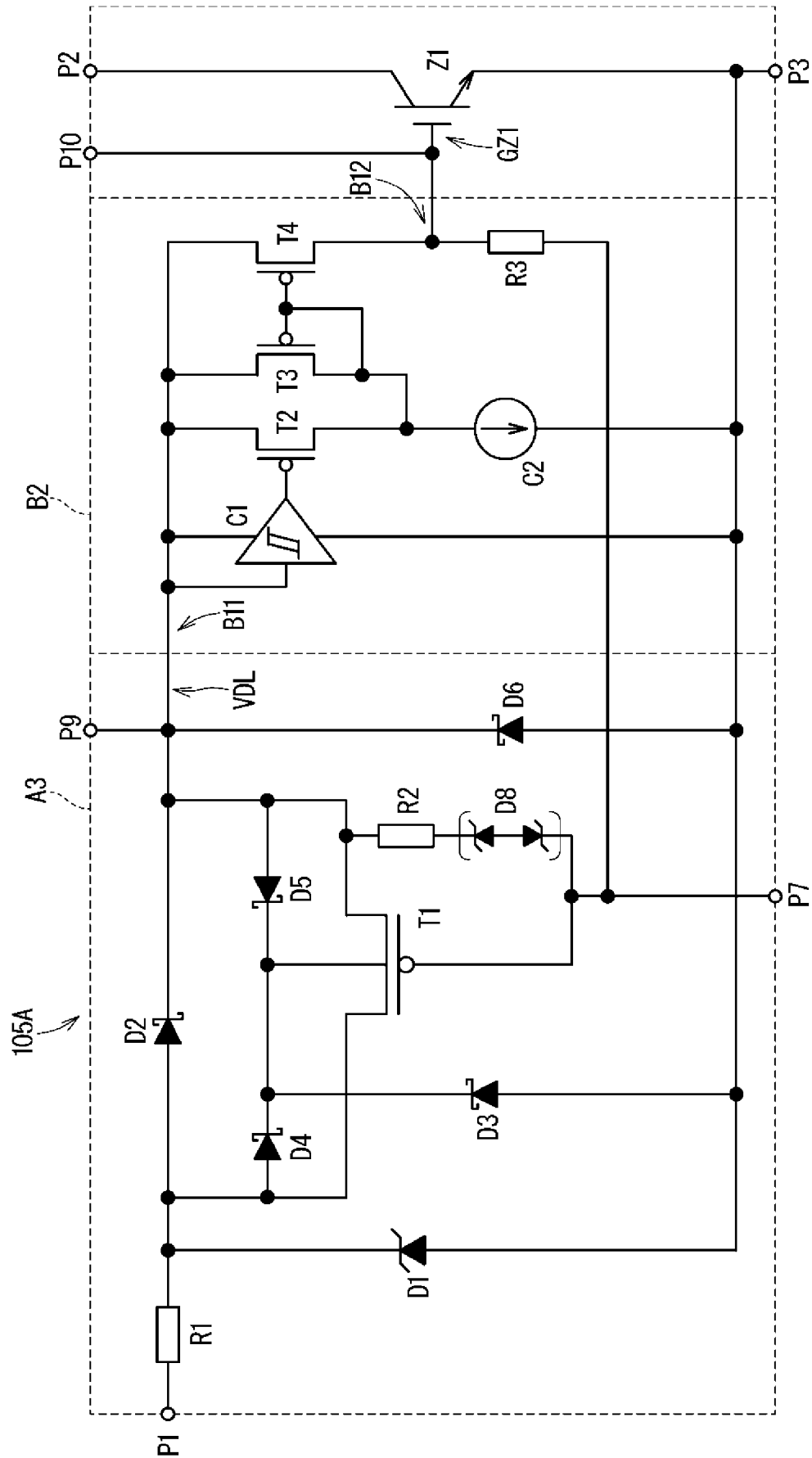
[図16]



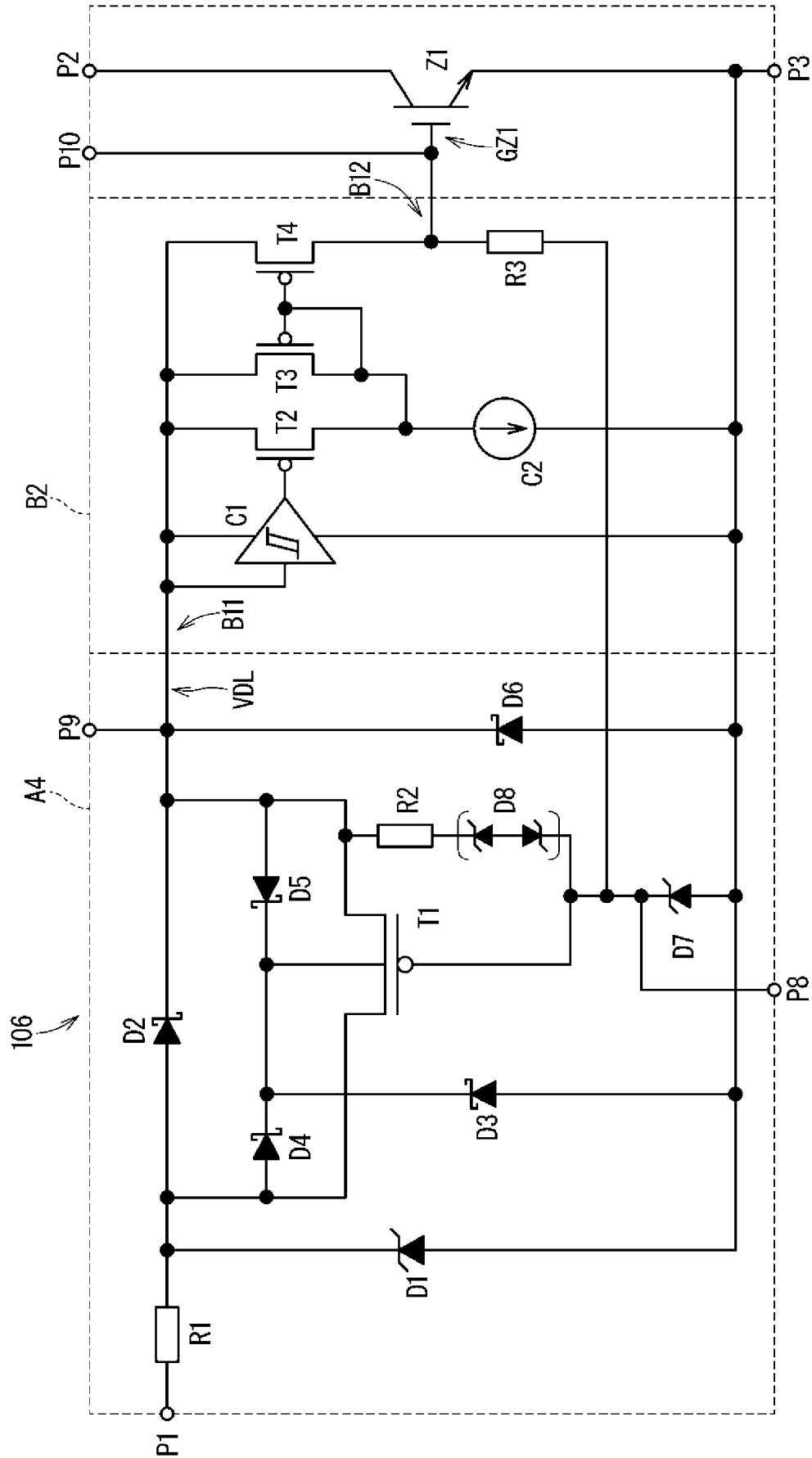
[図17]



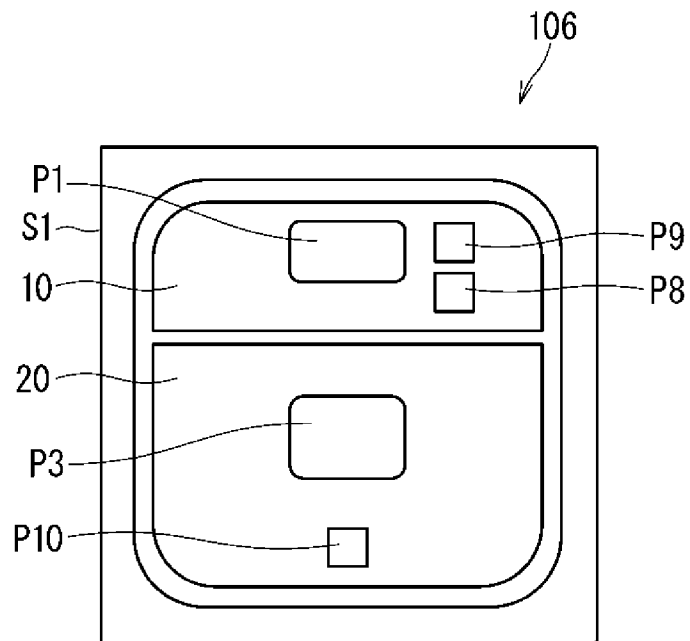
[図18]



[図19]



[図20]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/006252

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L21/822(2006.01)i, H01L27/04(2006.01)i, H01L29/78(2006.01)i
FI: H01L29/78657F, H01L27/04H

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L21/822, H01L27/04, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2021

Registered utility model specifications of Japan 1996-2021

Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2014-013796 A (FUJI ELECTRIC CO., LTD.) 23 January 2014 (2014-01-23)	1-18
A	JP 11-177087 A (HITACHI, LTD.) 02 July 1999 (1999-07-02)	1-18
A	JP 2016-009774 A (RENESAS ELECTRONICS CORPORATION) 18 January 2016 (2016-01-18)	1-18
A	JP 2012-129252 A (TOYOTA MOTOR CO., LTD.) 05 July 2012 (2012-07-05)	1-18

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

17 May 2021

Date of mailing of the international search report

25 May 2021

Name and mailing address of the ISA/

Japan Patent Office

3-4-3, Kasumigaseki, Chiyoda-ku,

Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/006252

JP 2014-013796 A	23 January 2014	US 2014/0015005 A1 EP 2682593 A2 CN 103527381 A
JP 11-177087 A	02 July 1999	US 6218889 B1 US 7482861 B1
JP 2016-009774 A	18 January 2016	(Family: none)
JP 2012-129252 A	05 July 2012	(Family: none)

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 21/822(2006.01)i; H01L 27/04(2006.01)i; H01L 29/78(2006.01)i FI: H01L29/78 657F; H01L27/04 H														
B. 調査を行った分野														
調査を行った最小限資料（国際特許分類（IPC）） H01L21/822; H01L27/04; H01L29/78														
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2021年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2021年	日本国実用新案登録公報	1996 - 2021年	日本国登録実用新案公報	1994 - 2021年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2021年													
日本国実用新案登録公報	1996 - 2021年													
日本国登録実用新案公報	1994 - 2021年													
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）														
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
A	JP 2014-013796 A（富士電機株式会社）23.01.2014（2014 - 01 - 23）	1-18												
A	JP 11-177087 A（株式会社日立製作所）02.07.1999（1999 - 07 - 02）	1-18												
A	JP 2016-009774 A（ルネサスエレクトロニクス株式会社）18.01.2016（2016 - 01 - 18）	1-18												
A	JP 2012-129252 A（トヨタ自動車株式会社）05.07.2012（2012 - 07 - 05）	1-18												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 参考文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 参考文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 参考文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 17.05.2021	国際調査報告の発送日 25.05.2021													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 棚田 一也 5F 9361 電話番号 03-3581-1101 内線 3516													

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/006252

引用文献			公表日	パテントファミリー文献			公表日
JP	2014-013796	A	23.01.2014	US	2014/0015005	A1	
				EP	2682593	A2	
				CN	103527381	A	
JP	11-177087	A	02.07.1999	US	6218889	B1	
				US	7482861	B1	
JP	2016-009774	A	18.01.2016	(ファミリーなし)			
JP	2012-129252	A	05.07.2012	(ファミリーなし)			