



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년07월02일
(11) 등록번호 10-1281152
(24) 등록일자 2013년06월26일

(51) 국제특허분류(Int. Cl.)

H01L 21/336 (2006.01) *H01L 29/78* (2006.01)

(21) 출원번호 10-2012-0032445

(22) 출원일자 2012년03월29일

심사청구일자 2012년03월29일

(56) 선행기술조사문헌

KR100781580 B1

KR1020050066963 A

US20110204443 A1

JP2010212653 A

전체 청구항 수 : 총 7 항

(73) 특허권자

고려대학교 산학협력단

서울 성북구 안암동5가 1

(72) 발명자

양지운

충청남도 연기군 조치원읍 신흥리 푸르지오 109동 1004호

(74) 대리인

특허법인이지

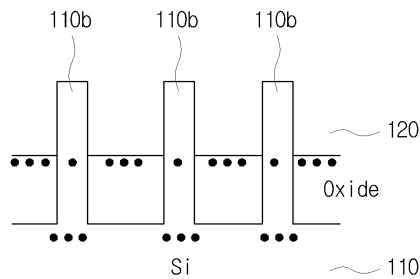
심사관 : 김상택

(54) 발명의 명칭 다중게이트 소자 제작 방법

(57) 요약

본 발명에 의하면, 다중게이트 소자의 채널영역을 형성하기 이전에 채널하부 영역을 성장시킨 후, 펀치스루우(punch through) 방지 이온주입을 실시하고, 이후 실리콘 성장 공정을 통하여 채널 영역을 형성함으로써 채널 영역의 불순물 농도를 현저히 낮춘 다중게이트 소자 제작방법이 제공된다.

대표도 - 도6



이 발명을 지원한 국가연구개발사업

과제고유번호 20110016777

부처명 한국연구재단

연구사업명 중견연구자지원_핵심연구

연구과제명 [1차년도] 내 방사선 반도체 소자 개발을 위한 신뢰성 평가 및 열화 매커니즘 연구

주관기관 고려대학교 산학협력단

연구기간 2011.05.01 ~ 2012.04.30

특허청구의 범위

청구항 1

다중게이트 소자를 제작하는 방법에 있어서,
 벌크 실리콘 기판 상에 절연막을 형성하는 단계;
 채널 영역이 형성될 위치에 상응하여 상기 벌크 실리콘 기판의 표면이 노출될 수 있도록, 상기 절연막을 미리 지정된 패턴으로 패터닝하는 단계;
 상기 벌크 실리콘 기판 중 상기 표면이 노출된 위치에 채널 하부 영역을 형성하는 단계;
 상기 절연막에 불순물 이온을 주입시키는 단계;
 상기 채널 하부 영역의 상부에 실리콘을 성장시켜 상기 채널 영역을 형성하는 단계; 및
 상기 실리콘 성장에 의해 형성된 상기 채널 영역이 핀(pin) 형태로 돌출될 수 있도록, 상기 절연막을 식각하는 단계
 를 포함하는 다중게이트 소자 제작 방법.

청구항 2

제1항에 있어서,
 상기 채널 하부 영역을 형성하는 단계는,
 선택적 성장 기술을 이용하여, 상기 벌크 실리콘 기판 중 상기 표면이 노출된 위치에 실리콘을 성장시켜 상기 채널 하부 영역을 형성하는 것을 특징으로 하는 다중게이트 소자 제작 방법.

청구항 3

제1항에 있어서,
 상기 채널 영역을 형성하는 단계는,
 선택적 성장 기술을 이용하여, 상기 채널 하부 영역의 상부에 실리콘을 성장시켜 상기 채널 영역을 형성하는 것을 특징으로 하는 다중게이트 소자 제작 방법.

청구항 4

제2항 또는 제3항에 있어서,
 상기 채널 하부 영역 또는 상기 채널 영역을 형성하는 실리콘은 에피택시(Epitaxy) 공정을 통해 성장되는 것을 특징으로 하는 다중게이트 소자 제작 방법.

청구항 5

제1항에 있어서,
 상기 절연막에 불순물 이온을 주입시키는 단계는,
 상기 채널 하부 영역이 형성된 이후 및 상기 채널 영역이 형성되기 전에, 불순물 이온이 상기 절연막에 주입될 수 있도록 이온 주입 공정을 수행하는 단계에 의하는 것을 특징으로 하는 다중게이트 소자 제작 방법.

청구항 6

제5항에 있어서,

상기 채널 영역의 하부는, 상기 채널 영역을 형성하기 위해 상기 실리콘을 성장시키는 과정에 발생된 열에 의해, 상기 절연막에 주입된 불순물 이온이 횡적 확산에 의해 도핑되는 것을 특징으로 하는 다중게이트 소자 제작 방법.

청구항 7

제1항에 있어서,

상기 채널 영역을 형성하는 단계는,

상기 실리콘을 성장시키는 과정 도중, 상기 실리콘을 성장시키는 과정 이전, 상기 실리콘을 성장시키는 과정 이후 중 적어도 하나의 시기에 추가적인 열처리 공정을 수행하여, 상기 채널 영역의 하부를 상기 절연막에 주입된 불순물 이온의 횡적 확산에 의해 도핑시키는 단계를 포함하는 것을 특징으로 하는 다중게이트 소자 제작 방법.

명세서**기술분야**

[0001] 본 발명은 디지털 시스템을 구성하는 집적회로(IC)의 단위 소자인 반도체 소자 제작방법으로서, 보다 상세하게는 금속-산화물-반도체 소자(Metal-Oxide-Semiconductor Field Effect Transistor; MOSFET)를 제작하는 방법에 관한 것으로, 현재 최첨단의 금속-산화물-반도체 소자(MOSFET)는 다중게이트 소자(Multi-gate MOSFET)로 제작되기 시작하고 있는바, 이를 제작하기 위한 보다 신뢰성 있는 제작 방법에 관한 것이다.

배경 기술

[0002] 금속-산화물-반도체 소자(MOSFET)는 전통적으로 벌크 실리콘 기판 (Bulk silicon substrate)를 사용한 평판타입 (Planar bulk silicon MOSFET)으로 제작되어 왔다. 그러나 계속적인 소자면적의 축소(sclaing down)로 그 채널 효과를 억제하기 어렵게 되었고, 그 대안으로 다중게이트 소자 (Multi-gate MOSFET)가 2000년대 초반부터 연구되기 시작하였다.

[0003] 다중게이트 소자(Multi-gate MOSFET)는 SOI(Silicon-on-Insulator) 기판에 제작하는 방법과 벌크 실리콘 기판 (Bulk silicon substrate)에 제작하는 방법이 있는데, 상업화가 시도되고 있는 것은 벌크 실리콘 기판 (Bulk silicon substrate)에 제작하는 방법이 우선 채용되고 있다. 이는 기존 평판타입(Planar bulk silicon MOSFET)과의 공정 호환성 등에서 유리하고 그 기판의 단가가 상대적으로 저렴하기 때문이다.

[0004] 벌크 실리콘 기판(Bulk silicon substrate)에 다중게이트 소자(Multi-gate MOSFET)를 제작하는 방법은, 소자의 소스(source)와 드레인(drain) 단자의 절연을 위해 펀치스루우 방지 이온주입 (punch through stop implant)을 실시하여야 하고, 이는 다중게이트 소자(Multi-gate MOSFET)의 채널 내에 불순물 농도를 증가시키게 된다.

[0005] 다중게이트 소자(Multi-gate MOSFET)의 채널 내에 존재하는 불순물은 전자의 이동도를 감소시키고 소자 특성의 가변성을 가져오는 것으로 알려지고 있다.

[0006] 따라서, 벌크 실리콘 기판(Bulk silicon substrate) 상에 제작되는 다중게이트 소자(Multi-gate MOSFET)에 있어서 채널 내에 존재하는 불순물 농도를 낮추면서 소자의 소스(source)와 드레인(drain) 사이의 펀치스루우 (punch through) 특성을 향상시킬 수 있는 공정 방법이 요구된다.

발명의 내용

해결하려는 과제

[0007] 본 발명은 상술한 문제점을 해결하기 위해 안출된 것으로서, 다중게이트 소자의 채널영역을 형성하기 이전에 채널하부 영역을 에피택시 성장시킨 후, 펀치스루우(punch through) 방지 이온주입을 실시하고, 이후 에피택시(epitaxy) 공정을 통하여 채널 영역을 형성함으로써 채널 영역의 불순물 농도를 현저히 낮춘 다중게이트 소자 제작방법을 제공하기 위한 것이다.

[0008] 또한 본 발명은 벌크 실리콘 기판(Bulk silicon substrate) 상에 제작되는 다중게이트 소자(Multi-gate MOSFET)에 있어서 채널 내에 존재하는 불순물 농도를 현격히 낮추면서 소자의 소스(source)와 드레인(drain) 단자의 절연특성을 향상시킬 수 있는 다중게이트 소자 제작방법을 제공하기 위한 것이다.

과제의 해결 수단

- [0009] 본 발명의 일 측면에 따르면, 다중게이트 소자를 제작하는 방법에 있어서,
- [0010] 벌크 실리콘 기판 상에 절연막을 형성하는 단계;
- [0011] 채널 영역이 형성될 위치에 상응하여 상기 벌크 실리콘 기판의 표면이 노출될 수 있도록, 상기 절연막을 미리 지정된 패턴으로 패터닝하는 단계;
- [0012] 상기 벌크 실리콘 기판 중 상기 표면이 노출된 위치에 채널 하부 영역을 형성하는 단계;
- [0013] 상기 절연막에 불순물 이온을 주입시키는 단계;
- [0014] 상기 채널 하부 영역의 상부에 실리콘을 성장시켜 상기 채널 영역을 형성하는 단계; 및
- [0015] 상기 실리콘 성장에 의해 형성된 상기 채널 영역이 핀(pin) 형태로 돌출될 수 있도록, 상기 절연막을 식각하는 단계를 포함하는 다중게이트 소자 제작 방법이 제공된다.
- [0016] 여기서, 상기 채널 하부 영역을 형성하는 단계는,
- [0017] 선택적 성장 기술을 이용하여, 상기 벌크 실리콘 기판 중 상기 표면이 노출된 위치에 실리콘을 성장시켜 상기 채널 하부 영역을 형성하는 공정에 의할 수 있다.
- [0018] 여기서, 상기 채널 영역을 형성하는 단계는,
- [0019] 선택적 성장 기술을 이용하여, 상기 채널 하부 영역의 상부에 실리콘을 성장시켜 상기 채널 영역을 형성하는 공정에 의할 수 있다.
- [0020] 여기서, 상기 채널 하부 영역 또는 상기 채널 영역을 형성하는 실리콘은 에피택시(Epitaxy) 공정을 통해 성장될 수 있다.
- [0021] 여기서, 상기 절연막에 불순물 이온을 주입시키는 단계는,
- [0022] 상기 채널 하부 영역이 형성된 이후 및 상기 채널 영역이 형성되기 전에, 불순물 이온이 상기 절연막에 주입될 수 있도록 이온 주입 공정을 수행하는 단계에 의할 수 있다.
- [0023] 이때, 상기 채널 영역의 하부는, 상기 채널 영역을 형성하기 위해 상기 실리콘을 성장시키는 과정에 발생한 열에 의해, 상기 절연막에 주입된 불순물 이온이 횡적 확산에 의해 도핑될 수 있다.

- [0024] 여기서, 상기 채널 영역을 형성하는 단계는,
- [0025] 상기 실리콘을 성장시키는 과정 도중, 상기 실리콘을 성장시키는 과정 이전, 상기 실리콘을 성장시키는 과정 이후 중 적어도 하나의 시기에 추가적인 열처리 공정을 수행하여, 상기 채널 영역의 하부를 상기 절연막에 주입된 불순물 이온의 횡적 확산에 의해 도핑시키는 단계를 포함할 수 있다.

발명의 효과

- [0026] 본 발명의 실시예에 의하면, 벌크 실리콘 기판(Bulk silicon substrate) 상에 제작되는 다중게이트 소자(Multi-gate MOSFET)는 채널 내에 존재하는 불순물 농도를 현저히 낮춤으로서 전자와 홀의 이동도가 감소되지 않아 그 구동전류를 증가시킬 수 있고 이는 집적회로의 동작 속도를 높일 수 있다.
- [0027] 또한 본 발명의 실시예에 의하면, 벌크 실리콘 기판(Bulk silicon substrate) 상에 제작되는 다중게이트 소자(Multi-gate MOSFET)는 채널 내에 존재하는 불순물 농도를 현저히 낮춤으로서 소자 특성의 가변성을 감소시킬 수 있고 이는 보다 신뢰성 있는 집적회로의 제작이 가능하게 한다.
- [0028] 또한, 본 발명의 실시예에 의하면, 다중게이트 소자의 채널영역 하부는 절연 산화막 상에 주입된 불순물이 횡방향 확산에 의해 불순물이 주입되어 소스(source)와 드레인(drain) 단자의 펀치스루우(punch through) 방지 효과가 있다.

도면의 간단한 설명

- [0029] 도 1은 본 발명의 실시예에 따른 다중게이트 소자 제작방법의 일 공정으로서, 벌크 실리콘 기판(Bulk silicon substrate) 상에 절연막을 형성하는 공정을 나타내는 도면.
- 도 2는 본 발명의 실시예에 따른 다중게이트 소자 제작방법의 일 공정으로서, 도 1의 공정에 후속하여, 리소그래피 공정과 식각 공정을 이용하여 절연막을 패터닝한 공정을 나타내는 도면.
- 도 3은 본 발명의 실시예에 따른 다중게이트 소자 제작방법의 일 공정으로서, 도 2의 공정에 후속하여, 에피택시 공정을 이용하여 채널영역의 하부까지 실리콘을 성장시킨 공정을 나타내는 도면.
- 도 4는 본 발명의 실시예에 따른 다중게이트 소자 제작방법의 일 공정으로서, 도 3의 공정에 후속하여, 불순물 이온주입 공정을 이용하여 절연막에 불순물을 이온주입한 공정을 나타내는 도면.
- 도 5는 본 발명의 실시예에 따른 다중게이트 소자 제작방법의 일 공정으로서, 도 4의 공정에 후속하여, 에피택시 공정을 이용하여 채널영역으로 사용될 실리콘을 성장시킨 공정을 나타내는 도면.
- 도 6은 본 발명의 실시예에 따른 다중게이트 소자 제작방법의 일 공정으로서, 도 5의 공정에 후속하여, 절연막을 채널영역의 하부위까지 식각하여 채널영역을 형성한 공정을 나타내는 도면.

발명을 실시하기 위한 구체적인 내용

- [0030] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 이를 상세한 설명을 통해 상세히 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- [0031] 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다. 또한, 본 명세서의 설명 과정에서 이용되는 숫자(예를 들어, 제1, 제2 등)는 하나의 구성요소를 다른 구성요소와 구분하기 위한 식별기호에 불과하다.

- [0032] 이하, 첨부된 도 1에서 도 6을 참조하여 본 발명의 실시예를 상세히 설명한다.
- [0033] 본 발명의 실시예에 따른 다중게이트 소자 제작 방법은, 먼저, 벌크 실리콘 기판(Bulk silicon substrate)(110) 상에 절연막(120)을 형성하는 공정을 수행한다. 이는 첨부된 도면 중 도 1에 도시되어 있다. 여기서, 도 1은 본 발명의 실시예에 따른 다중게이트 소자 제작방법의 일 공정으로서, 벌크 실리콘 기판(Bulk silicon substrate) 상에 절연막을 형성하는 공정을 나타내는 도면이다. 여기서, 도 1의 경우, 절연막으로서 Oxide를 예시하고 있지만, 전기절연 기능을 갖는 이외의 다양한 재료가 사용되어도 무방함은 물론이다.
- [0034] 이후, 채널 영역이 형성될 위치(후술할 도 5의 도면부호 110b 또는 도 6의 도면부호 110b의 위치 참조)에 상응하는 위치의 벌크 실리콘 기판 표면이 외부로 노출될 수 있도록, 절연막(120)을 미리 지정된 패턴으로 패터닝한다. 이는 첨부된 도면 중 도 2에 도시되어 있다. 여기서, 도 2는 본 발명의 실시예에 따른 다중게이트 소자 제작방법의 일 공정으로서, 도 1의 공정에 후속하여, 절연막을 패터닝한 공정을 나타내는 도면이다. 이러한 절연막 패터닝을 위해, 리소그래피 공정과 식각 공정이 수행될 수 있다. 다만, 이러한 패터닝 공정 자체는 공지 기술에 해당하는 바, 이에 대한 상세한 설명은 생략한다.
- [0035] 이후, 벌크 실리콘 기판(110) 중 상기 패터닝을 통해 외부로 표면 노출된 위치에 채널 하부 영역(110a)을 형성한다. 이때, 채널 하부 영역(110a)의 형성은, 실리콘의 선택적 성장 기술을 이용하여, 그 노출 표면 상에 실리콘을 성장시킴에 의해 가능할 수 있다. 또한 이때, 선택적 성장 공정은 실리콘 에피택시(Epitaxy) 공정에 의해 이루어질 수 있다. 이러한 과정은 첨부된 도면 중 도 3에 도시되어 있다. 여기서, 도 3은 본 발명의 실시예에 따른 다중게이트 소자 제작방법의 일 공정으로서, 도 2의 공정에 후속하여, 에피택시 공정을 이용하여 채널영역의 하부까지 실리콘을 성장시킨 공정을 나타내는 도면이다.
- [0036] 앞선 단계의 실리콘 성장을 통해 채널 하부 영역(110a)이 형성된 이후에는, 불순물 이온(15)이 절연막(120)에 주입될 수 있도록 이온 주입 공정을 수행한다. 이는 첨부된 도 4에 도시되어 있다. 여기서, 도 4는 본 발명의 실시예에 따른 다중게이트 소자 제작방법의 일 공정으로서, 도 3의 공정에 후속하여, 불순물 이온주입 공정을 이용하여 절연막에 불순물을 이온주입한 공정을 나타내는 도면이다.
- [0037] 본 발명의 실시예에 따른 다중게이트 소자 제작 방법에서는, 상술한 바와 같이 불순물 이온(15)이 주입된 이후, 상기 채널 하부 영역(110a)의 상부에 실리콘이 성장되도록 실리콘의 선택적 성장 기술을 이용함으로써, 실리콘에 의한 채널 영역(110b)를 형성한다. 이때, 성장 공정은 앞서 설명한 바와 유사하게 (Epitaxy) 공정에 의해 이루어질 수 있다. 그리고 이러한 실리콘 성장 공정 중에 발생하는 열에 의해서 채널 영역(110b)의 하부는 절연막(120)에 있던 불순물 이온이 횡적 확산에 의해 도핑되게 된다. 이는 첨부된 도 5에 도시되어 있다. 여기서, 도 5는 본 발명의 실시예에 따른 다중게이트 소자 제작방법의 일 공정으로서, 도 4의 공정에 후속하여, 에피택시 공정을 이용하여 채널영역으로 사용될 실리콘을 성장시킨 공정을 나타내는 도면이다. 이와 같은 과정에서 채널 영역(110b)의 하부로 횡적 확산된 불순물 이온을 도 5에서 도면부호 15a로 표시하였다.
- [0038] 이상에서는, 도 5를 참조하여, 채널 영역의 형성을 위한 실리콘 성장 공정에 의해 발생된 열에 의해, 절연막에 주입된 불순물 이온이 채널 영역의 하부로 횡적 확산되는 경우를 설명하였지만, 이러한 횡적 확산에 의한 도핑은 필요에 따라 추가적인 열 처리 공정에 의해서도 이루어질 수 있다. 즉, 이러한 경우, 상술한 채널 영역을 형성하는 단계는, 상기 실리콘을 성장시키는 과정 도중, 상기 실리콘을 성장시키는 과정 이전, 상기 실리콘을 성장시키는 과정 이후 중 적어도 하나의 시기에 추가적인 열처리 공정을 수행하여, 상기 채널 영역의 하부를 상기 절연막에 주입된 불순물 이온의 횡적 확산에 의해 도핑시키는 단계를 더 포함할 수도 있는 것이다.
- [0039] 이후, 상술한 실리콘 성장을 통해 형성된 채널 영역(110b)이 핀(pin) 형태로 돌출될 수 있도록, 즉, 채널 영역이 실리콘 핀으로 제작될 수 있도록, 절연막(120)을 식각한다. 이와 같은 공정은 첨부된 도 6을 통해 도시되어 있다. 여기서, 도 6은 본 발명의 실시예에 따른 다중게이트 소자 제작방법의 일 공정으로서, 도 5의 공정에 후

속하여, 절연막을 채널영역의 하부위치까지 식각하여 채널영역을 형성한 공정을 나타내는 도면이다. 이러한 공정을 통해 식각된 절연막을 도 6에서 도면부호 120b로 표시하였다.

[0040] 상술한 바와 같이, 본 발명의 실시예에 따른 다중게이트 소자 제작 방법의 경우, 다중게이트 소자의 채널영역을 형성하기 이전에 채널 하부 영역을 1차 성장시킨 후, 펀치스루우(punch through) 방지를 위한 이온주입을 실시하고, 이후 다시 그 채널 하부 영역의 상부에 2차 실리콘 성장 공정을 통하여 채널 영역을 형성하는 방식(즉, 2스텝의 실리콘 성장 방식에 의한 채널 영역의 형성 방식)을 이용함으로써, 채널 영역의 불순물 농도를 현저히 낮출 수 있으며, 이에 따라 소자의 소스(source)와 드레인(drain) 단자의 절연특성을 향상시킬 수 있는 효과가 있다.

[0041] 이상에서는 본 발명의 실시예를 참조하여 설명하였지만, 해당 기술 분야에서 통상의 지식을 가진 자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 쉽게 이해할 수 있을 것이다.

부호의 설명

[0042] 110 : 벌크 실리콘 기판

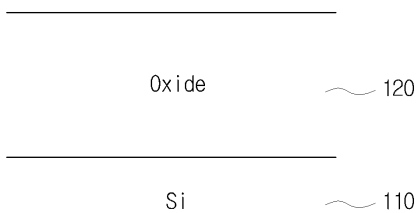
110b : 실리콘 편

120 : 절연막

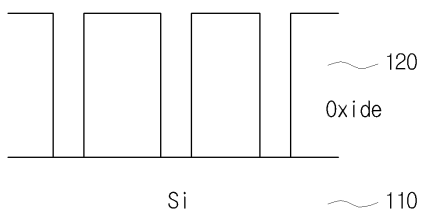
15, 15a : 불순물 이온

도면

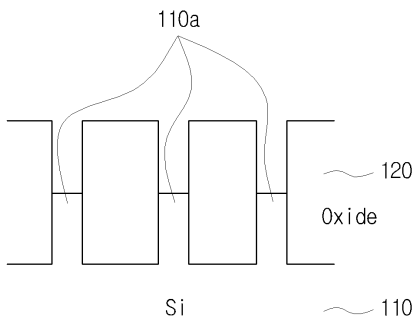
도면1



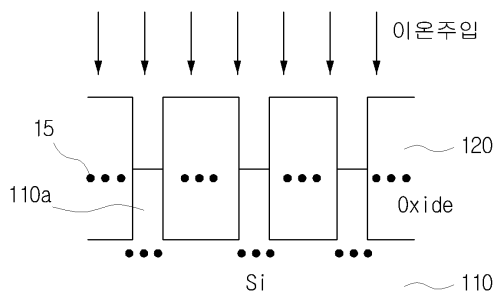
도면2



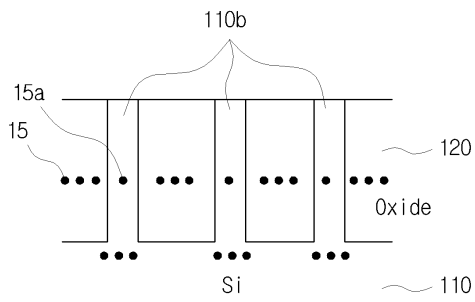
도면3



도면4



도면5



도면6

