

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4243228号
(P4243228)

(45) 発行日 平成21年3月25日 (2009. 3. 25)

(24) 登録日 平成21年1月9日 (2009. 1. 9)

(51) Int. Cl.

F I

H O 1 L 21/336 (2006. 01)

H O 1 L 29/78 6 1 7 V

H O 1 L 29/786 (2006. 01)

H O 1 L 29/78 6 1 7 U

請求項の数 4 (全 8 頁)

(21) 出願番号 特願2004-223924 (P2004-223924)
 (22) 出願日 平成16年7月30日 (2004. 7. 30)
 (65) 公開番号 特開2006-49346 (P2006-49346A)
 (43) 公開日 平成18年2月16日 (2006. 2. 16)
 審査請求日 平成18年9月12日 (2006. 9. 12)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町2 2 番 2 2 号
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (72) 発明者 竹井 美智子
 神奈川県川崎市中原区上小田中4 丁目 1 番
 1 号 富士通株式会社内
 (72) 発明者 原 明人
 神奈川県川崎市中原区上小田中4 丁目 1 番
 1 号 富士通株式会社内
 審査官 河本 充雄

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタの製造方法

(57) 【特許請求の範囲】

【請求項 1】

半導体層上に絶縁層を介して設けられたゲート電極を有する薄膜トランジスタの製造方法であって、

絶縁性の基板上に前記半導体層を成膜する工程と、
 重水素を含む雰囲気中で熱処理を行ない、前記半導体層に第 1 の酸化膜を形成する工程と

、
 プラズマ C V D 法を利用して、前記第 1 の酸化膜上に第 2 の酸化膜を形成する工程と、
 前記第 2 の酸化膜上に前記ゲート電極を形成する工程と
 を有し、前記熱処理の温度は、前記薄膜トランジスタのソース及びドレイン領域を活性化
 化する熱処理の温度に等しい

ことを特徴とする薄膜トランジスタの製造方法。

【請求項 2】

前記重水素を含む雰囲気が、水素を含む

ことを特徴とする請求項 1 記載の薄膜トランジスタの製造方法。

【請求項 3】

前記ゲート電極を形成する工程の後に、

重水素を含む雰囲気中で前記ソース及びドレイン領域を活性化する熱処理を行なう工程
 を更に有することを特徴とする請求項 1 記載の薄膜トランジスタの製造方法。

【請求項 4】

半導体層上に絶縁層を介して設けられたゲート電極を有する薄膜トランジスタの製造方法であって、

絶縁性の基板上に前記半導体層を成膜する工程と、

重水素を含む第1の温度に維持された雰囲気中で第1の熱処理を行ない、前記半導体層に第1の酸化膜を形成する工程と、

プラズマCVD法を利用して、前記第1の酸化膜上に第2の酸化膜を形成する工程と、
前記第2の酸化膜を形成する工程の後に、前記第1の温度より低い第2の温度で第2の熱処理を行なうことにより、前記第2の酸化膜の膜質の改善を行う工程と、

前記第2の熱処理の後に、前記第2の酸化膜上に前記ゲート電極を形成する工程と
を有することを特徴とする薄膜トランジスタの製造方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、薄膜トランジスタ(TFT:Thin Film Transistor)の製造方法に関連する。

【背景技術】

【0002】

薄膜トランジスタは、絶縁性の基板上に形成された半導体薄膜内にMOSFET型のトランジスタを形成した構造を有する。薄膜トランジスタには様々な用途が存在するが、中でも、液晶ディスプレイを駆動するためのアクティブマトリクス回路に有望視されている。近年の液晶ディスプレイのサイズは大型化しつつあり、薄膜トランジスタを含むディスプレイを安価に製造することが望まれる。また、薄膜トランジスタのデバイス特性も均質であることが当然に望まれる。この種の従来の薄膜トランジスタについては、例えば、特許文献1に記載されている。

20

【特許文献1】特開2003-209253号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

デバイス特性を向上させる観点からは、薄膜トランジスタの半導体層(例えば、ポリシリコン層)とゲート電極との間に介在するゲート絶縁膜の膜質や界面特性は優れていることが望ましい。従って、熱酸化膜のような均質な膜をゲート絶縁膜に採用することが考えられる。一方、低コスト化の観点からは、高価な石英基板ではなく、安価なガラス基板を絶縁性の基板に採用することが考えられる。

30

【0004】

しかしながら、石英基板よりも耐熱性の劣るガラス基板上に(基板上の半導体層上に)熱酸化膜を形成すると、基板に変形や歪が生じ、基板上に多数の均質な薄膜トランジスタを形成することが困難になることが懸念される。均質な熱酸化膜を形成するには、1000近くの温度で熱処理を長時間行なうことを要するが、ガラス基板の耐熱温度はそれより低いからである。

【0005】

40

従って、高温且つ長時間の熱処理工程を必要とせずに、ゲート絶縁膜を形成することが望まれる。このような観点から、半導体層上にプラズマCVD法でゲート絶縁膜(例えば、SiO₂膜)を低温で成膜することが考えられる。

【0006】

しかしながら、プラズマCVD法を用いると、半導体層及びゲート絶縁膜の界面にプラズマダメージを与えてしまう。プラズマに起因して、半導体層又はゲート絶縁膜中のシリコン原子に未結合手(ダングリングボンド)が生じ、界面準位にばらつきが生じ、薄膜トランジスタのデバイス特性に悪影響を与えることが懸念される。

【0007】

特許文献1では、絶縁性の基板に石英基板を採用し、ゲート絶縁膜を熱酸化膜で形成し

50

ているので、低コスト化の観点からは不利であろう。

【 0 0 0 8 】

本発明は、上記の問題点に鑑みてなされたものであり、その課題は、半導体層上にゲート絶縁膜を介して設けられたゲート電極を有する薄膜トランジスタの製造方法において、半導体層及びゲート絶縁膜間の界面特性を従来よりも改善する安価な薄膜トランジスタの製造方法を提供することである。

【課題を解決するための手段】

【 0 0 0 9 】

本発明によれば、

半導体層上に絶縁層を介して設けられた導電層を有する薄膜トランジスタの製造方法であって、

絶縁性の基板上に前記半導体層を成膜する工程と、

重水素を含む雰囲気中で熱処理を行ない、前記半導体層に第 1 の酸化膜を形成する工程と

、
プラズマ C V D 法を利用して、前記第 1 の酸化膜上に第 2 の酸化膜を形成する工程と、
前記第 2 の酸化膜上に前記導電層を形成する工程と

を有し、前記熱処理の温度は、前記薄膜トランジスタのソース及びドレイン領域を活性化
化する際の熱処理の温度に実質的に等しい

ことを特徴とする薄膜トランジスタの製造方法

が、提供される。

【発明の効果】

【 0 0 1 0 】

本発明によれば、半導体層及びゲート絶縁膜間の界面特性を従来よりも改善することができる。

【発明を実施するための最良の形態】

【 0 0 1 1 】

本発明の一態様では、重水素 (D) を含む雰囲気中で熱処理が行われ、半導体層に第 1 の酸化膜が形成され、プラズマ C V D 法により、第 1 の酸化膜上に第 2 の酸化膜が形成される。熱処理により半導体層が僅かに酸化されるので、以後プラズマ C V D 法で第 2 の酸化膜が成膜される際に、半導体層に与えるプラズマダメージを効果的に抑制することができる。熱処理の温度は、薄膜トランジスタのソース及びドレイン領域を活性化する際の熱処理の温度に実質的に等しい程度に低い (約 6 0 0 乃至約 8 0 0) 。従って、ゲート絶縁膜に (約 1 0 0 0 の処理工程を要する) 熱酸化膜を採用した際に懸念されたようなレイアウトパターンの歪が導入されることが、効果的に軽減される。更に、重水素は、半導体層中のシリコン原子の未結合手 (ダングリングボンド) を良好に終端させるので、半導体層及びゲート絶縁膜間の界面特性を更に向上させることができる。

【 0 0 1 2 】

本発明の一態様に示されるように、熱処理に要する処理時間を短縮する観点からは、熱処理を行なう雰囲気に水素を含ませることが望ましい。シリコン原子の未結合手を強固に終端させるには、水素で終端するよりも重水素で終端することが望ましいが、重水素は水素よりも反応性に乏しいためである。

【 0 0 1 3 】

本発明の一態様に示されるように、大がかりな真空装置等を必要とせずに、簡易且つ低コストに熱処理を行なう観点からは、熱処理は窒素を含む大気圧下で行なわれることが望ましい。

【実施例 1】

【 0 0 1 4 】

図 1 及び 2 は、本発明の一実施例による薄膜トランジスタの製造方法を示す。本実施例により作成される薄膜トランジスタは、画素周辺一体型 T F T アクティブマトリクス液晶パネルに使用されるが、本発明はこれに限定されない。

【 0 0 1 5 】

図 1 (A) に示される工程では、ガラス基板 1 0 上に下地層 1 2 が成膜される。ガラス基板 1 0 は、絶縁性の透明な基板の一例である。本実施例で使用するガラス基板は、耐熱性の点で石英基板より劣るが、低価格であり、大型化に適している。下地層 1 2 は、ガラス基板 1 0 上に半導体層を形成するための下地となる層である。下地層 1 2 は、例えば、5 0 n m の膜厚のシリコン窒化膜 (S i N) 上に積層された 4 0 0 n m の膜厚の二酸化シリコン膜 (S i O ₂) より成る。下地層 1 2 上には、7 0 n m の膜厚のアモルファスシリコンより成る非晶質半導体層 1 4 が成膜される。5 5 0 の温度で 2 時間の熱処理 (アニール) を行なうことで、非晶質半導体層 1 4 から余分な水素が除去される。そして、C w レーザを照射することで、非晶質半導体層 1 4 のアモルファスシリコンが結晶化し、ポリシリコンより成る半導体層 1 5 が形成される。

10

【 0 0 1 6 】

図 1 (B) に示される工程では、半導体層 1 5 が適切な形状にパターニングされる。パターニングは、例えばフォトリソグラフィ法のような任意の手法を利用することができる。パターニングの後に、所定の条件の下に第 1 の熱処理が行なわれる。所定の条件は、薄膜トランジスタのパターンに与える歪が許容範囲に収まる程度の熱処理であって、半導体層 1 5 の表面を僅かに酸化させるような条件である。従って、従来技術における熱酸化膜を形成するような条件 (例えば、1 0 0 0 で数時間) は、この所定の条件を満たさない。また、上記の許容範囲については、製品の用途や仕様を考慮して及び / 又はステッパのような製造装置等を考慮して定めることができる。本実施例における所定の条件は、(1) 雰囲気 が 6 0 0 乃至 8 0 0 の温度に維持されること (好ましくは、6 5 0 乃至 7 0 0) 、(2) 雰囲気中に 3 % 以下の重水素が含まれること、(3) 雰囲気中に 3 % 以下の水素が含まれること、(4) 熱処理が窒素を含む大気圧下で行なわれること、(4) 熱処理の時間が 3 分間であることである。このような熱処理を行なうことで、例えば 2 n m 未満の薄い膜厚の酸化膜 1 6 が全面に形成される。

20

【 0 0 1 7 】

図 1 (C) に示される工程では、酸化膜 1 6 上に、例えば二酸化シリコン (S i O ₂) より成る絶縁膜 1 8 が 3 0 n m の膜厚で全面に成膜される。この成膜工程は、本実施例ではプラズマ C V D (C h e m i c a l V a p o r D e p o s i t i o n) 法により行なわれ、例えば 3 0 0 のような比較的低温の工程で絶縁膜 1 8 が成膜される。この膜には重水素は含まれない。また、その水素濃度は、下層の薄膜酸化膜の濃度より低い。その後、4 5 0 の温度で 2 時間の間第 2 の熱処理が行なわれる。この熱処理を行なうことで、プラズマ C V D 法で成膜された絶縁膜 1 8 の膜質が改善され、緻密で均質な絶縁膜 1 8 が形成される。

30

【 0 0 1 8 】

図 2 (D) に示される工程では、例えばモリブデン (M o) より成る導電層 2 0 が 1 0 0 n m の膜厚で全面に成膜される。この成膜工程は、例えばスパッタリングで行なわれる。モリブデン (M o) の代わりに、アルミニウム (A l) その他の材料より成る任意の導電層が使用されてもよい。

【 0 0 1 9 】

図 2 (E) に示される工程では、導電層 2 0 及びゲート絶縁膜 1 8 (並びに酸化膜 1 6) が、適切にパターニングされる。パターニング後の導電層 2 0 はゲート電極になり、絶縁膜 1 8 (及び酸化膜 1 6) は、ゲート絶縁膜になる。ソース及びドレインになる半導体層 1 5 中の領域には不純物が注入され、急速熱アニール (R T A) による活性化が行なわれる。R T A は、6 5 0 の温度で 3 分間行なわれる。

40

【 0 0 2 0 】

図 2 (F) に示される工程では、層間絶縁膜 2 2 が全面に成膜され、ソース及びドレインに対するコンタクトホールが形成される。コンタクトホールには導電層 2 4 が充填され、ソース電極及びドレイン電極が形成され、最終的に薄膜トランジスタが形成される。

【 0 0 2 1 】

50

図 3 は、本実施例及び従来例に関する評価結果のグラフを示す。本実施例に従って 30 個の薄膜トランジスタが作成され、ソース及びドレイン間を流れる電流の電子移動度 μ を、個々のトランジスタについて測定した結果が示されている。比較のため、半導体層 15 上に酸化膜 16 を形成せずにプラズマ CVD 法による二酸化シリコン膜を直接成膜した場合の薄膜トランジスタも 30 個作成され、それらについても電子移動度 μ が測定された。図示されているように、本実施例による薄膜トランジスタは、従来例によるものよりも、全体的に高い移動度を有することが分かる。これは、本実施例により、半導体層及びゲート絶縁膜間の界面特性が改善されたことに起因するものと考えられる。

【実施例 2】

【0022】

10

図 1 (B) に示される工程で、第 1 の熱処理を行なう所定の条件に、(5) 雰囲気中に酸素が含まれること、を加えてもよい。雰囲気中に酸素が導入されることで、第 1 の酸化膜の成膜速度が向上し、例えば実施例 1 の場合よりも短時間に第 1 の熱処理を終了させることができる。そのような酸素は、酸素ガスとして雰囲気中に混合してもよいし、高温水蒸気として混合してもよい。

【0023】

熱酸化膜の成膜温度 (1000 程度) よりも十分に低いプラズマ CVD の成膜温度よりも高温の温度 (例えば、650) に基板をさらす時間を更に短縮できるので、本実施例は、薄膜トランジスタのパターン歪を更に抑制する等の観点から好都合である。

【実施例 3】

20

【0024】

図 2 (E) に示される工程における急速熱アニール (RTA) の際に、その雰囲気中に重水素が混合されてもよい。即ち、図 1 (B) の第 1 の熱処理と同様な第 3 の熱処理と、ソース及びドレイン領域の活性化とが同時に行なわれる。第 3 の熱処理の条件は、第 1 の熱処理の所定の条件と全く同じでもよいし、そうでなくてもよい。本実施例では、雰囲気中に重水素が含まれているので、半導体層 15 中の未結合手が更に終端される点で有利である。

【0025】

以下、本発明により教示される手段を例示的に列挙する。

【0026】

30

(付記 1)

半導体層上に絶縁層を介して設けられた導電層を有する薄膜トランジスタの製造方法であって、

絶縁性の基板上に前記半導体層を成膜する工程と、

重水素を含む雰囲気中で熱処理を行ない、前記半導体層に第 1 の酸化膜を形成する工程と

、
プラズマ CVD 法を利用して、前記第 1 の酸化膜上に第 2 の酸化膜を形成する工程と、
前記第 2 の酸化膜上に前記導電層を形成する工程と

を有し、前記熱処理の温度は、前記薄膜トランジスタのソース及びドレイン領域を活性化
化の際の熱処理の温度に実質的に等しい

40

ことを特徴とする薄膜トランジスタの製造方法。

【0027】

(付記 2)

前記熱処理を行なう雰囲気が、水素を含む

ことを特徴とする付記 1 記載の薄膜トランジスタの製造方法。

【0028】

(付記 3)

前記熱処理を行なう雰囲気が、酸素ガスを含む

ことを特徴とする付記 1 記載の薄膜トランジスタの製造方法。

【0029】

50

(付記４)

前記熱処理を行なう雰囲気、水蒸気を含む
ことを特徴とする付記１記載の薄膜トランジスタの製造方法。

【００３０】

(付記５)

前記熱処理が、窒素を含む大気圧下で行なわれる
ことを特徴とする付記１記載の薄膜トランジスタの製造方法。

【００３１】

(付記６)

前記導電層を形成する工程の後に、
重水素を含む雰囲気、熱処理を行なう工程
を更に有することを特徴とする付記１記載の薄膜トランジスタの製造方法。

10

【００３２】

(付記７)

前記第２の熱処理は、前記第１の熱処理よりも長時間行なわれる
ことを特徴とする付記１記載の薄膜トランジスタの製造方法。

【００３３】

(付記８)

前記絶縁性の基板が、ガラス基板である
ことを特徴とする付記１記載の薄膜トランジスタの製造方法。

20

【００３４】

(付記９)

半導体層上に絶縁層を介して設けられた導電層を有する薄膜トランジスタの製造方法であって、

絶縁性の基板の上に前記半導体層を成膜する工程と、

重水素を含む第１の温度に維持された雰囲気、第１の熱処理を行ない、前記半導体層に第１の酸化膜を形成する工程と、

プラズマＣＶＤ法を利用して、前記第１の酸化膜上に第２の酸化膜を形成する工程と、

前記第１の温度より低い第２の温度で第２の熱処理を行なう工程と、

前記第２の酸化膜上に前記導電層を形成する工程と

を有することを特徴とする薄膜トランジスタの製造方法。

30

【００３５】

(付記１０)

多層のゲート酸化膜構造を有し、下層の酸化膜の重水素又は水素濃度が、上層の酸化膜におけるものより高いことを特徴とする薄膜トランジスタ。

【図面の簡単な説明】

【００３６】

【図１】本発明の一実施例による薄膜トランジスタの製造方法を示す図（その１）である。

【図２】本発明の一実施例による薄膜トランジスタの製造方法を示す図（その２）である。

40

【図３】本実施例及び従来例に関する評価結果のグラフを示す。

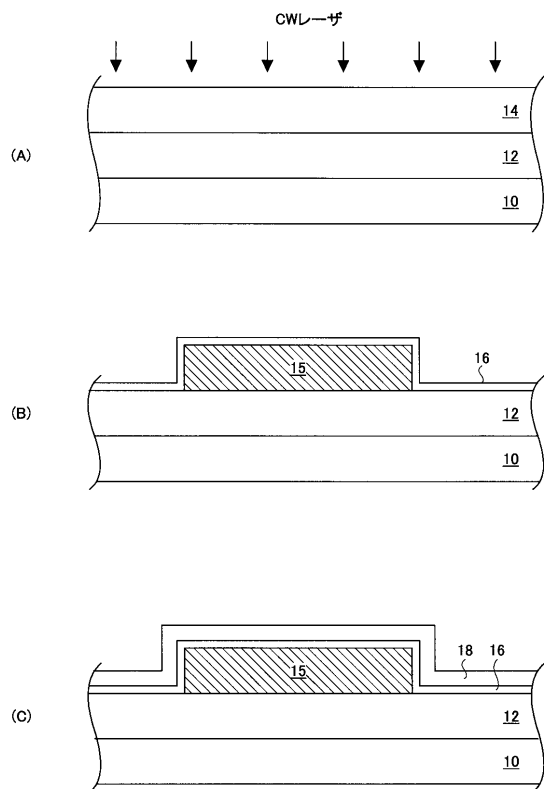
【符号の説明】

【００３７】

１０ 絶縁性基板； １２ 下地層； １４ 非晶質半導体層； １５ 半導体層； １６ 酸化膜； １８ 酸化膜； ２０ 導電層； ２２ 層間絶縁膜； ２４ 導電層

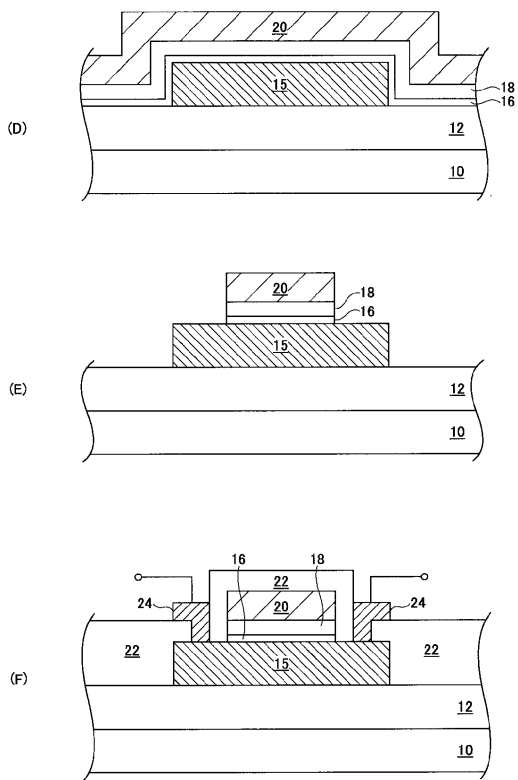
【図 1】

本発明の一実施例による薄膜トランジスタの製造方法を示す図(その1)



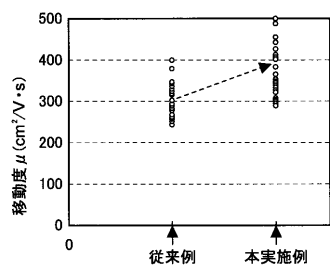
【図 2】

本発明の一実施例による薄膜トランジスタの製造方法を示す図(その2)



【図 3】

本実施例及び従来例に関する評価結果のグラフを示す図



フロントページの続き

(56)参考文献 特開2000-114541(JP,A)
特開2002-246602(JP,A)
国際公開第03/056622(WO,A1)
特開平07-094756(JP,A)
特開平10-308353(JP,A)
特開2002-076336(JP,A)
特開2002-124678(JP,A)
特開2003-209253(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336
H01L 29/786