



ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 4153208/24-24

(22) 22.09.86

(46) 15.07.88. Бюл. № 26

(72) А. С. Березин, В. И. Кимарский,
Ю. И. Кузовлев, Е. М. Онищенко, С. В. Суш-
ко и И. В. Черняк

(53) 681.327(088.8)

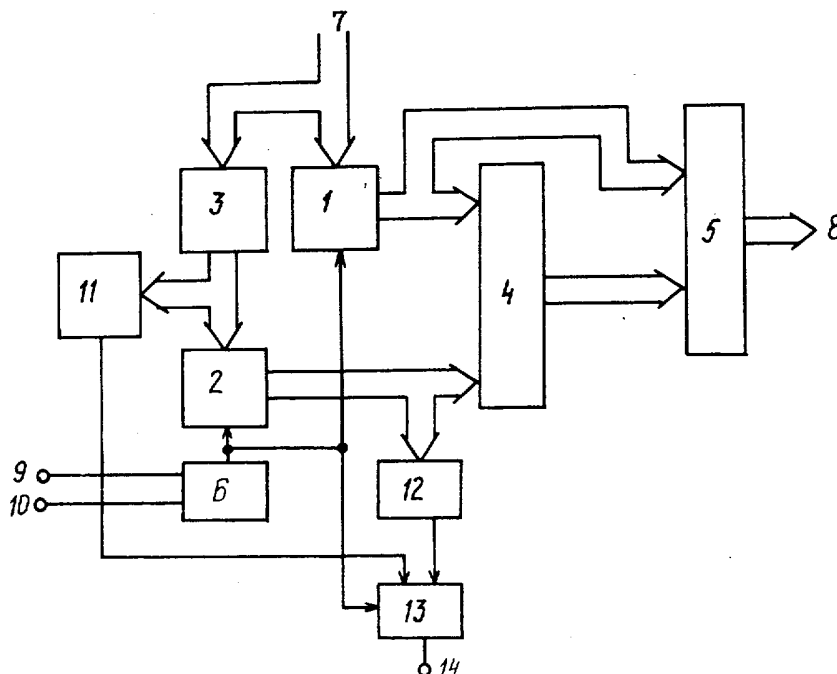
(56) Электроника, 1983, № 18, с. 59, рис. 1.

Авторское свидетельство СССР
№ 1073799, кл. G 11 C 29/00, 1982.

(54) ОПЕРАТИВНОЕ ЗАПОМИНАЮЩЕЕ
УСТРОЙСТВО С КОРРЕКЦИЕЙ ОШИ-
БОК ПО МЕТОДУ МАЖОРИТАРНОГО ДЕ-
КОДИРОВАНИЯ

(57) Изобретение относится к вычислитель-
ной технике, в частности к запоминающим

устройствам с коррекцией ошибок, и может
быть использовано при создании последних
в интегральном исполнении. Целью изобре-
тения является повышение надежности ра-
боты устройства. Устройство содержит ос-
новной 1 и дополнительный 2 блоки памяти,
блок 3 кодирования, блок 4 элементов ИС-
КЛЮЧАЮЩЕЕ ИЛИ, блок 5 мажоритар-
ных элементов, блок 6 управления, первый
11 и второй 12 блоки свертки по модулю два,
мультиплексор 13. В запоминающем устрой-
стве осуществляется автоматическое обнару-
жение неисправности блоков 2 и 3 на этапе
изготовления, что повышает достоверность
тестирования и снижает его продолжитель-
ность в ходе эксплуатации устройства. 2 ил.



Фиг. 1

Изобретение относится к вычислительной технике, в частности к оперативным запоминающим устройствам, и может быть использовано при создании устройств со встроенной коррекцией ошибок.

Цель изобретения — повышение надежности устройства.

На фиг. 1 представлена структурная схема оперативного запоминающего устройства с коррекцией ошибок по методу мажоритарного декодирования; на фиг. 2 — пример кодирующей матрицы, по уравнениям которой блок кодирования формирует контрольные разряды.

Устройство содержит (фиг. 1) основной 1 и дополнительный 2 блоки памяти, блок 3 кодирования, блок 4 элементов ИСКЛЮЧАЮЩЕЕ ИЛИ, блок 5 мажоритарных элементов, блок 6 управления, информационные входы 7, информационные выходы 8, вход 9 обращения, вход 10 выбора режима, первый 11 и второй 12 блоки свертки по модулю два, мультиплексор 13 и тестовый выход 14.

Устройство работает следующим образом.

Устройство использует для коррекции ошибок низкоплотностной (10—6) код с мажоритарным декодированием.

В режиме записи в блок 1 данные поступают непосредственно с информационных входов 7 устройства — сигналы $D_0—D_5$, а в блок 2 — с выходов блока 3 кодирования — сигналы $C_1—C_4$ (адресные входы блоков 1 и 2 на фиг. 1 не показаны). Проверка правильности кодирования входных сигналов основана на том свойстве кодирующей матрицы (фиг. 2), применяемой при мажоритарном декодировании выходных сигналов, что сумма по модулю два контрольных разрядов всегда должна быть равна нулю. Поэтому появление в режиме записи на выходе блока 11 сигнала уровня «1» указывает на нарушение работы блока 3 кодирования (рассматриваются только однократные ошибки).

Аналогичная проверка правильности хранения контрольных разрядов в блоке 2 выполняется с помощью блока 12.

Мультиплексор 13 обеспечивает пропуск на тестовый выход 14 устройства в режиме записи сигнала с блока 11, а в режиме считывания — сигнала с блока 12.

Формула изобретения

Оперативное запоминающее устройство с коррекцией ошибок по методу мажоритарного декодирования, содержащее основной и дополнительный блоки памяти, блок управления, блок кодирования, блок элементов ИСКЛЮЧАЮЩЕЕ ИЛИ и блок мажоритарных элементов, выходы которого являются информационными выходами устройства, причем информационные входы основного блока памяти и входы блока кодирования поразрядно объединены и являются информационными входами устройства, адресные входы основного и дополнительного блоков памяти поразрядно объединены и являются адресными входами устройства, выходы блока кодирования подключены к информационным входам дополнительного блока памяти, выходы основного блока памяти соединены с входами первой группы блока элементов ИСКЛЮЧАЮЩЕЕ ИЛИ и блока мажоритарных элементов входы второй группы которого подключены к выходам блока элементов ИСКЛЮЧАЮЩЕЕ ИЛИ, входы второй группы которого соединены с выходами дополнительного блока памяти, входы записи-чтения основного и дополнительного блоков памяти соединены с выходом блока управления, входы которого являются входом обращения и входом выбора режима устройства, отличающееся тем, что, с целью повышения надежности устройства, в него введены первый и второй блоки свертки по модулю два и мультиплексор, первый и второй информационные входы которого подключены соответственно к выходам первого и второго блоков свертки по модулю два, входы которых соединены соответственно с выходами блока кодирования и дополнительного блока памяти, выход блока управления соединен с управляющим входом мультиплексора, выход которого является тестовым выходом устройства.

	D_0	D_1	D_2	D_3	D_4	D_5
C_1	0	0	1	1	1	0
C_2	0	1	0	1	0	1
C_3	1	0	1	0	0	1
C_4	1	1	0	0	1	0

Фиг. 2

Редактор А. Лежнина
Заказ 3487/49

Составитель В. Рудаков
Техре И. Верес
Тираж 590

Корректор А. Тяско
Подписное

ВНИИПИ Государственного комитета СССР по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5
Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4