

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-53355

(P2007-53355A)

(43) 公開日 平成19年3月1日(2007.3.1)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 7 N	5 F 1 1 O
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 7 K	
	HO 1 L 29/78 6 1 6 A	

審査請求 未請求 請求項の数 14 O L (全 47 頁)

(21) 出願番号	特願2006-199839 (P2006-199839)	(71) 出願人	000153878
(22) 出願日	平成18年7月21日 (2006.7.21)		株式会社半導体エネルギー研究所
(31) 優先権主張番号	特願2005-212200 (P2005-212200)		神奈川県厚木市長谷398番地
(32) 優先日	平成17年7月22日 (2005.7.22)	(72) 発明者	坂倉 真之
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	山崎 舜平
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内

最終頁に続く

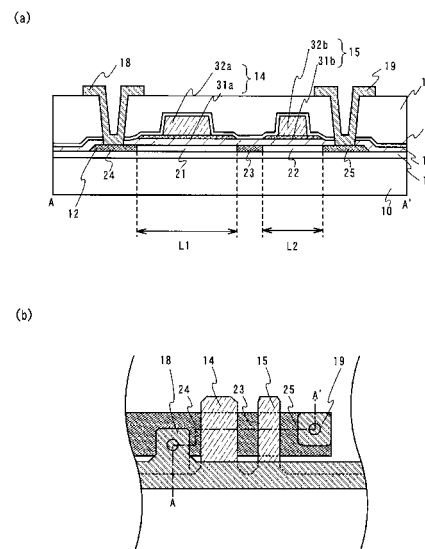
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】動作特性および信頼性の向上した、新規なマルチゲート構造のトランジスタを提供することを課題とする。

【解決手段】2つ以上のゲート電極と、直列に接続した2つ以上のチャネル形成領域、ソース領域、ドレイン領域、及び高濃度不純物領域を有する半導体層と、を有するマルチゲート構造のトランジスタにおいて、ソース領域側に近接するチャネル形成領域のチャネル長が、ドレイン領域側に近接するチャネル形成領域のチャネル長よりも大きくする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

絶縁表面を有する基板上に半導体層と、2つのゲート電極と、ソース電極及びドレイン電極と、を有し、

前記半導体層はソース領域と、ドレイン領域と、前記ソース領域と接する第1のチャンネル形成領域と、前記ドレイン領域と接する第2のチャンネル形成領域と、前記第1のチャンネル形成領域と前記第2のチャンネル形成領域との間に位置する高濃度不純物領域と、を有し、前記2つのゲート電極は、それぞれ第1の絶縁膜を介して前記第1のチャンネル形成領域又は前記第2のチャンネル形成領域上に位置し、

前記ソース電極及び前記ドレイン電極は、第2の絶縁膜を介して前記半導体層と接続し、前記第1のチャンネル形成領域と前記第2のチャンネル形成領域は直列に接続し、前記第1のチャンネル形成領域のチャンネル長は前記第2のチャンネル形成領域のチャンネル長よりも大きい半導体装置。 10

【請求項 2】

絶縁表面を有する基板上に半導体層と、2つのゲート電極と、ソース電極及びドレイン電極と、を有し、

前記半導体層はソース領域と、ドレイン領域と、前記ソース領域と接する第1のチャンネル形成領域と、前記ドレイン領域と接する第2のチャンネル形成領域と、前記第1のチャンネル形成領域と前記第2のチャンネル形成領域との間に位置する高濃度不純物領域と、を有し、前記2つのゲート電極は、それぞれ第1の絶縁膜を介して前記第1のチャンネル形成領域又は前記第2のチャンネル形成領域上に位置し、

前記ソース電極及び前記ドレイン電極は、第2の絶縁膜を介して前記半導体層と接続し、前記第1のチャンネル形成領域と前記第2のチャンネル形成領域は直列に接続し、前記第1のチャンネル形成領域のチャンネル長を L_1 とし、前記第2のチャンネル形成領域のチャンネル長を L_2 とした時、 $L_1 \geq 2 \times L_2$ の関係式が成り立つ半導体装置。 20

【請求項 3】

絶縁表面を有する基板上に半導体層と、2つのゲート電極と、ソース電極及びドレイン電極と、を有し、

前記半導体層はソース領域と、ドレイン領域と、前記ソース領域と接する第1の低濃度不純物領域と、前記第1の低濃度不純物領域と接する第1のチャンネル形成領域と、前記ドレイン領域と接する第2の低濃度不純物領域と、前記第2の低濃度不純物領域と接する第2のチャンネル形成領域と、前記第1のチャンネル形成領域と前記第2のチャンネル形成領域との間に位置する高濃度不純物領域と、を有し、

2つの前記ゲート電極は、それぞれ第1の絶縁膜を介して前記第1のチャンネル形成領域又は前記第2のチャンネル形成領域上に位置し、

前記ソース電極及び前記ドレイン電極は、第2の絶縁膜を介して前記半導体層と接続し、前記第1のチャンネル形成領域と前記第2のチャンネル形成領域は直列に接続し、前記第1のチャンネル形成領域のチャンネル長は前記第2のチャンネル形成領域のチャンネル長よりも大きい半導体装置。 30

【請求項 4】

絶縁表面を有する基板上に半導体層と、2つのゲート電極と、ソース電極及びドレイン電極と、を有し、

前記半導体層はソース領域と、ドレイン領域と、前記ソース領域と接する第1の低濃度不純物領域と、前記第1の低濃度不純物領域と接する第1のチャンネル形成領域と、前記ドレイン領域と接する第2の低濃度不純物領域と、前記第2の低濃度不純物領域と接する第2のチャンネル形成領域と、前記第1のチャンネル形成領域と前記第2のチャンネル形成領域との間に位置する高濃度不純物領域と、を有し、

2つの前記ゲート電極は、それぞれ第1の絶縁膜を介して前記第1のチャンネル形成領域又は前記第2のチャンネル形成領域上に位置し、

前記ソース電極及び前記ドレイン電極は、第2の絶縁膜を介して前記半導体層と接続し、 40 50

前記第 1 のチャンネル形成領域と前記第 2 のチャンネル形成領域は直列に接続し、
前記第 1 のチャンネル形成領域のチャンネル長を L_1 とし、前記第 2 のチャンネル形成領域のチャンネル長を L_2 とした時、 $L_1 \geq 2 \times L_2$ の関係式が成り立つ半導体装置。

【請求項 5】

絶縁表面を有する基板上に半導体層と、2つのゲート電極と、ソース電極及びドレイン電極と、を有し、

前記半導体層はソース領域と、ドレイン領域と、前記ソース領域と接する第 1 の低濃度不純物領域と、前記第 1 の低濃度不純物領域と接する第 1 のチャンネル形成領域と、前記ドレイン領域と接する第 2 の低濃度不純物領域と、前記第 2 の低濃度不純物領域と接する第 2 のチャンネル形成領域と、前記第 1 のチャンネル形成領域と前記第 2 のチャンネル形成領域との間に位置する高濃度不純物領域と、を有し、

前記第 1 の低濃度不純物領域及び前記第 2 の低濃度不純物領域は前記ゲート電極と重なる部分を有し、

前記ソース電極及び前記ドレイン電極は、第 2 の絶縁膜を介して前記半導体層と接続し、前記第 1 のチャンネル形成領域と前記第 2 のチャンネル形成領域は直列に接続し、前記第 1 のチャンネル形成領域のチャンネル長は前記第 2 のチャンネル形成領域のチャンネル長よりも大きい半導体装置。

【請求項 6】

絶縁表面を有する基板上に半導体層と、2つのゲート電極と、ソース電極及びドレイン電極と、を有し、

前記半導体層はソース領域と、ドレイン領域と、前記ソース領域と接する第 1 の低濃度不純物領域と、前記第 1 の低濃度不純物領域と接する第 1 のチャンネル形成領域と、前記ドレイン領域と接する第 2 の低濃度不純物領域と、前記第 2 の低濃度不純物領域と接する第 2 のチャンネル形成領域と、前記第 1 のチャンネル形成領域と前記第 2 のチャンネル形成領域との間に位置する高濃度不純物領域と、を有し、

前記第 1 の低濃度不純物領域及び前記第 2 の低濃度不純物領域は前記ゲート電極と重なる部分を有し、

前記ソース電極及び前記ドレイン電極は、第 2 の絶縁膜を介して前記半導体層と接続し、前記第 1 のチャンネル形成領域と前記第 2 のチャンネル形成領域は直列に接続し、

前記第 1 のチャンネル形成領域のチャンネル長を L_1 とし、前記第 2 のチャンネル形成領域のチャンネル長を L_2 とした時、 $L_1 \geq 2 \times L_2$ の関係式が成り立つ半導体装置。

【請求項 7】

請求項 2、請求項 4、または請求項 6 のいずれか一において、前記チャンネル長 L_1 は $2 \mu\text{m}$ 以上 $10 \mu\text{m}$ 以下の長さを有し、

前記チャンネル長 L_2 は $1 \mu\text{m}$ 以上の長さを有し、前記チャンネル長 L_1 よりも $0.5 \mu\text{m}$ 以上小さい半導体装置。

【請求項 8】

請求項 1 乃至請求項 7 のいずれか一において、前記不純物はボロン等の p 型を付与する不純物である半導体装置。

【請求項 9】

絶縁表面を有する基板上に半導体層と、

前記半導体層上にゲート絶縁膜と、

前記ゲート絶縁膜上にゲート電極と、

前記ゲート電極上に第 1 の絶縁膜と、

前記第 1 の絶縁膜に形成された開口を介して前記第 1 の絶縁膜上に前記半導体層と電氣的に接続する配線と、

前記配線の上面の一部及び前記第 1 の絶縁膜上面と接する第 2 の絶縁膜と、

前記第 2 の絶縁膜に形成された開口を介して前記配線と電氣的に接続し、且つ、前記第 2 の絶縁膜上面に接する第 1 の電極と、

前記第 2 の絶縁膜上に前記第 1 の電極の端部を覆う隔壁と、

10

20

30

40

50

前記第 1 の電極上に有機化合物を有する層と、
前記隔壁及び前記有機化合物を有する層上に第 2 の電極とを有し、
前記第 1 の絶縁膜に形成された開口は、前記第 2 の絶縁膜の開口と重なる位置である半導体装置。

【請求項 10】

請求項 9 において、前記第 1 の絶縁膜は無機絶縁膜である半導体装置。

【請求項 11】

請求項 9 または請求項 10 において、前記第 2 の絶縁膜は、前記第 1 の絶縁膜より薄い半導体装置。

【請求項 12】

請求項 9 乃至 11 のいずれか一において、前記第 1 の電極は、少なくとも前記配線の上面の一部で接している半導体装置。

【請求項 13】

請求項 9 乃至 12 のいずれか一において、前記第 1 の電極は、少なくとも前記配線の側面の一部で接している半導体装置。

【請求項 14】

請求項 9 乃至 12 のいずれか一において、前記第 2 の絶縁膜の開口で前記配線と前記隔壁が接する半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は薄膜トランジスタで構成された回路を有する半導体装置に関する。例えば、液晶表示パネルに代表される電気光学装置や有機発光素子（EL：エレクトロルミネッセンス素子）を有する表示装置を部品として搭載した電子機器に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【背景技術】

【0003】

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数～数百 nm 程度）を用いて薄膜トランジスタ（TFT）を構成する技術が注目されている。薄膜トランジスタは IC や電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。

【0004】

特に、マトリクス状に配置された表示画素毎にトランジスタからなるスイッチング素子を設けたアクティブマトリクス型の表示装置（液晶表示装置や発光表示装置）が盛んに開発されている。

【0005】

また、製造コストの低減を図るために駆動回路部を画素部と同一基板上に作り込む開発も進められている。中でも、ポリシリコン膜を用いたトランジスタは、アモルファスシリコン膜を用いたトランジスタよりも電界効果移動度が高いので高速動作が可能である。

【0006】

表示装置に搭載されるモジュールには、機能ブロックごとに画像表示を行う画素部や、CMOS 回路を基本としたシフトレジスタ回路、レベルシフタ回路、バッファ回路、サンプリング回路などの画素部を制御するための駆動回路部が一枚の基板上に形成される。

【0007】

特に、有機発光素子をマトリクス状に配置した発光表示装置においては、1 つの画素に役割の異なる複数のトランジスタが必要とされている。また、液晶表示装置においても、1 つの画素にスイッチング用のトランジスタと SRAM などの記憶素子とを形成する試みがなされている。

10

20

30

40

50

【0008】

特許文献1には、EL表示装置において、スイッチング素子としてマルチゲート構造のトランジスタを用いることが記載されている。

【特許文献1】特開2001-013893号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

一般に、トランジスタのソース領域ードレイン領域間（チャンネル形成領域）に流れる電流は、ゲート電極に印加される電圧によって制御される。チャンネル長が十分に大きい場合、ゲート電極に印加される電圧がある一定の値（しきい値）以下の場合には、チャンネル形成領域に電流はほとんど流れない。その後、ゲート電極に印加される電圧がしきい値を超えたところから、チャンネル形成領域に流れる電流がほぼ線形に増加し始める。

【0010】

上述したように、チャンネル長が十分に大きい場合はしきい値はほぼ一定であるが、チャンネル長が小さくなると、ゲート電極に印加される電圧がしきい値以下でも電流が流れてしまう。これは、チャンネル長が小さくなるにつれ、ドレイン電圧によってソース領域とチャンネル形成領域との境界の電圧障壁が下げられることに由来する。この現象は、チャンネル長が小さくなるにつれてしきい値電圧が低下することを意味し、短チャンネル効果の代表的な例として知られている。

【0011】

上記短チャンネル効果が、マルチゲート構造のトランジスタに含まれるいずれかのチャンネル形成領域に起きると、トランジスタの特性に不良が生じる。特に、ソース領域に近接するチャンネル形成領域に短チャンネル効果が起きるとトランジスタの特性に不良が生じる。

【0012】

本発明はこのような状況を鑑みてなされたものであり、動作特性および信頼性の向上した新規なマルチゲート構造のトランジスタを提供することを目的とする。

【0013】

また、信頼性を向上することを実現できる新規なアクティブマトリクス型の発光装置の構造も提供する。

【課題を解決するための手段】

【0014】

本発明は、複数あるチャンネル形成領域のチャンネル長の大きさを適宜調整することにより、トランジスタの特性不良の発生を防ぐものである。

【0015】

本発明は、マルチゲート構造（直列に接続された少なくとも2つ以上のチャンネル形成領域を含んだ半導体層と、それぞれのチャンネル形成領域に電界を印加する少なくとも2つ以上のゲート電極とを有する構造）のトランジスタにおいて、複数あるチャンネル形成領域のうち、ソース領域に近接するチャンネル形成領域のチャンネル長を、ドレイン領域に近接するチャンネル形成領域のチャンネル長よりも長くすることを特徴の一つとする。

【0016】

また、本発明は、少なくともソース領域に近接するチャンネル形成領域のチャンネル長の長さを短チャンネル効果が現れない長さとすることを特徴の一つとする。

【0017】

本発明は、絶縁表面を有する基板上に半導体層と、2つのゲート電極と、ソース電極及びドレイン電極と、を有し、前記半導体層はソース領域と、ドレイン領域と、前記ソース領域と接する第1のチャンネル形成領域と、前記ドレイン領域と接する第2のチャンネル形成領域と、前記第1のチャンネル形成領域と前記第2のチャンネル形成領域との間に位置する高濃度不純物領域と、を有し、前記2つのゲート電極は、それぞれ第1の絶縁膜を介して前記第1のチャンネル形成領域又は前記第2のチャンネル形成領域上に位置し、前記ソース電極及び前記ドレイン電極は、第2の絶縁膜に設けられたコンタクトホールを介して前記半導体

10

20

30

40

50

層と接続し、前記第1のチャンネル形成領域と前記第2のチャンネル形成領域は直列に接続し、前記第1のチャンネル形成領域のチャンネル長は前記第2のチャンネル形成領域のチャンネル長よりも長いことを特徴の一つとしている。

【0018】

また、本発明は、絶縁表面を有する基板上に半導体層と、2つのゲート電極と、ソース電極及びドレイン電極と、を有し、前記半導体層はソース領域と、ドレイン領域と、前記ソース領域と接する第1のチャンネル形成領域と、前記ドレイン領域と接する第2のチャンネル形成領域と、前記第1のチャンネル形成領域と前記第2のチャンネル形成領域との間に位置する高濃度不純物領域と、を有し、前記2つのゲート電極は、それぞれ第1の絶縁膜を介して前記第1のチャンネル形成領域又は前記第2のチャンネル形成領域上に位置し、前記ソース電極及び前記ドレイン電極は、第2の絶縁膜に設けられたコンタクトホールを介して前記半導体層と接続し、前記第1のチャンネル形成領域と前記第2のチャンネル形成領域は直列に接続し、前記第1のチャンネル形成領域のチャンネル長を L_1 とし、前記第2のチャンネル形成領域のチャンネル長を L_2 とした時、 $L_1 \geq 2 \times L_2$ の関係式が成り立つことを特徴の一つとしている。

10

【0019】

また、本発明は、絶縁表面を有する基板上に半導体層と、2つのゲート電極と、ソース電極及びドレイン電極と、を有し、前記半導体層はソース領域と、ドレイン領域と、前記ソース領域と接する第1の低濃度不純物領域と、前記第1の低濃度不純物領域と接する第1のチャンネル形成領域と、前記ドレイン領域と接する第2の低濃度不純物領域と、前記第2の低濃度不純物領域と接する第2のチャンネル形成領域と、前記第1のチャンネル形成領域と前記第2のチャンネル形成領域との間に位置する高濃度不純物領域と、を有し、2つの前記ゲート電極は、それぞれ第1の絶縁膜を介して前記第1のチャンネル形成領域又は前記第2のチャンネル形成領域上に位置し、前記ソース電極及び前記ドレイン電極は、第2の絶縁膜を介して前記半導体層と接続し、前記第1のチャンネル形成領域と前記第2のチャンネル形成領域は直列に接続し、前記第1のチャンネル形成領域のチャンネル長は前記第2のチャンネル形成領域のチャンネル長よりも長いことを特徴の一つとしている。

20

【0020】

また、本発明は、絶縁表面を有する基板上に半導体層と、2つのゲート電極と、ソース電極及びドレイン電極と、を有し、前記半導体層はソース領域と、ドレイン領域と、前記ソース領域と接する第1の低濃度不純物領域と、前記第1の低濃度不純物領域と接する第1のチャンネル形成領域と、前記ドレイン領域と接する第2の低濃度不純物領域と、前記第2の低濃度不純物領域と接する第2のチャンネル形成領域と、前記第1のチャンネル形成領域と前記第2のチャンネル形成領域との間に位置する高濃度不純物領域と、を有し、2つの前記ゲート電極は、それぞれ第1の絶縁膜を介して前記第1のチャンネル形成領域又は前記第2のチャンネル形成領域上に位置し、前記ソース電極及び前記ドレイン電極は、第2の絶縁膜を介して前記半導体層と接続し、前記第1のチャンネル形成領域と前記第2のチャンネル形成領域は直列に接続し、前記第1のチャンネル形成領域のチャンネル長を L_1 とし、前記第2のチャンネル形成領域のチャンネル長を L_2 とした時、 $L_1 \geq 2 \times L_2$ の関係式が成り立つことを特徴の一つとしている。

30

40

【0021】

また、本発明は、絶縁表面を有する基板上に半導体層と、2つのゲート電極と、ソース電極及びドレイン電極と、を有し、前記半導体層はソース領域と、ドレイン領域と、前記ソース領域と接する第1の低濃度不純物領域と、前記第1の低濃度不純物領域と接する第1のチャンネル形成領域と、前記ドレイン領域と接する第2の低濃度不純物領域と、前記第2の低濃度不純物領域と接する第2のチャンネル形成領域と、前記第1のチャンネル形成領域と前記第2のチャンネル形成領域との間に位置する高濃度不純物領域と、を有し、前記第1の低濃度不純物領域及び前記第2の低濃度不純物領域は前記ゲート電極と重なる部分を有し、前記ソース電極及び前記ドレイン電極は、第2の絶縁膜を介して前記半導体層と接続し、前記第1のチャンネル形成領域と前記第2のチャンネル形成領域は直列に接続し、前記第1

50

のチャネル形成領域のチャネル長は前記第2のチャネル形成領域のチャネル長よりも長いことを特徴の一つとしている。

【0022】

また、本発明は、絶縁表面を有する基板上に半導体層と、2つのゲート電極と、ソース電極及びドレイン電極と、を有し、前記半導体層はソース領域と、ドレイン領域と、前記ソース領域と接する第1の低濃度不純物領域と、前記第1の低濃度不純物領域と接する第1のチャネル形成領域と、前記ドレイン領域と接する第2の低濃度不純物領域と、前記第2の低濃度不純物領域と接する第2のチャネル形成領域と、前記第1のチャネル形成領域と前記第2のチャネル形成領域との間に位置する高濃度不純物領域と、を有し、前記第1の低濃度不純物領域及び前記第2の低濃度不純物領域は前記ゲート電極と重なる部分を有し、前記ソース電極及び前記ドレイン電極は、第2の絶縁膜を介して前記半導体層と接続し、前記第1のチャネル形成領域と前記第2のチャネル形成領域は直列に接続し、前記第1のチャネル形成領域のチャネル長を L_1 とし、前記第2のチャネル形成領域のチャネル長を L_2 とした時、 $L_1 \geq 2 \times L_2$ の関係式が成り立つことを特徴の一つとしている。

【0023】

また、本発明において、具体的には、前記チャネル長 L_1 は $2 \mu\text{m}$ 以上 $10 \mu\text{m}$ 以下の長さを有し、前記チャネル長 L_2 は $1 \mu\text{m}$ 以上の長さを有し、前記チャネル長 L_1 よりも $0.5 \mu\text{m}$ 以上小さいことも特徴の一つとする。

【0024】

また、本発明において、前記不純物はボロン等の周期表の13属に属するp型を付与する不純物であることも特徴の一つとする。

【0025】

また、本発明において、2つのゲート電極は電氣的に接続されているものとする。

【0026】

なお、本発明において、前記高濃度不純物領域の濃度は、前記ソース領域又は前記ドレイン領域と同程度のものとする。また、前記第1の低濃度不純物領域及び前記第2の低濃度不純物領域の濃度は、前記ソース領域又は前記ドレイン領域よりも低いものとする。

【0027】

また、薄膜トランジスタと発光素子とを備えたアクティブマトリクス型の発光装置において、製造コスト上、発光素子の第1の電極の端部を覆うように配置する隔壁の厚さを薄くすることが望まれている。隔壁の厚さを薄くしすぎると配線による段差や配線形成時に生じた残渣を隔壁が覆いきれなくなって隔壁上に形成される第2の電極と第1の電極とで短絡を起こすことがある。

【0028】

そこで、本発明人らは、膜厚 300 nm 未満の無機絶縁膜を形成した後に隔壁を形成することで短絡を防ぐ構成を考案した。無機絶縁膜はTFTと電氣的に接続する配線の上端部を少なくとも覆い、無機絶縁膜上に第1の電極が形成される。

【0029】

本明細書で開示する本発明の他の構成は、図10にその一例を示したように、絶縁表面を有する基板上に半導体層と、前記半導体層上にゲート絶縁膜と、前記ゲート絶縁膜上にゲート電極と、前記ゲート電極上に第1の絶縁膜と、前記第1の絶縁膜に形成された開口を介して前記第1の絶縁膜上に前記半導体層と電氣的に接続する配線と、前記配線の上面の一部及び前記第1の絶縁膜上面と接する第2の絶縁膜と、前記第2の絶縁膜に形成された開口を介して前記配線と電氣的に接続し、且つ、前記第2の絶縁膜上面に接する第1の電極と、前記第2の絶縁膜上に前記第1の電極の端部を覆う隔壁と、前記第1の電極上に有機化合物を有する層と、前記隔壁及び前記有機化合物を有する層上に第2の電極とを有し、前記第1の絶縁膜に形成された開口は、前記第2の絶縁膜の開口と重なる位置であることを特徴の一つとする半導体装置である。

【0030】

図10に示す薄い無機絶縁膜からなる第4の層間絶縁膜700を設けることによって配線

による段差や配線形成時に生じた残渣を覆い、短絡を防ぐことで発光装置の信頼性を向上させることができる。

【0031】

また、第1電極と電氣的に接続するTFTはシングルゲート構造に限定されず、ゲート絶縁膜上に複数のゲート電極を有するマルチゲート構造であってもよい。

【0032】

上記構成において、第1の電極は、少なくとも前記半導体層と接続する配線（即ちドレイン電極）の上面の一部で接していることを特徴の一つとしている。第2の絶縁膜の開口を覆うように第1の電極を形成すると、第1の電極の形成位置が多少ずれても、接触面積を一定にでき、製造上のマージンを広くできる利点がある。

10

【0033】

また、接触面積を増大させて低抵抗化を図るために、配線上面に加えて側面とも接してもよく、上記構成において、前記第1の電極は、少なくとも前記半導体層と接続する配線の側面の一部で接することも特徴の一つとしている。

【0034】

また、接触面積が十分であれば、第1の電極が第2の絶縁膜の開口を覆う必要は特になく、覆わない場合には、第2の絶縁膜の開口で前記半導体層と接続する配線と前記隔壁が接する構造となる。

【0035】

また、上記構成において、前記第1の絶縁膜は、前記半導体層上に開口を有し、該開口で前記半導体層と配線とが接しており、前記第1の絶縁膜の開口は、前記第2の絶縁膜の開口と重なっていることも特徴の一つである。前記第1の絶縁膜の開口と前記第2の絶縁膜の開口との位置を重ねることにより、TFTと発光素子の接続に係る占有面積を縮小し、発光表示装置の開口率を向上させている。また、前記第1の絶縁膜の開口と前記第2の絶縁膜の開口との位置を重ねても、その窪んだ部分は隔壁で覆うため、短絡も防止することができる。

20

【0036】

また、第2の絶縁膜の膜厚は第1の絶縁膜よりも薄く、第2の絶縁膜の膜厚は、50nm以上300nm未満であることを特徴としている。さらに第2の絶縁膜の膜厚は、前記半導体層と接続する配線の膜厚よりも薄くすることが好ましい。

30

【0037】

また、第1の絶縁膜及び第2の絶縁膜は、酸化珪素膜、窒化珪素膜または酸化窒化珪素膜（ SiO_xN_y ）等の無機絶縁膜である。これらの無機絶縁膜は有機絶縁膜に比べて、発光素子の劣化の原因と考えられている水分や酸素などから発光素子を保護することができる。

【発明の効果】

【0038】

本発明により、オフ電流が低減し、トランジスタの特性が向上したマルチゲート構造のnチャネル型トランジスタを提供することができる。さらに、このマルチゲート構造のnチャネル型トランジスタを備える半導体装置の信頼性を向上させることができ、加えて半導体装置を備える電子機器の信頼性も向上させることができる。なお、オフ電流とは、反転層が形成されない極性の電位をトランジスタに与えたときに流れるリーク電流のことである。また、オフ電流とは、トランジスタをスイッチング素子とした場合、本来流れないはずのところで流れてしまう電流のことという。また、本発明により、pチャネル型トランジスタの特性不良（具体的には I_d-V_g カーブの立ち上がり領域に生じるコブ状の特性不良）を抑制することができる。

40

【0039】

また、配線上端部を膜厚300nm未満の無機絶縁膜で覆う本発明により、発光表示装置の製造において、配線形成時に生じた残渣が原因で生じる暗点とよばれる表示不良を低減することができる。なお、暗点とよばれる表示不良は、発光表示装置を表示させた際に

50

所望の発光輝度が得られず、他の画素と比べて発光輝度が低くなった画素を指している。

【発明を実施するための最良の形態】

【0040】

以下、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記述内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同じものを指す符号は異なる図面間で共通して用いる。

【0041】

(実施の形態1)

10

本発明は、マルチゲート構造を有するトランジスタに関するものである。以下、トランジスタはTFETとする。本発明の実施の形態について、図1を用いて具体的な説明を行う。

【0042】

図1(a)に、本発明のマルチゲート構造を有するTFETの断面図の例を示し、図1(b)に上面の模式図を示す。なお、図1(b)中の鎖線A-A'で切断した断面が、図1(a)の断面図に対応している。本実施の形態では、2つのゲート電極と、直列に接続された2つのチャンネル形成領域を有するTFETの例について説明する。

【0043】

本発明のTFETは、基板10上に第1の絶縁膜11が形成され、第1の絶縁膜11上には、半導体層12が形成されている。半導体層12上には第2の絶縁膜13が形成され、第2の絶縁膜13上に2つのゲート電極が形成されている。2つのゲート電極上には、層間絶縁膜として第3の絶縁膜16、及び第4の絶縁膜17が形成されている。

20

【0044】

半導体層12は、第2の絶縁膜13を介して2つのゲート電極の外側に位置するソース領域24、ドレイン領域25と、直列に接続され、且つソース領域24とドレイン領域25の間に位置する2つのチャンネル形成領域と、2つのチャンネル形成領域の間に位置する高濃度不純物領域23と、を含んでいる。なお、高濃度不純物領域23はソース領域24又は前記ドレイン領域25と同程度の濃度の不純物を含む領域である。

【0045】

本実施の形態では、2つのチャンネル形成領域において、ソース領域24に接するチャンネル形成領域を第1のチャンネル形成領域21とし、ドレイン領域25に接するチャンネル形成領域を第2のチャンネル形成領域22とする。2つのゲート電極においては、第2の絶縁膜13を介して第1のチャンネル形成領域21上に位置するゲート電極を第1のゲート電極14とし、第2の絶縁膜13を介して第2のチャンネル形成領域22上に位置するゲート電極を第2のゲート電極15とする。

30

【0046】

なお、本実施の形態では2つのゲート電極は2つの導電層31a、31b、及び32a、32bからなる積層構造としたが、本発明はこれに限らず、単層構造でも良いし、3層以上の導電層からなる積層構造としても良い。また、2つのゲート電極は、電氣的に接続しているものとする。

40

【0047】

第2の絶縁膜13、第3の絶縁膜16、及び第4の絶縁膜17には、ソース領域24、及びドレイン領域25のそれぞれに達するようにコンタクトホールが開口されている。そして、ソース領域24に達するコンタクトホール部にはソース電極18が形成され、ドレイン領域25に達するコンタクトホール部にドレイン電極19が形成されている。

【0048】

なお、本発明では2つのチャンネル形成領域21、22の間に位置する不純物領域を高濃度不純物領域23としたが、前記高濃度不純物領域23は第1のゲート電極14を有するTFET(第1のTFETとする)のソース領域24に対してはドレイン領域として機能する。一方、第2のゲート電極15を有するTFET(第2のTFET)のドレイン領域25に対し

50

てはソース領域として機能する。また、 n チャネル型TFETのオフ電流を低減するには、2つのチャネル形成領域21、22の間に位置する高濃度不純物領域23が非常に効果的である。

【0049】

本発明のTFETの特徴は、第1のチャネル形成領域21のチャネル長 L_1 が第2のチャネル形成領域22のチャネル長 L_2 よりも大きいことである。なお、チャネル長とは、ゲート電極下にできるソース領域とドレイン領域を結ぶ電流の通路であるチャネル形成領域の長さのことを意味し、本実施の形態のTFETは、ソース領域24と高濃度不純物領域23（ドレイン領域）との距離をチャネル長 L_1 、高濃度不純物領域23（ソース領域）とドレイン領域25との距離をチャネル長 L_2 とする。

10

【0050】

また、本発明のTFETは、チャネル長 L_1 、 L_2 において、 $L_1 > L_2$ （好ましくは $3 \times L_1 \geq 5 \times L_2$ 、より好ましくは $L_1 \geq 2 \times L_2$ ）という関係式が成り立つことも特徴の一つとしている。

【0051】

なお、本願発明において、チャネル長 L_1 、 L_2 は特定の数値範囲に限定されるものではないが、少なくともチャネル長 L_1 は、短チャネル効果を生じない長さを有し、具体的には L_1 は $2 \sim 8 \mu\text{m}$ （好ましくは $4 \sim 6 \mu\text{m}$ ）とする。また、チャネル長 L_2 は $1 \mu\text{m}$ 以上の長さを有し、 L_1 よりも $0.5 \mu\text{m}$ 以上短い長さとする。なお、チャネル幅は $1 \sim 50 \mu\text{m}$ （好ましくは $5 \sim 30 \mu\text{m}$ ）とする。

20

【0052】

また、チャネル長 L_1 は第1のゲート電極14（第1の導電層31a）とほぼ同じ長さとなり、チャネル長 L_2 は第2のゲート電極15（第1の導電層31b）とほぼ同じ長さとなる。したがって、本発明のTFETは、第1のゲート電極14のチャネル長方向の大きさが第2のゲート電極15よりも大きいことも特徴の一つとしている。

【0053】

また、本実施の形態では2つのゲート電極14、15と、直列に接続された2つのチャネル形成領域21、22を有するマルチゲート構造のTFETについて説明したが、本発明はこれに限らず、3つ以上のゲート電極と、直列に接続された3つ以上のチャネル形成領域を有するマルチゲート構造のTFETでも良い。なお、3つ以上のゲート電極を有する場合

30

【0054】

本実施の形態は、本発明のマルチゲート構造のTFETを適用することにより、TFETの特性不良を防ぐことができる。その結果、TFETの動作特性及び信頼性を向上することができる。

【0055】

なお、本発明のTFETは n チャネル型TFET、 p チャネル型TFETのどちらにも適用することができる。 n チャネル型TFETをマルチゲート構造とするとオフ電流を低減することができる。また、 p チャネル型TFETをマルチゲート構造とすると特性不良（具体的には $I_d - V_g$ カーブの立ち上がり領域に生じるコブ状の特性不良）の発生を防止することができる。

40

【0056】

（実施の形態2）

本実施の形態では、本発明のマルチゲート構造を有するTFETの作製方法の一例について、図2、図3を用いて説明する。

【0057】

まず、絶縁表面を有する基板100上に第1の絶縁膜101を形成する。絶縁表面を有する基板100としては、透光性を有する基板、例えばガラス基板、結晶化ガラス基板、もしくはプラスチック基板（ポリイミド、アクリル、ポリエチレンテレフタレート、ポリカーボネート、ポリアリレート、ポリエーテルスルホン等）を用いることができる。後に形

50

成されるTFTをトップエミッション型（上方射出型）の発光表示装置に適用する場合、或いは反射型の液晶表示装置に適用する場合にはセラミックス基板、半導体基板、金属基板（タンタル、タングステン、モリブデン等）等も用いることができる。なお、少なくともプロセス中に発生する熱に耐えうる基板を使用すればよい。

【0058】

第1の絶縁膜101としては、酸化珪素膜、窒化珪素膜または酸化窒化珪素膜（ SiO_xN_y ）等の絶縁膜を用い、これら絶縁膜を単層又は2以上の複数層で形成する。第1の絶縁膜101は、公知の手段（スパッタ法、LPCVD法、またはプラズマCVD法等）を用いて形成すればよい。本実施の形態では第1の絶縁膜101を単層としているが、もちろん2以上の複数層でも構わない。

10

【0059】

次いで、図2（a）に示すように、第1の絶縁膜101上に半導体層102を形成する。半導体層102としては、シリコンまたはシリコンゲルマニウム（ SiGe ）合金等を用いることができる。まず、非晶質半導体膜を公知の手段（スパッタ法、LPCVD法、またはプラズマCVD法等）により成膜した後、公知の結晶化処理（レーザー結晶化法、熱結晶化法、またはニッケルなどの触媒元素を用いた熱結晶化法等）を用いて結晶化し、結晶質半導体膜を得る。

【0060】

熱結晶化法により結晶質半導体膜を形成する場合には、加熱炉、レーザ照射、若しくはRTA（Rapid Thermal Annealing）、又はそれらを組み合わせて

20

【0061】

また、ニッケルなどの触媒元素を用いた熱結晶化法により結晶質半導体膜を形成する場合には、結晶化後にニッケルなどの触媒元素を除去するゲッタリング処理を行うことが好ましい。

【0062】

また、レーザー結晶化法により結晶質半導体膜を形成する場合には、連続発振型のレーザービーム（CWレーザービーム）やパルス発振型のレーザービーム（パルスレーザービーム）を用いることができる。ここで用いることができるレーザービームは、Arレーザ、Krレーザ、エキシマレーザなどの気体レーザ、単結晶のYAG、 YVO_4 、フォルステライト（ Mg_2SiO_4 ）、 YAlO_3 、 GdVO_4 、若しくは多結晶（セラミック）のYAG、 Y_2O_3 、 YVO_4 、 YAlO_3 、 GdVO_4 に、ドーパントとしてNd、Yb、Cr、Ti、Ho、Er、Tm、Taのうち1種または複数種添加されているものを媒質とするレーザ、ガラスレーザ、ルビーレーザ、アレキサンドライトレーザ、Ti：サファイアレーザ、銅蒸気レーザまたは金蒸気レーザのうち一種または複数種から発振されるものを用いることができる。このようなレーザービームの基本波、及びこれらの基本波の第2高調波から第4高調波のレーザービームを照射することで、大粒径の結晶を得ることができる。例えば、Nd： YVO_4 レーザ（基本波1064nm）の第2高調波（532nm）や第3高調波（355nm）を用いることができる。このときレーザのパワー密度は0.01～100MW/cm²程度（好ましくは0.1～10MW/cm²）が必要である。そして、走査速度を10～2000cm/sec程度として照射する。

30

40

【0063】

なお、単結晶のYAG、 YVO_4 、フォルステライト（ Mg_2SiO_4 ）、 YAlO_3 、 GdVO_4 、若しくは多結晶（セラミック）のYAG、 Y_2O_3 、 YVO_4 、 YAlO_3 、 GdVO_4 に、ドーパントとしてNd、Yb、Cr、Ti、Ho、Er、Tm、Taのうち1種または複数種添加されているものを媒質とするレーザ、Arイオンレーザ、またはTi：サファイアレーザは、連続発振をさせることが可能であり、Qスイッチ動作やモード同期などを行うことによって10MHz以上の発振周波数でパルス発振をさせることも可能である。10MHz以上の発振周波数でレーザービームを発振させると、半導体膜がレーザによって溶融してから固化するまでの間に、次のパルスが半導体膜に照射される。

50

従って、発振周波数が低いパルスレーザを用いる場合と異なり、半導体膜中において固液界面を連続的に移動させることができるため、走査方向に向かって連続的に成長した結晶粒を得ることができる。

【0064】

媒質としてセラミック（多結晶）を用いると、短時間かつ低コストで自由な形状に媒質を形成することが可能である。単結晶を用いる場合、通常、直径数mm、長さ数十mmの円柱状の媒質が用いられているが、セラミックを用いる場合はさらに大きいものを作ることが可能である。

【0065】

発光に直接寄与する媒質中のNd、Ybなどのドーパントの濃度は、単結晶中でも多結晶中でも大きくは変えられないため、濃度を増加させることによるレーザの出力向上にはある程度限界がある。しかしながら、セラミックの場合、単結晶と比較して媒質の大きさを著しく大きくすることができるため大幅な出力向上が期待できる。

【0066】

さらに、セラミックの場合では、平行六面体形状や直方体形状の媒質を容易に形成することが可能である。このような形状の媒質を用いて、発振光を媒質の内部でジグザグに進行させると、発振光路を長くとることができる。そのため、増幅が大きくなり、大出力で発振させることが可能になる。また、このような形状の媒質から射出されるレーザビームは射出時の断面形状が四角形状であるため、丸状のビームと比較すると、線状ビームに整形するのに有利である。このように射出されたレーザビームを、光学系を用いて整形することによって、短辺の長さ1mm以下、長辺の長さ数mm～数mの線状ビームを容易に得ることが可能となる。また、励起光を媒質に均一に照射することにより、線状ビームは長辺方向にエネルギー分布の均一なものとなる。

【0067】

この線状ビームを半導体膜に照射することによって、半導体膜の全面をより均一に熱処理することが可能になる。線状ビームの両端まで均一な熱処理が必要な場合は、その両端にスリットを配置し、エネルギーの減衰部を遮光するなどの工夫が必要となる。

【0068】

このようにして得られた強度が均一な線状ビームを用いて半導体膜を熱処理し、この半導体膜を用いて電子機器を作製すると、その電子機器の特性は、良好かつ均一である。

【0069】

次いで、必要があればTFEのしきい値を制御するために微量な不純物元素（ボロンまたはリン）のドーピングを、上記結晶化工程で得られた結晶質半導体膜に対して行う。ここでは、ジボラン（ B_2H_6 ）を質量分離しないでプラズマ励起したイオンドープ法を用いる。

【0070】

さらに、必要があればフッ酸を含むエッチャントで、結晶質半導体膜の表面を洗浄した後に、結晶質半導体膜上に第1のレジストマスクを形成する。そして、第1のレジストマスクを用いて結晶質半導体膜を所望の形状にパターニングし、半導体層102を形成する。この半導体層102は25～80nm（好ましくは30～70nm）の厚さに形成すればよい。その後、第1のレジストマスクを除去する。

【0071】

次いで、半導体層102を覆う第2の絶縁膜103（ゲート絶縁膜として機能する膜）を形成する。第2の絶縁膜103としては、酸化珪素膜、窒化珪素膜または酸化窒化珪素膜などの絶縁膜を用いることができる。第2の絶縁膜103は、プラズマCVD法またはスパッタ法または熱酸化法を用い、1～200nm（好ましくは50～120nm）の厚さに形成すればよい。

【0072】

次いで、第1のゲート電極107a及び第2のゲート電極107bを形成する。まず、図2（b）に示すように、第2の絶縁膜103上に第1の導電層104と、第2の導電層1

10

20

30

40

50

05を積層形成する。第1の導電層104及び第2の導電層105としては、タングステン(W)、クロム(Cr)、タンタル(Ta)、窒化タンタル(TaN)またはモリブデン(Mo)などの高融点金属、又は高融点金属を主成分とする合金もしくは化合物等の導電材料を用いることができる。なお、第1の導電層104及び第2の導電層105は同一の導電材料を用いても良いし、異なる導電材料を用いても良い。また、本実施の形態では2層の導電層の積層構造としたが、1層としても良いし、もしくは3層以上の積層構造としても良い。第1の導電層104及び第2の導電層105の作製方法としてはスパッタ法、蒸着法などの公知の方法を用い、第1の導電層104の膜厚は10~100nm(好ましくは20~50nm)、第2の導電層105の膜厚は100~600nm(好ましくは300~500nm)の範囲で形成すればよい。

10

【0073】

次いで、第2の導電層105上に第2のレジストマスク106a、106bを形成する。このとき、第2のレジストマスク106aは、後に第1のゲート電極107aが形成される第2の導電層105aの上方に形成し、第2のレジストマスク106bは、後に第2のゲート電極107bが形成される第2の導電層105bの上方に形成する。また、第2のレジストマスク106aは第2のレジストマスク106bよりも大きくなるように形成する。

【0074】

次いで、第2のレジストマスク106a、106bを用い、第1のエッチング処理および第2のエッチング処理を行う。第1のエッチング処理で図2(c)に示す形状とし、その後、第2のエッチング処理を行う。第1のエッチング処理および第2のエッチング処理に用いるエッチング法は適宜選択すれば良いが、エッチング速度を向上するにはECR(Electron Cyclotron Resonance)やICP(Inductively Coupled Plasma:誘導結合プラズマ)などの高密度プラズマ源を用いたドライエッチング装置を用いればよい。第1のエッチング処理および第2のエッチング処理のエッチング条件を適宜調節することで、第1の導電層104及び第2の導電層105の端部を所望のテーパ形状となるように形成することができる。以上の工程により、図2(d)に示すように、第1の導電層104a及び第2の導電層105aの積層からなる第1のゲート電極107aと、第1の導電層104b及び第2の導電層105bの積層からなる第2のゲート電極107bを形成する。その後、第2のレジストマスク106a、106bを除去する。

20

30

【0075】

次いで、第1のゲート電極107a及び第2のゲート電極107bをマスクとして、半導体層102への一導電型不純物の添加を行い、ソース領域108、ドレイン領域109、及び高濃度不純物領域110を形成する。このとき、図3(a)に示すように、一導電型不純物のイオンが添加されない領域は、チャネル形成領域となる。チャネル形成領域は半導体層102に複数、ここでは2つ形成される。本明細書では、第1のゲート電極107aの下に位置するチャネル形成領域を第1のチャネル形成領域111とし、第2のゲート電極107bの下に位置するチャネル形成領域を第2のチャネル形成領域112とする。また、第1のチャネル形成領域111と第2のチャネル形成領域112に挟まれる一導電型不純物領域を高濃度不純物領域110とする。なお、添加する一導電型不純物はp型不純物でもn型不純物でも構わない。

40

【0076】

ここで、本実施の形態で形成されるTFETの第1のチャネル形成領域111のチャネル長 L_1 は、第2のチャネル形成領域112のチャネル長 L_2 よりも大きくなるように形成する。具体的には、チャネル長 L_1 、 L_2 において、 $L_1 > L_2$ (好ましくは $3 \times L_1 \geq 5 \times L_2$ 、より好ましくは $L_1 \geq 2 \times L_2$)という関係式が成り立つように形成すればよい。

【0077】

また、チャネル長 L_1 、 L_2 は特定の数値範囲に限定されるものではなく、少なくともチ

50

チャネル長 L_1 が短チャネル効果を生じない長さを有していればよい。具体的には、 L_1 は $2 \sim 8 \mu\text{m}$ (代表的には $4 \sim 6 \mu\text{m}$) の範囲で形成するのが好ましい。また、チャネル長 L_2 は $1 \mu\text{m}$ 以上の長さを有し、 L_1 よりも $0.5 \mu\text{m}$ 以上短くなるように形成するのが好ましい。なお、チャネル幅は $1 \sim 50 \mu\text{m}$ (好ましくは $5 \sim 30 \mu\text{m}$) の範囲で形成すればよい。

【0078】

また、第1のチャネル形成領域111のチャネル長 L_1 、第2のチャネル形成領域112のチャネル長 L_2 において、 $L_1 > L_2$ (好ましくは $3 \times L_1 \geq 5 \times L_2$ 、より好ましくは $L_1 \geq 2 \times L_2$) という関係式が成り立つように、予め第1の導電層104a、104bの大きさ(形状)を設計しておく必要がある。

10

【0079】

また、半導体層102に低濃度不純物領域(以下、LDD領域とする)を形成してもよい。LDD領域は、第2の導電層105a、105bパターンを用いて自己整合的に形成してもよいし、新たなレジストマスクを用いて形成してもよい。

【0080】

次いで、層間絶縁膜を形成する。本実施の形態では、図3(b)に示すように、層間絶縁膜として、第3の絶縁膜113、第4の絶縁膜114を積層形成する。第3の絶縁膜113、第4の絶縁膜114としては、酸化珪素膜、窒化珪素膜または酸化窒化珪素膜(SiO_xN_y)等の無機絶縁膜、又は低誘電率の有機樹脂膜(感光性又は非感光性の有機樹脂膜)を用いることができる。また、シロキサンを含む膜を用いてもよい。なお、シロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される材料である。置換基としては、有機基(例えばアルキル基、芳香族炭化水素)が用いられる。また、置換基としてフルオロ基を用いてもよい。または置換基として、有機基と、フルオロ基とを用いてもよい。

20

【0081】

なお、第3の絶縁膜113、第4の絶縁膜114は同一の絶縁膜を用いても良いし、異なる絶縁膜を用いても良い。また、本実施の形態では層間絶縁膜を2層の積層構造としたが、1層としても良いし、もしくは3層以上の積層構造としても良い。

【0082】

第3の絶縁膜113、第4の絶縁膜114は、公知の手段(スパッタ法、LPCVD法、またはプラズマCVD法、スピニング法等)を用いて形成すればよく、有機樹脂膜やシロキサンを含む膜を用いる場合には塗布法を用いて形成すればよい。

30

【0083】

次いで、不純物元素が添加された半導体層の活性化および水素化を行う。なお、ニッケルなどの触媒元素を用いた熱結晶化法により結晶化させている場合、活性化と同時にチャネル形成領域におけるニッケルの低減を行うゲッタリングを行うこともできる。具体的には、活性化を行う際の熱処理によって、チャネル形成領域に含まれるニッケルをソース領域又はドレイン領域に移動させることができる。その結果、チャネル形成領域に含まれるニッケルを低減させることができる。

【0084】

次いで、第4の絶縁膜(層間絶縁膜)114上に第3のレジストマスクを形成する。そして、第3のレジストマスクを用いて第2の絶縁膜103、第3の絶縁膜113、及び第4の絶縁膜114を選択的にエッチングし、半導体層102(ソース領域108またはドレイン領域109)に達するコンタクトホールを形成する。その後、第3のレジストマスクを除去する。

40

【0085】

次いで、図3(c)に示すように、ソース電極115、ドレイン電極116を形成する。まず、第4の絶縁膜114(層間絶縁膜として機能する膜)上に金属積層膜を形成する。金属積層膜としては、金(Ag)、銀(Au)、銅(Cu)、ニッケル(Ni)、白金(Pt)、パラジウム(Pd)、イリジウム(Ir)、ロジウム(Rh)、タングステン(

50

W)、アルミニウム (Al)、タンタル (Ta)、モリブデン (Mo)、カドミウム (Cd)、亜鉛 (Zn)、鉄 (Fe)、チタン (Ti)、珪素 (Si)、ゲルマニウム (Ge)、ジルコニウム (Zr)、バリウム (Ba) 等の金属又はその合金、若しくはその金属窒化物、又はこれらの積層膜を用いることができる。

【0086】

本実施の形態では、金属積層膜を3層の積層構造とする。金属積層膜の作製方法としては、PVD法、CVD法、スパッタ法、蒸着法などの公知の方法を用い、積層膜全体の膜厚が500nm~2μm(好ましくは800nm~1μm)の範囲で形成すればよい。なお、好ましくは同じメタルスパッタ装置内で連続して形成するとよい。また、金属積層膜は1層又は2層としても良いし、もしくは4層以上の積層構造としても良い。

10

【0087】

次いで、金属積層膜上に第4のレジストマスクを形成する。そして、第4のレジストマスクを用いて選択的に金属積層膜をエッチングし、ソース領域108と電氣的に接続するソース電極115及びドレイン領域109と電氣的に接続するドレイン電極116を形成する。その後、第4のレジストマスクを除去する。

【0088】

なお、TF Tのソース電極115及びドレイン電極116と同時に接続電極(複数のTF T間を電氣的に接続する電極)や端子電極(外部電源と接続するための電極)も第4の絶縁膜114上に形成することができる。

【0089】

以上の工程で、マルチゲート構造を有するTF Tが完成する。

20

【0090】

(実施の形態3)

本実施の形態では、半導体層がLDD領域を含む場合について、図4を用いて説明する。半導体層以外は実施の形態1、又は実施の形態2と同じ構造であるので、説明は省略する。

【0091】

本実施の形態の図4(a)に示すTF Tの半導体層は、直列に接続された2つのチャンネル形成領域(第1のチャンネル形成領域401、第2のチャンネル形成領域402)と、2つのチャンネル形成領域の間に位置する高濃度不純物領域403と、第2の絶縁膜を介して2つのゲート電極(第1のゲート電極、第2のゲート電極)の外側に位置するソース領域404、ドレイン領域405と、ソース領域404と第1のチャンネル形成領域401との間、及び第1のチャンネル形成領域401と高濃度不純物領域403との間に位置する一対の第1のLDD領域406a、406bと、ドレイン領域405と第2のチャンネル形成領域402との間、及び第2のチャンネル形成領域402と高濃度不純物領域403の間に位置する一対の第2のLDD領域407a、407bとを含んでいる。なお、第1のゲート電極及び第2のゲート電極は電氣的に接続している。

30

【0092】

本実施の形態の図4(a)に示すTF Tにおいても、第1のチャンネル形成領域401のチャンネル長 L_1 は第2のチャンネル形成領域402のチャンネル長 L_2 よりも大きいことを特徴の一つとしている。すなわち、チャンネル長 L_1 、 L_2 において、 $L_1 > L_2$ (好ましくは $3 \times L_1 \geq 5 \times L_2$ 、より好ましくは $L_1 \geq 2 \times L_2$)という関係式が成り立つことを特徴の一つとしている。

40

【0093】

本実施の形態の図4(a)に示すTF Tでは、チャンネル長 L_1 は第1のゲート電極を形成する第2の導電層とほぼ同じ長さとなり、チャンネル長 L_2 は第2のゲート電極を形成する第2の導電層とほぼ同じ長さとなっているが、この限りではない。すなわち、第1のチャンネル形成領域401のチャンネル長 L_1 が第2のチャンネル形成領域402のチャンネル長 L_2 よりも大きければよい。

【0094】

50

さらに、本実施の形態の図4(a)に示すTF Tでは、第1のLDD領域406a、406bが第2の絶縁膜を介して第1のゲート電極に重なっている領域を有し、第2のLDD領域407a、407bが第2の絶縁膜を介して第2のゲート電極に重なっている領域を有することも特徴の一つとする。

【0095】

また、本実施の形態の図4(a)に示すTF Tでは、第1のLDD領域406a、406bは第1のゲート電極を形成する第2の導電層と重なっていない第1の導電層部分とほぼ同じ長さとなり、第2のLDD領域407a、407bは第2のゲート電極を形成する第2の導電層と重なっていない第1の導電層部分とほぼ同じ長さとなっているが、本発明はこれに限らない。すなわち、第1のLDD領域406a、406bが第1のゲート電極と重なる領域を有し、第2のLDD領域407a、407bが第2のゲート電極と重なる領域を有していればよい。

10

【0096】

また、本実施の形態の図4(a)に示すTF Tでは、第1のチャンネル形成領域401を挟んで一对の第1のLDD領域406a、406bを設けた場合について説明したが、本発明はこれに限らず、片側のみに設けても構わない。同様に、第2のLDD領域407a、407bにおいても片側のみに設けても構わない。

【0097】

なお、図4(a)において、前記高濃度不純物領域403の濃度は、前記ソース領域404又は前記ドレイン領域405と同程度のものとする。また、前記第1の低濃度不純物領域406a、406b及び前記第2の低濃度不純物領域407a、407bの濃度は、前記ソース領域404又は前記ドレイン領域405よりも低いものとする。

20

【0098】

次に、図4(b)を用いて、半導体層が2つのチャンネル形成領域411、412、高濃度不純物領域413、ソース領域414、ドレイン領域415、第1のLDD領域416a、416b、及び第2のLDD領域417a、417bを含む場合について説明する。図4(b)は、LDD領域を設ける位置以外は図4(a)と同じ構造であるので、説明は省略する。

【0099】

図4(b)では、第2の絶縁膜を介して第1のゲート電極の外側に第1のLDD領域416a、416bが位置し、同様に第2の絶縁膜を介して第2のゲート電極の外側に第2のLDD領域417a、417bが位置している。

30

【0100】

つまり、図4(b)では、第1のLDD領域416a、416bが第2の絶縁膜を介して第1のゲート電極に重ならない領域を有し、第2のLDD領域417a、417bが第2の絶縁膜を介して第2のゲート電極に重ならない領域を有することを特徴の一つとしている。なお、第1のゲート電極及び第2のゲート電極は電氣的に接続している。

【0101】

また、図4(b)では、第1のLDD領域416a、416bは第2の絶縁膜を介して第1のゲート電極の外側に形成されるため、チャンネル長 L_1 は第1のゲート電極(第1の導電層)とほぼ同じ長さとなる。同様に、第2のLDD領域417a、417bは第2の絶縁膜を介して第2のゲート電極の外側に形成されるため、チャンネル長 L_2 は第2のゲート電極(第1の導電層)とほぼ同じ長さとなっている。しかしながら、本発明はこの限りではなく、第1のチャンネル形成領域411のチャンネル長 L_1 が第2のチャンネル形成領域412のチャンネル長 L_2 よりも大きければよい。すなわち、チャンネル長 L_1 、 L_2 において、 $L_1 > L_2$ (好ましくは $3 \times L_1 \geq 5 \times L_2$ 、より好ましくは $L_1 \geq 2 \times L_2$) という関係式が成り立つことを特徴としていけばよい。

40

【0102】

また、図4(b)では、第1のチャンネル形成領域411を挟んで一对の第1のLDD領域406a、406bを設けた場合について説明したが、本発明はこれに限らず、片側のみに

50

に設けても構わない。同様に、第2のLDD領域407a、407bにおいても片側のみに設けても構わない。

【0103】

なお、図4(b)において、前記高濃度不純物領域413の濃度は、前記ソース領域414又は前記ドレイン領域415と同程度のものとする。また、前記第1の低濃度不純物領域416a、416b及び前記第2の低濃度不純物領域417a、417bの濃度は、前記ソース領域414又は前記ドレイン領域415よりも低いものとする。

【0104】

(実施の形態4)

本実施の形態では、同一基板上に画素部と、駆動回路部とが形成されたアクティブマトリクス型の発光装置の構造及び作製方法について、図5～図7を用いて説明する。 10

【0105】

また、各画素には、画素へのビデオ信号の入力・非入力を決めるスイッチング素子として機能する第1のTFT（以下、スイッチング用TFTとする）と、発光素子への電流を制御する第2のTFT（以下、駆動用TFTとする）が形成されている。さらに、駆動回路部には画素部を駆動するTFTが形成されている。なお、本発明のTFTは、画素部に形成される駆動用TFTに用いることも本実施の形態の特徴の一つとする。

【0106】

まず、基板500上に下地絶縁膜501a、501bを形成する。基板500側を表示面として発光を取り出す場合、基板500としては、光透過性を有するガラス基板や石英基板を用いればよい。また、プロセス中の処理温度に耐えうる耐熱性を有する光透過性のプラスチック基板を用いてもよい。また、基板500側とは逆の面を表示面として発光を取り出す場合、前述の基板の他にシリコン基板、金属基板またはステンレス基板の表面に絶縁膜を形成したものをを用いても良い。少なくともプロセス中に発生する熱に耐えうる基板を用いれば良く、本実施の形態では基板500としてガラス基板を用いる。なお、ガラス基板の屈折率は1.55前後である。 20

【0107】

下地絶縁膜501a、501bとしては、酸化珪素膜、窒化珪素膜または酸化窒化珪素膜などの絶縁膜を用い、これら絶縁膜を単層又は2以上の複数層で形成する。下地絶縁膜501a、501bはスパッタ法やLP-CVD法、プラズマCVD法等の公知の手段を用いて形成する。本実施の形態においては、下地絶縁膜501a、501bは組成比の異なる酸化窒化珪素膜の2層構造とする。1層目の下地絶縁膜501aとしては、プラズマCVD法を用い、 SiH_4 、 NH_3 、及び N_2O を反応ガスとして酸化窒化珪素膜（組成比 $\text{Si}=32\%$ 、 $\text{O}=27\%$ 、 $\text{N}=24\%$ 、 $\text{H}=17\%$ ）を140nm形成する。続いて、2層目の下地絶縁膜501bとして、プラズマCVD法を用い、 SiH_4 及び N_2O を反応ガスとして窒化酸化珪素膜（組成比 $\text{Si}=32\%$ 、 $\text{O}=59\%$ 、 $\text{N}=7\%$ 、 $\text{H}=2\%$ ）を100nmで形成する。なお、本実施の形態では下地絶縁膜を2層の積層構造としているが、もちろん単層でも3層以上の複数層でも構わない。また、基板の凹凸や、基板からの不純物拡散が問題にならないのであれば、特に下地絶縁膜を形成しなくてもよい。 30

【0108】

次いで、下地絶縁膜501b上に半導体層502、503、504、505を形成する。半導体層502～505は、まず非晶質半導体膜を公知の手段（スパッタ法、LP-CVD法、またはプラズマCVD法等）により成膜した後、公知の結晶化処理（レーザー結晶化法、熱結晶化法、またはニッケルなどの触媒元素を用いた熱結晶化法等）を行って結晶化し、結晶質半導体膜を得る。その後、第1のレジストマスクを形成して、結晶質半導体膜を所望の形状にパターニングして形成する。 40

【0109】

本実施の形態では、非晶質半導体膜の結晶化処理として、触媒元素としてニッケルを用いた熱結晶化法を用いる。以下に、ニッケルを用いた熱結晶化法により、結晶質半導体膜を形成する方法を説明する。 50

【0110】

まず、プラズマCVD法を用いて、下地絶縁膜上に膜厚が50nmの非晶質半導体膜を形成する。なお、プラズマCVD法を用いれば、下地絶縁膜と、非晶質半導体膜とを大気に触れることなく連続的に積層することができる。非晶質半導体膜の膜厚は、25～80nm（好ましくは30～70nm）の範囲で形成すればよい。また、非晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム（SiGe）合金などを用いればよい。

【0111】

次いで、非晶質半導体膜上にスピンコーティング法やディップコート法といった塗布法により、ニッケルを含む溶液（水溶液や酢酸溶液）を塗布し、ニッケルを含む膜を形成する。なお、触媒元素はニッケルに限らず、ゲルマニウム（Ge）、鉄（Fe）、パラジウム（Pd）、スズ（Sn）、鉛（Pb）、コバルト（Co）、白金（Pt）、銅（Cu）、金（Au）といった元素を用いても良い。ニッケルを含む膜は極めて薄いため、膜として観測できない場合もある。

10

【0112】

また、ニッケルを含む膜を形成する方法は塗布法に限らず、プラズマCVD法、スパッタ法、および蒸着法を用いてもよい。ここでは、スピンコート法により、重量換算で1～100ppm（好ましくは10ppm）のニッケルを含む酢酸ニッケル溶液を非晶質半導体膜上に一面に塗布する。

20

【0113】

また、酢酸ニッケル溶液を一面に塗布する前に、酸素雰囲気中での紫外光の照射、熱酸化法、ヒドロキシラジカルを含むオゾン水または過酸化水素による処理などを行い、非晶質半導体膜上に1～5nmの厚さの酸化膜を形成してもよい。このように薄い酸化膜を形成することにより、非晶質半導体膜と酢酸ニッケル溶液との濡れ性を高めることができ、ニッケルを含む水溶液を均一に非晶質半導体膜上に塗布することができる。

【0114】

次いで、ニッケルを含む水溶液を塗布した非晶質半導体膜を加熱処理することにより結晶化し、結晶質半導体膜を形成する。加熱処理としては、加熱炉、レーザ照射、若しくはレーザ光の代わりにランプから発する光の照射（以下、ランプアニールと表記する）、又はそれらを組み合わせて用いることができる。

30

【0115】

ここでは、2つの加熱処理を組み合わせて結晶化することとする。まず、RTAを用いる熱結晶化法により、650℃、6minで第1の加熱処理を行う。続いて、レーザ照射により、波長308nmの紫外線レーザを照射して、第2の加熱処理を行う。第2の加熱処理としてレーザ照射を行うことにより、結晶質半導体膜の結晶化率を高めることができる。

【0116】

次いで、得られた結晶質半導体膜内に存在するニッケル（触媒元素）のゲッタリングを行う。ゲッタリングによって、結晶質半導体膜中に存在するニッケルを除去することができる。

40

【0117】

まず、得られた結晶質半導体膜上に、アルゴンを含むゲッタリング用非晶質半導体膜を、プラズマCVD法を用いて30nmの厚さで形成する。なお、本実施の形態ではゲッタリング用非晶質半導体膜にアルゴンを添加しているが、これに限らず、希ガス元素、例えばヘリウム（He）、ネオン（Ne）、クリプトン（Kr）、キセノン（Xe）といった元素を添加しても良い。

【0118】

また、ゲッタリング用非晶質半導体膜は、プラズマCVD法に限らず、LPCVD法、スパッタ法等の公知の手段を用いて、膜厚20～250nmの範囲で形成すればよい。

【0119】

50

次いで、R T Aを用いる熱結晶化法を用いて、650℃、3minの加熱処理を行い、結晶質半導体膜中のニッケル（触媒元素）をゲッタリング用非晶質半導体膜にゲッタリングさせる。なお、ゲッタリングの際の加熱処理は、R T Aを用いる熱結晶化法その他、加熱炉、レーザ照射、ファーンズアニール法等の公知の加熱手段を用い、400～1000℃の範囲で加熱処理を行えばよい。

【0120】

また、ゲッタリング用非晶質半導体膜を形成する前にも、加熱処理を行ってもよい。ゲッタリング用非晶質半導体膜を形成する前に加熱処理を行うことで、結晶質半導体膜の歪みを低減させることができる。その結果、ゲッタリングの際にニッケル（触媒元素）がゲッタリングされやすくなる。

10

【0121】

次いで、ゲッタリング用非晶質半導体膜を選択的にエッチングして除去する。エッチングは、 ClF_3 によるプラズマを用いないドライエッチング、或いはフッ酸、ヒドラジン、又はテトラメチルアンモニウムハイドロオキシド（ $(\text{CH}_3)_4\text{NOH}$ ）を含む水溶液などアルカリ溶液によるウェットエッチング等で行なえばよい。

【0122】

次いで、T F Tのしきい値を制御するために、微量な不純物元素（ボロンまたはリン）のドーピングを結晶質半導体膜に対して行ってもよい。例えば、Pチャネル型T F Tを作製する場合、ジボラン（ B_2H_6 ）を質量分離しないでプラズマ励起したイオンドープ法を用いて、結晶質半導体膜に微量な不純物元素（ボロン）をドーピングすればよい。

20

【0123】

次いで、フッ酸を含むエッチャントで結晶質半導体膜表面の酸化膜を除去すると同時に結晶質半導体膜の表面を洗浄する。そして、結晶質半導体膜上に第1のレジストマスクを形成し、第1のレジストマスクを用いて所望の形状にパターニングし、半導体層502～505を形成する。

【0124】

次いで、図5（A）に示すように、半導体層502～505を覆うゲート絶縁膜506を形成する。ゲート絶縁膜506は、プラズマCVD法またはスパッタ法を用い、膜厚1～200nmの範囲で形成する。また、膜厚10nm～50nmと薄くして、シリコンを含む絶縁膜の単層または積層構造を形成した後にマイクロ波によるプラズマを用いた表面窒素処理を行って形成しても良い。本実施の形態では、プラズマCVD法を用いて、TEOS（Tetra-Ethyl-Ortho-Silicate）を反応ガスとして、酸化珪素膜を80nm形成する。

30

【0125】

次いで、ゲート電極を形成する。まず、ゲート絶縁膜506上に第1の導電層と、第2の導電層を積層形成する。第1の導電層及び第2の導電層はスパッタ法、蒸着法などの公知の方法を用いて形成すればよい。また、第1の導電層の膜厚は10～100nm、第2の導電層の膜厚は100～600nmの範囲で形成すればよい。本実施の形態では、ゲート絶縁膜506上に膜厚30nmの窒化タンタル膜、膜厚370nmのタングステン膜を順次積層し、以下に示す手順でパターニングを行って、各T F Tのゲート電極及び各配線を形成する。

40

【0126】

なお、ここでは導電層を窒化タンタル膜とタングステン膜との積層としたが、これに限らず、タングステン（W）、クロム（Cr）、タンタル（Ta）、窒化タンタル（Ta₂N₅）またはモリブデン（Mo）などの高融点金属、又は高融点金属を主成分とする合金もしくは化合物等の導電材料を用いればよい。また、2層構造に限定されず、例えば、膜厚50nmのタングステン膜、膜厚500nmのアルミニウムとシリコンの合金（Al-Si）膜、膜厚30nmの窒化チタン膜を順次積層した3層構造としてもよい。

【0127】

上記第1の導電層及び第2の導電層のエッチング（第1のエッチング処理および第2のエ

50

ッティング処理)にはICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用いると良い。ICPエッチング法を用い、エッチング条件(コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等)を適宜調節することによって、所望のテーパ形状に導電層をエッチングすることができる。

【0128】

次いで、第2の導電層上に、第2のレジストマスク507a、507b、507c、507d、507e、507fを形成する。この時、後に駆動用TFEの第1のゲート電極が形成される第2の導電層の上方に第2のレジストマスク507aを形成し、駆動用TFEの第2のゲート電極が形成される第2の導電層の上方に第2のレジストマスク507bを形成する。なお、第2のレジストマスク507aは第2のレジストマスク507bよりも大きくなるように形成する。

10

【0129】

次いで、第2のレジストマスク507a~507fを用いて、第1のエッチング処理、第2のエッチング処理を行う。なお、第1のエッチング処理は、第1のエッチング条件と第2のエッチング条件で行い、第2のエッチング処理は、第3のエッチング条件と第4のエッチング条件で行う。第1~第4のエッチング条件は適宜選択すれば良いが、エッチング速度を向上するにはECR(Electron Cyclotron Resonance)やICP(Inductively Coupled Plasma:誘導結合プラズマ)などの高密度プラズマ源を用いたドライエッチング装置を用いればよい。

20

【0130】

本実施の形態では、第1のエッチング条件として1Paの圧力でコイル型の電極に700WのRF(13.56MHz)電力を投入し、エッチング用ガスにCF₄とCl₂とO₂とを用い、それぞれのガス流量比を25:25:10(sccm)とし、基板側(試料ステージ)にも150WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。なお、基板側の電極面積サイズは、12.5cm×12.5cmであり、コイル型の電極面積サイズ(ここではコイルの設けられた石英円板)は、直径25cmの円板である。この第1のエッチング条件により、第2の導電層であるタングステン膜をエッチングして端部をテーパ形状とする。この後、第2のレジストマスク507a~507gを除去せずに第2のエッチング条件に変え、エッチング用ガスにCF₄とCl₂とを用い、それぞれのガス流量比を30:30(sccm)とし、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成して約30秒程度のエッチングを行う。基板側(試料ステージ)にも20WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄とCl₂を混合した第2のエッチング条件では第2の導電層であるタングステン膜及び第1の導電層である窒化タンタル膜とも同程度にエッチングされる。第1のエッチング処理が終わった段階での断面図を図5(B)に示す。この段階の第1の導電層を508a、508b、508c、508d、508e、508fとし、第2の導電層を509a、509b、509c、509d、509e、509fとする。

30

【0131】

次いで、第2のレジストマスク507a~507fを除去せずに、第2のエッチング処理を行う。ここでは、第3のエッチング条件としてエッチング用ガスにCF₄とCl₂とを用い、それぞれのガス流量比を30:30(sccm)とし、1Paの圧力でコイル型の電極に500WのRF(3.56MHz)電力を投入してプラズマを生成してエッチングを60秒行う。基板側(試料ステージ)にも20WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。この後、第2のレジストマスクを除去せずに第4のエッチング条件に変え、エッチング用ガスにCF₄とCl₂とO₂とを用い、それぞれのガス流量比を20:20:20(sccm)とし、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成して約20秒程度のエッチングを行う。基板側(試料ステージ)にも20WのRF(13.56MHz

40

50

z) 電力を投入し、実質的に負の自己バイアス電圧を印加する。

【0132】

第2のエッチング処理が終わった段階での断面図を図5(C)に示す。この段階で、第1の導電層510a、510b、510c、510d、510e、510fを下層とし、第2の導電層511a、511b、511c、511d、511e、511fを上層とするゲート電極512a、512b、512c、512d、512e、512fおよび配線が形成される。また、端子部には、第1の導電層を下層とし、第2の導電層を上層とする端子電極が形成される。

【0133】

次いで、第2のレジストマスク507a~507fを除去した後、n型を付与する不純物元素（リン、砒素等の周期表15族に属する元素）を半導体層502~505に添加するため、ゲート電極512a~512fをマスクとして全面にドーピングする第1のドーピング処理を行う。第1のドーピング処理はイオンドープ法、もしくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を $1.5 \times 10^{13} \text{ atoms/cm}^2$ とし、加速電圧を50~100kVとして行う。n型を付与する不純物元素として、典型的にはリン(P)または砒素(As)を用いる。図5(D)に示すように、この第1のドーピング工程によってゲート絶縁膜506を介してドーピングを行い、自己整合的に第1の不純物領域513(n⁻領域)を形成する。

【0134】

次いで、図6(A)に示すように、第3のレジストマスク514a~514dを形成した後、半導体層にn型を付与する不純物元素を高濃度にドーピングするための第2のドーピング処理を行う。第3のレジストマスク514a~514dは、画素部の駆動用(pチャンネル型)TFETを形成する半導体層502のチャンネル形成領域及びその周辺の領域と、画素部のスイッチング用(nチャンネル型)TFETの一部と、駆動回路部のpチャンネル型TFETを形成する半導体層505のチャンネル形成領域及びその周辺の領域と、を保護するために設ける。

【0135】

第2のドーピング処理のイオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{15} \text{ /cm}^2$ とし、加速電圧を60~100kVとして行う。この第2のドーピング工程によって、ゲート絶縁膜506を介してドーピングされてn型の不純物を高濃度に含む第2の不純物領域515(n⁺領域)と、第1の導電層510及びゲート絶縁膜506を介してドーピングされて第1の導電層510と重なる第3の不純物領域516(n⁻領域)とを形成する。なお、画素部のnチャンネル型TFETは、一部をマスクで覆ったため、チャンネル形成領域と第2の不純物領域515との間に、ゲート電極(第1の導電層510)と重ならない第1の不純物領域513(n⁻領域)が形成される。また、駆動回路部のnチャンネル型TFETにおいては、自己整合的にドーピングされて、ゲート電極(第1の導電層510)と重なる第3の不純物領域516と第2の不純物領域515とが形成される。なお、第3の不純物領域516と第2の不純物領域515との境界は、第1の導電層510の端部と概略一致する。

【0136】

次いで、第3のレジストマスク514a~514dを除去した後、新たに第4のレジストマスク517を形成し、半導体層502、505にp型を付与する不純物元素（ボロン等の周期表の13族に属する元素）を高濃度にドーピングするための第3のドーピング処理を行う。図6(B)に示すように、第4のレジストマスク517は、画素部のnチャンネル型(スイッチング用)TFETを形成する半導体層503のチャンネル形成領域及びその周辺の領域と、駆動回路部のnチャンネル型TFETを形成する半導体層504のチャンネル形成領域及びその周辺の領域と、を保護するために設ける。

【0137】

この第3のドーピング工程によって、ゲート絶縁膜506を介してドーピングされてp型の不純物を高濃度に含む第4の不純物領域518、519、520、521、522(p

10

20

30

40

50

⁺領域)と、第1の導電層510及びゲート絶縁膜506を介してドーピングされて第1の導電層510と重なる第5の不純物領域523a、523b、524a、524b、525a、525b(P⁻領域)を形成する。なお、第4の不純物領域518~522、及び第5の不純物領域523a、523b、524a、524b、525a、525bは、先の第1のドーピング工程でリン(P)が添加された領域(n⁺⁺領域)であるが、p型を付与する不純物元素の濃度がその1.5~3倍添加されていて、導電型はp型となっている。

【0138】

また、第1の導電層510a、510b、又は510fと重なる第5の不純物領域と第4の不純物領域との境界は、第1の導電層の端部と概略一致する。すなわち、例えば第5の不純物領域523aと第4の不純物領域518の境界は、第1の導電層510aの端部と概略一致する。さらに、第2の導電層511a、511b、又は511fと重なる第5の不純物領域とチャンネル形成領域との境界は、第2の導電層の端部と概略一致する。すなわち、例えば第5の不純物領域523aとチャンネル形成領域526の境界は、第2の導電層511aの端部と概略一致する。

10

【0139】

以上、第3のドーピング工程までで、本発明のTFETの構造を持つ駆動用TFETのソース領域(第4の不純物領域520)、ドレイン領域(第4の不純物領域518)、高濃度不純物領域(第4の不純物領域519)、2対のLDD領域(第5の不純物領域523a、523b、524a、524b)、第1のチャンネル形成領域527、及び第2のチャンネル形成領域526が形成される。

20

【0140】

なお、本実施の形態において、駆動用TFETの第1のチャンネル形成領域527のチャンネル長 L_1 は、第2のチャンネル形成領域526のチャンネル長 L_2 よりも大きくなるように形成する。少なくともチャンネル長 L_1 が短チャンネル効果を生じない長さを有していれば良いが、具体的には、チャンネル長 L_1 は2~8 μm (好ましくは4~6 μm)の範囲で形成すればよい。また、チャンネル長 L_2 は1 μm 以上の長さを有し、 L_1 よりも0.5 μm 以上短くなるように形成すればよい。また、チャンネル幅は1~50 μm (好ましくは5~30 μm)の範囲で形成すればよい。ここでは、チャンネル長 L_1 を3.5 μm 、チャンネル長 L_2 を1.5 μm で形成する。また、チャンネル幅を25 μm で形成する。

30

【0141】

また、本実施の形態では、チャンネル長 L_1 、 L_2 において、 $L_1 > L_2$ (好ましくは $3 \times L_1 \geq 5 \times L_2$ 、より好ましくは $L_1 \geq 2 \times L_2$)という関係式が成り立つように、予め第2の導電層511a、511bの大きさ(形状)を設計しておく必要がある。

【0142】

次いで、第4のレジストマスク517を除去する。以上までの工程で、画素部及び駆動回路部に形成されるそれぞれのTFETの半導体層502~505の一部にn型またはp型の導電型を有する不純物領域が形成される。

【0143】

次いで、層間絶縁膜を形成する。層間絶縁膜としては、酸化珪素膜、窒化珪素膜または酸化窒化珪素膜などの無機絶縁膜、有機樹脂膜、またはシロキサンを含む膜を用いることができ、これら絶縁膜を単層又は2以上の複数層で形成すればよい。なお、シロキサンは、シリコン(Si)と酸素(O)との結合で骨格構造が構成される材料である。置換基として、少なくとも水素を含む有機基(例えばアルキル基、芳香族炭化水素)が用いられる。また、置換基としてフルオロ基を用いてもよい。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。また、無機絶縁膜を形成する場合はスパッタ法、LPCVD法、またはプラズマCVD法等を用いて、有機樹脂膜やシロキサンを含む膜を形成する場合には塗布法を用いればよい。

40

【0144】

本実施の形態では、層間絶縁膜を組成比の異なる酸化窒化珪素膜の3層構造とする。第1

50

の層間絶縁膜 528a としては、プラズマ CVD 法を用い、 SiH_4 及び N_2O を反応ガスとして酸化窒化珪素膜（組成比 $\text{Si} = 32\%$ 、 $\text{O} = 59\%$ 、 $\text{N} = 7\%$ 、 $\text{H} = 2\%$ ）を 80nm で形成する。続いて、第 2 の層間絶縁膜 528b として、プラズマ CVD 法を用い、 SiH_4 、 NH_3 、及び N_2O を反応ガスとして酸化窒化珪素膜（組成比 $\text{Si} = 32\%$ 、 $\text{O} = 27\%$ 、 $\text{N} = 24\%$ 、 $\text{H} = 17\%$ ）を 140nm 形成する。続いて、第 3 の層間絶縁膜 528c として、プラズマ CVD 法を用い、 SiH_4 及び N_2O を反応ガスとして窒化酸化珪素膜（組成比 $\text{Si} = 32\%$ 、 $\text{O} = 59\%$ 、 $\text{N} = 7\%$ 、 $\text{H} = 2\%$ ）を 670nm で形成する。なお、本実施の形態では層間絶縁膜を 3 層の積層構造としているが、単層又は 2 層としてもよいし、もしくは 4 層以上の積層構造としてもよい。また、第 1 の層間絶縁膜 528a の膜厚は $50\text{nm} \sim 150\text{nm}$ （好ましくは $70 \sim 100\text{nm}$ ）、第 2 の層間絶縁膜 528b の膜厚は $100 \sim 200\text{nm}$ （好ましくは $130 \sim 160\text{nm}$ ）、第 3 の層間絶縁膜 528c の膜厚は $600\text{nm} \sim 800\text{nm}$ （好ましくは $650 \sim 750\text{nm}$ ）の範囲で形成すればよい。

10

【0145】

次いで、層間絶縁膜（第 3 の層間絶縁膜 528c）上に第 5 のレジストマスクを形成し、層間絶縁膜 528a～528c を選択的にエッチングして、半導体層 502～505 にそれぞれ達するコンタクトホールを形成する。そして、第 5 のレジストマスクを除去する。

【0146】

次いで、図 6（C）に示すように、スパッタ法により金属膜を積層した後、第 6 のレジストマスクを形成し、選択的に金属積層膜をエッチングして、TFET のソース電極またはドレイン電極として機能する電極 529、530、531、532、533、534、535、536 を形成する。また、後に端子電極となる電極 560 も同時に端子部に形成する。本実施の形態においては、金属膜は Ti 膜、Al 膜、Ti 膜の 3 層構造とする。具体的には、同じメタルスパッタ装置内で Ti 膜 100nm 、Al 膜 700nm 、Ti 膜 100nm を連続して形成する。なお、金属膜は 1 層又は 2 層としても良いし、もしくは 4 層以上の積層構造としても良く、積層膜全体の膜厚が $500\text{nm} \sim 2\mu\text{m}$ （好ましくは $800\text{nm} \sim 1\mu\text{m}$ ）となるように形成すればよい。ここで形成される電極 530 は駆動用 TFET のソース電極、電極 529 は駆動用 TFET のドレイン電極となる。その後、第 6 のレジストマスクを除去する。

20

【0147】

なお、この電極形成工程において、ネガレジストを用いて第 6 のレジストマスクを形成してもよい。ネガレジストは、光、電子、又はイオンエネルギー線が照射された部分（電極パターン）が硬化し、現像後、照射されていない部分が溶解除去される。すなわち、露光された部分がレジストパターン（電極パターン）として残る。したがって、意図しないところ（例えば画素電極形成領域など）に異物等がある場合にも、異物等が原因で金属膜がエッチングされず残存してしまうような不良を低減することができる。なお、本発明はこれに限らず、ポジレジストを用いて第 6 のレジストマスクを形成しても構わない。

30

【0148】

以上の工程で、同一基板上に、画素部に配置される駆動用 TFET 537、及びスイッチング用 TFET 538 と、駆動回路部に配置される n チャネル型 TFET 539、及び p チャネル型 TFET 540 が作製される。なお、本実施の形態では、本発明のマルチゲート構造の TFET は、駆動用 TFET 537 に適用されている。

40

【0149】

なお、本実施の形態において、画素部に形成される駆動用 TFET 537 は、2 つのゲート電極と、直列に接続された 2 つのチャネル形成領域を有する p チャネル型 TFET としたが、これに限らず、n チャネル型 TFET としてもよい。また、駆動用 TFET 537 は、上記で述べたように、第 1 のチャネル形成領域 527 が第 2 のチャネル形成領域 526 よりも大きいことを特徴としている。

【0150】

さらに、本実施の形態では駆動用 TFET 537 はゲート電極と重なる LDD 領域を有する

50

T F Tとしたが、これに限らず、L D D領域を有さないT F Tとしてもよい。

【0151】

また、本実施の形態では画素部に配置されるスイッチング用T F T 538を、2つのゲート電極と、直列に接続された2つのチャンネル形成領域を有するnチャンネル型T F Tを示したが、これに限らず、シングルゲート型のT F Tとしてもよいし、ゲート電極を3つ以上有するマルチゲート型のT F Tとしてもよい。また、nチャンネル型に限らず、pチャンネル型としてもよい。

【0152】

さらに、本実施の形態ではスイッチング用T F T 538はゲート電極と重ならないL D D領域を有するT F Tとしたが、これに限らず、L D D領域を有さないT F Tとしてもよい。

【0153】

また、駆動回路部552に配置されるnチャンネル型T F T 539はゲート電極と重なるL D D領域を備えたnチャンネル型T F Tであり、pチャンネル型T F T 540はゲート電極と重なるL D D領域を備えたpチャンネル型T F Tである。いずれもシングルゲート構造のT F Tである。駆動回路部552においては、nチャンネル型T F T 539とpチャンネル型T F T 540を相補的に接続することでC M O S回路を構成し、様々な種類の回路を実現することができる。また、必要であれば、マルチゲート構造のT F Tとすることもできる。

【0154】

次いで、第1の電極541（有機発光素子の陽極、又は陰極）を形成する。また、後に端子電極となる電極561も同時に形成する。第1の電極541、及び電極561としては、仕事関数の大きい材料、例えば、ニッケル（N i）、タングステン（W）、クロム（C r）、白金（P t）、亜鉛（Z n）、スズ（S n）、インジウム（I n）またはモリブデン（M o）から選ばれた元素、または前記元素を主成分とする合金材料、例えば窒化チタン（T i N）、窒化珪素チタン（T i S i_x N_y）、珪化タングステン（W S i_x）、窒化タングステン（W N_x）、窒化珪化タングステン（W S i_x N_y）、窒化ニオブ（N b N）を用いて、単層膜またはそれらの積層膜を総膜厚100nm～800nmの範囲で用いればよい。

【0155】

具体的には、第1の電極541、及び電極561として、透光性を有する導電性材料からなる透明導電層を用いればよく、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物などを用いることができる。勿論、インジウム錫酸化物（I T O）、インジウム亜鉛酸化物（I Z O）、酸化ケイ素を添加したインジウム錫酸化物（I T S O）なども用いることができる。

【0156】

また、各透光性を有する導電性材料の、組成比例を述べる。酸化タングステンを含むインジウム酸化物の組成比は、酸化タングステン1.0wt%、インジウム酸化物99.0wt%とすればよい。酸化タングステンを含むインジウム亜鉛酸化物の組成比は、酸化タングステン1.0wt%、酸化亜鉛0.5wt%、インジウム酸化物98.5wt%とすればよい。酸化チタンを含むインジウム酸化物は、酸化チタン1.0wt%～5.0wt%、インジウム酸化物99.0wt%～95.0wt%とすればよい。インジウム錫酸化物（I T O）の組成比は、酸化錫10.0wt%、インジウム酸化物90.0wt%とすればよい。インジウム亜鉛酸化物（I Z O）の組成比は、酸化亜鉛10.7wt%、インジウム酸化物89.3wt%とすればよい。酸化チタンを含むインジウム錫酸化物の組成比は、酸化チタン5.0wt%、酸化錫10.0wt%、インジウム酸化物85.0wt%とすればよい。上記組成比は例であり、適宜その組成比の割合は設定すればよい。

【0157】

次いで、塗布法により絶縁膜（例えば、有機樹脂膜）を形成し、得られた絶縁膜をパターンニングして、第1の電極541の端部を覆う絶縁物542（バンク、隔壁、障壁、土手な

どと呼ばれる)を形成する。

【0158】

次いで、有機化合物を含む層543を、蒸着法または塗布法などを用いて形成する。

【0159】

有機化合物を含む層543は、積層構造であり、有機化合物を含む層543の一層としてバッファ層を用いてもよい。バッファ層は、有機化合物と無機化合物とを含む複合材料層であり、前記無機化合物は、前記有機化合物に対して電子受容性を示す。バッファ層は、有機化合物と無機化合物とを含む複合材料であり、前記無機化合物は、酸化チタン、酸化ジルコニウム、酸化ハフニウム、酸化バナジウム、酸化ニオブ、酸化タンタル、酸化クロム、酸化モリブデン、酸化タングステン、酸化マンガン、および酸化レニウムからなる群より選ばれるいずれか一または複数である。バッファ層は、ホール輸送性を有する有機化合物と、無機化合物とを含む複合材料層である。

【0160】

例えば、第1の電極541と第2の電極の間には有機化合物を含む積層(バッファ層と有機化合物層の積層)を設けることが好ましい。バッファ層は、金属酸化物(酸化モリブデン、酸化タングステン、酸化レニウムなど)と有機化合物(ホール輸送性を有する材料(例えば4, 4'-ビス[N-(3-メチルフェニル)-N-フェニルアミノ]ビフェニル(略称:TPD)、4, 4'-ビス[N-(1-ナフチル)-N-フェニルアミノ]ビフェニル(略称: α -NPD)、4, 4'-ビス{N-[4-(N,N-ジメトリルアミノ)フェニル]-N-フェニルアミノ}ビフェニル(略称:DNTPD)など))とを含む複合層である。また、有機化合物を含む層543は、例えば、トリス(8-キノリノラト)アルミニウム(略称:Alq₃)や、トリス(4-メチル-8-キノリノラト)アルミニウム(略称:Almq₃)や、 α -NPDなどを用いることができる。また、有機化合物を含む層543は、ドーパント材料を含ませてもよく、例えば、N,N'-ジメチルキナクリドン(略称:DMQd)や、クマリン6や、ルブレンなどを用いることができる。第1の電極と第2の電極の間に設けられる有機化合物を含む層543は、抵抗加熱法などの蒸着法によって形成すればよい。

【0161】

バッファ層の膜厚を調節することによって、第1の電極541と有機化合物を含む層543との距離を制御し、発光効率を高めることができる。バッファ層の膜厚を調節することによって、各発光素子からの発光色がきれいに表示された優れた映像を表示でき、低消費電力化された発光装置を実現することができる。

【0162】

次いで、第2の電極544(有機発光素子の陰極、又は陽極)を形成する。第2の電極544としては、MgAg、MgIn、AlLiなどの合金、または透明導電層(ITOなど)を用いる。

【0163】

次いで、マスクを用いた蒸着法またはスパッタ法により保護層545を形成する。保護層545は、第2の電極544を保護する。保護層545を通過させて発光素子の発光を取り出す場合、透明な材料とすることが好ましい。なお、必要でなければ保護層545は設けなくともよい。

【0164】

次いで、封止基板548をシール材546で貼り合わせて発光素子を封止する。即ち、発光表示装置は、表示領域の外周をシール材546で囲み、基板500及び封止基板548で封止される。本実施の形態では、シール材546を端子部に設けたが、一部が駆動回路部に掛かるように設けてもよく、少なくとも表示領域の外周を囲むように設ければよい。なお、シール材546で囲まれた領域には充填材547を充填する。或いは、シール材546で囲まれた領域には乾燥した不活性ガスを充填する。

【0165】

最後にFPC550を異方性導電層549により公知の方法で端子部553の端子電極と

貼りつける。(図7)なお、端子電極は、第1の電極541と同じ工程で得られる電極561を最上層に用いることが好ましく、ソース電極またはドレイン電極と同時に形成された電極560上に形成する。

【0166】

また、図8は、画素部の上面図を示しており、図8中の鎖線E-Fで切断した断面が、図7における画素部551の駆動用TFT537の断面構造に対応している。また、図8中の鎖線M-Lで切断した断面が、図7における画素部のスイッチング用TFT538の断面構造に対応している。なお、図8中の680で示した実線は、絶縁物542の周縁を示している。ただし、図8においては、第2の導電層のみを図示しており、第1の導電層は図示していない。なお、図7、8については本発明の発光装置の一例を示した図であり、レイアウトにより配線等は適宜変更されるものとする。

10

【0167】

以上の工程によって、画素部551と駆動回路部552と端子部553とを同一基板上に形成することができる。

【0168】

本実施の形態において、画素部の駆動用TFT537、及びスイッチング用TFT538をマルチゲート構造としている。

【0169】

また、発光装置において、発光装置の発光表示面は、一面または両面であってもよい。第1の電極541と第2の電極544とを透明導電層で形成した場合、発光素子の光は、基板500及び封止基板548を通過して両側に取り出される。この場合、封止基板548や充填材547は透明な材料を用いることが好ましい。

20

【0170】

また、第2の電極544を金属膜で形成し、第1の電極541を透明導電層で形成した場合、発光素子の光が、基板500のみを通過して一方に取り出される構造、即ちボトムエミッション型となる。この場合、封止基板548や充填材547は透明な材料を用いなくともよい。

【0171】

また、第1の電極541を金属膜で形成し、第2の電極544を透明導電層で形成した場合、発光素子の光は、封止基板548のみを通過して一方に取り出される構造、即ちトップエミッション型となる。この場合、基板500は透明な材料を用いなくともよい。

30

【0172】

また、第1の電極541及び第2の電極544は仕事関数を考慮して材料を選択する必要がある。但し第1の電極541及び第2の電極544は、画素構成によりいずれも陽極、又は陰極となりうる。駆動用TFT537の極性がpチャネル型である場合、第1の電極541を陽極、第2の電極544を陰極とするとよい。また、駆動用TFT537の極性がnチャネル型である場合、第1の電極541を陰極、第2の電極544を陽極とすると好ましい。

【0173】

また、フルカラー表示する場合、本実施の形態の画素部における等価回路図を図9に示す。図9中のTFT938が図7のスイッチング用TFT538に対応しており、TFT937が駆動用TFT537に対応している。TFT938は、ゲート配線901とソース配線902の交点付近に配置される。赤色を表示する画素は、TFT937のドレイン領域に赤色を発光する発光素子903Rが接続され、ソース領域にはアノード側電源線(R)904Rが設けられている。また、発光素子903Rには、カソード側電源線900が設けられている。また、緑色を表示する画素は、TFT937のドレイン領域に緑色を発光する発光素子903Gが接続され、ソース領域にはアノード側電源線(G)904Gが設けられている。また、青色を表示する画素は、駆動用TFT937のドレイン領域に青色を発光する発光素子903Bが接続され、ソース領域にはアノード側電源線(B)904Bが設けられている。それぞれ色の異なる画素にはEL材料に応じて異なる電圧をそれ

40

50

ぞれ印加する。

【0174】

また、発光装置において、画面表示の駆動方法は特に限定されず、例えば、点順次駆動方法や線順次駆動方法や面順次駆動方法などを用いればよい。代表的には、線順次駆動方法とし、時分割階調駆動方法や面積階調駆動方法を適宜用いればよい。また、発光装置のソース線に入力する映像信号は、アナログ信号であってもよいし、デジタル信号であってもよく、適宜、映像信号に合わせて駆動回路などを設計すればよい。

【0175】

さらに、ビデオ信号がデジタルの発光装置において、画素に入力されるビデオ信号が定電圧（CV）のものと、定電流（CC）のものとがある。ビデオ信号が定電圧のもの（CV）には、発光素子に印加される信号の電圧が一定のもの（CVCV）と、発光素子に印加される信号の電流が一定のもの（CVCC）とがある。また、ビデオ信号が定電流のもの（CC）には、発光素子に印加される信号の電圧が一定のもの（CCCV）と、発光素子に印加される信号の電流が一定のもの（CCCC）とがある。

【0176】

また、発光装置において、静電破壊防止のための保護回路（保護ダイオードなど）を設けてもよい。

【0177】

以上で述べたように、発光装置の駆動用のTF T 5 3 7にマルチゲート構造のpチャネル型TF Tを適用することで、駆動用のTF T 5 3 7の特性不良（具体的にはId-Vgカーブの立ち上がり領域に生じるコブ状の特性不良）を防ぐことができる。その結果、発光装置の「黒浮き現象」を防ぐことができる。なお、「黒浮き現象」とは、黒色表示される部分（電流を流さない部分）に電流が流れ、発光してしまう現象をいう。発光装置に「黒浮き現象」が生じると、表示部分において黒色が正しく表示されないため、色のコントラスト、階調表現、色再現性全般に大きく影響を与えてしまい、正確な映像再現が困難になりうる。本明細書に開示したマルチゲート構造のTF Tを用いることで、色のコントラスト、階調表現、色再現性の向上した発光装置を得ることができる。

【0178】

（実施の形態5）

本実施の形態では、他の発光装置及び作製方法の例について、図10を用いて説明する。なお、実施の形態4の図6（C）で示した構造及び作製方法までは同じであるので、説明は省略する。

【0179】

図10において、層間絶縁膜528a～528cを介して半導体層502～505と電氣的に接続され、ソース電極またはドレイン電極として機能する電極529～536、及び端子電極となる電極560が形成されている。

【0180】

次いで、第3の層間絶縁膜528c及び電極529～536、560上に、第4の層間絶縁膜700を形成する。第4の層間絶縁膜700としては、酸化珪素膜、窒化珪素膜または酸化窒化珪素膜などの無機絶縁膜を用いることができ、これらの絶縁膜を単層又は2以上の複数層で形成すればよい。また、無機絶縁膜を形成する方法としてはスパッタ法、LPCVD法、またはプラズマCVD法等を用いればよい。

【0181】

本実施の形態では、プラズマCVD法を用い、無機絶縁膜からなる第4の層間絶縁膜700を100nm～150nmで形成する。なお、第4の層間絶縁膜700の膜厚は50nm～500nm（好ましくは100nm～300nm）の範囲で形成すればよい。図10に示す薄い無機絶縁膜からなる第4の層間絶縁膜700を設けることによって配線による段差や配線形成時に生じた残渣を覆い、短絡を防ぐことで発光装置の信頼性を向上させることができる。

【0182】

次いで、第４の層間絶縁膜７００上にレジストマスクを形成し、選択的にエッチングして、駆動用ＴＦＴのドレイン電極５２９、及び電極５６０に達するコンタクトホールを形成する。そして、レジストマスクを除去する。

【０１８３】

次いで、第１の電極５４１、及び端子電極となる電極５６１を形成する。以下の発光装置の構造及び作製方法は実施の形態４と同様となる。

【０１８４】

また、本実施の形態では、シール材７４６は一部が駆動回路部に掛かるように設けている。シール材７４６で囲まれた領域には充填材を充填してもよいし、乾燥した不活性ガスを充填してもよい。なお、シール材７４６は表示領域の外周を囲むように設ければよく、端子部のみに設けても構わない。

10

【０１８５】

本実施の形態のように、第４の層間絶縁膜７００を形成することで、駆動回路部のＴＦＴや配線等を露出することを防ぎ、保護することができる。

【０１８６】

（実施の形態６）

本実施の形態では、他の発光装置及び作製方法の例について、図１１を用いて説明する。なお、第２の層間絶縁膜の構造及び作製方法以外は実施の形態５と同じであるので、説明は省略する。なお、本実施の形態では、画素部のみを説明する。

【０１８７】

図１１において、層間絶縁膜５２８ａ～５２８ｃを介して半導体層５０２、５０３と電気的に接続され、ソース電極またはドレイン電極として機能する電極５２９～５３２が形成されている。

20

【０１８８】

次いで、第３の層間絶縁膜５２８ｃ及び電極５２９～５３２上に、第４の層間絶縁膜、及び第５の層間絶縁膜を形成する。第４の層間絶縁膜８００としては、酸化珪素膜、窒化珪素膜または酸化窒化珪素膜などの無機絶縁膜を用いることができ、これらの絶縁膜をスパッタ法、ＬＰＣＶＤ法、またはプラズマＣＶＤ法等を用いればよい。なお、第４の層間絶縁膜８００を複数層の無機絶縁膜としてもよい。

【０１８９】

次いで、第５の層間絶縁膜８０１としては、シロキサンを含む膜、または低誘電率の有機樹脂膜（感光性又は非感光性の有機樹脂膜）などを用いることができ、これらの膜を塗布法を用いて形成すればよい。なお、シロキサンは、シリコン（Ｓｉ）と酸素（Ｏ）との結合で骨格構造が構成される材料である。置換基としては、有機基（例えばアルキル基、芳香族炭化水素）が用いられる。また、置換基としてフルオロ基を用いてもよい。または置換基として、有機基と、フルオロ基とを用いてもよい。

30

【０１９０】

また、第５の層間絶縁膜８０１は画素部のみに設ける。すなわち、駆動回路部及び端子部では、第４の層間絶縁膜８００のみとなる。したがって、駆動回路部及び端子部の構造は、図１０（実施の形態４）と同じとなる。

40

【０１９１】

本実施の形態では、第４の層間絶縁膜８００としては、プラズマＣＶＤ法を用い、酸化窒化珪素膜を１００ｎｍ～１５０ｎｍで形成する。第５の層間絶縁膜８０１としては、塗布法を用い、シロキサンを含む膜を８００ｎｍで形成する。なお、第４の層間絶縁膜８００の膜厚は５０ｎｍ～５００ｎｍ（好ましくは１００ｎｍ～３００ｎｍ）の範囲で形成すればよい。また、第５の層間絶縁膜８０１の膜厚は５００ｎｍ～１μｍ（好ましくは７００ｎｍ～９００ｎｍ）の範囲で形成すればよい。

【０１９２】

次いで、第５の層間絶縁膜８０１上にレジストマスクを形成し、選択的にエッチングして、駆動用ＴＦＴのドレイン電極５２９に達するコンタクトホールを形成する。そして、レ

50

ジストマスクを除去する。

【0193】

次いで、第1の電極541を形成する。以下の発光装置の構造及び作製方法は実施の形態4、及び実施の形態5と同様となる。

【0194】

本実施の形態のように、シロキサンを含む膜、又は有機樹脂膜からなる第5の層間絶縁膜801を形成することで、TFTによる段差を平坦化することができる。後に形成される有機化合物を含む層543は非常に薄いため、段差が存在することによって発光不良を起こす場合がある。したがって、有機化合物を含む層543をできるだけ平坦な面に形成しうよう第1の電極541を形成する前に平坦化しておくことは、非常に効果的である。

10

【0195】

(実施の形態7)

ここでは、図12を用いて、発光表示パネルにFPCや、駆動用の駆動ICを実装する例について説明する。

【0196】

図12(a)に示す図は、FPC1009を4カ所の端子部1008に貼り付けた発光装置の上面図の一例を示している。基板1010上には発光素子及びTFTを含む画素部1002と、TFTを含むゲート側駆動回路1003と、TFTを含む第1の駆動回路1001とが形成されている。TFTの活性層は結晶構造を有する半導体膜で構成されており、同一基板上にこれらの回路を形成している。従って、システムオンパネル化を実現したEL表示パネルを作製することができる。

20

【0197】

なお、基板1010はコンタクト部以外において保護膜で覆われており、保護膜上に光触媒機能を有する物質を含む下地層が設けられている。

【0198】

また、画素部を挟むように2カ所に設けられた接続領域1007は、発光素子の第2の電極(陰極)を下層の配線とコンタクトさせるために設けている。なお、発光素子の第1の電極(陽極)は画素部に設けられたTFTと電氣的に接続している。

【0199】

また、封止基板1004は、画素部および駆動回路を囲むシール材1005、およびシール材1005に囲まれた充填材料によって基板1010と固定されている。また、透明な乾燥剤を含む充填材料を充填する構成としてもよい。また、画素部と重ならない領域に乾燥剤を配置してもよい。

30

【0200】

なお、本実施の形態では、シール材1005を一部がTFTを含むゲート側駆動回路1003と重なるように設けているが、表示領域の外周を囲むように設ければよい。すなわち、ゲート側駆動回路1003と重ならないように設けても構わない。

【0201】

また、図12(a)に示した構造は、比較的大きなサイズ(例えば対角4.3インチ)の発光装置で好適な例を示したが、図12(b)は、狭額縁化させた小型サイズ(例えば対角1.5インチ)で好適なCOG方式を採用した例である。

40

【0202】

図12(b)において、基板1110上に駆動IC1101が実装され、駆動ICの先に配置された端子部1108にFPC1109を実装している。実装される駆動IC1101は、生産性を向上させる観点から、一辺が300mmから1000mm以上の矩形状の基板上に複数個作り込むとよい。つまり、基板上に駆動回路部と入出力端子を一つのユニットとする回路パターンを複数個形成し、最後に分割して駆動ICを個別に取り出せばよい。駆動ICの長辺の長さは、画素部の一辺の長さや画素ピッチを考慮して、長辺が15~80mm、短辺が1~6mmの矩形状に形成してもよいし、画素領域の一辺、又は画素部の一辺と各駆動回路の一辺とを足した長さに形成してもよい。

50

【0203】

駆動ICのICチップに対する外形寸法の優位性は長辺の長さであり、長辺が15～80mmで形成された駆動ICを用いると、画素部に対応して実装するのに必要な数がICチップを用いる場合よりも少なく済み、製造上の歩留まりを向上させることができる。また、ガラス基板上に駆動ICを形成すると、母体として用いる基板の形状に限定されないため生産性を損なうことがない。これは、円形のシリコンウエハからICチップを取り出す場合と比較すると、大きな優位点である。

【0204】

また、TAB方式を採用してもよく、その場合は、複数のテープを貼り付けて、該テープに駆動ICを実装すればよい。COG方式の場合と同様に、単数のテープに単数の駆動ICを実装してもよく、この場合には、強度の問題から、駆動ICを固定するための金属片等を一緒に貼り付けるとよい。

10

【0205】

また、画素部1102と駆動IC1101の間に設けられた接続領域1107は、発光素子の第2の電極を下層の配線とコンタクトさせるために設けている。なお、発光素子の第1の電極は画素部に設けられたTFEと電氣的に接続している。

【0206】

また、封止基板1104は、画素部1102を囲むシール材1105、およびシール材に囲まれた充填材料によって基板1110と固定されている。

【0207】

また、画素部のTFEの活性層として非晶質半導体膜を用いる場合には、駆動回路を同一基板上に形成することは困難であるため、大きなサイズであっても図12(b)の構成となる。

20

【0208】

ここで、接続領域1007を図13を用いて説明する。接続領域1007以外は、実施の形態4、実施の形態5、又は実施の形態6と同じであるので、説明は省略する。

【0209】

図13において、接続領域1007には、ゲート電極512a～512dと同じ材料で導電層1301が形成されている。

【0210】

次いで、層間絶縁膜528a～528cが形成された後、ソース電極またはドレイン電極として機能する電極529～532と同じ材料で配線1302が形成されている。

30

【0211】

次いで、第3の層間絶縁膜528c、及び配線1302上に、第4の層間絶縁膜1303を形成する。第4の層間絶縁膜1303としては、酸化珪素膜、窒化珪素膜または酸化窒化珪素膜などの無機絶縁膜を用いることができ、これらの絶縁膜を単層又は2以上の複数層で形成すればよい。また、無機絶縁膜を形成する方法としてはスパッタ法、LP-CVD法、またはプラズマCVD法等を用いればよい。さらに、無機絶縁膜上にシロキサンを含む膜、または低誘電率の有機樹脂膜を塗布法にて形成し、積層構造としてもよい。なお、必要でなければ第4の層間絶縁膜1303は設けなくともよい。

40

【0212】

次いで、第4の層間絶縁膜1303上にレジストマスクを形成し、選択的にエッチングして、配線1302に達するコンタクトホールを形成する。そして、レジストマスクを除去する。

【0213】

次いで、画素部に第1の電極を形成した後、塗布法により絶縁膜（例えば、有機樹脂膜）を形成し、得られた絶縁膜をパターニングして、第1の電極541の端部を覆う絶縁物1304（バンク、隔壁、障壁、土手などと呼ばれる）を形成する。この時、配線1302は露出するように絶縁膜をパターニングする。

【0214】

50

次いで、画素部に有機化合物を含む層 543 を形成した後、第 2 の電極 1305 を形成する。この時、接続領域 1007 では、配線 1302 と第 2 の電極 1305 が電氣的に接続（コンタクト）する。第 2 の電極 1305 としては、MgAg、MgIn、AlLi などの合金、または透明導電層（ITO など）を用いればよい。

【0215】

次いで、第 2 の電極 1305 上に、保護層 1306 を形成する。保護層 1306 を通過させて発光素子の発光を取り出す場合、透明な材料とすることが好ましい。なお、必要でなければ保護層 1306 は設けなくともよい。以下の発光装置の構造及び作製方法は、実施の形態 4、実施の形態 5、又は実施の形態 6 と同様となる。

【0216】

なお、接続領域 1107 も接続領域 1007 と同様となる。

【0217】

なお、ここでは表示装置としてアクティブマトリクス型の発光装置の例を示したが、アクティブマトリクス型の液晶表示装置にも適用できることはいうまでもない。アクティブマトリクス型の液晶表示装置においては、マトリクス状に配置された画素電極を駆動することによって、画面上に表示パターンが形成される。詳しくは選択された画素電極と該画素電極に対応する対向電極との間に電圧が印加されることによって、素子基板に設けられた画素電極と対向基板に設けられた対向電極との間に配置された液晶層の光学変調が行われ、この光学変調が表示パターンとして観察者に認識される。対向基板と素子基板は、等間隔で配置され、液晶材料が充填されている。液晶材料は、シール材を閉パターンとして気泡が入らないように減圧下で液晶の滴下を行い、両方の基板を貼り合わせる方法を用いてもよいし、開口部を有するシールパターンを設け、TFB 基板を貼りあわせた後に毛細管現象を用いて液晶を注入するディップ式（汲み上げ式）を用いてもよい。

【0218】

また、カラーフィルタを用いずに、光シャッターを行い、RGB の 3 色のバックライト光源を高速で点滅させるフィールドシーケンシャル方式の駆動方法を用いた液晶表示装置にも本発明は、適用できる。

【0219】

以上の様に、実施の形態 1 乃至 4 のいずれか一の作製方法または構成を用いて、様々な電子機器を完成させることができる。

【0220】

（実施の形態 8）

本発明の半導体装置、及び電子機器として、ビデオカメラ、デジタルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機又は電子書籍等）、記録媒体を備えた画像再生装置（具体的には Digital Versatile Disc（DVD）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。それら電子機器の具体例を図 14 及び図 15 に示す。

【0221】

図 14（a）はデジタルカメラであり、本体 2101、表示部 2102、撮像部、操作キー 2104、アンテナ 2105、シャッター 2106 等を含む。なお、図 14（a）は表示部 2102 側からの図であり、撮像部は示していない。

【0222】

また、本発明のデジタルカメラは、アンテナ 2105 で映像信号や音声信号等の信号を受信することにより、テレビ受像器などの表示媒体として表示部 2102 を機能させてもよい。なお、表示媒体として機能させる場合のスピーカー、操作スイッチ等は適宜設ければよい。本発明により、高精細な表示部を有し、且つ、信頼性の高いデジタルカメラが実現できる。

【0223】

図14(b)はノート型パーソナルコンピュータであり、本体2201、筐体2202、表示部2203、キーボード2204、外部接続ポート2205、ポインティングマウス2206等を含む。本発明により、高精細な表示部を有し、且つ、信頼性の高いノート型パーソナルコンピュータを実現することができる。

【0224】

図14(c)は記録媒体を備えた携帯型の画像再生装置（具体的にはDVD再生装置）であり、本体2301、筐体2302、表示部A2303、表示部B2304、記録媒体（DVD等）読み込み部2305、操作キー2306、スピーカー部2307等を含む。表示部A2303は主として画像情報を表示し、表示部B2304は主として文字情報を表示する。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。本発明により、高精細な表示部を有し、且つ、信頼性の高い画像再生装置を実現することができる。

10

【0225】

また、図14(d)は表示装置であり、筐体2401、支持台2402、表示部2403、スピーカ2404、ビデオ入力端子2405などを含む。この表示装置は、上述した実施の形態で示した作製方法により形成した薄膜TFTをその表示部2403および駆動回路に用いることにより作製される。なお、表示装置には液晶表示装置、発光装置などがあり、具体的にはコンピュータ用、テレビ受信用、広告表示用などの全ての情報表示用表示装置が含まれる。本発明により、高精細な表示部を有し、且つ、信頼性の高い表示装置、特に22インチ～50インチの大画面を有する大型の表示装置を実現することができる。

20

【0226】

図15で示す携帯電話機は、操作スイッチ類3004、マイクロフォン3005などが備えられた本体(a)3001と、表示パネル(a)3008、表示パネル(b)3009、スピーカ3006などが備えられた本体(b)3002とが、蝶番3010で開閉可能に連結されている。表示パネル(a)3008と表示パネル(b)3009は、回路基板3007と共に本体(b)3002の筐体3003の中に収納される。表示パネル(a)3008及び表示パネル(b)3009の画素部は筐体3003に形成された開口窓から視認できるように配置される。

【0227】

表示パネル(a)3008と表示パネル(b)3009は、その携帯電話機3000の機能に応じて画素数などの仕様を適宜設定することができる。例えば、表示パネル(a)3008を主画面とし、表示パネル(b)3009を副画面として組み合わせることができる。

30

【0228】

また、アンテナ3011で映像信号や音声信号等の信号を受信することにより、表示パネル(a)3008をテレビ受像器などの表示媒体として機能させてもよい。

【0229】

本発明により、高精細な表示部を有し、且つ、信頼性の高い携帯情報端末を実現することができる。

【0230】

本実施の形態に係る携帯電話機は、その機能や用途に応じてさまざまな態様に変容し得る。例えば、蝶番3010の部位に撮像素子を組み込んで、カメラ付きの携帯電話機としても良い。また、操作スイッチ類3004、表示パネル(a)3008、表示パネル(b)3009を一つの筐体内に納めた構成としても、上記した作用効果を奏することができる。また、表示部を複数個そなえた情報表示端末に本実施の形態の構成を適用しても、同様な効果を得ることができる。

40

【0231】

以上の様に、本発明を実施する、即ち実施の形態1乃至5のいずれか一の作製方法または構成を用いて、様々な電子機器を完成させることができる。

【実施例1】

50

【0232】

本実施例では、本発明のマルチゲート（少なくとも2つ以上のゲート電極と、直列に接続され、且つソース領域とドレイン領域との間に位置する少なくとも2つ以上のチャンネル形成領域を含んだ半導体層を有する）構造を有し、第1のチャンネル形成領域（ソース領域に近接するチャンネル形成領域）のチャンネル長が第2のチャンネル形成領域（ドレイン領域に近接するチャンネル形成領域）のチャンネル長よりも大きいTFT（以下、Type-Aとする）と、マルチゲート構造を有し、第1のチャンネル形成領域と第2のチャンネル形成領域のチャンネル長が等しいTFT（以下、Type-Bとする）と、マルチゲート構造を有し、第1のチャンネル形成領域のチャンネル長が第2のチャンネル形成領域のチャンネル長よりも小さいTFT（以下Type-Cとする）とについて、各々のTFTの特性を比較した。

10

【0233】

上記Type-A、Type-B、Type-Cのマルチゲート構造のpチャンネル型TFTについて、それぞれ次のようにパラメータを設定し、ドレイン電流のゲート電圧依存性を測定した。

【0234】

Type-AのTFTは、2つのゲート電極と、直列に接続された2つのチャンネル形成領域を有するマルチゲート構造のpチャンネル型TFTとした。Type-Aのマルチゲート構造のTFTの有する第1のチャンネル形成領域のチャンネル長 L_1 は $3.2\mu\text{m}$ とし、第2のチャンネル形成領域のチャンネル長 L_2 は $1.5\mu\text{m}$ とした。

【0235】

Type-BのTFTは、2つのゲート電極と、直列に接続された2つのチャンネル形成領域を有するマルチゲート構造のpチャンネル型TFTとした。Type-Bのマルチゲート構造のTFTの有する第1のチャンネル形成領域のチャンネル長 L_1 は $2.4\mu\text{m}$ とし、第2のチャンネル形成領域のチャンネル長 L_2 も $2.4\mu\text{m}$ とし、2つのチャンネル形成領域のチャンネル長は等しいものとした。

20

【0236】

Type-CのTFTは、2つのゲート電極と、直列に接続された2つのチャンネル形成領域を有するマルチゲート構造のpチャンネル型TFTとした。Type-Cのマルチゲート構造のTFTの有する第1のチャンネル形成領域のチャンネル長 L_1 は $1.5\mu\text{m}$ とし、第2のチャンネル形成領域のチャンネル長 L_2 は $3.2\mu\text{m}$ とした。

30

【0237】

その他、ゲート絶縁膜、チャンネル形成領域、及びドレイン電圧については以下のように設定し、上記Type-A～Type-CのTFTにおいて共通のパラメータとした。ゲート絶縁膜を酸化珪素膜とし、その膜厚を 110nm とし、第1のチャンネル形成領域及び第2のチャンネル形成領域は、シリコン膜を用いてチャンネル幅（W）を $23.7\mu\text{m}$ とし、ドレイン電圧（Vd）を -12V にそれぞれ設定した。

【0238】

図16に、Type-A、Type-B、Type-Cのマルチゲート構造のTFTについて、ドレイン電流のゲート電圧依存性を測定した結果を示す。以下、得られたドレイン電流（Id）－ゲート電圧（Vg）特性をId－Vgカーブとする。

40

【0239】

図16より、Type-B、Type-CのTFTはId－Vgカーブの立ち上がり領域にコブ状の特性不良が発生した。一方、本発明のType-Aのマルチゲート構造のTFTはType-B、Type-Cのマルチゲート構造のTFTと比較して、Id－Vgカーブの立ち上がり領域にコブ状の特性不良は発生しなかった。

【0240】

本発明者らは、鋭意検討を重ねた結果、Id－Vgカーブの立ち上がり領域にコブ状の特性不良が発生する理由を見出した。更に、本発明のType-Aのマルチゲート構造のTFTがTFTの特性不良、具体的にはId－Vgカーブの立ち上がり領域に生じるコブ状の特性不良を防ぐことを見出した。以下、Type-Bのマルチゲート構造のTFTを用

50

いて、コブ状の特性不良が発生する理由を説明する。

【0241】

Type-Bのマルチゲート構造のTF Tは、上記で説明したように、第1のチャンネル形成領域のチャンネル長と、第2のチャンネル形成領域のチャンネル長が等しいTF Tである。また、以下の説明では、マルチゲート構造のTF Tのうち、第1のチャンネル形成領域を有するTF T部分を第1のTF T 201とし、第2のチャンネル形成領域を有するTF T部分を第2のTF T 202とする。なお、第1のTF T 201においてドレイン領域側となり、第2のTF T 202においてはソース領域側となる不純物領域部分の電位を中間電位 (V_M) とする。

【0242】

図17 (a) はゲート電圧 (V_g) = +2 Vを掛けた場合である。この場合は、どちらのTF Tにも電流は流れてはいない。ただし、第2のTF T 202にはオフ電流が流れている。

【0243】

図17 (b) は V_g = +1 Vを掛けた場合である。この場合、短チャンネル効果によって、第1のTF Tに電流が流れ始める。その結果、中間電位 (V_M) が変化し、第2のTF T 202のソース領域ードレイン領域間の電位差 ($V_d - V_M$ の絶対値で、以下 $|V_d - V_M|$ と表す) が大きくなる。また、第2のTF Tは (a) と同様にオフ電流が流れている。

【0244】

図17 (c) は V_g = +0.75 Vを掛けた場合である。この場合、(b) と同様に、短チャンネル効果により第1のTF T 201は電流が流れている。また、第2のTF T 202の V_{gs} (= $V_g - V_M$) が大きくなり、ソース領域ードレイン領域間に掛かる電圧 ($|V_d - V_M|$) が大きくなると、第2のTF T 202に流れているオフ電流が上昇する。この場合、短チャンネル効果によって第1のTF Tに流れている電流と、第2のTF T 202に流れているオフ電流との関係がある一定の条件を満たすと、本来流れないはずのところでドレイン電流が流れてしまう。その結果、 $I_d - V_g$ カーブの立ち上がり領域にコブ状の不良が発生する。

【0245】

図17 (d) は V_g = +0.5 Vを掛けた場合である。この場合、第2のTF T 202は第1のTF T 201と同様に短チャンネル効果により電流が流れる。

【0246】

図17 (e) は V_g = 0 Vの場合である。この場合、第1のTF T 201は、ドレイン電圧 (V_d) ードレイン電流 (I_d) 特性における線形領域で電流が流れる。また、第2のTF Tは、 $V_d - I_d$ 特性における飽和領域で電流が流れる。

【0247】

以上より、マルチゲート構造のTF Tを構成する第1のTF T 201、第2のTF T 202それぞれにおいて短チャンネル化が進んだことで、第1のTF T 201に短チャンネル効果が強くなることにより流れ始める電流と、第2のTF T 202に流れているオフ電流との釣り合いが取れてしまう結果、本来流れないはずのところでドレイン電流が流れてしまうことがわかった。その結果、 $I_d - V_g$ カーブの立ち上がり領域にコブ状の不良が発生することがわかった。

【0248】

Type-Aのマルチゲート構造のTF Tでは、第1のチャンネル形成領域のチャンネル長を第2のチャンネル形成領域のチャンネル長より長くすることで、ソース側TF Tが短チャンネル効果により電流が流れることを抑制することができる。その結果、(b)、(c) で見られる、第2のTF T 202に流れるオフ電流との関係で、本来流れないはずのところでドレイン電流が流れてしまうという現象を抑制することができる。したがって、 $I_d - V_g$ カーブの立ち上がり領域の不良を防ぐことができ、TF Tの特性不良を防ぐことができる。

。

10

20

30

40

50

【実施例 2】

【0249】

図10では、電極529の端面を覆うように薄い無機絶縁膜からなる第4の層間絶縁膜700を設け、電極529の上面の一部で第1の電極541と接続させた例を示したが、特に限定されず、端面と第1の電極541とが接する接続構造としてもよい。

【0250】

電極529と第1の電極541の電気的な接続を確認するため、積層構造がほぼ同じTEGを作製した後、電気的な接続を電気測定で確認し、接続部分周辺の断面STEM写真を撮影した。図18(A)に断面の模式図を示し、図18(B)にその断面STEM写真を示す。

10

【0251】

図18(A)に示すように第1層間絶縁膜301には開口が形成され、その上に配線302が形成されている。模式図では示していないが、第1層間絶縁膜301の開口を介して配線302は半導体層と接している。なお、配線302は、図18(A)では簡略化のため、単層で示しているが、図18(B)に示すようにチタン膜とアルミニウム膜とチタン膜の3層構造としている。配線302の端面を覆うように膜厚150nmの第2層間絶縁膜303が形成され、第1層間絶縁膜301の開口と重なるように第2層間絶縁膜303にも開口を形成している。第2層間絶縁膜303の開口を介して第1の電極304が形成され、その第1の電極及び第2層間絶縁膜を覆うように隔壁となる有機樹脂膜305を形成している。スピコート法によって形成する有機樹脂膜305の膜厚設定を1μmとしたため、配線の端面の上方においては有機樹脂膜が1μmよりも薄くなっている。なお、有機樹脂膜305は、スピコート法などの塗布法で形成される絶縁膜であればよく、シロキサンを含む膜を用いてもよい。

20

【0252】

また、図19(A)に図18(A)とは接続構造の異なるTEGを作製した例を示す。図19(A)に断面の模式図を示し、図19(B)にその断面STEM写真を示す。なお、図18(A)と同じ部分には同じ符号を用いて説明する。図19(A)に示す構造は、配線の端面の上方において膜厚の薄膜化を抑える構造である。第1の電極304と配線302とが接する部分において、第2層間絶縁膜を形成しないため、図18(A)に示す構造よりも有機樹脂膜の膜厚を厚くすることができる。従って、図19(A)の構造において、第1層間絶縁膜と第1の電極とが接する部分がある。

30

【0253】

また、図20(A)に図18(A)及び図19(A)とは接続構造の異なるTEGを作製した例を示す。図20(A)に断面の模式図を示し、図20(B)にその断面STEM写真を示す。なお、図18(A)と同じ部分には同じ符号を用いて説明する。図20(A)の構造は、第1の電極304の端面が第2層間絶縁膜の開口の内部に位置する例である。従って図20(A)の構造では配線と第1の電極との界面が第1の電極の形成のためのエッチング時に露呈する。この構造は、界面、即ちチタン膜とITO膜との界面からエッチングが進行しやすいため、図20(B)の断面写真では第1の電極の端部が逆テーパ形状となっていることが確認できる。即ち、図20(A)の構造を作製する際、第1の電極が過剰にエッチングされやすいため、配線と重なる第1の電極が消失してしまい、電気的な接続が困難となる可能性がある。これらのことから、製造プロセス上は図20(A)の接続構造よりも図18(A)の接続構造のほうが好ましい。

40

【0254】

ただし、図19(A)の構造でも図20(A)の構造でも図18(A)の構造と同様に電気的な接続が確認できたため、この実験結果から、いずれの構造としてもよいと言える。

【図面の簡単な説明】

【0255】

【図1】本発明の半導体装置の例を示す断面図

【図2】本発明の半導体装置を作製する方法の一例を示す断面図

50

【図 3】 本発明の半導体装置を作製する方法の一例を示す断面図	
【図 4】 本発明の半導体装置の例を示す断面図	
【図 5】 本発明の半導体装置を作製する方法の一例を示す図	
【図 6】 本発明の半導体装置を作製する方法の一例を示す図	
【図 7】 本発明の発光装置の例を示す断面図	
【図 8】 本発明の発光装置の画素部の上面図	
【図 9】 発光装置の画素部の等価回路の例を示す図	
【図 10】 本発明の発光装置の例を示す断面図	
【図 11】 本発明の発光装置の例を示す断面図	
【図 12】 本発明のモジュールの例を示す図	10
【図 13】 本発明のモジュールの例を示す断面図	
【図 14】 電子機器の一例を示す図	
【図 15】 電子機器の一例を示す図	
【図 16】 本発明の半導体装置のドレイン電流のゲート電圧依存性の一例を示す図	
【図 17】 特性不良の計算結果の一例を示す図	
【図 18】 発光素子の第 1 の電極と、配線との接続部分の断面模式図と断面 S T E M 写真	
。	
【図 19】 発光素子の第 1 の電極と、配線との接続部分の断面模式図と断面 S T E M 写真	
。	
【図 20】 発光素子の第 1 の電極と、配線との接続部分の断面模式図と断面 S T E M 写真	20
。	
【符号の説明】	
【0256】	
10 基板	
11 第 1 の絶縁膜	
12 半導体層	
13 第 2 の絶縁膜	
14 ゲート電極	
15 ゲート電極	
16 第 3 の絶縁膜	30
17 第 4 の絶縁膜	
18 ソース電極	
19 ドレイン電極	
21 チャネル形成領域	
22 チャネル形成領域	
23 高濃度不純物領域	
24 ソース領域	
25 ドレイン領域	
31 a 導電層	
31 b 導電層	40
32 a 導電層	
32 b 導電層	
100 基板	
101 第 1 の絶縁膜	
102 半導体層	
103 第 2 の絶縁膜	
104 第 1 の導電層	
105 第 2 の導電層	
106 a 第 2 のレジストマスク	
106 b 第 2 のレジストマスク	50

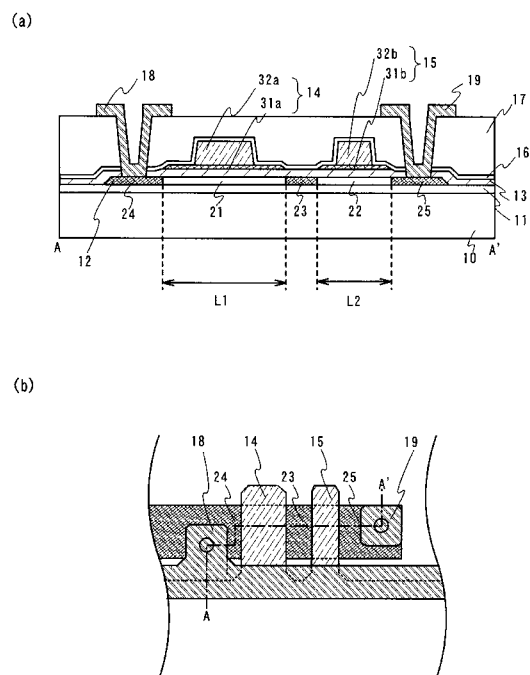
1 0 7 a	第 1 のゲート電極	
1 0 7 b	第 2 のゲート電極	
1 0 8	ソース領域	
1 0 9	ドレイン領域	
1 1 0	高濃度不純物領域	
1 1 1	第 1 のチャネル形成領域	
1 1 2	第 2 のチャネル形成領域	
1 1 3	第 3 の絶縁膜	
1 1 4	第 4 の絶縁膜	
1 1 5	ソース電極	10
1 1 6	ドレイン電極	
2 0 1	第 1 の T F T	
2 0 2	第 2 の T F T	
3 0 1	第 1 層間絶縁膜	
3 0 2	配線	
3 0 3	第 2 層間絶縁膜	
3 0 4	第 1 の電極	
3 0 5	有機樹脂膜	
4 0 1	第 1 のチャネル形成領域	
4 0 2	第 2 のチャネル形成領域	20
4 0 3	高濃度不純物領域	
4 0 4	ソース領域	
4 0 5	ドレイン領域	
4 0 6 a	第 1 の L D D 領域	
4 0 6 b	第 1 の L D D 領域	
4 0 7 a	第 2 の L D D 領域	
4 0 7 b	第 2 の L D D 領域	
4 1 1	第 1 のチャネル形成領域	
4 1 2	第 2 のチャネル形成領域	
4 1 3	高濃度不純物領域	30
4 1 4	ソース領域	
4 1 5	ドレイン領域	
4 1 6 a	第 1 の L D D 領域	
4 1 6 b	第 1 の L D D 領域	
4 1 7 a	第 2 の L D D 領域	
4 1 7 b	第 2 の L D D 領域	
5 0 0	基板	
5 0 1 a	下地絶縁膜	
5 0 1 b	下地絶縁膜	
5 0 2、5 0 3、5 0 4、5 0 5	半導体層	40
5 0 6	ゲート絶縁膜	
5 0 7 a、5 0 7 b、5 0 7 c、5 0 7 d、5 0 7 e、5 0 7 f	第 2 のレジストマスク	
5 0 8 a、5 0 8 b、5 0 8 c、5 0 8 d、5 0 8 e、5 0 8 f	第 1 の導電層	
5 0 9 a、5 0 9 b、5 0 9 c、5 0 9 d、5 0 9 e、5 0 9 f	第 2 の導電層	
5 1 0 a、5 1 0 b、5 1 0 c、5 1 0 d、5 1 0 e、5 1 0 f	第 1 の導電層	
5 1 1 a、5 1 1 b、5 1 1 c、5 1 1 d、5 1 1 e、5 1 1 f	第 2 の導電層	
5 1 2 a、5 1 2 b、5 1 2 c、5 1 2 d、5 1 2 e、5 1 2 f	ゲート電極	
5 1 3	第 1 の不純物領域	
5 1 4 a、5 1 4 b、5 1 4 c、5 1 4 d	第 3 のレジストマスク	
5 1 5	第 2 の不純物領域	50

5 1 6	第 3 の不純物領域	
5 1 7	第 4 のレジストマスク	
5 1 8、5 1 9、5 2 0、5 2 1、5 2 2	第 4 の不純物領域	
5 2 3 a、5 2 3 b、5 2 4 a、5 2 4 b、5 2 5 a、5 2 5 b	第 5 の不純物領域	
5 2 6	第 2 のチャネル形成領域	
5 2 7	第 1 のチャネル形成領域	
5 2 8 a	第 1 の層間絶縁膜	
5 2 8 b	第 2 の層間絶縁膜	
5 2 8 c	第 3 の層間絶縁膜	
5 2 9、5 3 0、5 3 1、5 3 2、5 3 3、5 3 4、5 3 5、5 3 6	電極	10
5 3 7	駆動用 T F T	
5 3 8	スイッチング用 T F T	
5 3 9	n チャネル型 T F T	
5 4 0	p チャネル型 T F T	
5 4 1	第 1 の電極	
5 4 2	絶縁物	
5 4 3	有機化合物を含む層	
5 4 4	第 2 の電極	
5 4 5	保護層	
5 4 6	シール材	20
5 4 7	充填材	
5 4 8	封止基板	
5 4 9	異方性導電層	
5 5 0	F P C	
5 5 1	画素部	
5 5 2	駆動回路部	
5 5 3	端子部	
5 6 0	電極	
5 6 1	電極	
6 8 0	絶縁物の周縁	30
7 0 0	第 4 の層間絶縁膜	
7 4 6	シール材	
8 0 0	第 4 の層間絶縁膜	
8 0 1	第 5 の層間絶縁膜	
9 0 0	カソード側電源線	
9 0 1	ゲート配線	
9 0 2	ソース配線	
9 0 3 R	赤色を発光する発光素子	
9 0 4 R	アノード側電源線 (R)	
9 0 3 G	緑色を発光する発光素子	40
9 0 4 G	アノード側電源線 (G)	
9 0 3 B	青色を発光する発光素子	
9 0 4 B	アノード側電源線 (B)	
9 3 7	T F T	
9 3 8	T F T	
1 0 0 1	第 1 の駆動回路	
1 0 0 2	画素部	
1 0 0 3	ゲート側駆動回路	
1 0 0 4	封止基板	
1 0 0 5	シール材	50

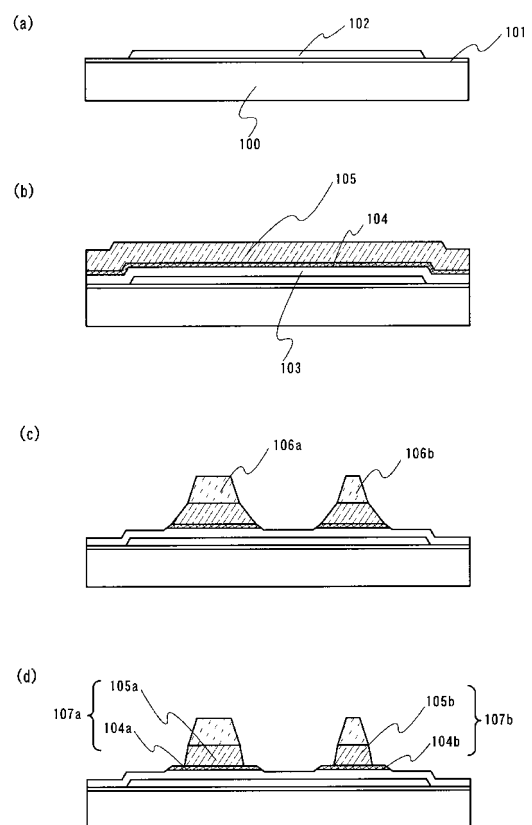
1 0 0 7	接続領域	
1 0 0 8	端子部	
1 0 0 9	F P C	
1 0 1 0	基板	
1 1 0 1	駆動 I C	
1 1 0 2	画素部	
1 1 0 4	封止基板	
1 1 0 5	シール材	
1 1 0 7	接続領域	
1 1 0 8	端子部	10
1 1 0 9	F P C	
1 1 1 0	基板	
1 3 0 1	導電層	
1 3 0 2	配線	
1 3 0 3	第 4 の層間絶縁膜	
1 3 0 4	絶縁物	
1 3 0 5	第 2 の電極	
1 3 0 6	保護層	
2 1 0 1	本体	
2 1 0 2	表示部	20
2 1 0 4	操作キー	
2 1 0 5	アンテナ	
2 1 0 6	シャッター	
2 2 0 1	本体	
2 2 0 2	筐体	
2 2 0 3	表示部	
2 2 0 4	キーボード	
2 2 0 5	外部接続ポート	
2 2 0 6	ポインティングマウス	
2 3 0 1	本体	30
2 3 0 2	筐体	
2 3 0 3	表示部 A	
2 3 0 4	表示部 B	
2 3 0 5	記録媒体読み込み部	
2 3 0 6	操作キー	
2 3 0 7	スピーカー部	
2 4 0 1	筐体	
2 4 0 2	支持台	
2 4 0 3	表示部	
2 4 0 4	スピーカ	40
2 4 0 5	ビデオ入力端子	
3 0 0 0	携帯電話機	
3 0 0 1	本体 (a)	
3 0 0 2	本体 (b)	
3 0 0 3	筐体	
3 0 0 4	操作スイッチ類	
3 0 0 5	マイクロフォン	
3 0 0 6	スピーカ	
3 0 0 7	回路基板	
3 0 0 8	表示パネル (a)	50

3 0 0 9 表示パネル (b)
 3 0 1 0 蝶番
 3 0 1 1 アンテナ

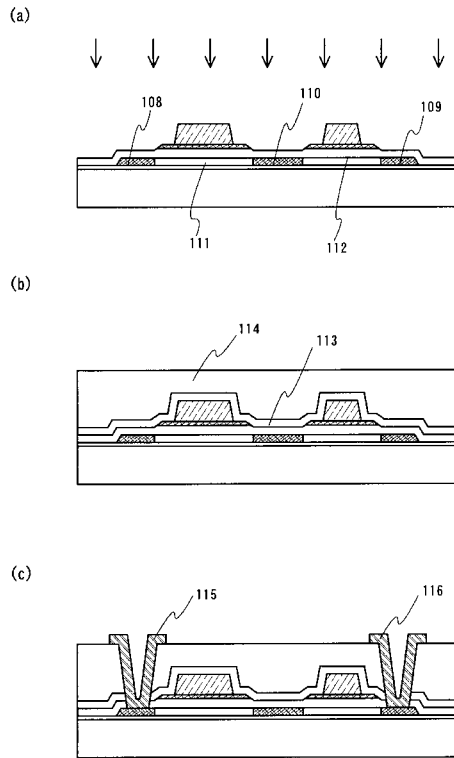
【図 1】



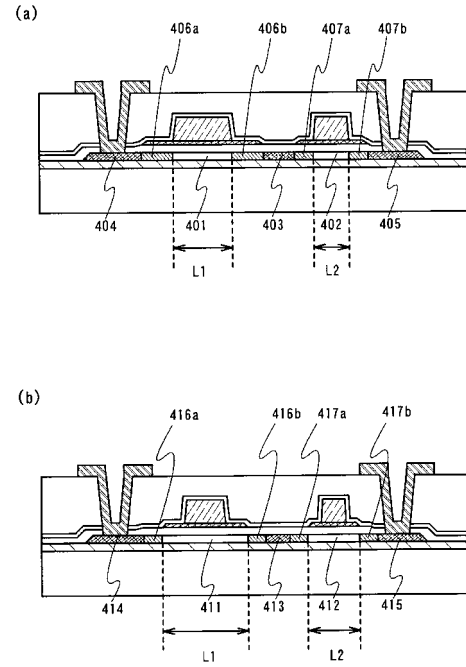
【図 2】



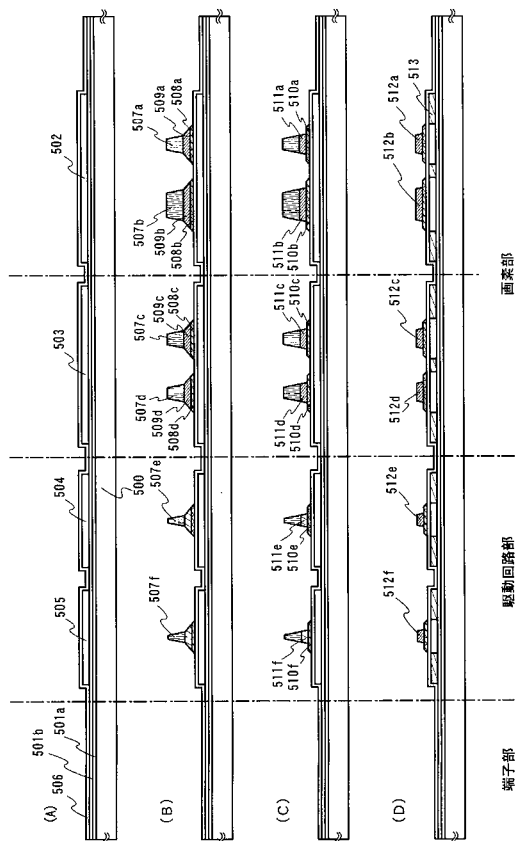
【図 3】



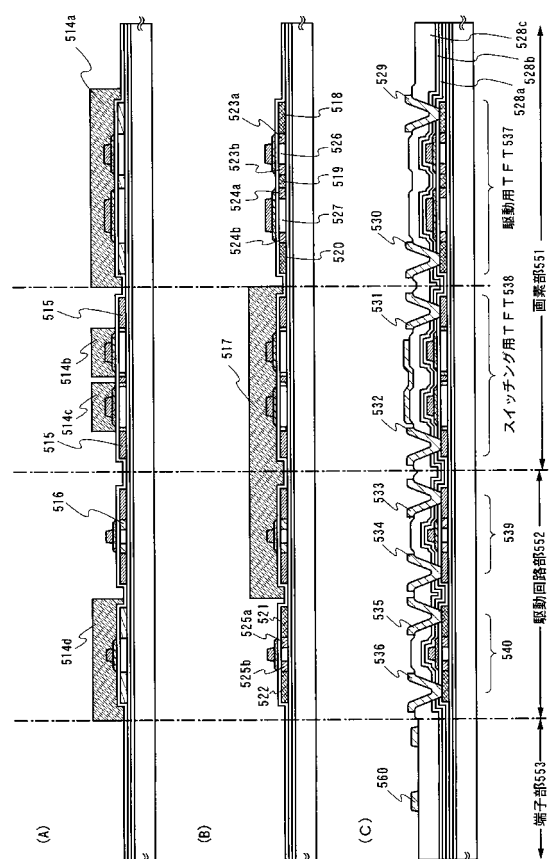
【図 4】



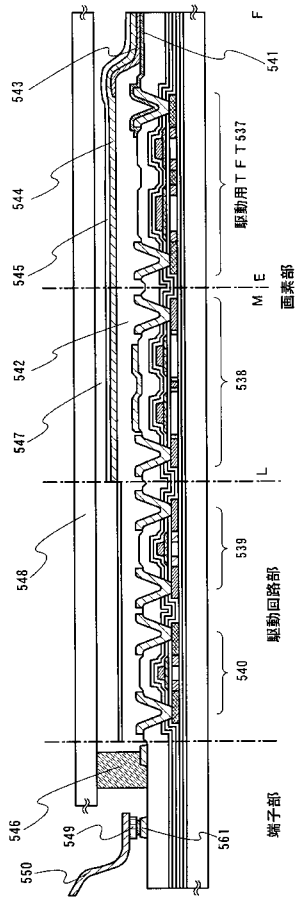
【図 5】



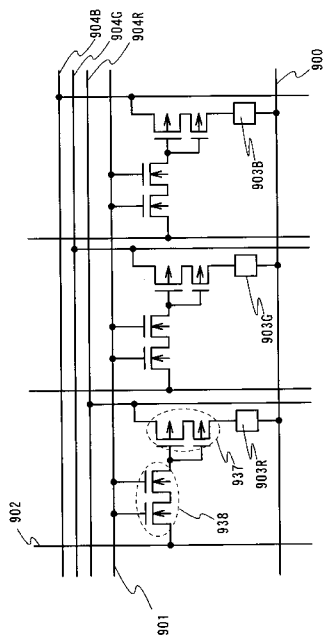
【図 6】



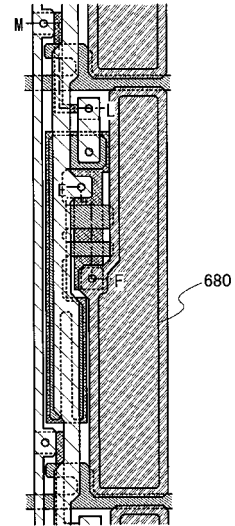
【图 7】



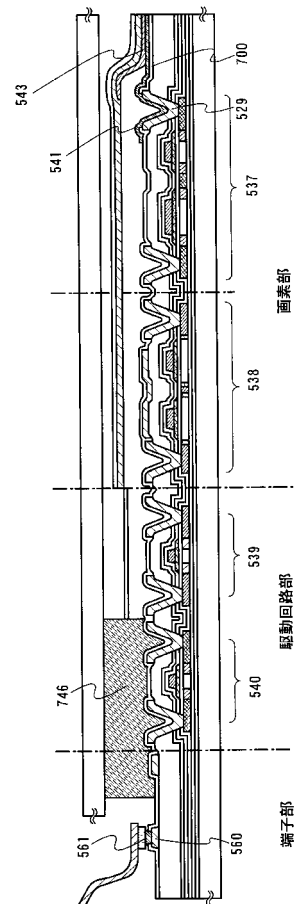
【 図 9 】



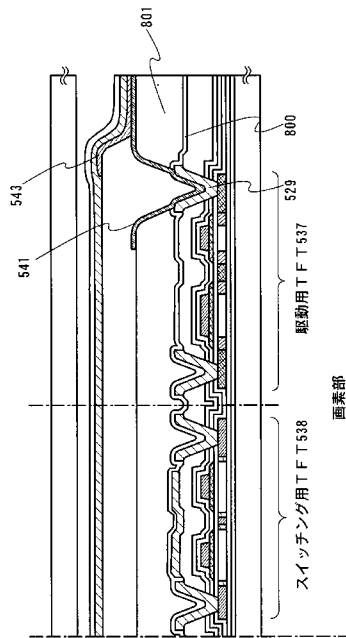
【图 8】



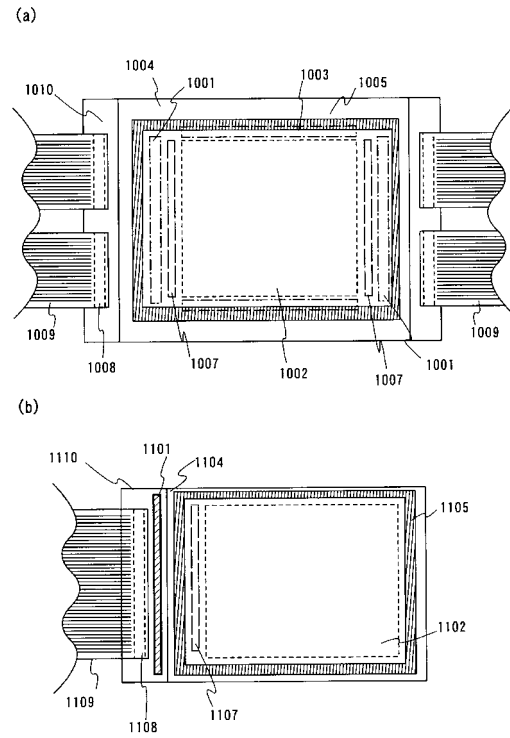
【 図 1 0 】



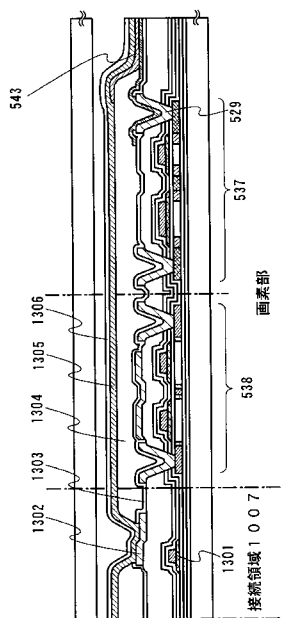
【図 1 1】



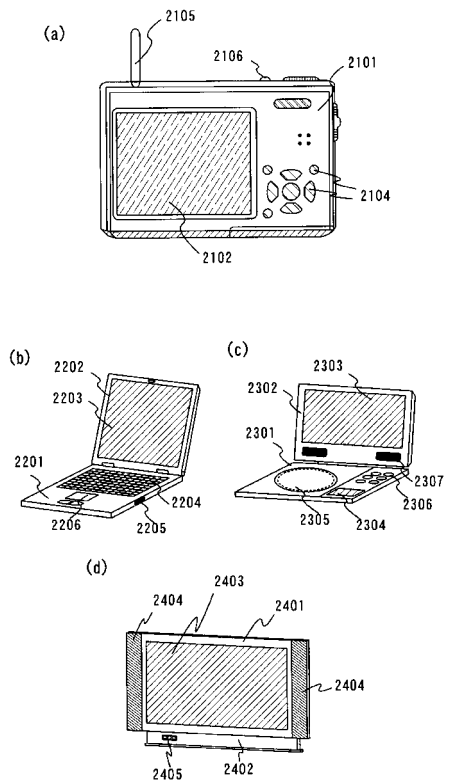
【図 1 2】



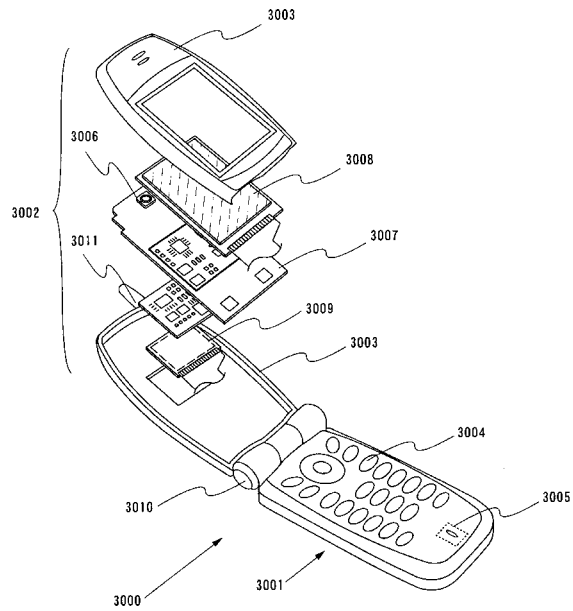
【図 1 3】



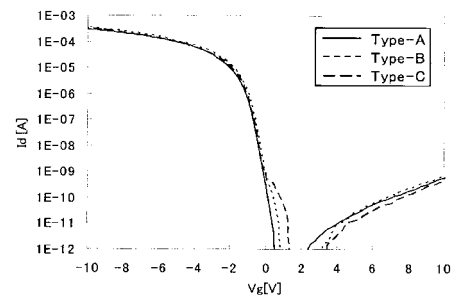
【図 1 4】



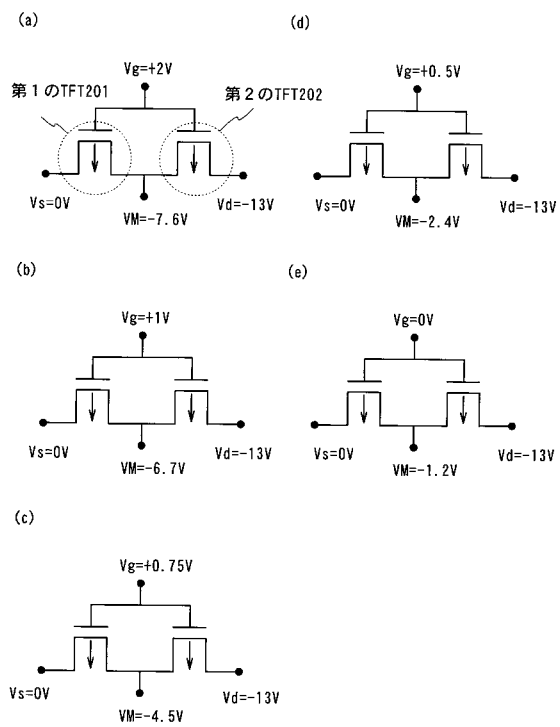
【図 15】



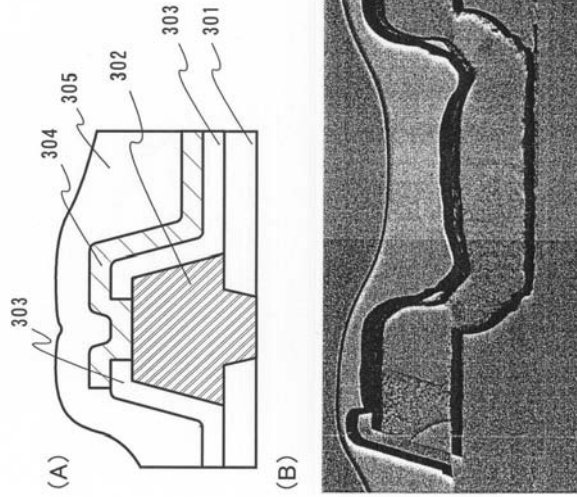
【図 16】



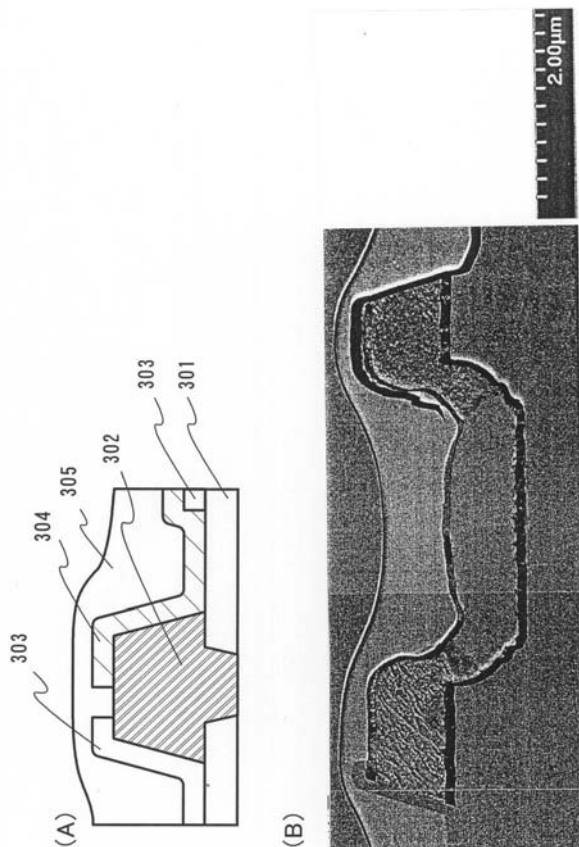
【図 17】



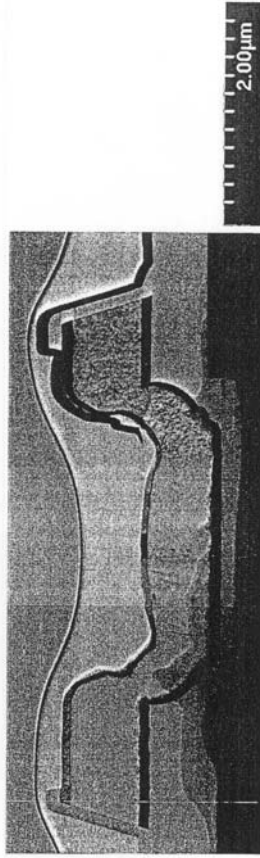
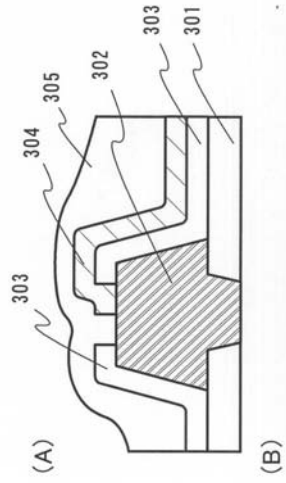
【図 18】



【図 19】



【図 20】



フロントページの続き

Fターム(参考) 5F110 AA06 BB01 BB04 CC02 DD01 DD02 DD13 DD14 DD15 EE01
EE04 EE14 EE23 EE28 EE43 EE44 FF02 FF03 FF04 FF23
FF28 FF30 GG01 GG02 GG13 GG25 GG28 GG29 GG32 GG43
GG45 GG47 GG51 HJ01 HJ04 HJ12 HJ13 HJ23 HL02 HL03
HL04 HL08 HL11 HL12 HL22 HL23 HL24 HM12 HM15 NN03
NN22 NN23 NN24 NN27 NN34 NN35 NN36 NN72 PP02 PP03
PP06 PP34 QQ08 QQ11 QQ28