

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 29/78 (2006.01)

H01L 29/06 (2006.01)

H01L 29/739 (2006.01)



[12] 发明专利说明书

专利号 ZL 200410011477.6

[45] 授权公告日 2009 年 3 月 25 日

[11] 授权公告号 CN 100472803C

[22] 申请日 2004.12.31

[21] 申请号 200410011477.6

[30] 优先权

[32] 2004.1.26 [33] JP [31] 016663/2004

[73] 专利权人 三菱电机株式会社

地址 日本东京

[72] 发明人 幡手一成

[56] 参考文献

US6246101B1 2001.6.12

US4766474A 1988.8.23

US6307232B1 2001.10.23

审查员 徐 健

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

代理人 王永刚

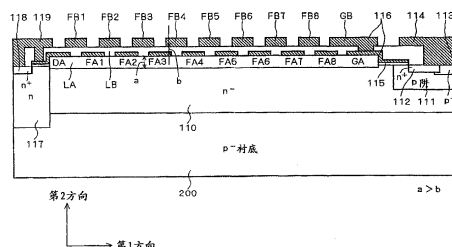
权利要求书 6 页 说明书 30 页 附图 41 页

[54] 发明名称

半导体器件

[57] 摘要

本发明的课题是缓和半导体器件内的电场集中以谋求高耐压化。在 n^- 层 110 的一侧形成成为 MOSFET 的沟道区的 p 阱 111，在另一侧形成 n^+ 漏区 118。在 n^- 层 110 的上方经第 1 绝缘膜 LA 形成多个第 1 浮置场板 FA。在其上经第 2 绝缘膜 LB 形成多个第 2 浮置场板 FB。在将第 1 绝缘膜 LA 的厚度定为 a、将第 1 浮置场板 FA 与第 2 浮置场板 FB 之间的第 2 绝缘膜 LB 的厚度方向的距离定为 b 时， $a > b$ 。



1. 一种半导体器件，具备：

第1导电类型的第1半导体区；

以夹住上述第1半导体区的方式形成的第2导电类型的第2半导体区和其杂质浓度比上述第1半导体区的杂质浓度高的第1导电类型的第3半导体区；

在上述第1半导体区上形成的第1绝缘膜；

在上述第1绝缘膜上形成的多个第1浮置场板，上述多个第1浮置场板在上述第1半导体区的上方并排配置在从上述第3半导体区朝向上述第2半导体区的第1方向上；

在上述第1浮置场板上形成的第2绝缘膜；

在上述第2绝缘膜上形成并在上述第1半导体区的上方在上述第1方向上并排配置的多个第2浮置场板；

在上述第2浮置场板上形成的第3绝缘膜；以及

形成在上述第3绝缘膜上的多个第3浮置场板，上述多个第3浮置场板在上述第1半导体区的上方并排配置在上述第1方向上。

2. 如权利要求1所述的半导体器件，其特征在于：在将上述第1绝缘膜的厚度定为 a 、将上述第1浮置场板与上述第2浮置场板之间沿着作为上述厚度方向的第2方向上的距离定为 b 时， $a > b$ 。

3. 如权利要求1所述的半导体器件，其特征在于：

还具有在上述第3半导体区上形成的电极，

上述电极具有在上述第1绝缘膜上延伸的第1电极部和在上述第2绝缘膜上延伸的第2电极部，

上述第2电极部中在上述第1方向上延伸于上述第1绝缘膜上方的部分的长度比上述第1电极部中在上述第1方向上延伸于上述第1绝缘膜上的部分的长度长。

4. 如权利要求1中所述的半导体器件，其特征在于：

在将上述第1绝缘膜的厚度定为 a 、将上述第2浮置场板与上述

第3浮置场板之间沿上述第2方向的距离定为 c 时, $a > c$ 。

5. 如权利要求1~4中的任一项所述的半导体器件, 其特征在于:

上述第2半导体区起到晶体管的沟道区的功能,

上述第3半导体区起到上述晶体管的漏区的功能。

6. 如权利要求1~4中任一项所述的半导体器件, 其特征在于:

上述第2半导体区起到二极管的阳极的功能,

上述第3半导体区起到上述二极管的阴极的功能。

7. 如权利要求1~4中任一项所述的半导体器件, 其特征在于:

上述第3半导体区起到芯片的外周部的沟道停止区的功能。

8. 如权利要求1~4中任一项所述的半导体器件, 其特征在于:

还具有与上述第1半导体区的下侧接触的第2导电类型的第4半导体区。

9. 如权利要求8所述的半导体器件, 其特征在于:

上述第1半导体区的杂质浓度低且厚度薄, 以便通过对上述第1半导体区与上述第4半导体区之间的第1pn结施加比上述第1半导体区与上述第2半导体区之间的第2pn结的击穿电压低的反向电压, 在上述第2半导体区和上述第3半导体区之间使耗尽层从上述第1pn结扩展到上述第1半导体区的上表面。

10. 一种半导体器件, 具备:

第1导电类型的第1半导体区;

以夹住上述第1半导体区的方式形成的第2导电类型的第2半导体区和其杂质浓度比上述第1半导体区的杂质浓度高的第1导电类型的第3半导体区;

在上述第3半导体区上形成的电极;

在上述第1半导体区上形成的第1绝缘膜;

在上述第1绝缘膜上形成的第2绝缘膜;

形成在上述第2绝缘膜上的多个第2浮置场板, 上述多个第2浮置场板在上述第1半导体区的上方并排配置在从上述第3半导体区朝向上述第2半导体区的第1方向上;

在上述第2浮置场板上形成的第3绝缘膜; 以及

形成在上述第3绝缘膜上的多个第3浮置场板, 上述多个第3浮置场板在上述第1半导体区的上方并排配置在上述第1方向上,

其中, 上述电极具有在上述第1绝缘膜上沿上述第1方向延伸的第1电极部。

11. 如权利要求10所述的半导体器件, 其特征在于:

上述电极还具有在上述第2绝缘膜上延伸的第2电极部和在上述第3绝缘膜上延伸的第3电极部,

上述第3电极部中在上述第1方向上延伸于上述第1绝缘膜上方的部分的长度比上述第1电极部中在上述第1方向上延伸于上述第1绝缘膜上的部分的长度长, 且比上述第2电极部中在上述第1方向上延伸于上述第1绝缘膜上方的部分的长度长。

12. 如权利要求10所述的半导体器件, 其特征在于:

在将上述第1绝缘膜的厚度定为 a 、将上述第2绝缘膜的厚度定为 b 、将上述第2浮置场板与上述第3浮置场板之间沿着作为上述厚度方向的第2方向上的距离定为 c 时, $a + b > c$ 。

13. 如权利要求10~12中的任一项所述的半导体器件, 其特征在于:

上述第2半导体区起到晶体管的沟道区的功能,

上述第3半导体区起到上述晶体管的漏区的功能。

14. 如权利要求10~12中的任一项所述的半导体器件, 其特征在于:

上述第2半导体区起到二极管的阳极的功能,

上述第3半导体区起到上述二极管的阴极的功能。

15. 如权利要求10~12中的任一项所述的半导体器件, 其特征在于:

上述第3半导体区起到芯片的外周部的沟道停止区的功能。

16. 如权利要求10~12中的任一项所述的半导体器件, 其特征在于:

还具有与上述第1半导体区的下侧接触的第2导电类型的第4半导体区。

17. 如权利要求16所述的半导体器件，其特征在于：

上述第1半导体区的杂质浓度低且厚度薄，以便通过对上述第1半导体区与上述第4半导体区之间的第1pn结施加比上述第1半导体区与上述第2半导体区之间的第2pn结的击穿电压低反向电压，在上述第2半导体区和上述第3半导体区之间使耗尽层从上述第1pn结扩展到上述第1半导体区的上表面。

18. 一种半导体器件，具备：

第1导电类型的第1半导体区；

以夹住上述第1半导体区的方式形成的第2导电类型的第2半导体区和其杂质浓度比上述第1半导体区的杂质浓度高的第1导电类型的第3半导体区；

在上述第3半导体区上形成的电极；

在上述第1半导体区上形成的第1绝缘膜；

在上述第1绝缘膜上形成的第2绝缘膜；

形成在上述第2绝缘膜上的多个第2浮置场板，上述多个第2浮置场板在上述第1半导体区的上方并排配置在从上述第3半导体区朝向上述第2半导体区的第1方向上；

在上述第2浮置场板上形成的第3绝缘膜；以及

形成在上述第3绝缘膜上的多个第3浮置场板，上述多个第3浮置场板在上述第1半导体区的上方并排配置在上述第1方向上，其中，

上述电极具有在上述第1绝缘膜上延伸的第1电极部和在上述第2绝缘膜上延伸的第2电极部，

上述第2电极部中在上述第1方向上延伸于上述第1绝缘膜上方的部分的长度比上述第1电极部中在上述第1方向上延伸于上述第1绝缘膜上的部分的长度长。

19. 如权利要求18所述的半导体器件，其特征在于：

上述电极还具有在上述第3绝缘膜上延伸的第3电极部，

上述第3电极部中在上述第1方向上延伸于上述第1绝缘膜上方的部分的长度比上述第2电极部中在上述第1方向上延伸于上述第1绝缘膜上方的部分的长度更长。

20. 如权利要求19所述的半导体器件, 其特征在于:

在将上述第1电极部中在上述第1方向上延伸于上述第1绝缘膜上的部分的长度定为 d 、上述第2电极部中在上述第1方向上延伸于上述第1绝缘膜上方的部分的长度定为比上述长度 d 多了长度 e 、上述第3电极部中在上述第1方向上延伸于上述第1绝缘膜上方的部分的长度定为比上述长度 $d + e$ 还多长度 f 时, $d > e$ 且 $d > f$ 。

21. 如权利要求18所述的半导体器件, 其特征在于:

在将上述第1绝缘膜的厚度定为 a 、将上述第2绝缘膜的厚度定为 b 、将上述第2浮置场板与上述第3浮置场板之间沿着作为上述厚度方向的第2方向上的距离定为 c 时, $a + b > c$ 。

22. 如权利要求18~21中的任一项所述的半导体器件, 其特征在于:

上述第2半导体区起到晶体管的沟道区的功能,

上述第3半导体区起到上述晶体管的漏区的功能。

23. 如权利要求18~21中任一项所述的半导体器件, 其特征在于:

上述第2半导体区起到二极管的阳极的功能,

上述第3半导体区起到上述二极管的阴极的功能。

24. 如权利要求18~21中任一项所述的半导体器件, 其特征在于:

上述第3半导体区起到芯片的外周部的沟道停止区的功能。

25. 如权利要求18~21中任一项所述的半导体器件, 其特征在于:

还具有与上述第1半导体区的下侧接触的第2导电类型的第4半导体区。

26. 如权利要求25所述的半导体器件, 其特征在于:

上述第1半导体区的杂质浓度低且厚度薄, 以便通过对上述第1半导体区与上述第4半导体区之间的第1pn结施加比上述第1半导体区与上述第2半导体区之间的第2pn结的击穿电压低的反向电压, 在

上述第 2 半导体区和上述第 3 半导体区之间使耗尽层从上述第 1pn 结扩展到上述第 1 半导体区的上表面。

半导体器件

技术领域

本发明涉及半导体器件，特别是涉及谋求高耐压半导体器件中的耐电压（以下称为「耐压」）的稳定性提高和高耐压化用的技术。

背景技术

例如，在驱动半桥型的逆变器那样的高压侧和低压侧的2个功率开关器件（MOSFET或IGBT）的情况下，使用具有驱动高压侧的功率开关器件的高电压侧（高电位岛）的驱动电路和驱动低压侧的功率开关器件的低电压侧的驱动电路的功率器件驱动装置。由于高压侧的电路在相对于接地电位其电位为浮置的状态下工作，故在这样的功率器件驱动装置中具备将驱动信号传递给高压侧的驱动电路用的所谓的电平移动电路。一般的电平移动电路由利用驱动信号驱动的MOSFET等的高耐压开关元件和与其串联连接的电平移动电阻构成（参照后述的图2）。然后，将在该电平移动电阻上产生的电压降作为高压侧的驱动信号传递给驱动电路。为了防止功率器件驱动装置的破损或电平移动电路中的错误信号的发生，对该高耐压开关元件希望稳定的高耐压性。

作为二极管等的高耐压开关元件的耐压的稳定性提高和高耐压化用的技术，例如已知有在半导体衬底上经绝缘膜形成多个浮置状态的场板（以下，简单称为「浮置场板」）使衬底表面的电场分布变得均匀（例如专利文献1）或通过使用RESURF结构作为半导体元件结构（例如专利文献2）来促进衬底中的耗尽化的方法。

【专利文献1】特开平10-341018号公报

【专利文献2】美国专利4292642号公报

如果对隔断状态（OFF状态）的高耐压半导体器件施加高电压，

则该高耐压半导体器件保持该电压。此时，如果在形成了该器件的半导体衬底内产生局部的电场集中（电场的峰值），则容易发生该部分中的 p/n 结部的击穿现象或绝缘膜的破坏，导致耐压特性的恶化。例如，在高耐压半导体器件为具有 RESURF 结构的 n 沟道型 MOSFET 的情况下，在半导体衬底上部形成的 n⁻层和其下的 p⁻衬底的结深中的漏侧 n 层的附近或电极和场板的端部下方的半导体衬底表面等中容易产生电场的峰值（后面叙述其细节）。

此外，在高耐压半导体器件的实际使用时，其上表面被涂敷绝缘膜或组装用的环氧树脂覆盖。例如，如果对隔断状态的 MOSFET 的漏-源间施加高电压，此时在内部发生电场的峰值，则由于其影响的缘故，涂敷绝缘膜或组装用的环氧树脂发生了极化。因该极化而产生的电荷在高电压的施加结束后也在某个时间内被保持。然后，在其次在漏-源间施加了高电压时，由于该电荷的影响的缘故，局部地（特别是在硅衬底表面附近）抑制了耗尽层的扩展。在耗尽层的扩展被抑制的部位上，电场的峰值变得更高。如果该峰值在硅表面到达了击穿临界电场，则引起了耐压下降或耐压变动，根据情况引起了半导体器件的破坏。

发明内容

本发明是为了解决以上那样的问题而进行的，其目的在于通过缓和形成了半导体器件的衬底内的电场集中来谋求耐压的稳定性提高和高耐压化。

作为本发明的第 1 方面的半导体器件具备：第 1 导电类型的第 1 半导体区；以夹住上述第 1 半导体区的方式形成的第 2 导电类型的第 2 半导体区和其杂质浓度比上述第 1 半导体区的杂质浓度高的第 1 导电类型的第 3 半导体区；在上述第 1 半导体区上形成的第 1 绝缘膜；在上述第 1 绝缘膜上形成的多个第 1 浮置场板，上述多个第 1 浮置场板在上述第 1 半导体区的上方并排配置在从上述第 3 半导体区朝向上述第 2 半导体区的第 1 方向上；在上述第 1 浮置场板上形成的第 2

绝缘膜；在上述第2绝缘膜上形成并在上述第1半导体区的上方在上述第1方向上并排配置的多个第2浮置场板；在上述第2浮置场板上形成的第3绝缘膜；以及形成在上述第3绝缘膜上的多个第3浮置场板，上述多个第3浮置场板在上述第1半导体区的上方并排配置在上述第1方向上。

作为本发明的第2方面的半导体器件具备：第1导电类型的第1半导体区；以夹住上述第1半导体区的方式形成的第2导电类型的第2半导体区和其杂质浓度比上述第1半导体区的杂质浓度高的第1导电类型的第3半导体区；在上述第3半导体区上形成的电极；在上述第1半导体区上形成的第1绝缘膜；在上述第1绝缘膜上形成的第2绝缘膜；形成在上述第2绝缘膜上的多个第2浮置场板，上述多个第2浮置场板在上述第1半导体区的上方并排配置在从上述第3半导体区朝向上述第2半导体区的第1方向上；在上述第2浮置场板上形成的第3绝缘膜；以及形成在上述第3绝缘膜上的多个第3浮置场板，上述多个第3浮置场板在上述第1半导体区的上方并排配置在上述第1方向上，其中，上述电极具有在上述第1绝缘膜上沿上述第1方向延伸的第1电极部。

作为本发明的第3方面的半导体器件具备：第1导电类型的第1半导体区；以夹住上述第1半导体区的方式形成的第2导电类型的第2半导体区和其杂质浓度比上述第1半导体区的杂质浓度高的第1导电类型的第3半导体区；在上述第3半导体区上形成的电极；在上述第1半导体区上形成的第1绝缘膜；在上述第1绝缘膜上形成的第2绝缘膜；形成在上述第2绝缘膜上的多个第2浮置场板，上述多个第2浮置场板在上述第1半导体区的上方并排配置在从上述第3半导体区朝向上述第2半导体区的第1方向上；在上述第2浮置场板上形成的第3绝缘膜；以及形成在上述第3绝缘膜上的多个第3浮置场板，上述多个第3浮置场板在上述第1半导体区的上方并排配置在上述第1方向上，其中，上述电极具有在上述第1绝缘膜上延伸的第1电极部和在上述第2绝缘膜上延伸的第2电极部，上述第2电极部中在上

述第1方向上延伸于上述第1绝缘膜上方的部分的长度比上述第1电极部中在上述第1方向上延伸于上述第1绝缘膜上的部分的长度长。

根据本发明的第1方面的半导体器件,其中,在将上述第1绝缘膜的厚度定为 a 、将上述第1浮置场板与上述第2浮置场板之间的沿着上述厚度方向的第2方向上的距离定为 b 时, $a > b$ 。

根据本发明的第1方面的半导体器件,还具有在上述第3半导体区上形成的电极,上述电极具有在上述第1绝缘膜上延伸的第1电极部和在上述第2绝缘膜上延伸的第2电极部,上述第2电极部中在上述第1方向上延伸于上述第1绝缘膜上方的部分的长度比上述第1电极部中在上述第1方向上延伸于上述第1绝缘膜上的部分的长度长。

根据本发明的第1方面的半导体器件,在将上述第1绝缘膜的厚度定为 a 、将上述第2浮置场板与上述第3浮置场板之间沿上述第2方向的距离定为 c 时, $a > c$ 。

根据本发明的第2方面的半导体器件,上述电极还具有在上述第2绝缘膜上延伸的第2电极部和在上述第3绝缘膜上延伸的第3电极部,上述第3电极部中在上述第1方向上延伸于上述第1绝缘膜上方的部分的长度比上述第1电极部中在上述第1方向上延伸于上述第1绝缘膜上的部分的长度长,且比上述第2电极部中在上述第1方向上延伸于上述第1绝缘膜上方的部分的长度长。

根据本发明的第2方面的半导体器件,在将上述第1绝缘膜的厚度定为 a 、将上述第2绝缘膜的厚度定为 b 、将上述第2浮置场板与上述第3浮置场板之间沿着作为上述厚度方向的第2方向上的距离定为 c 时, $a + b > c$ 。

根据本发明的第3方面的半导体器件,上述电极还具有在上述第3绝缘膜上延伸的第3电极部,上述第3电极部中在上述第1方向上延伸于上述第1绝缘膜上方的部分的长度比上述第2电极部中在上述第1方向上延伸于上述第1绝缘膜上方的部分的长度更长。

根据本发明的第3方面的半导体器件,在将上述第1电极部中在上述第1方向上延伸于上述第1绝缘膜上的部分的长度定为 d 、上述

第2电极部中在上述第1方向上延伸于上述第1绝缘膜上方的部分的长度定为比上述长度 d 多了长度 e 、上述第3电极部中在上述第1方向上延伸于上述第1绝缘膜上方的部分的长度定为比上述长度 $d+e$ 还多长度 f 时， $d>e$ 且 $d>f$ 。

根据本发明的第3方面的半导体器件，在将上述第1绝缘膜的厚度定为 a 、将上述第2绝缘膜的厚度定为 b 、将上述第2浮置场板与上述第3浮置场板之间沿着作为上述厚度方向的第2方向上的距离定为 c 时， $a+b>c$ 。

根据本发明的上述半导体器件，上述第2半导体区起到晶体管的沟道区的功能，上述第3半导体区起到上述晶体管的漏区的功能。

根据本发明的上述半导体器件，上述第2半导体区起到二极管的阳极的功能，上述第3半导体区起到上述二极管的阴极的功能。

根据本发明的上述半导体器件，上述第3半导体区起到芯片的外周部的沟道停止区的功能。

根据本发明的上述半导体器件，还具有与上述第1半导体区的下侧接触的第2导电类型的第4半导体区。

根据本发明的上述半导体器件，上述第1半导体区的杂质浓度低且厚度薄，以便通过对上述第1半导体区与上述第4半导体区之间的第1pn结施加比上述第1半导体区与上述第2半导体区之间的第2pn结的击穿电压低反向电压，在上述第2半导体区和上述第3半导体区之间使耗尽层从上述第1pn结扩展到上述半导体衬底的上表面。

按照第1方面的半导体器件，由于第1绝缘膜的厚度 a 大，故缓和了在第1绝缘膜中等电位线的变形，缓和了第1半导体区上表面的电场集中。此外，由于第1浮置场板FA与第2浮置场板FB之间的距离 b 小，故在用第1浮置场板和第2浮置场板形成的电容器中可得到高的电容耦合效应，促进第2绝缘膜的极化。由此，以往耗尽相难以扩展的各第1浮置场板间的下方的第1半导体区上部的耗尽层变得容易扩展，缓和了该部分中的电场集中。因而，对于击穿临界电场点的电场强度的容限变大，可抑制该器件的耐压下降或耐压特性的不稳

定的问题。其结果，该器件可稳定地维持高耐压。

按照第2方面的半导体器件，由于各个上述第1浮置场板的宽度 i 与各个第1浮置场板间的距离 j 相等，故第1半导体区上表面的电位分布变得均匀，缓和了第1半导体区上表面的电场集中。因而，对于击穿临界电场点的电场强度的容限变大，可抑制该器件的耐压下降或耐压特性的不稳定的问题。其结果，该器件可稳定地维持高耐压。

按照第3方面的半导体器件，由于第2浮置场板与第3浮置场板之间的距离 c 小，故在用第2浮置场板和第3浮置场板形成的电容器中可得到高的电容耦合效应，促进第3绝缘膜的极化。由此，以往耗尽相难以扩展的各第1浮置场板间的下方的第1半导体区上部的耗尽层变得容易扩展，缓和了该部分中的电场集中。因而，对于击穿临界电场点的电场强度的容限变大，可抑制该器件的耐压下降或耐压特性的不稳定的问题。其结果，该器件可稳定地维持高耐压。

按照第4方面的半导体器件，由于各个第1浮置场板中与1个上述第2浮置场板重叠的部分的宽度 g 大，故在用第2浮置场板和第3浮置场板形成的电容器中可得到高的电容耦合效应，促进第2绝缘膜的极化。由此，以往耗尽相难以扩展的各第1浮置场板间的下方的第1半导体区上部的耗尽层变得容易扩展，缓和了该部分中的电场集中。因而，对于击穿临界电场点的电场强度的容限变大，可抑制该器件的耐压下降或耐压特性的不稳定的问题。其结果，该器件可稳定地维持高耐压。

按照第5方面的半导体器件，由于在第3半导体区上形成的电极具有在第1绝缘膜上并在第1方向上延伸的第1电极部，故缓和了在第1半导体区上表面的第3半导体区附近的电场集中。器件的击穿临界电场点较多地处于第3半导体区附近，由于缓和了该附近的电场集中，故可抑制该器件的耐压下降或耐压特性的不稳定的问题。其结果，该器件可稳定地维持高耐压。

按照第6方面的半导体器件，由于第2电极部中的在第1绝缘膜的上方并在第1方向上延伸的部分的长度比第1电极部中的在第1绝

缘膜上并在第1方向上延伸的部分的长度长,故缓和了在第1半导体区上表面的第3半导体区附近的电场集中。器件的击穿临界电场点较多地处于第3半导体区附近,由于缓和了该附近的电场集中,故可抑制该器件的耐压下降或耐压特性的不稳定的问题。其结果,该器件可稳定地维持高耐压。

按照第7方面的半导体器件,由于在将第1电极部中的在第1绝缘膜上并在第1方向上延伸的部分的长度定为 d 时,第2电极部中的在第1绝缘膜的上方并在第1方向上延伸的部分的长度定为比长度 d 多了长度 e ,该长度 d 与长度 e 的关系为 $d > e$,故第1半导体区上表面的最靠近第3半导体区一侧的电场峰值与现有结构相比该第3半导体区较远。其结果,缓和了在第1半导体区上表面的第3半导体区附近的电场集中。器件的击穿临界电场点较多地处于第3半导体区附近,由于缓和了该附近的电场集中,故可抑制该器件的耐压下降或耐压特性的不稳定的问题。其结果,该器件可稳定地维持高耐压。

附图说明

图1是示出功率器件和功率器件驱动装置的图。

图2是功率器件驱动装置中的高压侧驱动部的主要部分的电路图。

图3是示出功率器件驱动装置中的高压侧驱动部的布局的概略平面图。

图4是功率器件驱动装置中的高压侧驱动部的主要部分的概略剖面图。

图5是功率器件驱动装置中的高压侧驱动部的主要部分的概略剖面图。

图6是示出与实施例1有关的HV-MOS的结构图。

图7是示出与实施例1有关的HV-MOS的隔断状态中的漏-源间的电场分布的图。

图8是示出现有的HV-MOS的隔断状态中的漏-源间的电场分

布的图。

图 9 是说明实施例 1 的效果用的图。

图 10 是示出与实施例 1 有关的 HV-MOS 的隔断状态中的漏-源间的电位分布和电流分布的图。

图 11 是示出现有的 HV-MOS 的隔断状态中的漏-源间的电位分布和电流分布的图。

图 12 是说明实施例 1 的效果用的图。

图 13 是示出将与实施例 1 有关的发明应用于高耐压二极管的例子图。

图 14 是示出与实施例 2 有关的 HV-MOS 的结构图。

图 15 是示出与实施例 2 有关的 HV-MOS 的隔断状态中的漏-源间的电场分布图。

图 16 是说明实施例 2 的效果用的图。

图 17 是示出与实施例 3 有关的 HV-MOS 的结构图。

图 18 是示出与实施例 3 有关的 HV-MOS 的隔断状态中的漏-源间的电场分布图。

图 19 是示出与实施例 3 有关的 HV-MOS 的隔断状态中的漏-源间的电位分布和电流分布图。

图 20 是示出与实施例 4 有关的 HV-MOS 的结构图。

图 21 是示出与实施例 4 有关的 HV-MOS 的隔断状态中的漏-源间的电场分布图。

图 22 是示出与实施例 4 有关的 HV-MOS 的隔断状态中的漏-源间的电位分布和电流分布图。

图 23 是示出实施例 4 的变形例图。

图 24 是示出作为实施例 4 的变形例的 HV-MOS 的隔断状态中的漏-源间的电场分布图。

图 25 是示出作为实施例 4 的变形例的 HV-MOS 的隔断状态中的漏-源间的电位分布和电流分布图。

图 26 是示出与实施例 5 有关的 HV-MOS 的结构图。

图 27 是示出与实施例 6 有关的 HV-MOS 的结构图。

图 28 是示出与实施例 6 有关的 HV-MOS 的阻断状态中的漏-源间的电场分布图。

图 29 是示出实施例 6 的变形例的图。

图 30 是示出作为实施例 6 的变形例的 HV-MOS 的阻断状态中的漏-源间的电场分布图。

图 31 是示出与实施例 7 有关的 HV-MOS 的结构图。

图 32 是示出与实施例 7 有关的 HV-MOS 的阻断状态中的漏-源间的电场分布图。

图 33 是示出实施例 7 的变形例的图。

图 34 是示出作为实施例 7 的变形例的 HV-MOS 的阻断状态中的漏-源间的电场分布图。

图 35 是示出将与实施例 7 有关的发明应用于高耐压二极管的例子图。

图 36 是示出与实施例 7 有关的高耐压二极管的阻断状态中的漏-源间的电场分布图。

图 37 是示出与实施例 7 有关的高耐压二极管的阻断状态中的漏-源间的电场分布图。

图 38 是示出与实施例 8 有关的 HV-MOS 的结构图。

图 39 是示出与实施例 8 有关的 HV-MOS 的阻断状态中的漏-源间的电场分布图。

图 40 是说明本发明的实施例的变形例用的图。

图 41 是说明本发明的实施例的变形例用的图。

具体实施方式

〈实施例 1〉

图 1 是说明可应用本发明的半导体器件的一例用的图，是示出一般的功率器件和功率器件驱动装置的图。作为功率开关器件的 n 沟道型 IGBT（绝缘栅型双极型晶体管）51、52 对作为主电源的高电压 HV

进行转换。在节点 30 上连接了负载，IGBT51、52 分别连接了保护其免受因该负载引起的反电动势用的续流二极管 D1、D2。

驱动 IGBT51、52 的功率器件驱动装置 100 按照控制高压侧 IGBT51 的高压侧控制输入 HIN 和控制低压侧 IGBT52 的低压侧控制输入 LIN 工作。功率器件驱动装置 100 还具有驱动高压侧 IGBT51 的高压侧驱动部 101、驱动低压侧 IGBT52 的低压侧驱动部 102 和控制输入处理部 103。

控制输入处理部 103 进行避免例如 IGBT51、52 同时成为导通状态在 IGBT51、52 流过贯通电流而在负载中不流过电流那样的不理想的状态用的信号处理等。高压侧驱动部 101 的高压侧驱动信号输出 HO 连接到 IGBT51 的控制端子上。低压侧驱动部 102 的低压侧驱动信号输出 LO 连接到 IGBT52 的控制端子上。

从低压侧固定供给电源（未图示）供给成为低压侧驱动部 102 的电源的低压侧固定供给电源 VCC。高压侧浮置偏移电压 VS 成为高压侧驱动部 101 的基准电位。此外，由高压侧浮置电源（未图示）供给在高压侧驱动部 101 中成为电源的高压侧浮置供给绝对电压 VB。共同接地端 COM、高压侧浮置偏移电压 VS 分别连接到 IGBT51、52 的发射极端子上。

此外，在高压侧浮置供给绝对电压 VB - 高压侧浮置偏移电压 VS 间和共同接地端 COM - 低压侧固定供给电源 VCC 之间，为了跟随与 IGBT51、52 的工作相伴的电位变动而连接了电容器 C1、C2。

利用以上那样的结构，构成进行基于控制输入 HIN、LIN 的 IGBT51、52 的主电源 HV 的转换的功率器件。

由于高压侧驱动部 101 在相对于电路的接地电位其电位为浮置的状态下工作，故成为具有将驱动信号传递给高压侧电路用的所谓的电平移动电路的结构。图 2 是高压侧驱动部 101 的主要部分的电路图。在该图中，对与图 1 示出的同样的要素附以同一符号。高耐压 MOSFET（以下称为「HV-MOS」）11 是高耐压开关元件。高压侧驱动信号输出用 CMOS12 由 pMOS 晶体管和 nMOS 晶体管构成，输出高压侧

驱动信号。电平移动电阻 13 起到相当于设定高压侧驱动信号输出用 CMOS12 的栅电位用的上拉电阻的作用。

HV-MOS11 按照高压侧控制输入 HIN 进行转换,使高压侧驱动信号输出用 CMOS12 的栅电位变化。由此高压侧驱动信号输出用 CMOS12 转换高压侧浮置供给绝对电压 VB-高压侧浮置偏移电压 VS 间的电压,对高压侧驱动信号输出 HO 输出驱动信号来驱动 IGBT51。

图 3 是示出功率器件驱动装置 100 中的高电位岛中设置的布局的概略平面图。在被称为高电位岛的区域内形成了由高压侧驱动信号输出用 CMOS12 和电平移动电阻 13 构成的高压侧驱动电路。是示出高压侧驱动部 101 的布局的概略平面图。该图的铝布线与接地电位 GND 接触。图 4 是图 2 中示出的高压侧驱动部 101 的主要部分的概略剖面图,与图 3 的 B-B 剖面相对应。在图 4 中,对与图 1 和图 2 示出的同样的要素附以同一符号。

p^+ 隔离区 201 到达了硅衬底(p^- 衬底)的 p^- 区 200,该 p^+ 隔离区 201 和 p^- 区 200 的电位称为电路上最低的电位(接地电位 GND 或共同接地 COM 电位)。在形成 HV-MOS11 的区域中形成作为第 1 半导体区的 n^- 层 110、作为第 2 半导体区的 p 阱 111、其杂质浓度比 n^- 层 110 的杂质浓度高的作为第 3 半导体区的 n 区 117 和 n^+ 漏区 118,使其分别到达衬底的上表面。将 p 阱 111 形成为在 n^- 层 110 的内部与该 n^- 层 110 接触。在相对于 p 阱 111 夹住 n^- 层 110 的位置上形成了 n 区 117。即,以夹住 n^- 层 110 的方式在其一侧配置 p 阱 111,在另一侧配置 n 区 117。

在 p 阱 111 的内部还形成了 n^+ 源区 112 和 p^+ 区 113,以连接到其上的方式形成 HV-MOS11 的源电极 114。在 n^+ 源区 112 和 n^- 层 110 之间的 p 阱 111 上经栅绝缘膜 115 形成栅电极 116。即, p 阱 111 起到 HV-MOS11 的沟道区的功能。将 HV-MOS11 的漏电极 119 形成为连接到 n^+ 漏区 118 上。

在高压侧驱动信号输出用 CMOS12 的形成 pMOS 晶体管的 n 层 121 内形成 p^+ 漏区 122、 n^+ 区 127 和 p^+ 源区 126。在 p^+ 漏区 122 上形

成漏电极 123, 在 p^+ 源区 126 和 n^+ 区 127 上形成源电极 128, 在 p^+ 漏区 122 与 p^+ 源区 126 之间的 n 层 121 上经栅绝缘膜 124 形成栅电极 125。另一方面, 在高压侧驱动信号输出用 CMOS12 的形成 nMOS 晶体管的 p 阱 131 内形成 p^+ 区 132、 n^+ 源区 133 和 n^+ 漏区 137。在 p^+ 区 132 和 n^+ 源区 133 上形成源电极 134, 在 n^+ 漏区 137 上形成漏电极 138, 在 n^+ 源区 133 与 n^+ 漏区 137 之间的 p 阱 131 上经栅绝缘膜 135 形成栅电极 136。

然后, HV-MOS11 的漏电极 119 连接到高压侧驱动信号输出用 CMOS12 的 pMOS 晶体管和 nMOS 晶体管的栅电极 125、136 上, 此外, 经电平移动电阻 13 连接到 pMOS 晶体管的源电极 128 和高压侧浮置供给绝对电压 VB 上。

图 5 是功率器件驱动装置 100 中的高压侧驱动部 101 的另一(与图 4 不同的)概略剖面图, 与图 3 的 A-A 或 C-C 相对应。在该图中, 对与图 4 示出的同样的要素附以同一符号。图 5 中示出的区域 14 示出了连接到高压侧驱动部 101 上的高耐压二极管(在图 1、图 2 中未图示)。

高耐压二极管(以下称为「HV-二极管」)14 具有与上述的 HV-MOS11 类似的结构, 由作为第 1 半导体区的 n^- 层 143、作为第 2 半导体区的 p^+ 隔离区 144 和其杂质浓度比 n^- 层 143 的杂质浓度高的作为第 3 半导体区的 n 层 121 的 n^+ 阴极区 141 构成, 使其分别到达衬底的上表面。 p^+ 隔离区 144 与 n^- 层 143 的一侧接触, n 层 121 与 n^- 层 143 的另一侧接触。即, 将 p^+ 隔离区 144 和 n 层 121 形成为夹住 n^- 层 143。由于 p^+ 隔离区 144 起到 HV-二极管 14 的阳极的功能, 故以下称为「 p^+ 阳极区 144」。将 HV-二极管 14 的阴极电极 142 形成为连接到 n^+ 阴极区 141 上, 将阳极电极 145 形成为连接到 p^+ 阳极区 144 上。 p^+ 阳极区 144 到达 p^- 区 200 上。在 p^+ 阳极区 144 上形成了阳极电极 145, p^- 区 200 的电位称为电路上最低的电位(GND 或 COM 电位)。将 HV-二极管 14 保持在高压侧浮置供给绝对电压 VB 与 GND 或 COM 之间的电压。

图 6 是示出与实施例 1 有关的 HV-MOS 的结构图，是图 4 中的 HV-MOS11 的放大图。对与图 4 示出的同样的要素附以同一符号。但是，在该图中，为了谋求以后的说明的方便，与图 4 相比使左右相反来描述。

在 n^- 层 110 上形成第 1 绝缘膜 LA。在第 1 绝缘膜 LA 的上表面上并在 n^- 层 110 的上方形形成多个第 1 浮置场板 FA (FA1~FA8)。再者，在第 1 浮置场板 FA 上形成第 2 绝缘膜 LB。在第 2 绝缘膜 LB 的上表面上并在 n^- 层 110 的上方形形成多个第 2 浮置场板 FB (FB1~FB8)。

在此，在本说明书中将从第 3 半导体区（在此是 n 区 117）朝向第 2 半导体区（在此是 p 阱 111）的方向称为「第 1 方向」，将第 1 绝缘膜 LA、第 2 绝缘膜 LB 的厚度方向称为「第 2 方向」（参照图 6 的箭头）。第 1 浮置场板 FA1~FA8 在第 1 方向上并排地配置，第 2 浮置场板 FB1~FB8 也在相同的第 1 方向上并排地配置。

此外，漏电极 119 具有在第 1 绝缘膜 LA 上延伸的部位 DA，该部分起到通常的（不是浮置状态）场板的功能。以下，将该部位称为「第 1 漏电极部 DA」。另一方面，栅电极 116 具有在第 1 绝缘膜 LA 上延伸的部位 GA 和在第 2 绝缘膜 LB 上延伸的部位 GB，该部分也起到通常的场板的功能。以下，将两者分别称为「第 1 栅电极部 GA」和「第 2 栅电极部 GB」。

第 1 浮置场板 FA 和第 2 浮置场板 FB 利用场板效应促进 n^- 层 110 内的耗尽层的扩展。各个第 1 浮置场板 FA 和第 2 浮置场板 FB 经第 2 绝缘膜 LB 互相进行电容耦合，形成了多个电容器。此外，最靠近漏侧的第 2 浮置场板 FB1 经第 2 绝缘膜 LB 与第 1 漏电极部 DA 之间形成了电容器，最靠近栅侧的第 1 浮置场板 FA8 经第 2 绝缘膜 LB 在与第 2 栅电极部 GB 之间形成了电容器。这些多个电容器在 HV-MOS 的隔断时分担并保持在漏电极 119-源电极 114 之间施加的高电压，由此决定各个第 1 浮置场板 FA 和第 2 浮置场板 FB 的电位。由此抑制了因场板效应而过度促进耗尽层的扩展的情况。

例如,假定第1浮置场板FA是连续的1片场板,则过度促进耗尽层的扩展,在靠近漏的硅衬底的表面上产生电场集中,HV-MOS的高耐压化变得困难。因此,在本实施例中,通过分别在第1方向上并排地配置多个第1浮置场板FA和第2浮置场板FB,抑制耗尽层的过度扩展,谋求了HV-MOS的高耐压化。

此外,在图6的HV-MOS中,应用所谓的RESURF结构谋求进一步的高耐压化。即,通过对 n^- 层110与 p^- 区200(第4半导体区)之间的pn结(以下称为「第1pn结」)施加比 n^- 层110与p阱111之间的pn结(以下称为「第2pn结」)的击穿电压低反向电压,使 n^- 层110的杂质浓度降低且厚度减薄到下述的程度,即,在n区117与p阱111之间的 n^- 层110内耗尽层从第1pn结扩展到衬底的上表面的程度。

在本实施例中,在将第1绝缘膜LA的厚度定为a、将第1浮置场板FA与第2浮置场板FB之间的第2方向(第2绝缘膜LB的厚度方向)的距离定为b时,与现有的结构相比,加厚第1绝缘膜LA,减薄第2绝缘膜LB,使得 $a>b$ 。

图7是示出在图6的HV-MOS中使栅电极116-源电极114间短路、使该HV-MOS成为隔断状态、在漏电极119-源电极114间施加了高电压时的该HV-MOS内部的电场分布的图。在该图中,示出了从硅衬底表面(Si表面)起到n区117与 p^- 区200之间的pn结深度的电场分布。特别是实线示出了硅衬底表面的电场分布和 n^- 层110与 p^- 区200之间的第1pn结深度的电场分布。另一方面,图8是示出现有的HV-MOS(在图6中, $a<b$,而且,连接了漏电极119与第2浮置场板FB1)中的与图7同样的电场分布的图。

从图7、图8可知,电场强度最高的部位是第1pn结深度中的漏附近的部位。因而,作为决定HV-MOS的耐压值的部位的击穿临界电场点成为该部分。另一方面,在硅衬底表面上在第1栅电极部GA的前端的下方和在第1浮置场板FA1~FA8各自的漏侧边缘的下方或源侧边缘的下方观察到电场峰值(电场集中)。

如图 8 中所示,在现有结构的 HV-MOS 中,硅衬底表面的电场峰值比较大,与击穿临界电场点的电场强度的差(容限)很小。因而,在实际的使用时,由于在 HV-MOS 上形成的涂敷绝缘膜或环氧树脂的极化的影响的缘故,硅衬底表面的电场峰值容易超过击穿临界电场点的电场强度,可能存在耐压下降或耐压特性的不稳定的问题。

与此不同,可知在图 7 中示出的本实施例中硅衬底表面的电场峰值比较小。即,可知电场集中被缓和了。因而,对于击穿临界电场点的电场强度的容限增加了,由于硅衬底表面的电场峰值难以超过击穿临界电场点的电场强度,故可抑制耐压下降或耐压特性的不稳定的问题。其结果, HV-MOS 可稳定地维持高耐压。

图 9 是 a-b 与硅衬底表面的电场峰值的关系。可知 a-b 的值越大,电场峰值越小。即,通过增加厚度 a、减小距离 b 来进一步增加 a-b 的值,可增加对于击穿临界电场点的电场强度的容限,可增加上述的效果。

再者,图 10 是示出在图 6 的 HV-MOS 的隔断状态下在漏电极 119-源电极 114 间施加了高电压的情况的该 HV-MOS 内的电位分布和电流分布的图。电位分布用等电位线来示出,其形状与从源侧到漏侧耗尽层的扩展的形状相对应。另一方面,图 11 示出了现有的 HV-MOS (即,在图 6 中 $a < b$) 中的与图 10 同样的电位分布和电流分布。

图 10 和图 11 中的参照编号 0~6 示出了硅衬底表面(n^- 层 110 与第 1 绝缘膜 LA 的界面)中的等电位线的间隔。在与本实施例有关的 HV-MOS 中,由于第 1 绝缘膜 LA 的厚度 a 大,故如图 10 中所示,由于等电位线的变形在第 1 绝缘膜 LA 内被缓和,故与现有的图 11 相比,间隔 0~6 的大小变得均等。这一点显示了在本实施例的 HV-MOS 中与现有结构相比硅衬底表面附近的耗尽层的扩展是均匀的。如果耗尽层的扩展变得均匀,则难以产生电场集中,因此,在本实施例的 HV-MOS 中,可将硅衬底表面的电场峰值的大小抑制得较低。这样,根据图 10 的电位分布可观察使用图 7 已说明的效果。

此外,图12示出了在隔断状态的HV-MOS的源-漏间施加了高电压时的第1浮置场板FA、第2浮置场板FB、第1漏电极部DA、第1栅电极部GA、第2栅电极部GB之间形成的各电容器保持的电位差的漏-源间分布。在图12中,实线的曲线图是与本实施例有关的图6的HV-MOS中的分布的曲线图,点线是现有的HV-MOS(在图6中, $a < b$,而且连接了漏电极119与第2浮置场板FB1)中的分布的曲线图。在现有结构的HV-MOS中,在接近于源侧和漏侧的电容器中存在保持特别高的电压的趋势,故可能存在该部分中的第2绝缘膜LB的绝缘破坏。如图12中所示,在本实施例的HV-MOS中,该趋势变小,各电容器保持的电位差的离散减小了。即,按照本实施例,可得到难以产生第2绝缘膜LB的绝缘破坏的效果,由此,也可有助于HV-MOS的高耐压化。

此外,在本实施例的HV-MOS中,与现有结构相比,由于减小了第1浮置场板FA与第2浮置场板FB之间的厚度方向(第2方向)的距离 b ,故增加了各电容器的电容值。因而,由于各电容器中的电容耦合效应提高了,故促进了第2绝缘膜LB的极化。在现有结构中,虽然 n^- 层110上部的耗尽层在各第1浮置场板FA的下方容易扩展,但在各第1浮置场板FA之间的下方存在难以扩展的趋势。但是,在本实施例中,因各电容器中的高的电容耦合效应的缘故,第2绝缘膜LB被极化,由于该影响的缘故,可得到即使在各第1浮置场板FA之间的下方耗尽层也容易扩展的效果,由此,也可有助于HV-MOS的高耐压化。

如以上示出的那样,本发明可应用于具有RESURF结构的半导体器件。由此,与现有的RESURF结构相比,可谋求进一步的高耐压化。此外,也可应用于将 n^- 层110作成了杂质浓度互不相同的多层结构的所谓的多层RESURF结构(例如,美国专利第4422089号)。

此外,在以上的说明中,示出了将本发明应用于MOSFET的例子,但本发明的应用不限于此,例如也可广泛地应用于二极管或IGBT等。图13是示出将实施例1应用于高耐压二极管(HV-二极管)的

例子的图，是图 5 中的 HV-二极管 14 的放大图。由于对与图 5 和图 6 中示出的同样的要素附以同一符号，故省略这里的详细的说明。再有，在该图中，为了谋求以后的说明的方便，与图 5 相比使左右相反来描述。

阴极电极 142 具有在第 1 绝缘膜 LA 上延伸的部位 CA，该部分起到通常的场板的功能。以下，将该部位称为「第 1 阴极电极部 CA」。阳极电极 145 具有在第 1 绝缘膜 LA 上延伸的部位 AA 和在第 2 绝缘膜 LB 上延伸的部位 AB，这些部分起到通常的场板的功能。以下，分别称为「第 1 阳极电极部 AA」和「第 2 阳极电极部 AB」。

此外，如上所述，在 HV-二极管 14 中，由于 n^- 层 143 起到第 1 半导体区的功能， p^+ 阳极区 144 起到第 2 半导体区的功能， n 层 121 起到第 3 半导体区的功能，故该情况的「第 1 方向」是从 n 层 121 朝向 p^+ 阳极区 144 的方向（参照图 13 的箭头）。

在该 HV-二极管 14 中，也应用了所谓的 RESURF 结构。即，通过对 n^- 层 143 与 p^- 区 200（第 4 半导体区）之间的第 1pn 结施加比 n^- 层 143 与 p^+ 阳极区 144 之间的第 2pn 结的击穿电压低反向电压，使 n^- 层 143 的杂质浓度降低且厚度减薄到下述的程度，即，在 n 层 121 与 p^+ 阳极区 144 之间的 n^- 层 143 内耗尽层从第 1pn 结扩展到衬底的上表面的程度。

在图 13 的 HV-二极管中，在将第 1 绝缘膜 LA 的厚度定为 a 、将第 1 浮置场板 FA 与第 2 浮置场板 FB 之间的第 2 方向的距离定为 b 时，与现有的结构相比，也加厚第 1 绝缘膜 LA，减薄第 2 绝缘膜 LB，使得 $a > b$ 。在 $a > b$ 的 HV-二极管中，在下述方面也可得到与上述同样的效果：即，降低了硅衬底表面的电场峰值，缓和了电场集中，可抑制耐压下降或耐压特性的不稳定的问题等。

〈实施例 2〉

图 14 是示出与实施例 2 有关的 HV-MOS 的结构图。与在实施例 1 中在图 6 中示出的 HV-MOS 的不同点是，漏电极 119 具有在第 2 绝缘膜 LB 上延伸的部位 DB。该部位 DB 起到通常的（不是浮置

状态)场板的功能,以下,称为「第2漏电极部DB」。

如图14中所示,在第2漏电极部DB中的在第2绝缘膜LB上方在第1方向上延伸的部分的长度比在第1漏电极部DA中的第1绝缘膜LA上在第1方向上延伸的部分的长度长。第2漏电极部DB经第2绝缘膜LB覆盖了第1漏电极部DA。而且,第2漏电极部DB的一部分经第2绝缘膜LB与第1浮置场板FA1的一部分重叠。即,如图14中所示,也可以说该第2漏电极部DB将第2浮置场板FB1连接到图6的漏电极119上。

图15是示出在图14的HV-MOS中使栅电极116-源电极114间短路、使该HV-MOS成为隔断状态、在漏电极119-源电极114间施加了高电压时的该HV-MOS内部的电场分布的图。在该图中,示出了从硅衬底表面(Si表面)起到n区117与p⁻区200之间的pn结深度的电场分布。特别是实线示出了硅衬底表面的电场分布和n⁻层110与p⁻区200之间的第1pn结深度的电场分布。

图15与在实施例1中示出的图7比较可知,按照本实施例,硅衬底表面中的最靠近漏侧的第1浮置场板FA1的边缘部下方的电场峰值被缓和。由于因该影响的缘故击穿临界电场点(漏侧的n区117的第1pn结深度的部分)的附近的电场强度降低了,故实现了HV-MOS的高耐压化。即,按照本实施例,与实施例1相比,可实现进一步的高耐压化。

此外,图16示出了在隔断状态的HV-MOS的源-漏间施加了高电压时的第1浮置场板FA、第2浮置场板FB、第1漏电极部DA、第1栅电极部GA、第2栅电极部GB之间形成的各电容器保持的电位差的漏-源间分布。在图16中,实线的曲线图是与本实施例有关的图14的HV-MOS中的分布的曲线图,点线是现有的HV-MOS(在图14中,a<b)中的分布的曲线图。可知在本实施例中,也与实施例1同样,各电容器保持的电位差的离散减小了。即,在本实施例中,也难以产生第2绝缘膜LB的绝缘破坏,可有助于HV-MOS的高耐压化。

〈实施例3〉

图 17 是示出与实施例 3 有关的 HV-MOS 的结构图。在该图中, 由于对与图 6 和图 14 中示出的同样的要素附以同一符号, 故省略这些要素的详细的说明。

在本实施例中, 使各个第 1 浮置场板 FA 的宽度与第 1 浮置场板 FA 相互间的间隔相等。即, 在将各个第 1 浮置场板 FA 的第 1 方向 (从 n 区 117 朝向 n⁺ 源区 112 的方向) 的宽度定为 i、将各个第 1 浮置场板 FA 间的第 1 方向的距离定为 j 时, $i=j$ 。此外, 在图 17 的例子中, 厚度 a (第 1 绝缘膜 LA 的厚度) 与距离 b (第 1 浮置场板 FA 与第 2 浮置场板 FB 之间的第 2 方向的距离) 的关系与现有结构相同, 定为 $a < b$ 。上述以外的方面与在实施例 2 中示出的图 14 是同样的。

图 18 是示出在图 17 的 HV-MOS 中使栅电极 116-源电极 114 间短路、使该 HV-MOS 成为隔断状态、在漏电极 119-源电极 114 间施加了高电压时的 HV-MOS 内部的电场分布的图。在该图中, 示出了从硅衬底表面 (Si 表面) 起到 n 区 117 与 p⁻ 区 200 之间的 pn 结深度的电场分布。特别是实线示出了硅衬底表面的电场分布和 n⁻ 层 110 与 p⁻ 区 200 之间的第 1pn 结深度的电场分布。与示出现有结构的 HV-MOS 中的电场分布的图 8 比较可知, 在本实施例的图 18 中, 硅衬底表面中的电场峰值变低、电场集中被缓和了。因而, 对于击穿临界电场点的电场强度的容限增加了, 由于硅衬底表面的电场峰值难以超过击穿临界电场点的电场强度, 故可抑制耐压下降或耐压特性的不稳定的问题。其结果, HV-MOS 可稳定地维持高耐压。

图 19 是示出在图 17 的 HV-MOS 的隔断状态下在漏电极 119-源电极 114 间施加了高电压的情况的该 HV-MOS 内的电位分布和电流分布的图。在图 19 中, 电位分布也用等电位线来示出, 参照编号 0~6 示出了硅衬底表面 (n⁻ 层 110 与第 1 绝缘膜 LA 的界面) 中的等电位线的间隔。在本实施例中, 由于使各个第 1 浮置场板 FA 的宽度与第 1 浮置场板 FA 相互间的宽度相等, 故与现有的图 11 相比, 间隔 0~6 的大小变得均等。即, 在本实施例的 HV-MOS 中与现有结构相比

硅衬底表面附近的耗尽层的扩展是均匀的,可将该部分中的电场峰值的大小抑制得较低。这样,根据图 19 的电位分布可观察上述效果。

再有,在图 17 中,将厚度 a 与距离 b 的关系定为 $a < b$,但也可应用实施例 1,定为 $a > b$ 。此时,也可得到在实施例 1 中已说明的效果,可实现进一步的高耐压化。

此外,在本实施例中,示出了将本发明应用于 MOSFET 的例子,但本发明的应用不限于此,例如也可广泛地应用于二极管或 IGBT 等。

〈实施例 4〉

图 20 是示出与实施例 4 有关的 HV-MOS 的结构图。在该图中,由于对与图 6 和图 14 中示出的同样的要素附以同一符号,故省略这些要素的详细的说明。

与本实施例有关的 HV-MOS 除了图 6 的 HV-MOS 的结构外,还具有在第 2 浮置场板 FB 上形成的第 3 绝缘膜 LC 和在其上形成的多个第 3 浮置场板 FC (FC1 ~ FC6)。在 n^- 层 110 的上方在第 1 方向 (从 n 区 117 朝向 n^+ 源区 112 的方向) 并排地配置了第 3 浮置场板 FC。而且,如果将第 1 绝缘膜 LA 的厚度定为 a 、将第 1 浮置场板 FA 与第 2 浮置场板 FB 之间的第 2 方向 (第 1 绝缘膜 LA、第 2 绝缘膜 LB、第 3 绝缘膜 LC 的厚度方向) 的距离定为 b 、将第 2 浮置场板 FB 与第 3 浮置场板 FC 之间的第 2 方向的距离定为 c ,则减小了距离 c 以使 $c < a$ 且 $c < b$ (减薄了第 3 绝缘膜 LC)。在图 20 的例子中,与现有结构相同,定为 $a < b$ 。

此外,漏电极 119 具有在第 3 绝缘膜 LC 上延伸的部位 DC。该部位 DC 起到通常的 (不是浮置状态) 场板的功能,以下,将该部位称为「第 3 漏电极部 DC」。另一方面,源电极 114 具有在第 3 绝缘膜 LC 上延伸的部位 SC。该部位 SC 起到通常的场板的功能,以下,将该部位称为「源电极部 SC」。

图 21 是示出在图 20 的 HV-MOS 中使栅电极 116 - 源电极 114 间短路、使该 HV-MOS 成为隔断状态、在漏电极 119 - 源电极 114 间施加了高电压时的 HV-MOS 内部的电场分布的图。在该图中,示

出了从硅衬底表面（Si表面）起到n区117与p⁻区200之间的pn结深度的电场分布。特别是实线示出了硅衬底表面的电场分布和n⁻层110与p⁻区200之间的第1pn结深度的电场分布。与示出现有结构的HV-MOS中的电场分布的图8比较可知，在图21中，硅衬底表面中的电场峰值变低、电场集中被缓和了。因而，对于击穿临界电场点的电场强度的容限增加了，由于硅衬底表面的电场峰值难以超过击穿临界电场点的电场强度，故可抑制耐压下降或耐压特性的不稳定的问题。其结果，HV-MOS可稳定地维持高耐压。

图22是示出在图20的HV-MOS的隔断状态下在漏电极119-源电极114间施加了高电压的情况的该HV-MOS内的电位分布和电流分布的图。在图22中，电位分布也用等电位线来示出，参照编号0~6示出了硅衬底表面（n⁻层110与第1绝缘膜LA的界面）中的等电位线的间隔。与现有的图11相比，硅衬底表面中的等电位线朝向漏侧偏移，可知在硅衬底表面耗尽层容易扩展。这显示了硅衬底表面的电场峰值变低的情况。这样，根据图22的电位分布可观察上述效果。

此外，在本实施例的HV-MOS中，由于减小了上述距离c，故增加了由第2浮置场板FB、第3浮置场板FC、第2漏电极部DB、源电极部SC形成的各电容器的电容值。因而，由于各电容器中的电容耦合效应提高了，故促进了第3绝缘膜LC的极化。由于该影响的缘故，可得到即使在以往耗尽层难以扩展的各第1浮置场板FA之间的下方耗尽层也容易扩展的效果，由此，也可有助于HV-MOS的高耐压化。

再有，在图20中，将厚度a与距离b的关系定为 $a < b$ ，但也可应用实施例1，如图23那样，定为 $a > b$ 。此时，也可得到在实施例1中已说明的效果，可实现进一步的高耐压化。

图24是示出在图23的HV-MOS中使栅电极116-源电极114间短路、使HV-MOS成为隔断状态、在漏电极119-源电极114间施加了高电压时的HV-MOS内部的电场分布的图。在该图中，示出了从硅衬底表面（Si表面）起到n区117与p⁻区200之间的pn结深

度的电场分布。特别是实线示出了硅衬底表面的电场分布和 n^- 层 110 与 p^- 区 200 之间的第 1pn 结深度的电场分布。与图 21 比较可知, 硅衬底表面中的电场峰值变低、电场集中被缓和了。

图 25 是示出在图 23 的 HV-MOS 的隔断状态下在漏电极 119 - 源电极 114 间施加了高电压的情况的 HV-MOS 内的电位分布和电流分布的图。电位分布也用等电位线来示出, 参照编号 0~6 示出了硅衬底表面中的等电位线的间隔。在图 23 的 HV-MOS 中, 由于第 1 绝缘膜 LA 的厚度 a 大, 等电位线的变形在第 1 绝缘膜 LA 内被缓和, 故与图 22 相比, 间隔 0~6 的大小变得均等。因此, 可将硅衬底表面中的电场峰值的大小抑制得较低。

这样, 通过应用实施例 1, 可实现进一步的高耐压化。此外, 在以上的说明中, 示出了将本发明应用于 MOSFET 的例子, 但本发明的应用不限于此, 例如也可广泛地应用于二极管或 IGBT 等。

〈实施例 5〉

图 26 是示出与实施例 5 有关的 HV-MOS 的结构图。在该图中, 由于对与图 6 和图 14 中示出的同样的要素附以同一符号, 故省略这些要素的详细的说明。

在本实施例中, 与现有结构相比, 加宽了第 1 浮置场板 FA 和第 2 浮置场板 FB 的宽度。即, 如果将各个第 1 浮置场板 FA 中经第 2 绝缘膜 LB 与 1 个第 2 浮置场板 FB 重叠的部分的第 1 方向的宽度定为 g 、将各个第 2 浮置场板 FB 间的第 1 方向的距离定为 h , 则 $g>h$ (参照图 26)。

此外, 在图 26 的例子中, 厚度 a (第 1 绝缘膜 LA 的厚度) 与距离 b (第 1 浮置场板 FA 与第 2 浮置场板 FB 之间的第 2 方向的距离) 的关系与现有结构相同, 定为 $a<b$ 。

上述以外的方面与在实施例 2 中示出的图 14 是同样的。

按照本实施例, 由于第 1 浮置场板 FA 与第 2 浮置场板 FB 重叠的部分的宽度宽, 故用第 1 浮置场板 FA 和第 2 浮置场板 FB 形成的各电容器的电容值比现有结构的电容值大。因而, 由于各电容器中的

电容耦合效应提高了,故促进了第2绝缘膜LB的极化。由此,可得到即使在各第1浮置场板FA之间的下方耗尽层也容易扩展的效果,可有助于HV-MOS的高耐压化。

此外,通过提高各电容器中的电容耦合效应,各电容器保持的电位差的源漏间的离散减小了,也可得到难以产生第2绝缘膜LB的绝缘破坏的效果。

此外,在本实施例中,示出了将本发明应用于MOSFET的例子,但本发明的应用不限于此,例如也可广泛地应用于二极管或IGBT等。

〈实施例6〉

图27是示出与实施例6有关的HV-MOS的结构图。在该图中,由于对与图20中示出的同样的要素附以同一符号,故省略这些要素的详细的说明。

图27的HV-MOS从图20的结构中去掉了第1浮置场板FA。在将第1绝缘膜LA和第2绝缘膜LB的厚度分别定为 a 、 b 、将第2浮置场板FB与第3浮置场板FC之间的第2方向的距离定为 c 时, $a + b > c$ 。即,图27的第2浮置场板FB和第3浮置场板FC分别起到与实施例1(图6)的第1浮置场板FA和第2浮置场板FB同样的功能。因而,HV-MOS与实施例1同样地可稳定地维持高耐压。

此外,漏电极119具有在第1绝缘膜LA上延伸的第1漏电极部DA。该第1漏电极部DA在第1绝缘膜LA上在第1方向上延伸,其一部分经第2绝缘膜LB与第2浮置场板FB1的一部分重叠。再者,第3漏电极部DC中的在第1绝缘膜LA的上方并在第1方向上延伸的长度比第1漏电极部DA中的在第1绝缘膜LA上并在第1方向上延伸的长度长,而且,比第2漏电极部DB中的在第1绝缘膜LA的上方并在第1方向上延伸的长度长。即,第3漏电极部DC覆盖第1漏电极部DA和第2漏电极部DB的上方。

图28是示出在图27的HV-MOS中使栅电极116-源电极114间短路、使HV-MOS成为隔断状态、在漏电极119-源电极114间施加了高电压时的该HV-MOS内部的电场分布的图。在该图中,示

出了从硅衬底表面（Si表面）起到n区117与p⁻区200之间的pn结深度的电场分布。特别是实线示出了硅衬底表面的电场分布和n⁻层110与p⁻区200之间的第1pn结深度的电场分布。与实施例1同样，可知硅衬底表面中的电场峰值变低、电场集中被缓和了。

此外，硅衬底表面中的最靠近漏侧的电场峰值是在第2浮置场板FB2的漏侧的边缘下，在第2浮置场板FB1的边缘下不出现峰值。这是因为，起到通常的场板的功能的第1漏电极部DA延伸到与第2浮置场板FB1的一部分重叠的位置上。此外，由于第3漏电极部DC在第1绝缘膜LA的上方较长地延伸，以便覆盖第1漏电极部DA和第2漏电极部DB的上方，故进一步缓和了硅衬底表面中的漏电极附近的电场集中。因而，由于击穿临界电场点（漏侧的n区117的第1pn结深度的部分）的附近的电场强度变低，故HV-MOS的耐压值提高了。即，按照本实施例，与实施例1相比，可实现进一步的高耐压化。

图29是示出将实施例2应用于本实施例的变形例的图。即，与图27的的结构的不同点是漏电极具有在第2绝缘膜LB上延伸到的第2漏电极部DB。如图29中所示，第2漏电极部DB中的在第1绝缘膜LA的上方并在第1方向上延伸的部分比第1漏电极部DA中的在第1绝缘膜LA上并在第1方向上延伸的长度长。即，第2漏电极部DB经第2绝缘膜LB覆盖了第1漏电极部DA的上方。如图29中所示，也可以说该第2漏电极部DB连接了图27的漏电极119与第2浮置场板FB1。

图30是示出在图29的HV-MOS中使栅电极116-源电极114间短路、使HV-MOS成为隔断状态、在漏电极119-源电极114间施加了高电压时的该HV-MOS内部的电场分布的图。在图30中，也与图28同样，硅衬底表面中的最靠近漏侧的电场峰值是在第2浮置场板FB2的漏侧的边缘下，在第2浮置场板FB1的边缘下不出现峰值。于是，由于击穿临界电场点的附近的电场强度变低，故HV-MOS的耐压值提高了。即，按照本变形例，可实现进一步的高耐压化。

此外，在本实施例中，示出了将本发明应用于MOSFET的例子，

但本发明的应用不限于此,例如也可广泛地应用于二极管或 IGBT 等。

〈实施例 7〉

图 31 是示出与实施例 7 有关的 HV-MOS 的结构图。在该图中,由于对与图 20 中示出的同样的要素附以同一符号,故省略这些要素的详细的说明。

在与实施例有关的 HV-MOS 中,此外,漏电极 119 具有在第 1 绝缘膜 LA 上延伸的第 1 漏电极部 DA 和在第 2 绝缘膜 LB 上延伸的第 2 漏电极部 DB。而且,与现有的结构相比,第 1 漏电极部 DA 和第 2 漏电极部 DB 延伸得较长。如图 31 中所示,如果将第 1 漏电极部 DA 中的在第 1 绝缘膜 LA 上在第 1 方向上延伸的部分的长度定为 d ,则第 2 漏电极部 DB 中的在第 1 绝缘膜 LA 的上方并在第 1 方向上延伸的部分的长度比长度 d 多了长度 e 。此时,使长度 d 足够大,以便 $d > e$ 。此外,在图 31 的例子中,第 1 绝缘膜 LA 的厚度 a 和第 1 浮置场板 FA 与第 2 浮置场板 FB 之间沿第 2 方向的距离 b 的关系与现有结构相同,定为 $a < b$ 。如图 31 中所示,也可以说该第 1 漏电极部 DA 将图 6 的漏电极 119 连接到第 1 浮置场板 FA1 上,该第 2 漏电极部 DB 将第 2 浮置场板 FB1、FB2 连接到图 6 的漏电极 119 上。

图 32 是示出在图 31 的 HV-MOS 中使栅电极 116-源电极 114 间短路、使 HV-MOS 成为隔断状态、在漏电极 119-源电极 114 间施加了高电压时的 HV-MOS 内部的电场分布的图。在该图中,示出了从硅衬底表面(Si 表面)起到 n 区 117 与 p^- 区 200 之间的 pn 结深度的电场分布。特别是实线示出了硅衬底表面的电场分布和 n^- 层 110 与 p^- 区 200 之间的第 1 pn 结深度的电场分布。硅衬底表面的的最靠近漏侧的电场峰值是在第 1 浮置场板 FA2 的漏侧的边缘下。

例如,与图 7 等比较可知,按照本实施例,最靠近漏侧的电场峰值离击穿临界电场点(漏侧的 n 区 117 的第 1 pn 结深度的部分)较远。于是,击穿临界电场点的附近的电场强度变低, HV-MOS 的耐压值提高了。

再有,在图 31 中,将厚度 a 与距离 b 的关系定为 $a < b$,但也可

应用实施例 1, 如图 33 那样, 定为 $a > b$ 。图 34 是示出在图 33 的 HV-MOS 中使栅电极 116-源电极 114 间短路、使 HV-MOS 成为隔断状态、在漏电极 119-源电极 114 间施加了高电压时的 HV-MOS 内部的电场分布的图。在该图中, 示出了从硅衬底表面 (Si 表面) 起到 n 区 117 与 p^- 区 200 之间的 pn 结深度的电场分布。特别是实线示出了硅衬底表面的电场分布和 n^- 层 110 与 p^- 区 200 之间的第 1pn 结深度的电场分布。总的来说, 与图 32 相比, 可知硅衬底表面中的电场峰值变低、电场集中被缓和了。因而, 如果应用实施例 1, 则可实现进一步的高耐压化。

此外, 本发明的应用不限于 MOSFET, 例如也可广泛地应用于二极管或 IGBT 等。图 35 是示出将本实施例应用于高耐压二极管 (HV-二极管) 的例子的图, 是图 5 中的 HV-二极管 14 的放大图。由于对与图 5 和图 13 中示出的同样的要素附以同一符号, 故省略这里的详细的说明。再有, 即使在该图中, 为了谋求以后的说明的方便, 也与图 5 相比使左右相反来描述。图 35 的 HV-二极管相对于现有的 HV-二极管 (在实施例 1 中示出的图 13 中 $a < b$) 的结构来说, 与图 31 的第 1 漏电极部 DA 和第 2 漏电极部 DB 同样地使第 1 阴极电极部 CA 和第 2 阴极电极部 CB 延伸得较长。

图 36 是示出在图 35 的 HV-二极管中在阴极电极 142 与阳极电极 145 间施加了反向电压时的该 HV-二极管内的电场分布的图。在该图中, 示出了从硅衬底表面 (Si 表面) 起到 n 区 117 与 p^- 区 200 之间的 pn 结深度的电场分布。特别是实线示出了硅衬底表面的电场分布和 n^- 层 143 与 p^- 区 200 之间的第 1pn 结深度的电场分布。此外, 该图示出了图 3 的 C-C 剖面 (即, 高电位岛的角部) 中的电场分布。硅衬底表面中的最靠近阴极侧的电场峰值是在第 1 浮置场板 FA2 的阴极侧的边缘下, 击穿临界电场点 (阴极侧的 n 层 121 的第 1pn 结深度的部分) 的附近的电场强度降低了。

另一方面, 图 37 是示出现有的 HV-二极管 (在实施例 1 中示出的图 13 中 $a < b$ 的结构) 中的与图 36 同样的电场分布的图。该图也示

出了图 3 的 C-C 剖面（即，高电位岛的角部）中的电场分布。硅衬底表面中的最靠近阴极侧的电场峰值是在图 35 中没有的第 2 浮置场板 FB1 的漏侧的边缘下。

比较图 36 和图 37 可知，按照本实施例，最靠近阴极侧的电场峰值离击穿临界电场点较远。于是，击穿临界电场点附近的电场强度比图 35 的 HV-二极管的情况高。因而，应用了本实施例的图 35 的 HV-二极管可得到高的耐压。

一般来说，在高电位岛的角部处，因其形状的影响，存在特别是在 HV-二极管的阴极侧（在 HV-MOS 的情况下，是漏侧）的硅衬底表面中的电场峰值变高的趋势。例如，在图 37 中也观察到硅衬底表面中的最靠近阴极侧的电场峰值比最靠近阳极侧的电场峰值大。因此，以往可能存在因在角部形成的 HV-二极管或 HV-MOS 中的击穿临界电场点附近的电场强度变高引起的耐压的下降的情况。按照本实施例，由于能将 HV-二极管或 HV-MOS 中的击穿临界电场点附近的电场强度抑制得较低，故在应用于角部的 HV-二极管或 HV-MOS 的情况下特别有效。

〈实施例 8〉

在实施例 8 中，示出将实施例 7 应用于实施例 6 的例子。图 38 是示出与本实施例有关的 HV-MOS 的结构图。在该图中，由于对与图 6 和图 29 中示出的同样的要素附以同一符号，故省略这些要素的详细的说明。

与本实施例有关的 HV-MOS 相对于图 29 的结构来说，分别使第 1 漏电极部 DA、第 2 漏电极部 DB、第 3 漏电极部 DC 延伸得较长。如图 38 中所示，如果将第 1 漏电极部 DA 中的在第 1 绝缘膜 LA 上并在第 1 方向上延伸的部分的长度定为 d ，则第 2 漏电极部 DB 中的在第 1 绝缘膜 LA 的上方并在第 1 方向上延伸的部分的长度比长度 d 多了长度 e 。而且，第 3 漏电极部 DC 中的在第 1 绝缘膜 LA 的上方并在第 1 方向上延伸的部分的长度比长度 $d + e$ 还多了长度 f 。此时，使长度 d 足够大，以便使 $d > e$ 且 $d > f$ 。

如图 38 中所示,也可以说该第 2 漏电极部 DB 将图 29 的漏电极 119 连接到第 2 浮置场板 FB1、FB2 上,此外,该第 3 漏电极部 DC 将第 3 浮置场板 FC1 连接到图 29 的漏电极 119 上。

图 39 是示出在图 38 的 HV-MOS 中使栅电极 116-源电极 114 间短路、使 HV-MOS 成为隔断状态、在漏电极 119-源电极 114 间施加了高电压时的 HV-MOS 内部的电场分布的图。在该图中,示出了从硅衬底表面(Si 表面)起到 n 区 117 与 p⁻区 200 之间的 pn 结深度的电场分布。特别是实线示出了硅衬底表面的电场分布和 n⁻层 110 与 p⁻区 200 之间的第 1pn 结深度的电场分布。硅衬底表面的最靠近漏侧的电场峰值是在第 2 浮置场板 FB3 的漏侧的边缘下。与图 30 比较可知,在本实施例中,也与实施例 7 同样,最靠近漏侧的电场峰值离击穿临界电场点(漏侧的 n 区 117 的第 1pn 结深度的部分)较远。于是,击穿临界电场点的附近的电场强度变低, HV-MOS 的耐压值提高了。

如上所述,在高电位岛的角部处,存在特别是在 HV-二极管的阴极侧(在 HV-MOS 的情况下,是漏侧)的硅衬底表面中的电场峰值变高的趋势,可能发生由此产生的耐压下降的情况。按照本实施例,由于可将 HV-二极管或 HV-MOS 的击穿临界电场点附近的电场强度抑制得较低,故在应用于高电位岛的角部的 HV-二极管的情况下特别有效。

〈变形例〉

在以上的各实施例中,将本发明应用于应用了 RESURF 结构的横向器件,但本发明也可应用于纵向器件。在此示出将上述实施例 1 应用于纵向器件的变形例。

图 40 是纵向 HV-MOS 的芯片俯视图,图 41 是沿其芯片外周部(边缘端部)的 D-D 线的放大剖面图。在图 40 和图 41 中,对同一要素附以同一符号。此外,在两图中也对具有与图 6 同样的功能的要素附以与其相同的符号。

如图 40 中所示,在纵向 HV-MOS 中,在芯片的上表面上配置

源电极 114 和栅电极 116, 在背面一侧配置漏电极 (未图示)。在芯片的上表面的外周部上形成沟道停止区 211 (参照图 41), 在其上形成电极 212 (称为「沟道停止区电极」)。

在纵向 HV-MOS 中, 与在实施例 1~8 中已说明的横向 HV-MOS 不同, 在 n^+ 衬底 220 上形成作为第 1 半导体区的 n^- 层 210。即, 在 n^- 层 210 下不形成 p^- 区 (第 4 半导体区)。 n^+ 衬底 211 起到 HV-MOS 的漏的功能, 在 n^+ 衬底 211 的背面一侧形成漏电极 221。在 n^- 层 210 内形成作为第 2 半导体区的 p 阱 111, 在其内部形成 p^+ 区 113。在 p 阱 111 的上方经第 1 绝缘膜 LA 形成的栅电极 116, 在 p 阱 111 和 p^+ 区 113 的上部形成源电极 114。而且, 在 n^- 层 210 的芯片外周部上形成作为第 3 半导体区的沟道停止区 211, 在其上形成沟道停止区电极 212。以夹住 n^- 层 210 的方式形成 p 阱 111 和沟道停止区 211。

在栅电极 116 的布线部与沟道停止区电极 212 之间的 n^- 层 210 的上方经第 1 绝缘膜 LA 形成多个第 1 浮置场板 FA。再者, 在第 1 浮置场板 FA 上形成第 2 绝缘膜 LB, 在第 2 绝缘膜 LB 上形成多个第 2 浮置场板 FB。如图 41 中所示, 从第 3 半导体区 (沟道停止区 211) 朝向第 2 半导体区 (p 阱 111) 的第 1 方向上分别并排地配置第 1 浮置场板 FA 和第 2 浮置场板 FB (在图 40 中, 简化了第 1 浮置场板 FA、第 2 浮置场板 FB 来描述)。

在本变形例中, 与实施例 1 同样, 在将第 1 绝缘膜 LA 的厚度定为 a 、将第 1 浮置场板 FA 与第 2 浮置场板 FB 之间的第 2 方向 (第 1 绝缘膜 LA 和第 2 绝缘膜 LB 的厚度方向) 的距离定为 b 时, 与现有的结构相比, 加厚第 1 绝缘膜 LA, 减薄第 2 绝缘膜 LB, 使得 $a > b$ 。

这样, 通过将实施例 1 应用于纵向 HV-MOS, 缓和了该 HV-MOS 的隔断时的第 1 绝缘膜 LA 与 n^- 层 210 的界面的电场集中。因而, 该 HV-MOS 可在芯片外周部稳定地维持高耐压, 可谋求纵向 HV-MOS 的高耐压化。

再有, 在此示出了将本发明应用于纵向 HV-MOS 的例子, 但除此以外, 也可应用于 IGBT 或二极管等纵向功率器件的全部, 可得到

同样的效果。此外，在本变形例中，只示出了应用了实施例 1 的情况，但当然也可应用其它的实施例。

图1

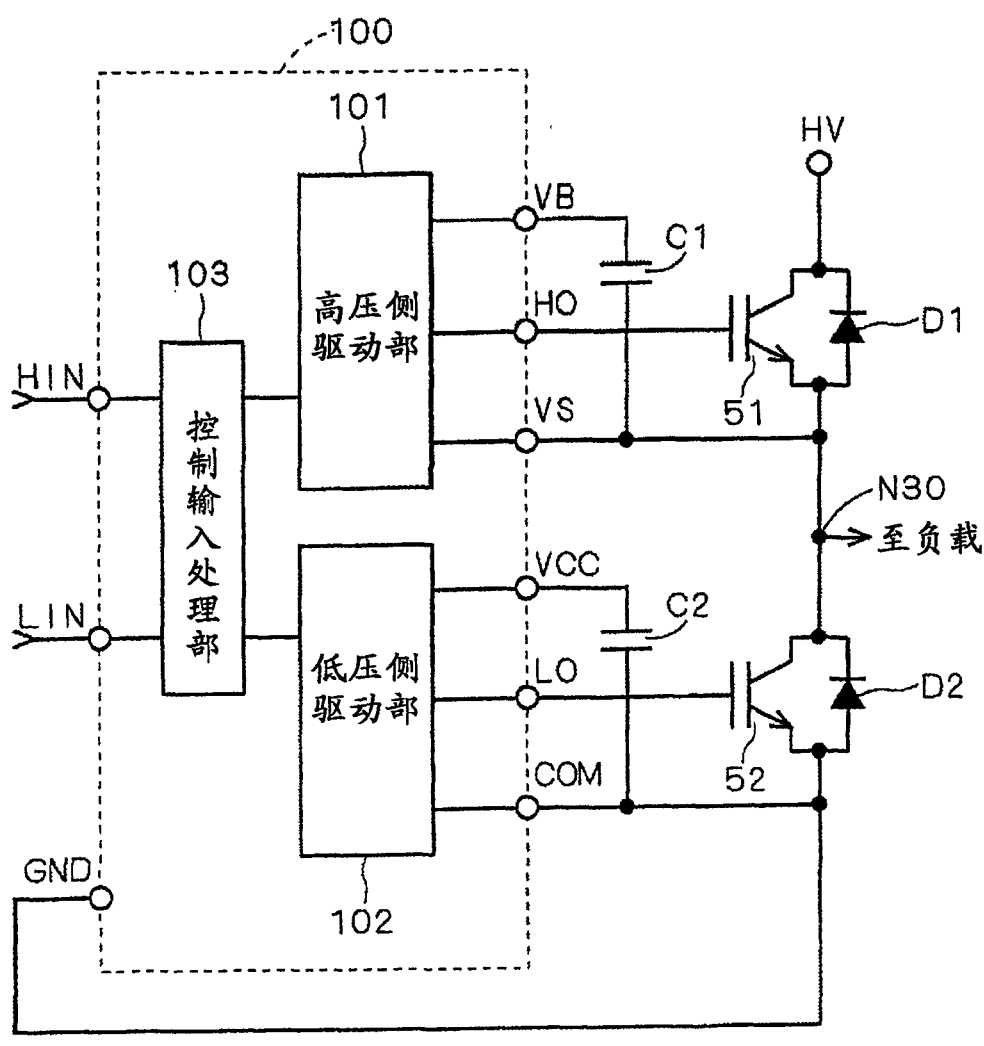


图 2

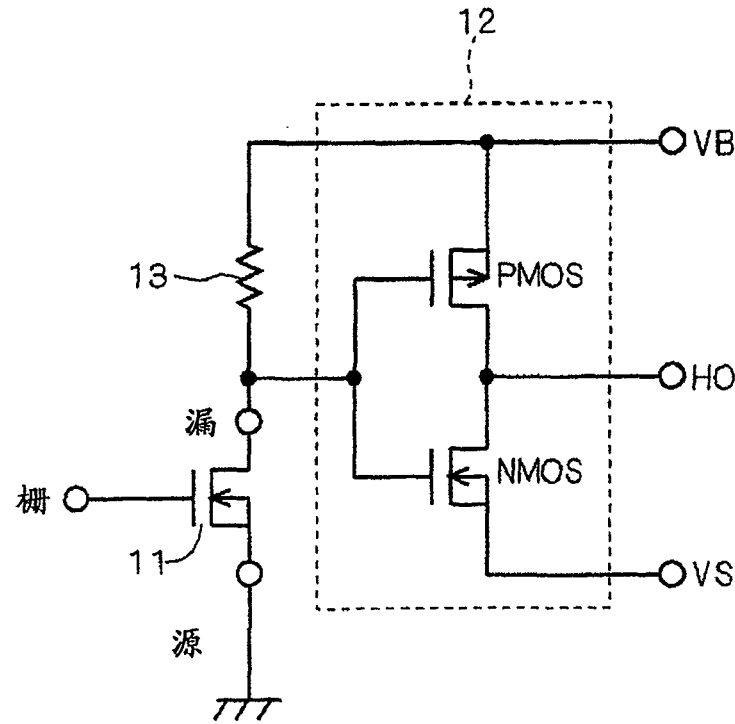


图 3

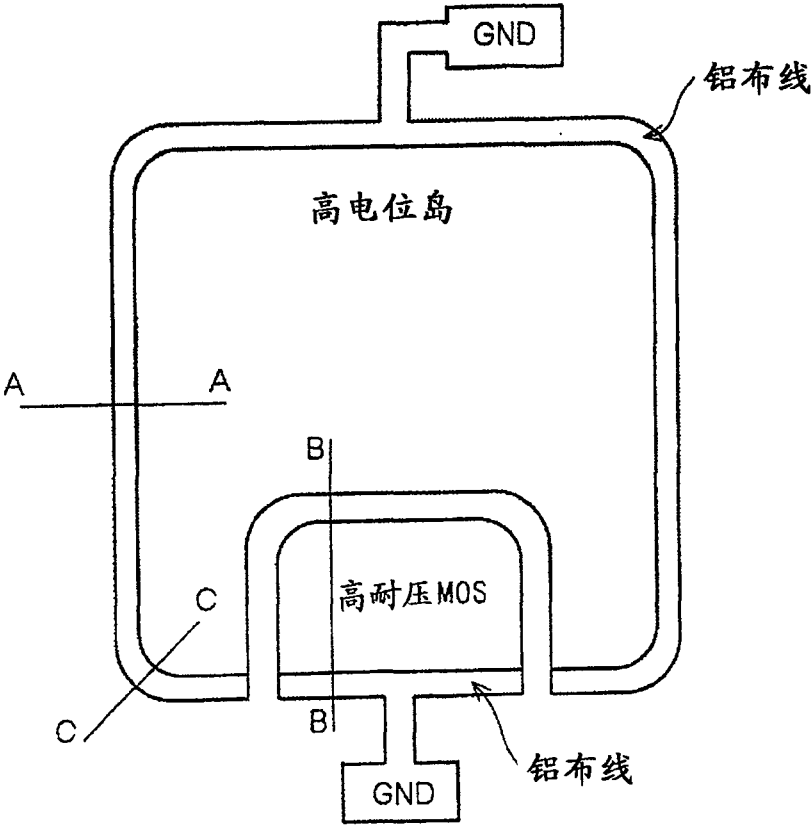


图 4

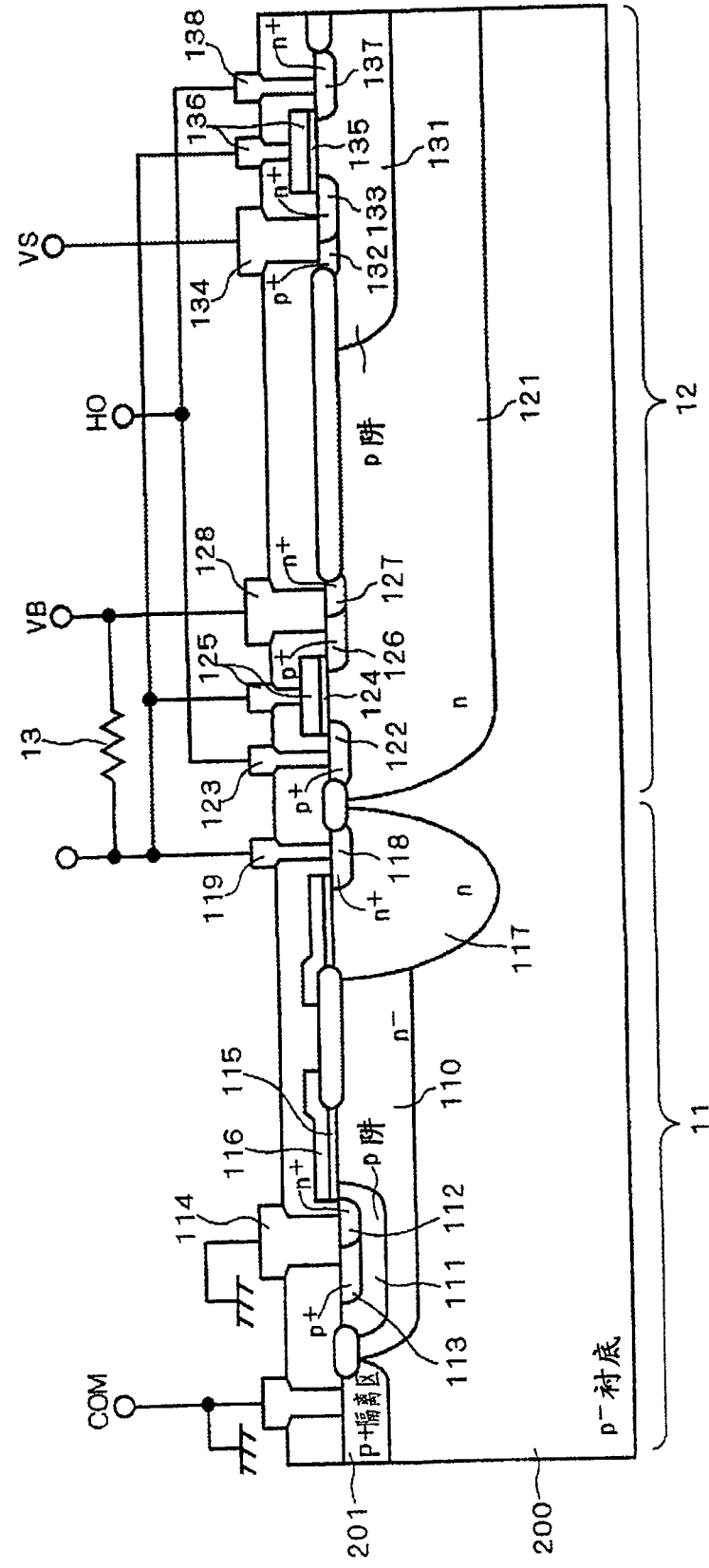


图5

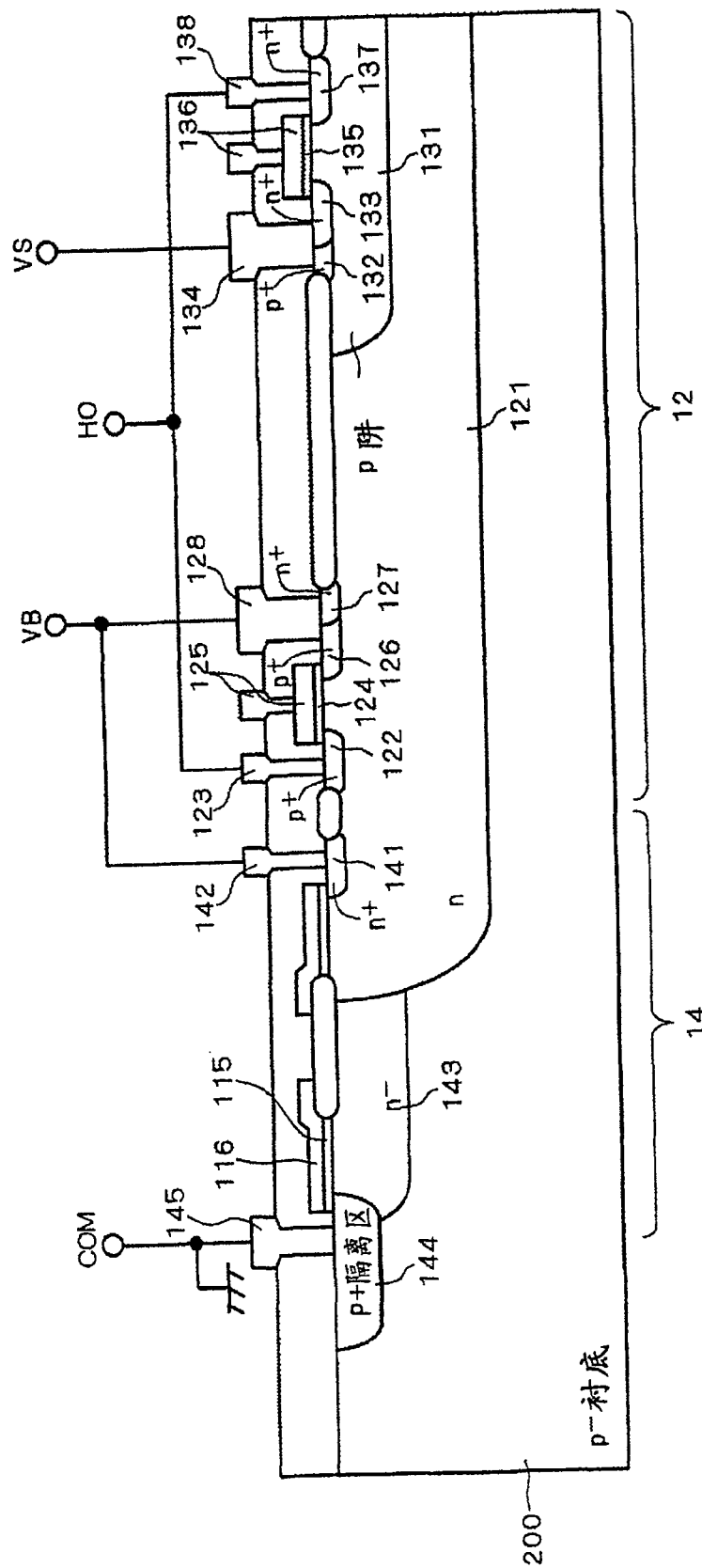


图7

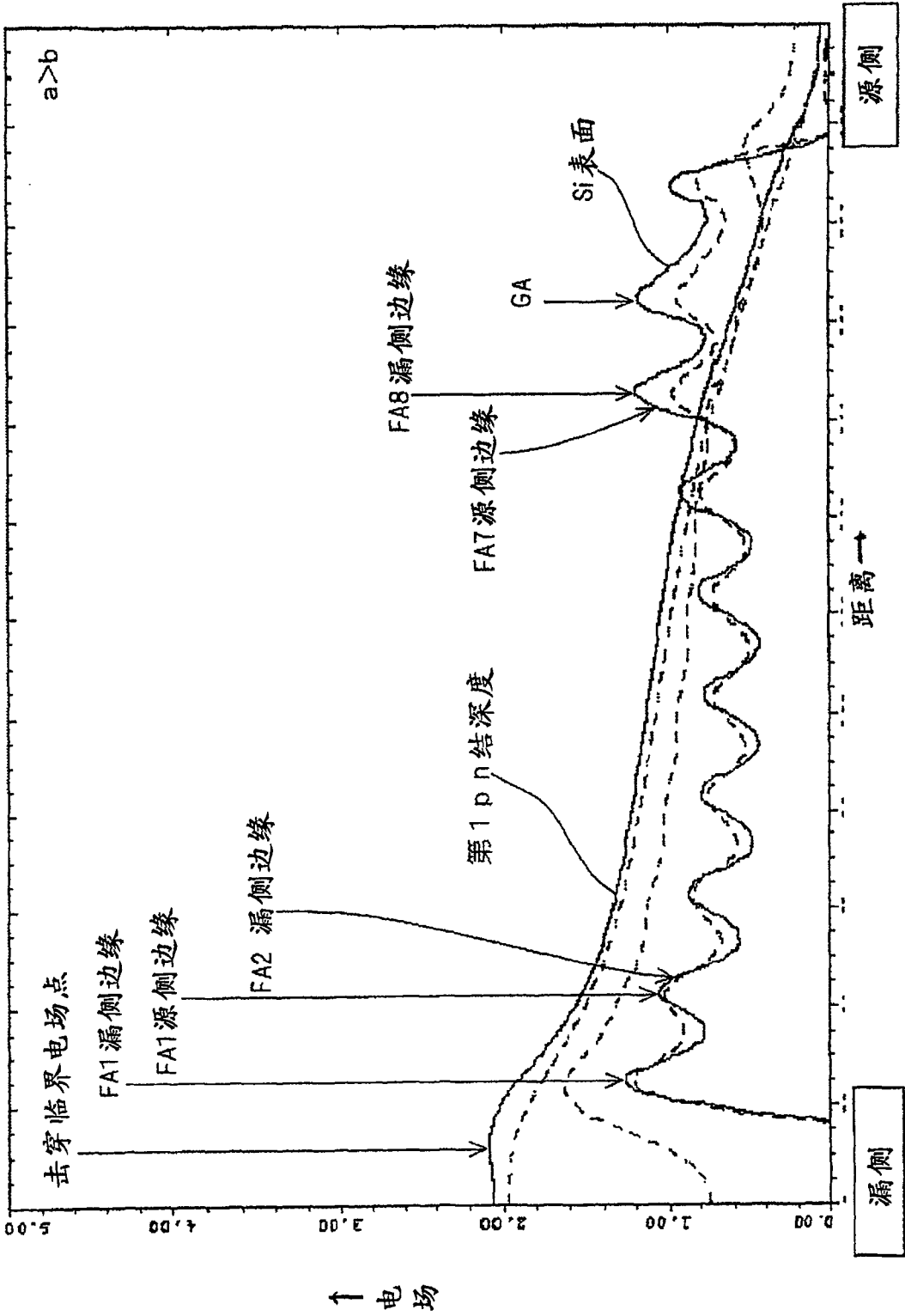


图8

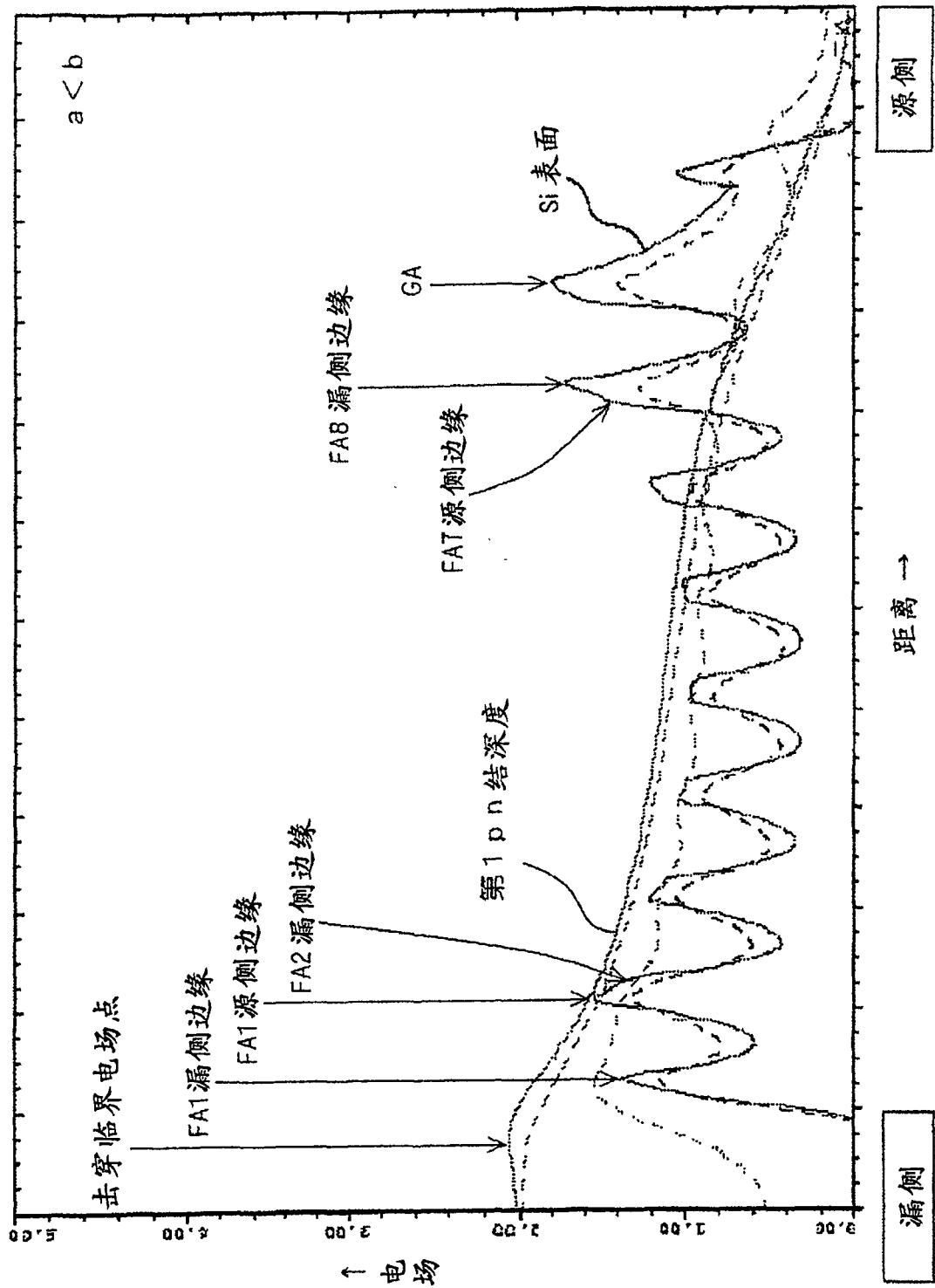


图9

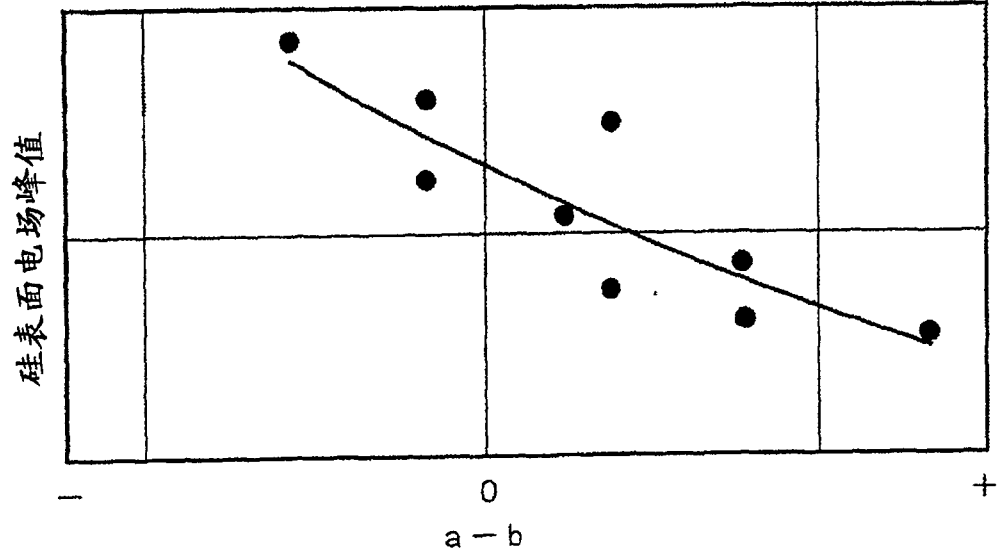


图10

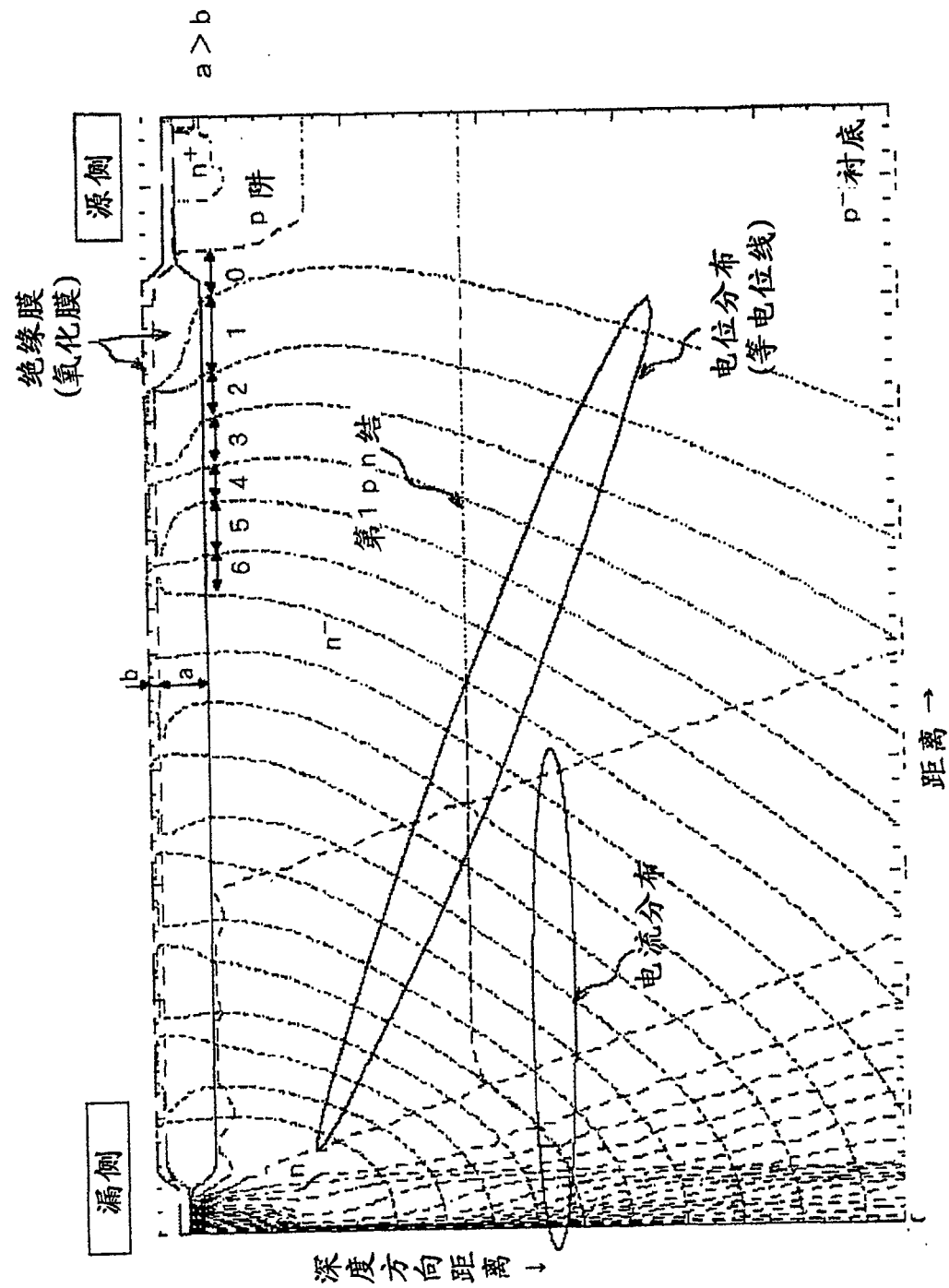


图11

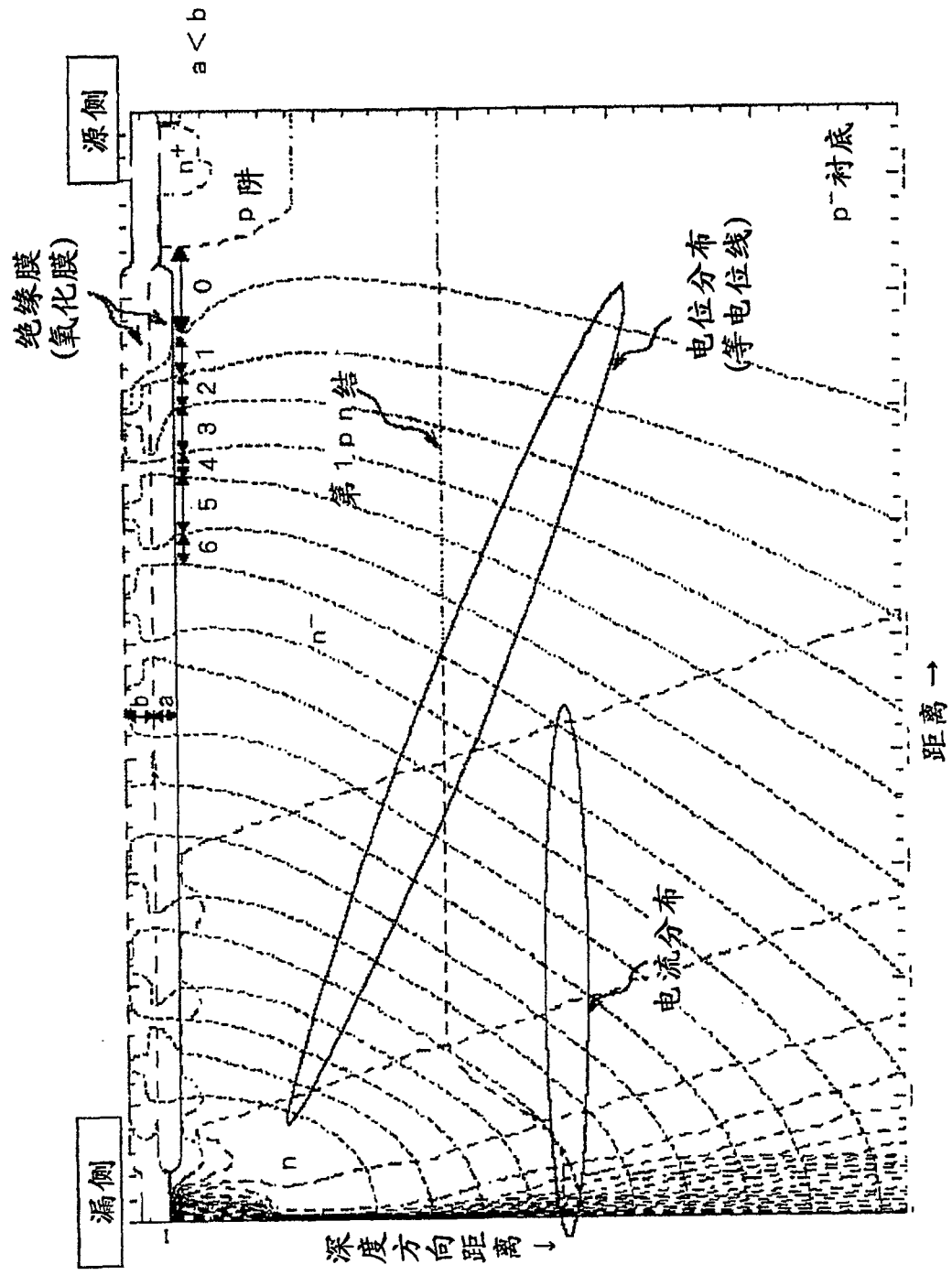


图 12

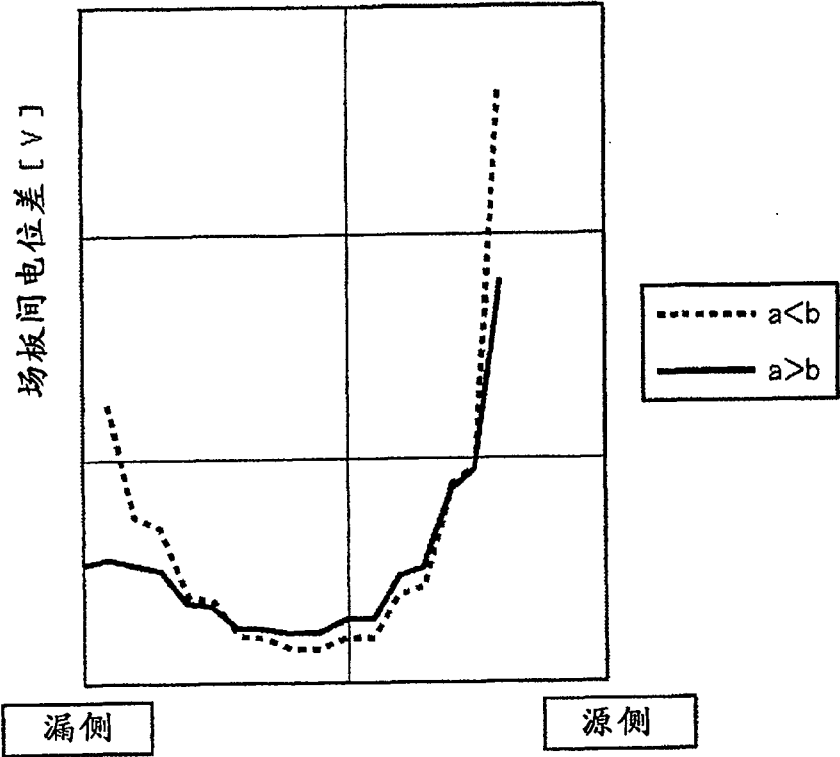


图13

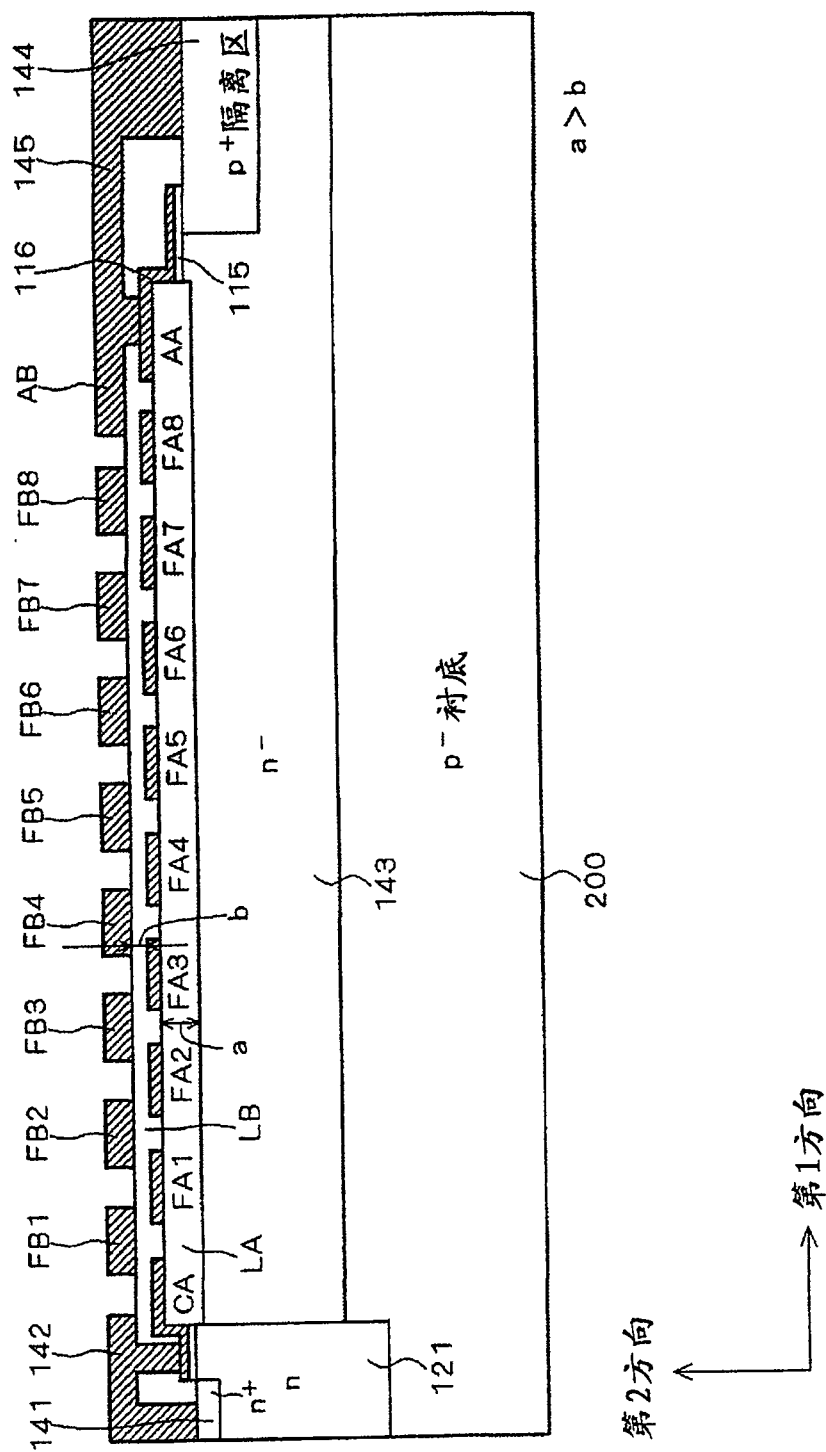


图14

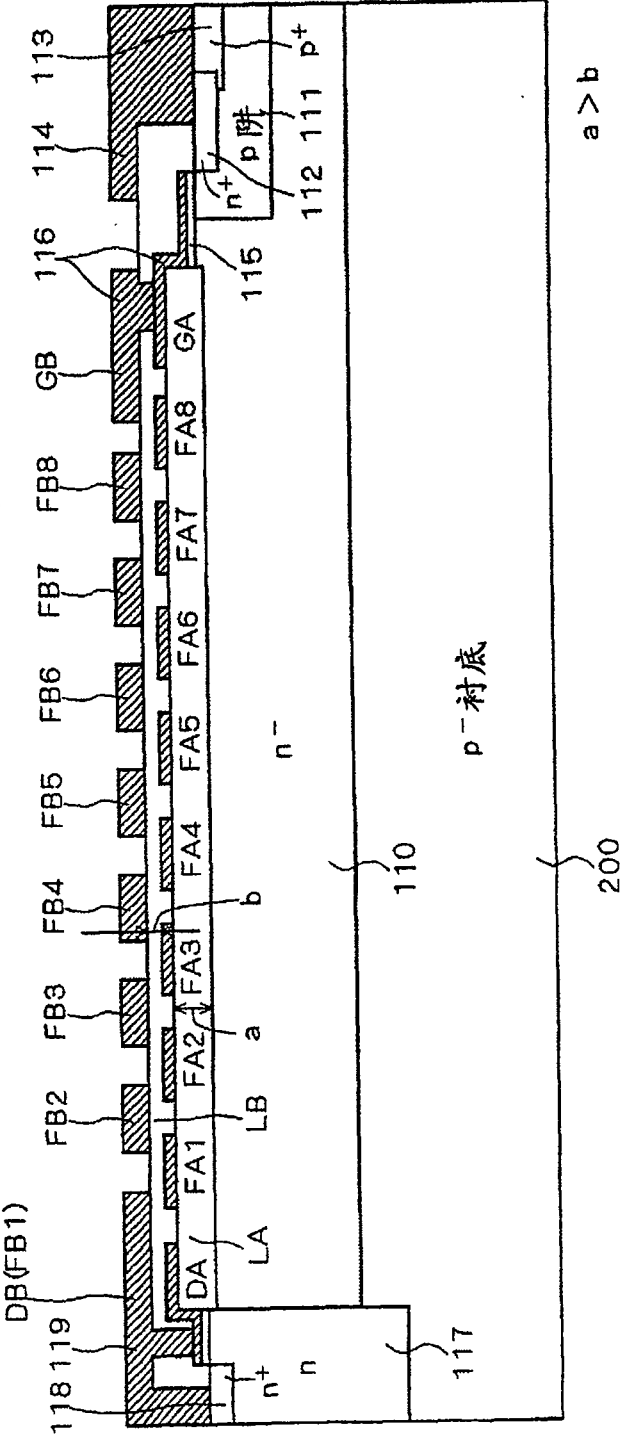


图15

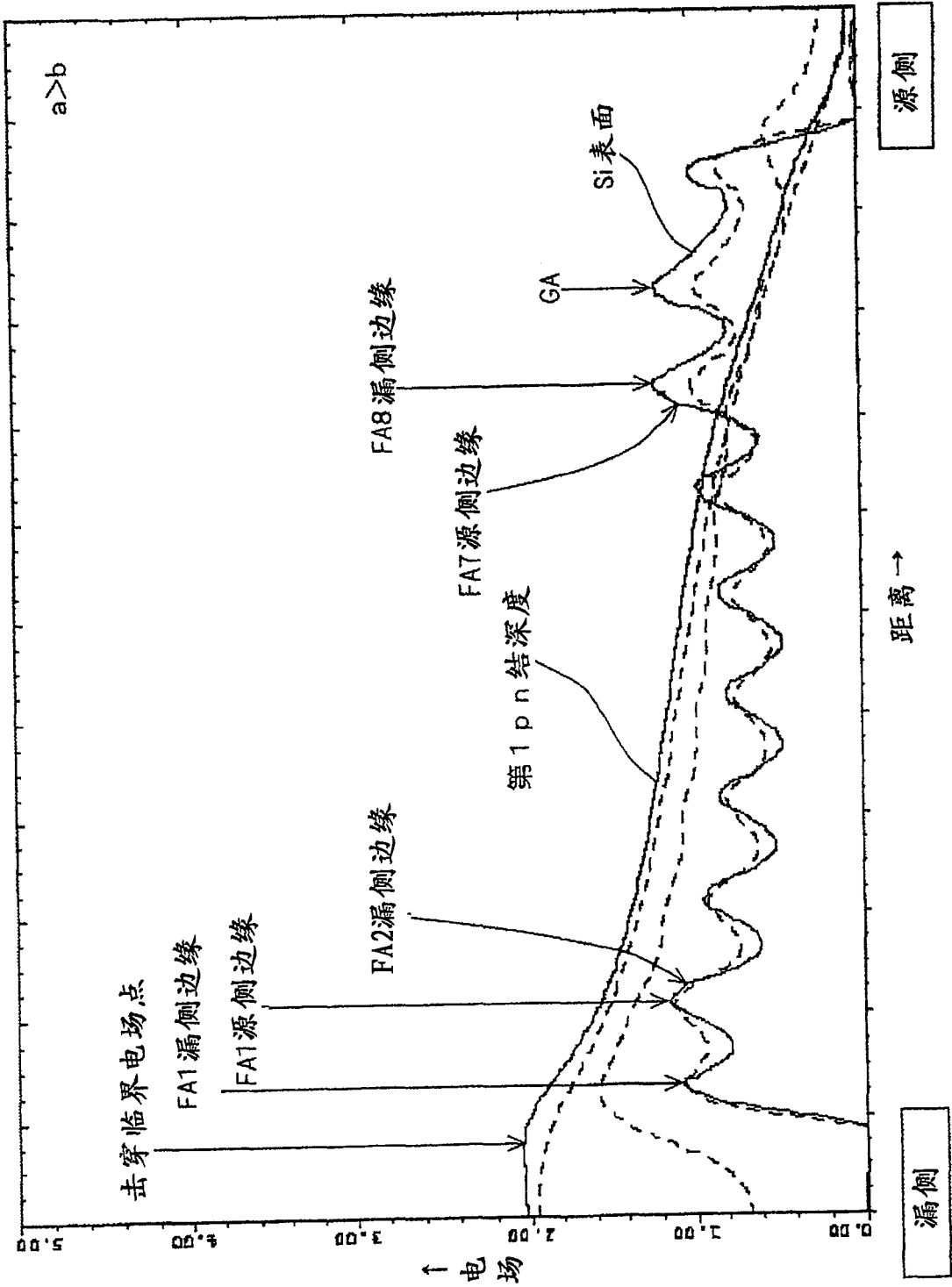


图 16

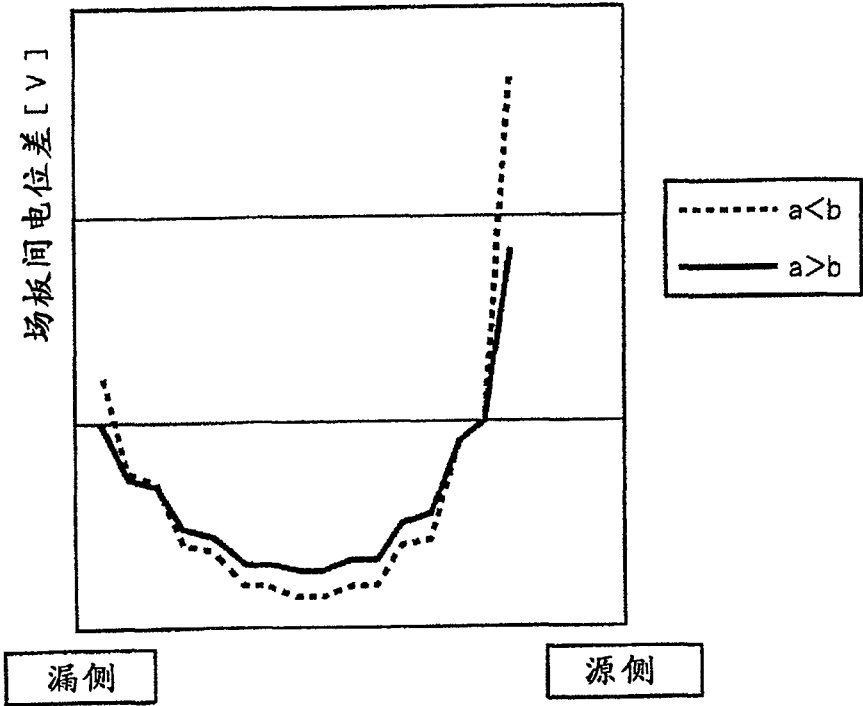


图17

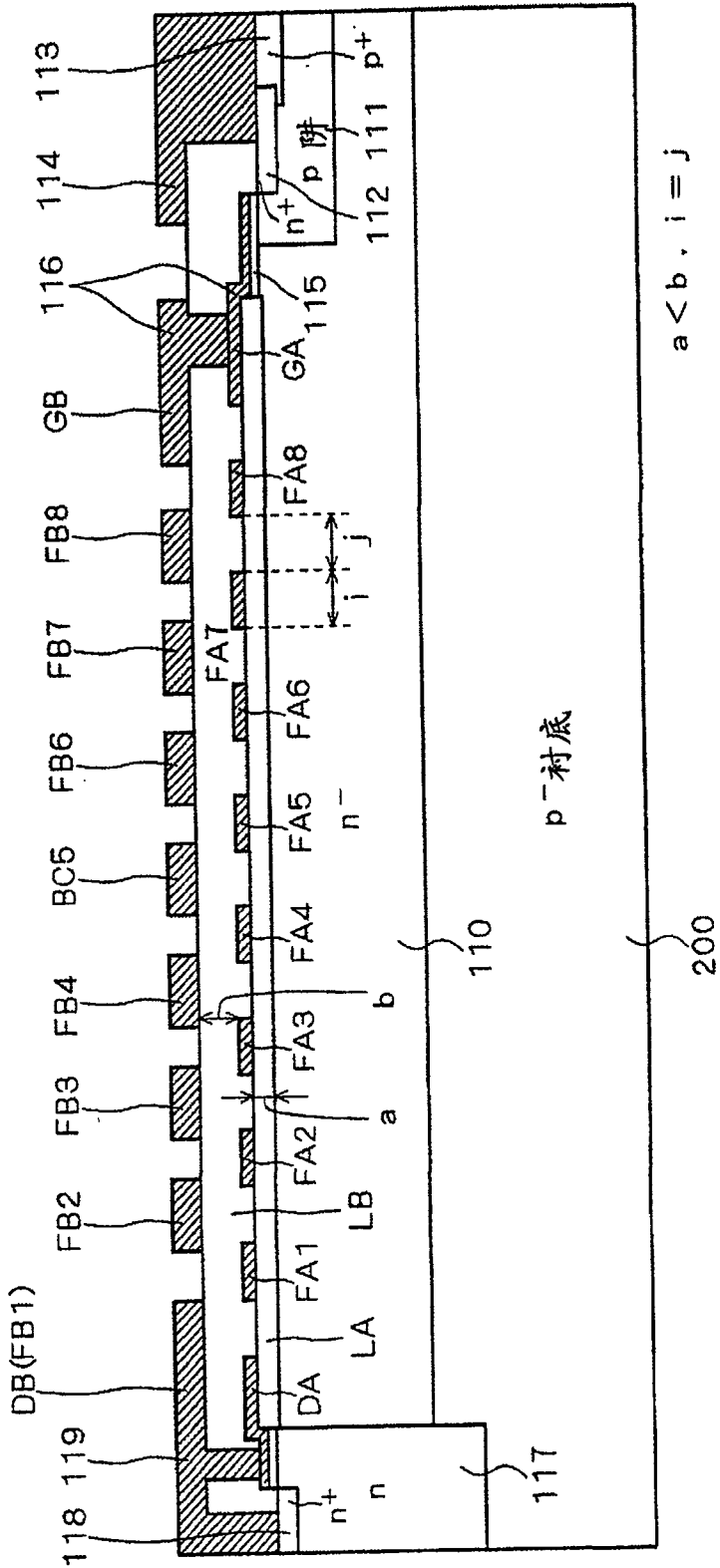


图18

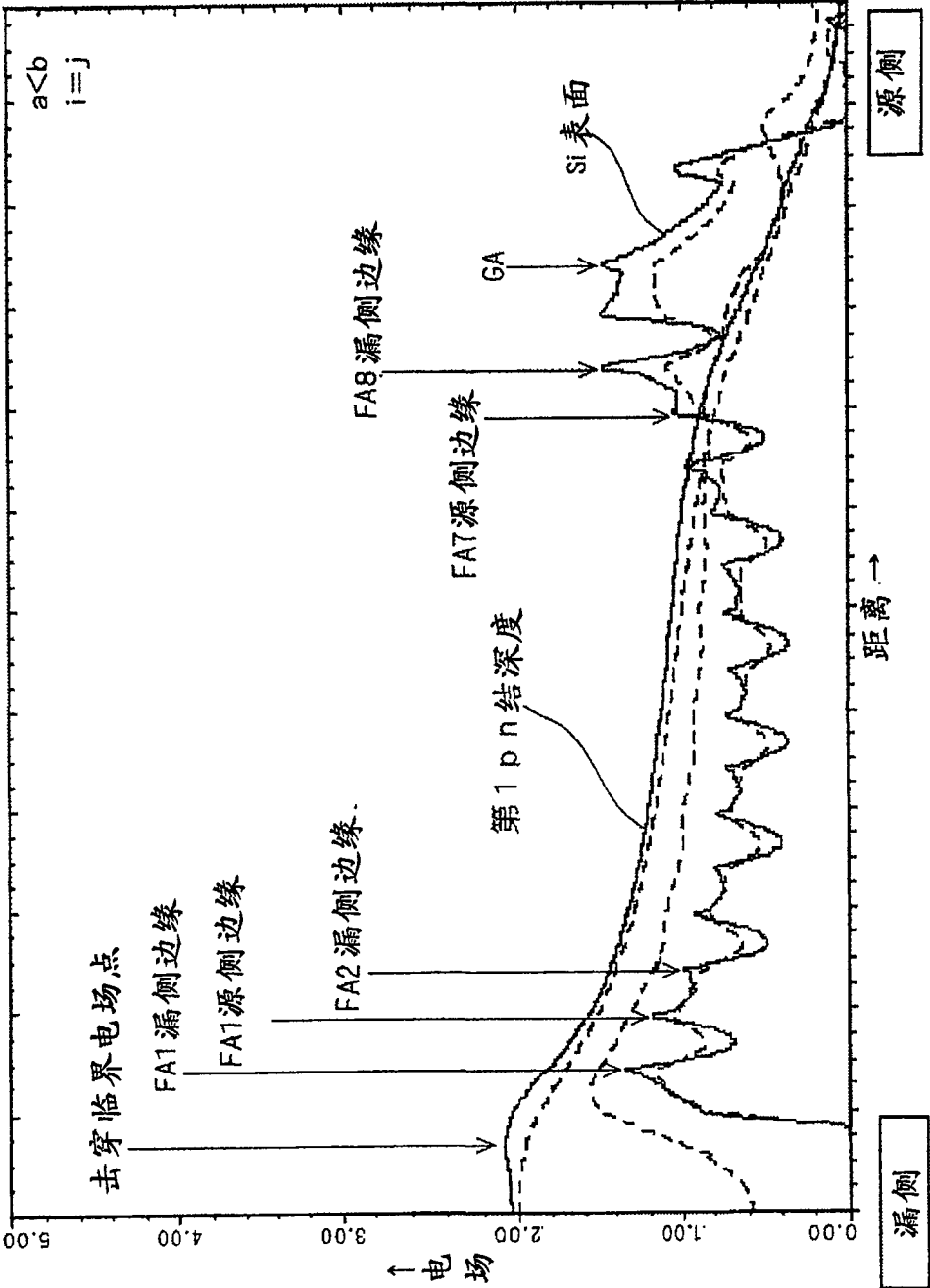


图19

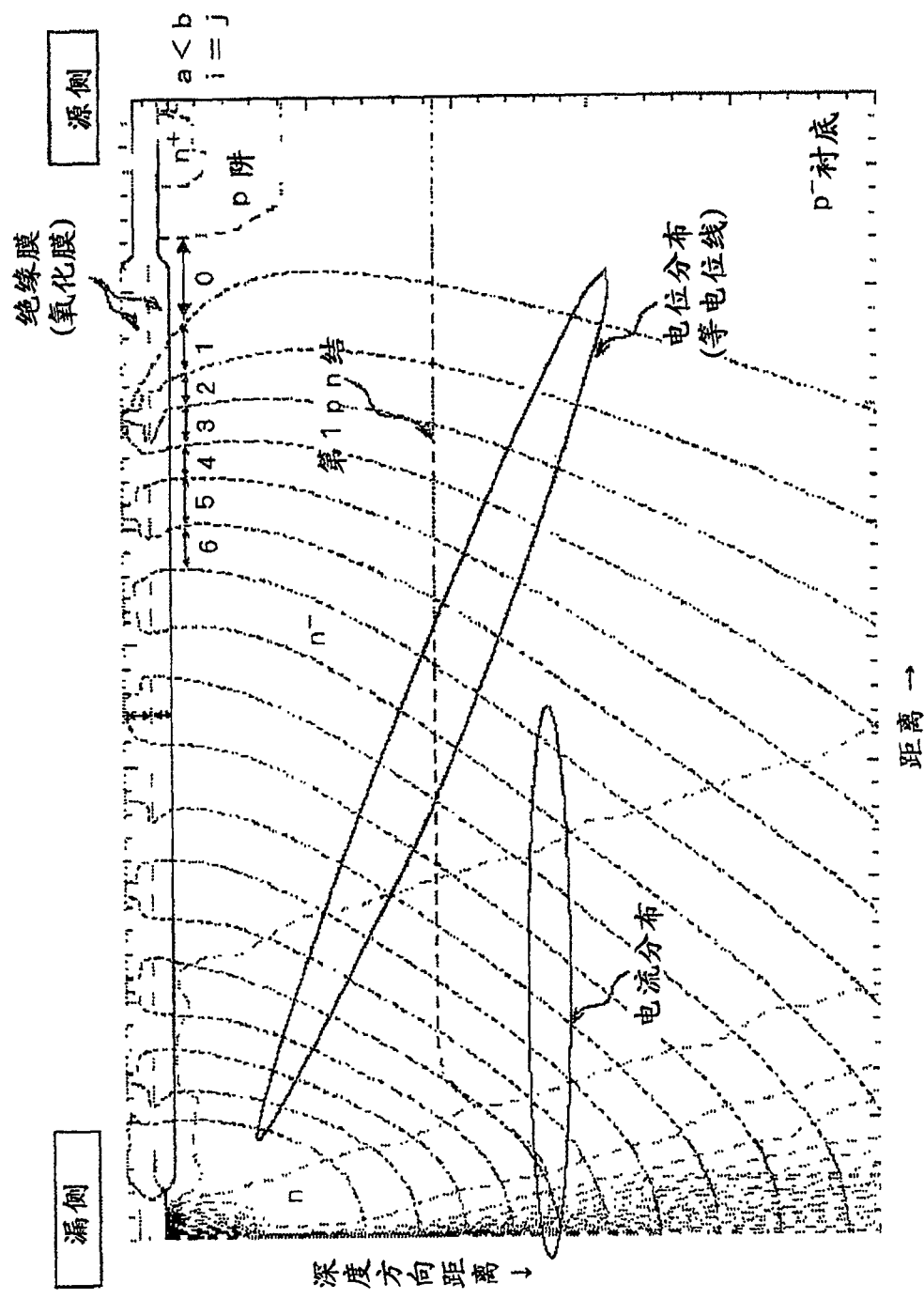


图21

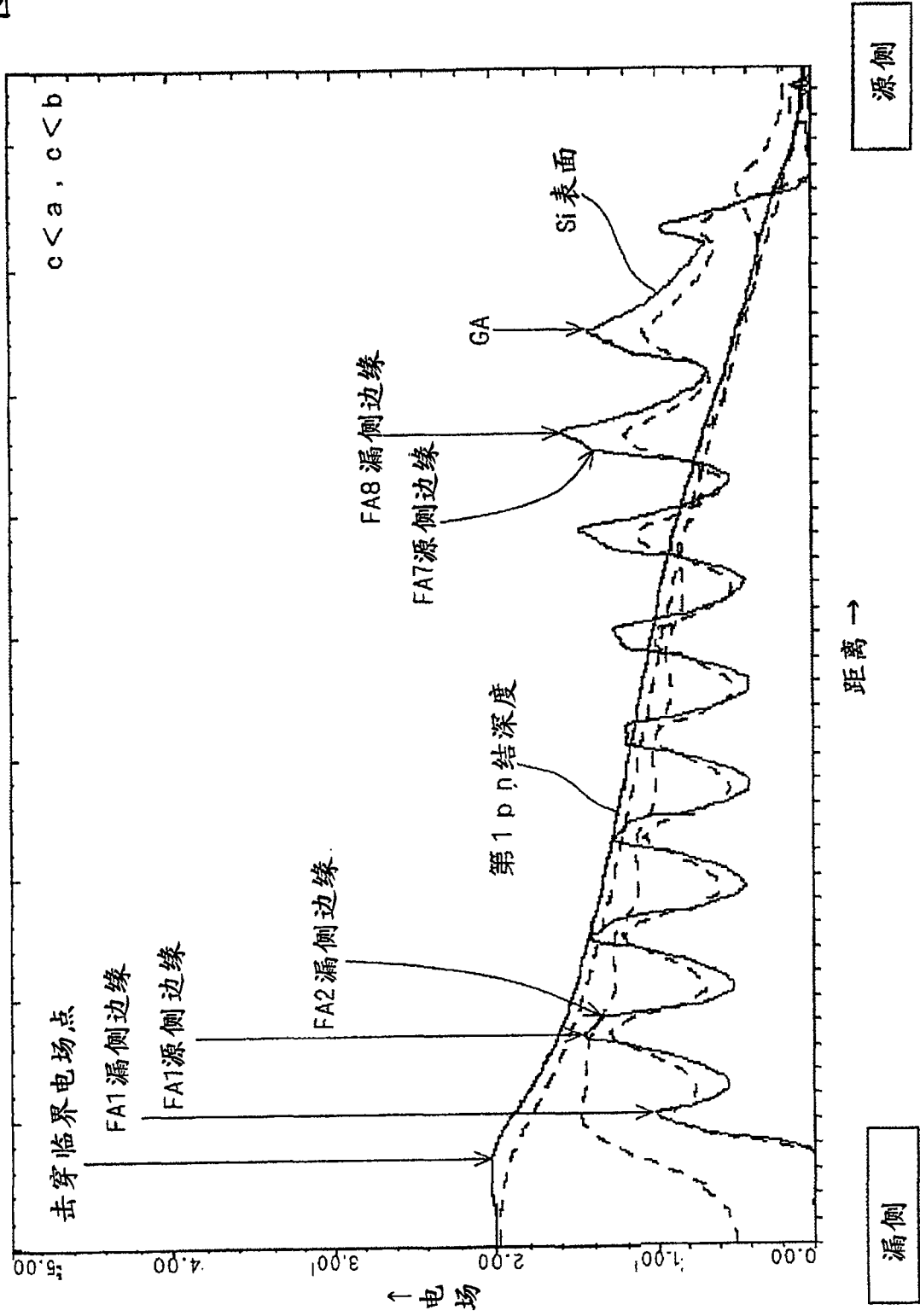


图22

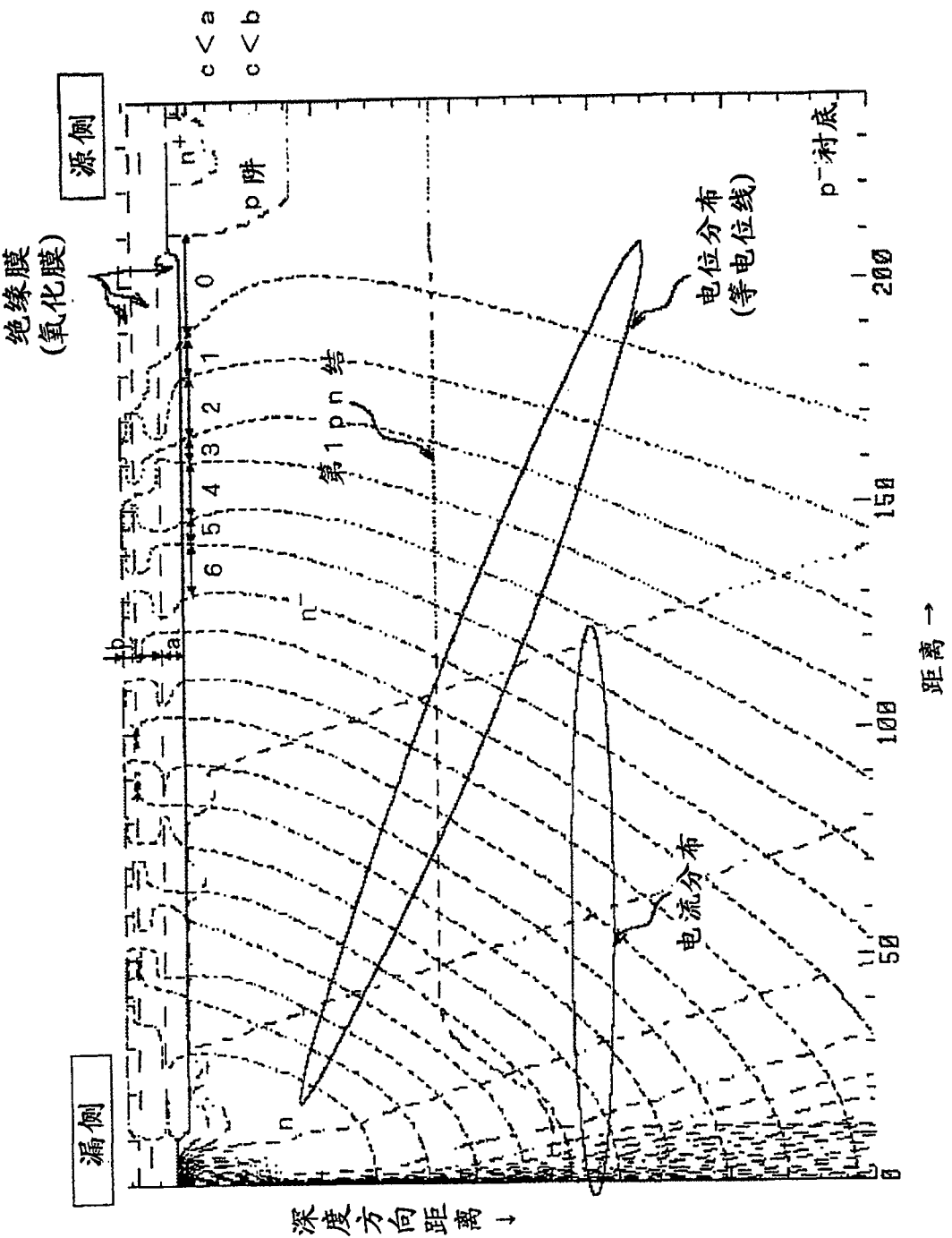


图23

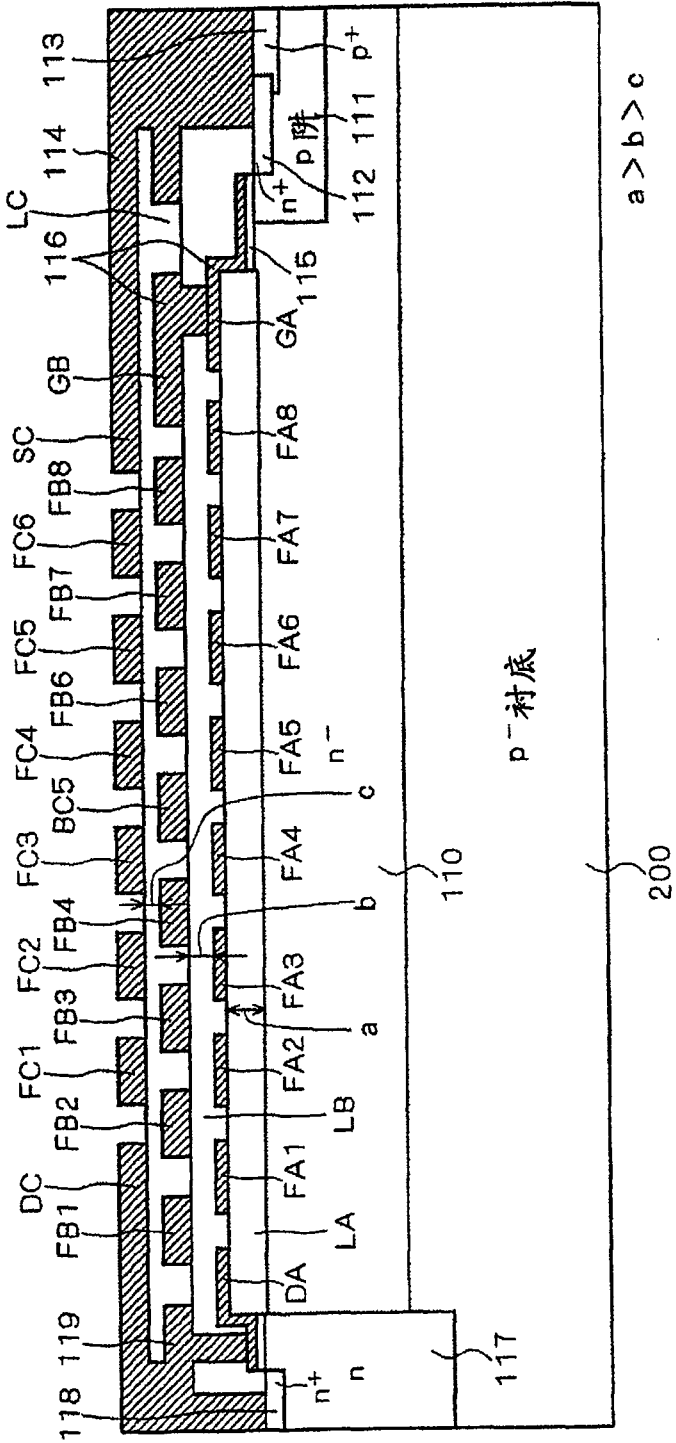


图 24

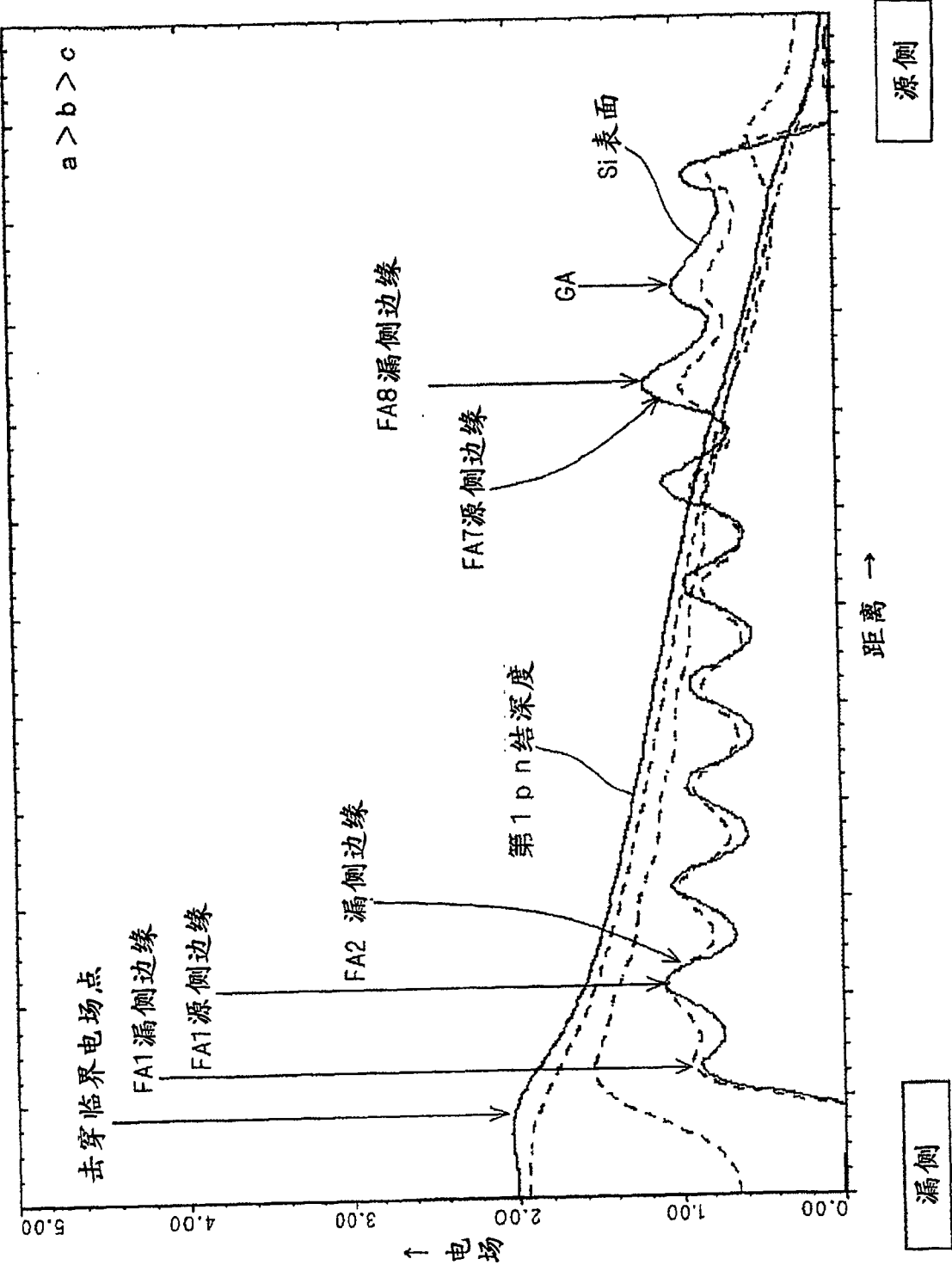


图25

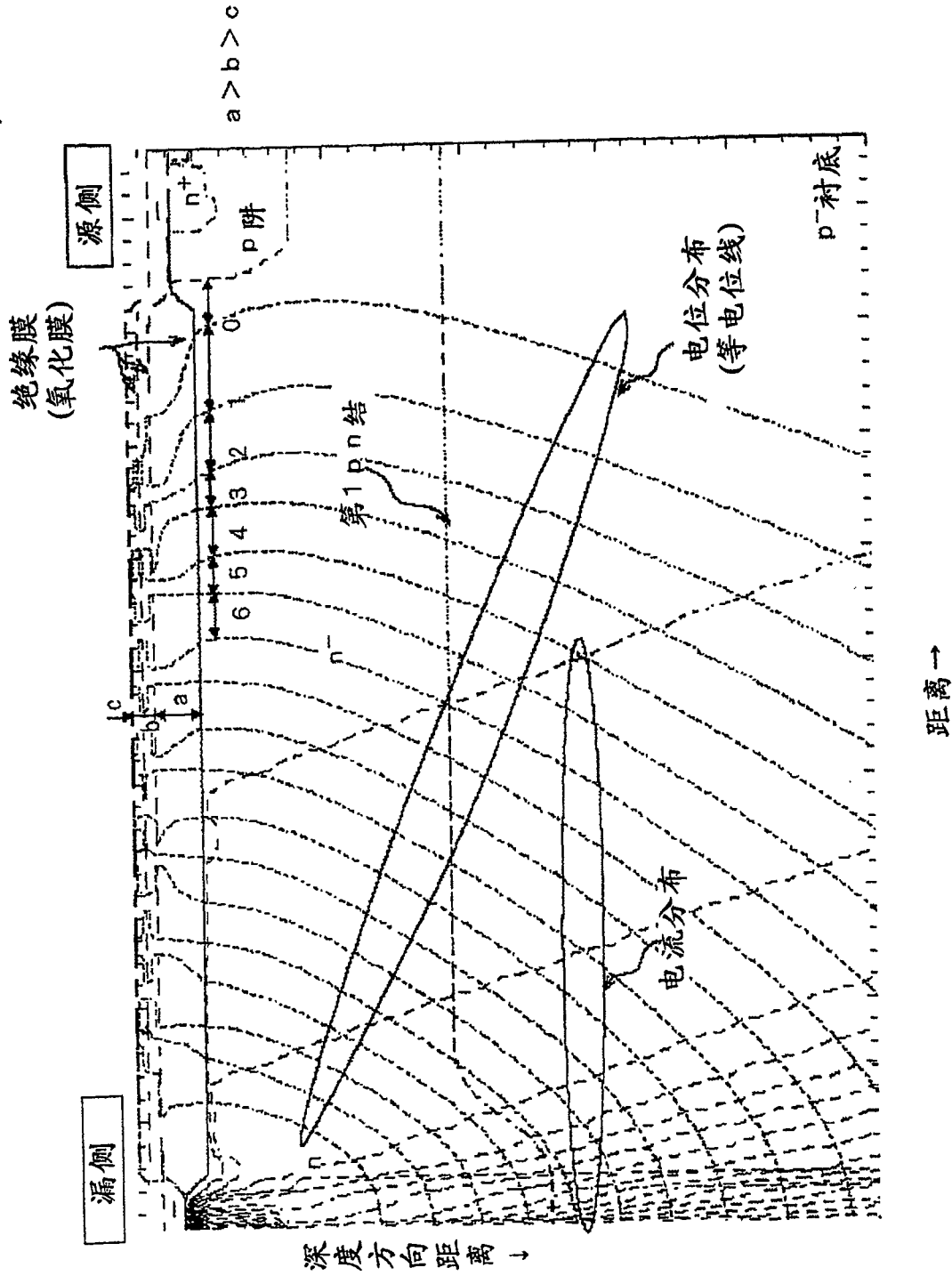


图26

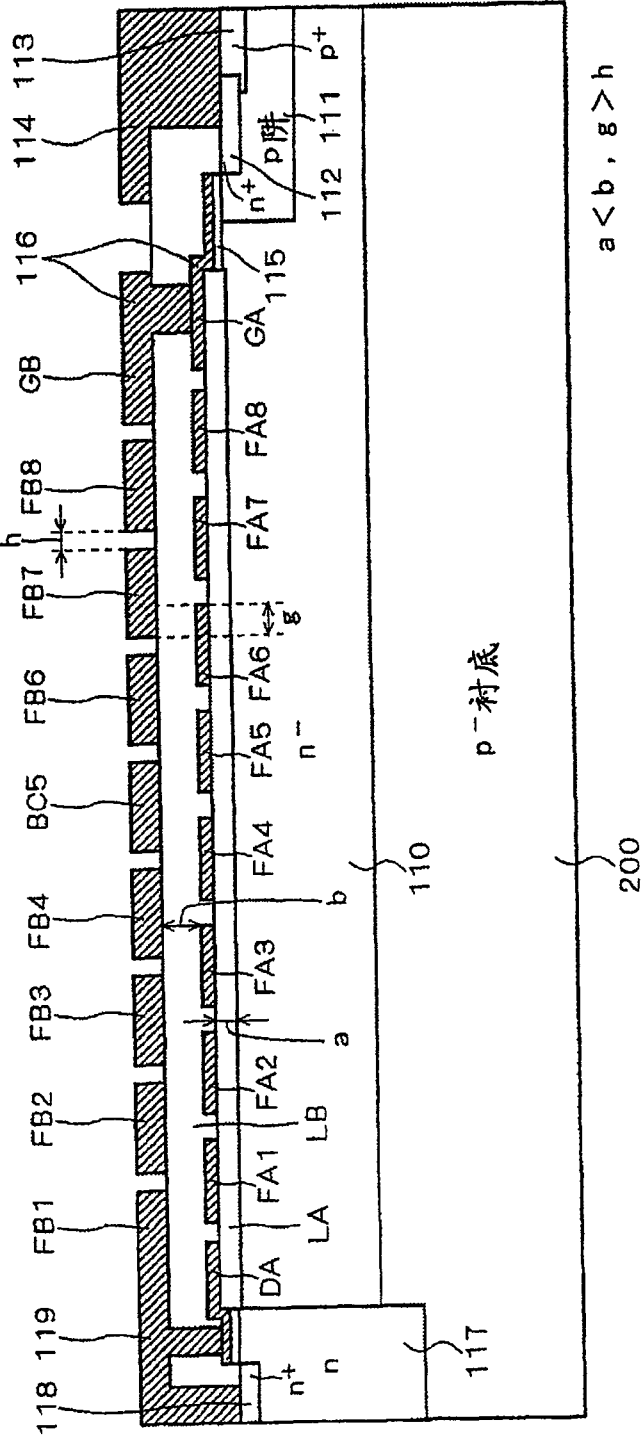


图27

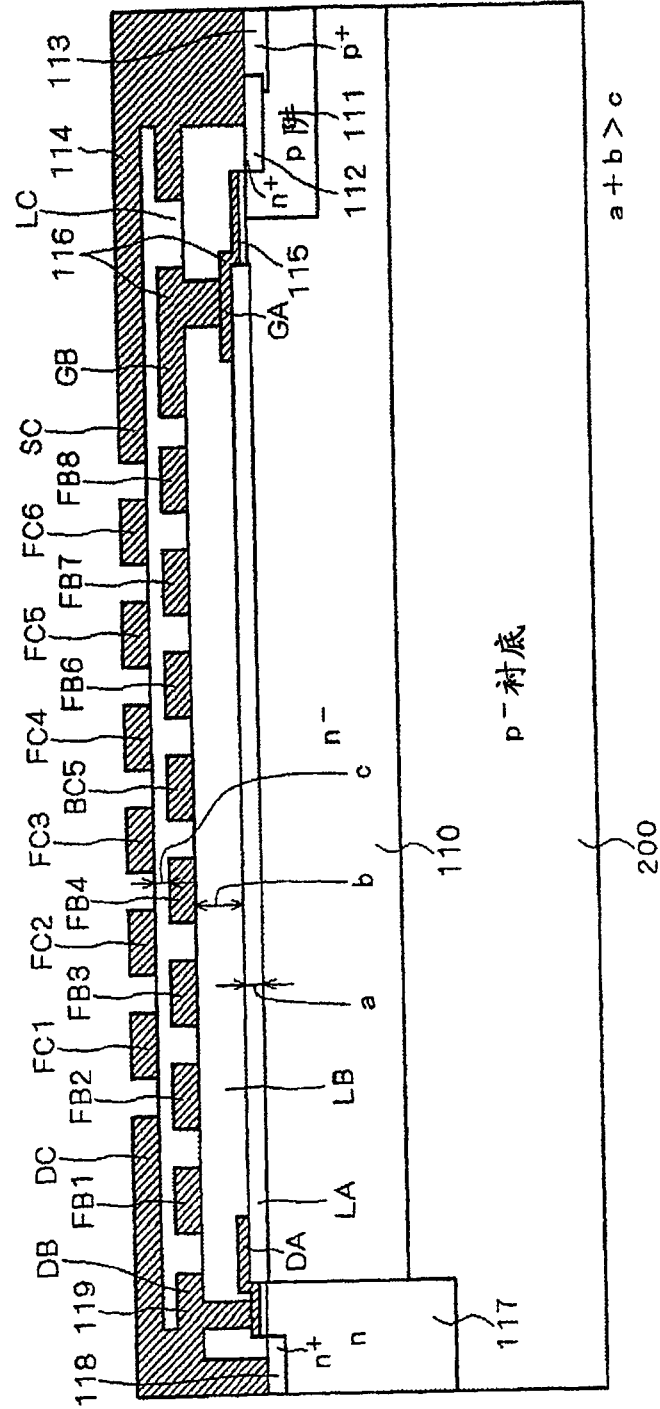


图28

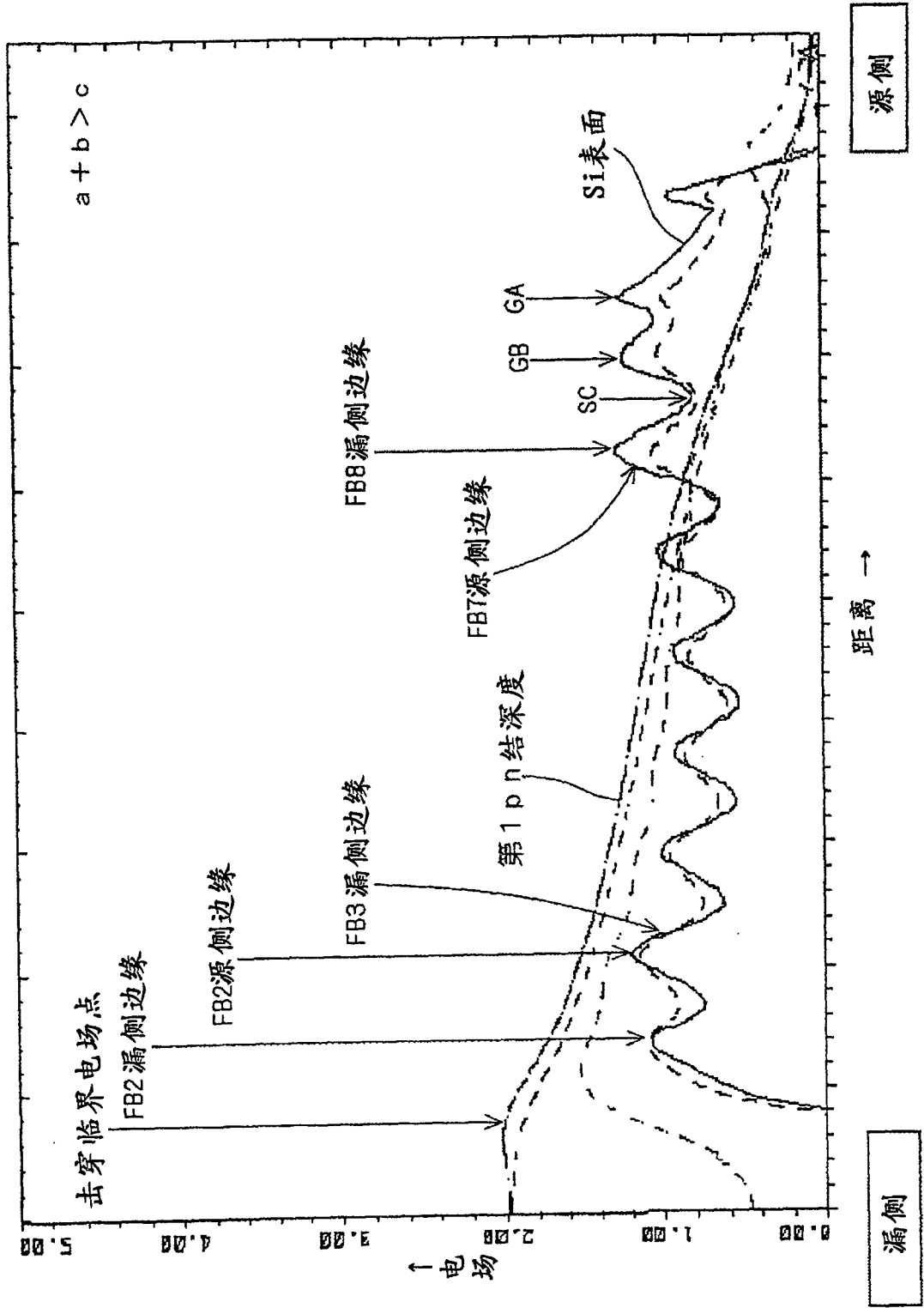


图 29

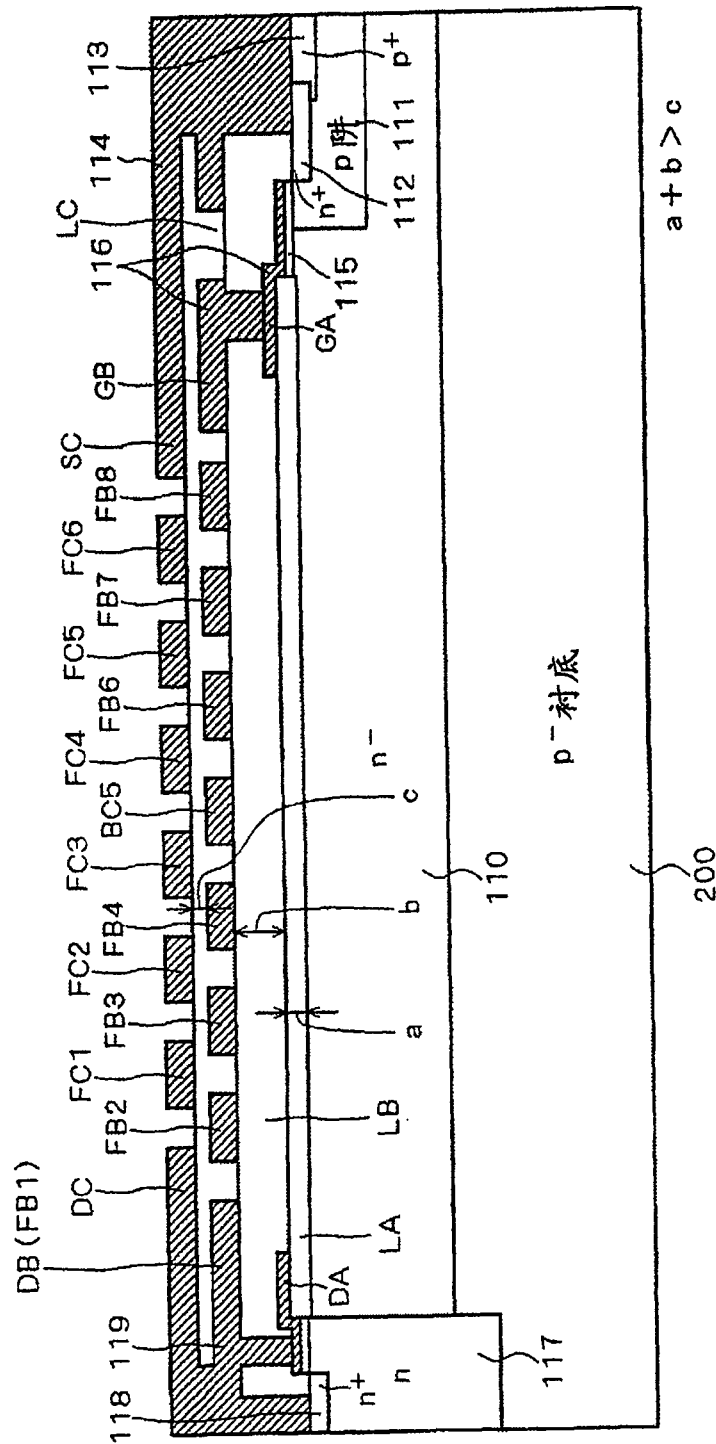


图30

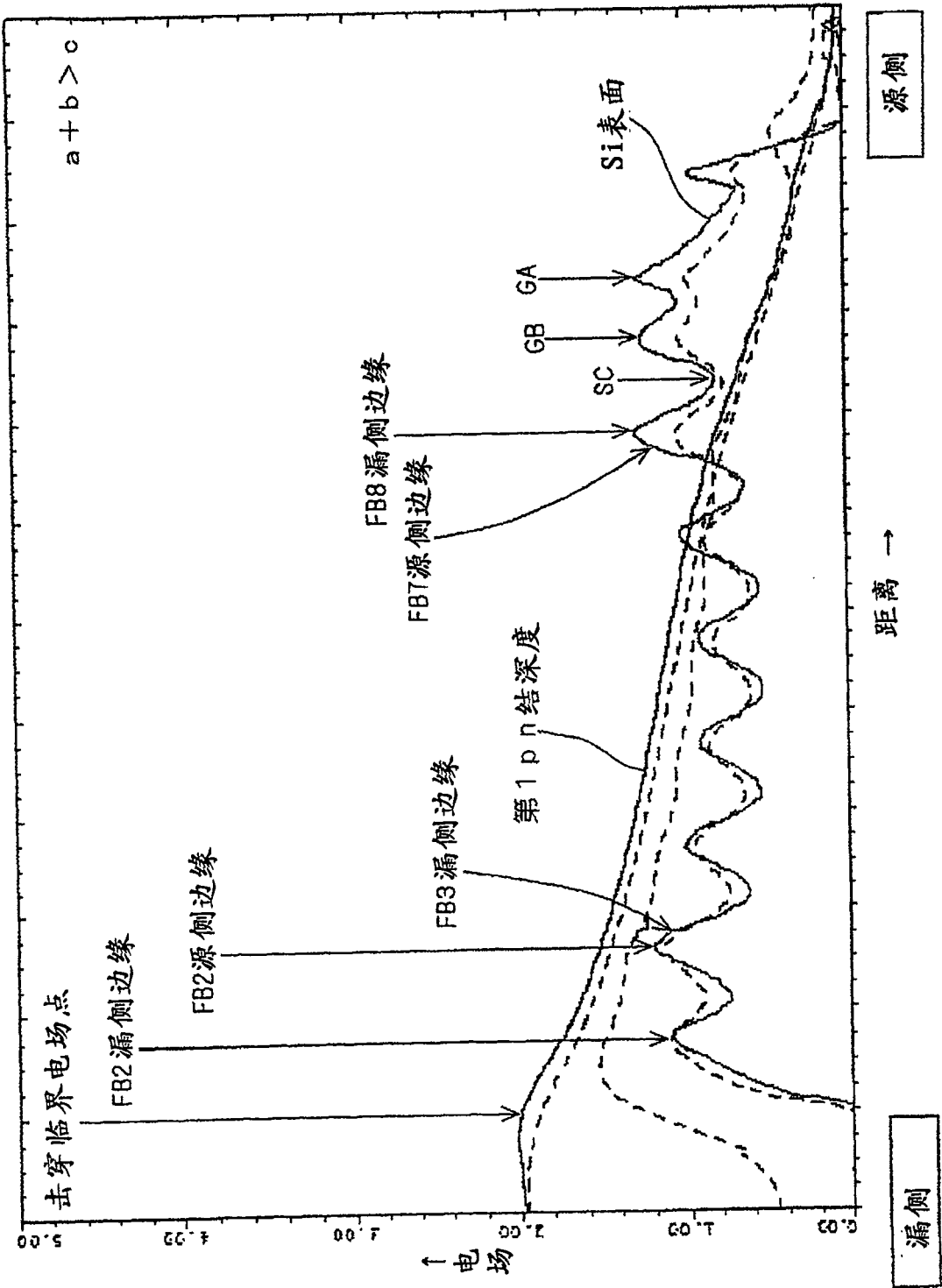


图32

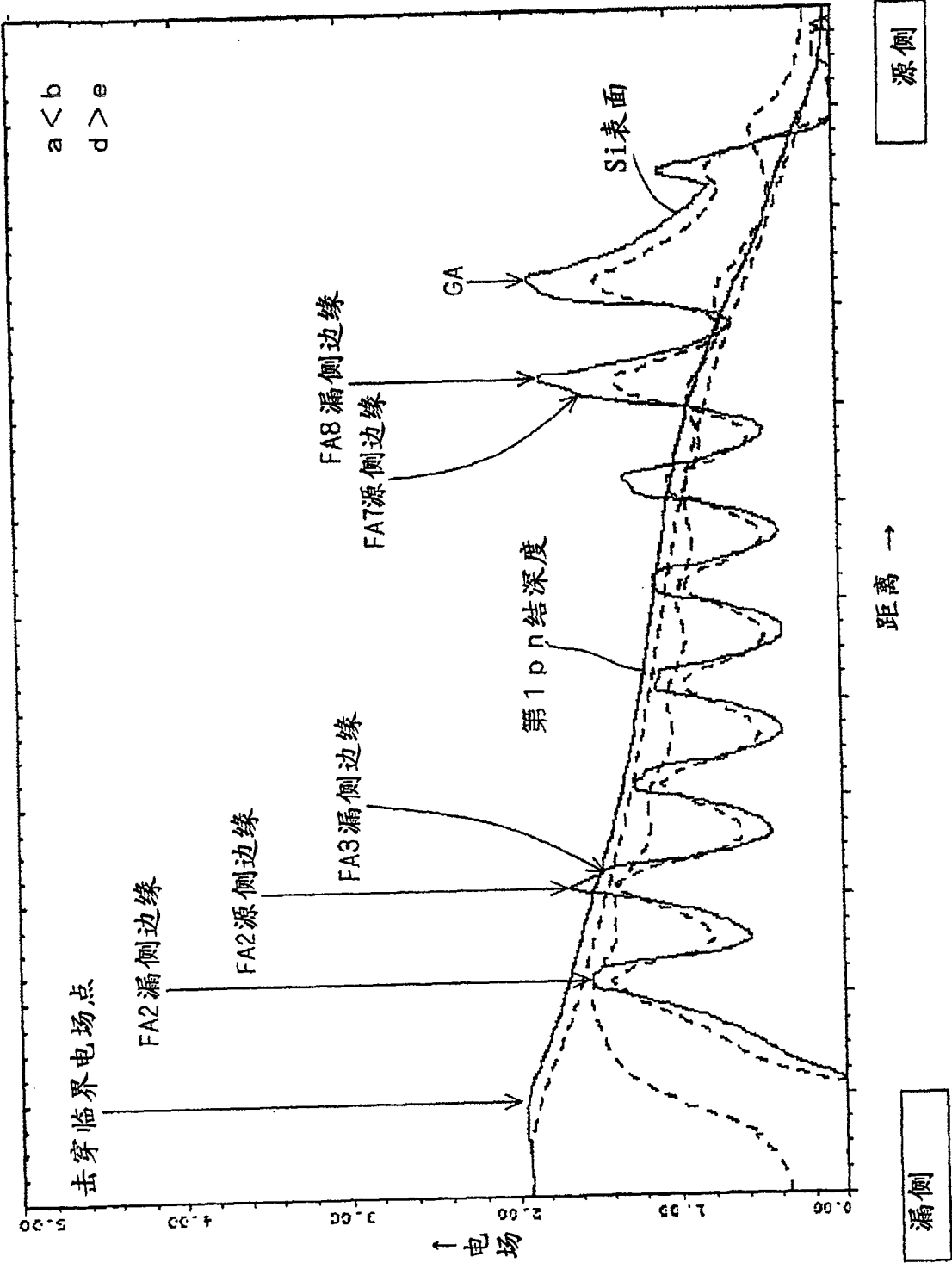


图 34

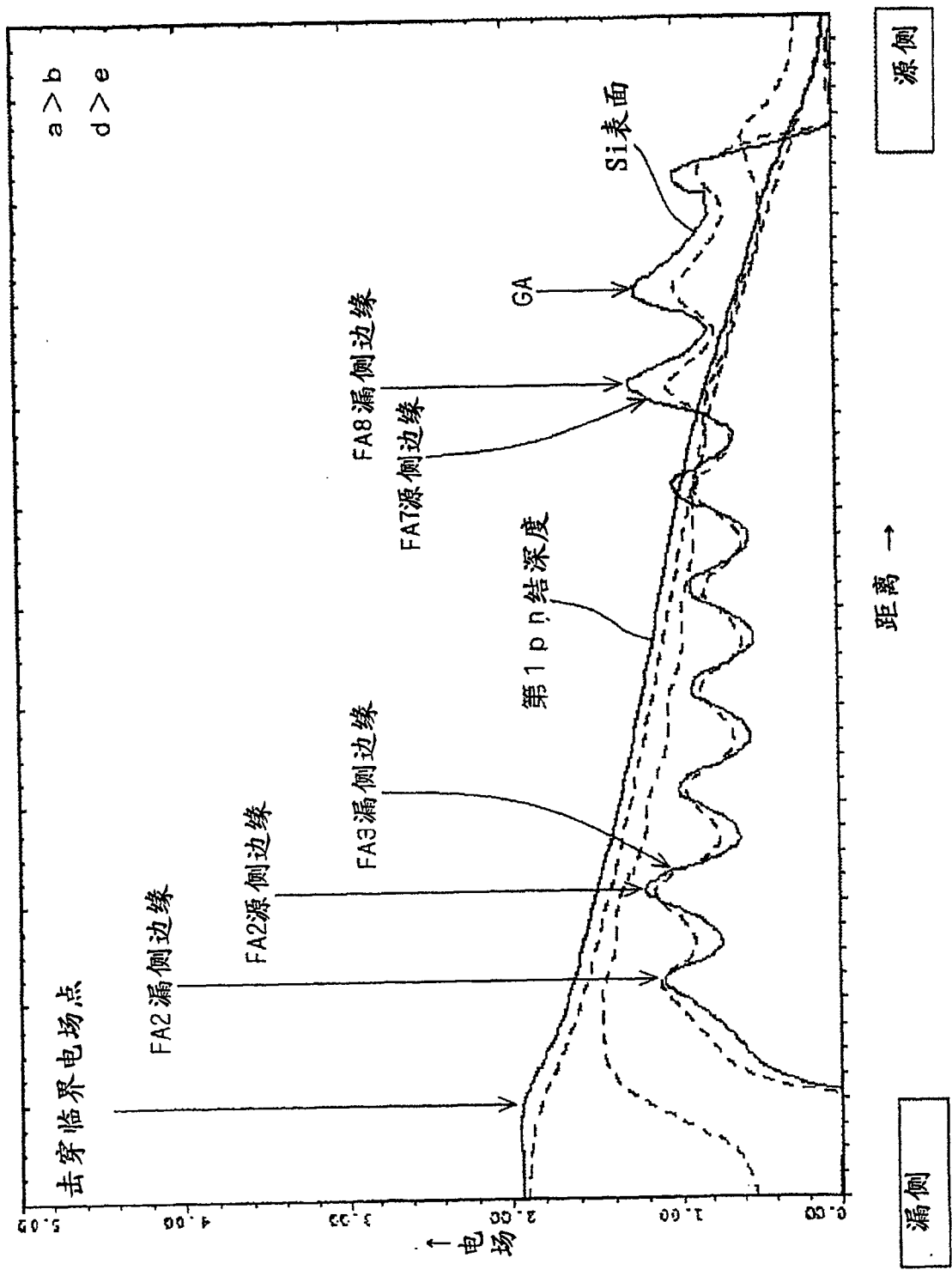


图35

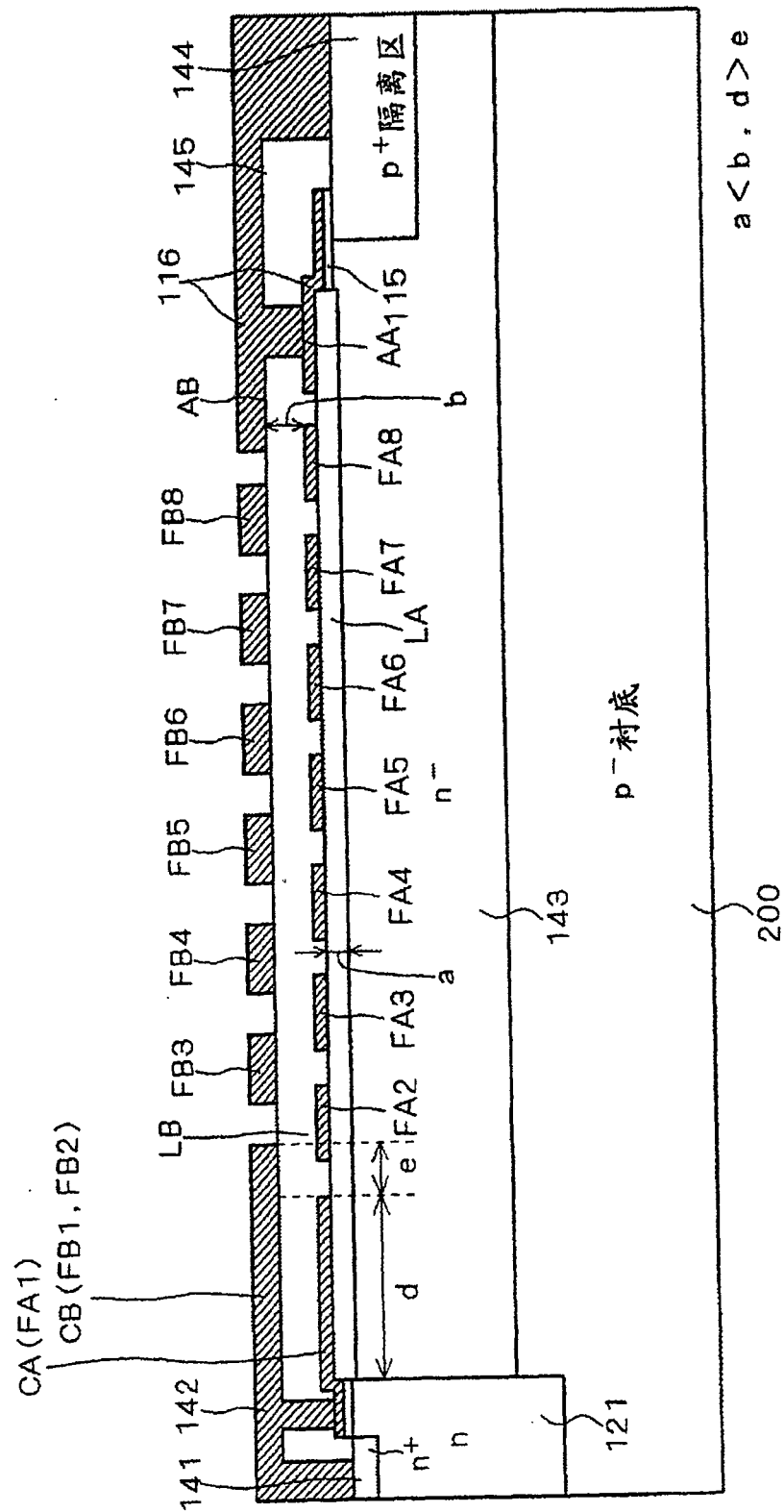


图 36

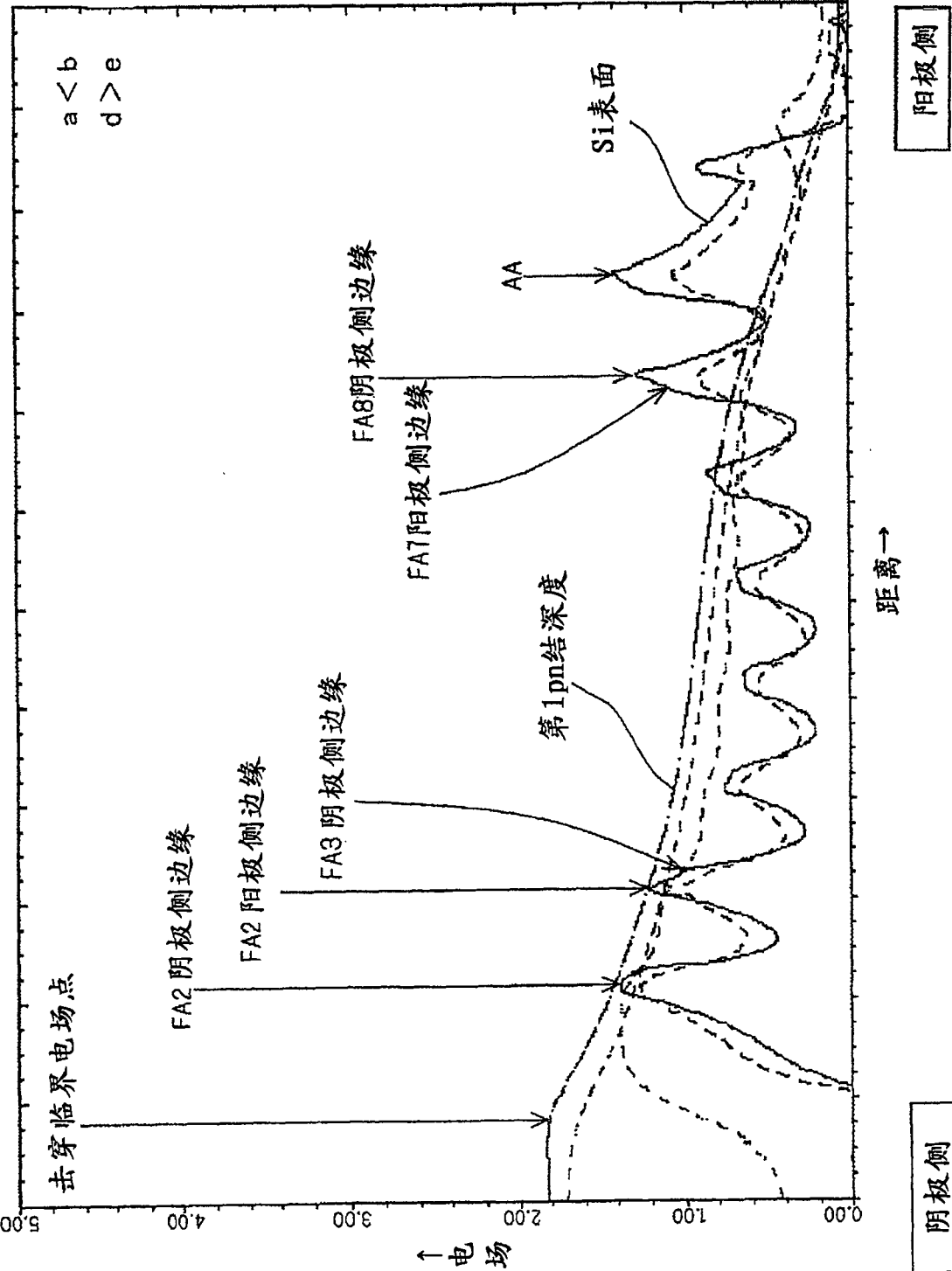


图 37

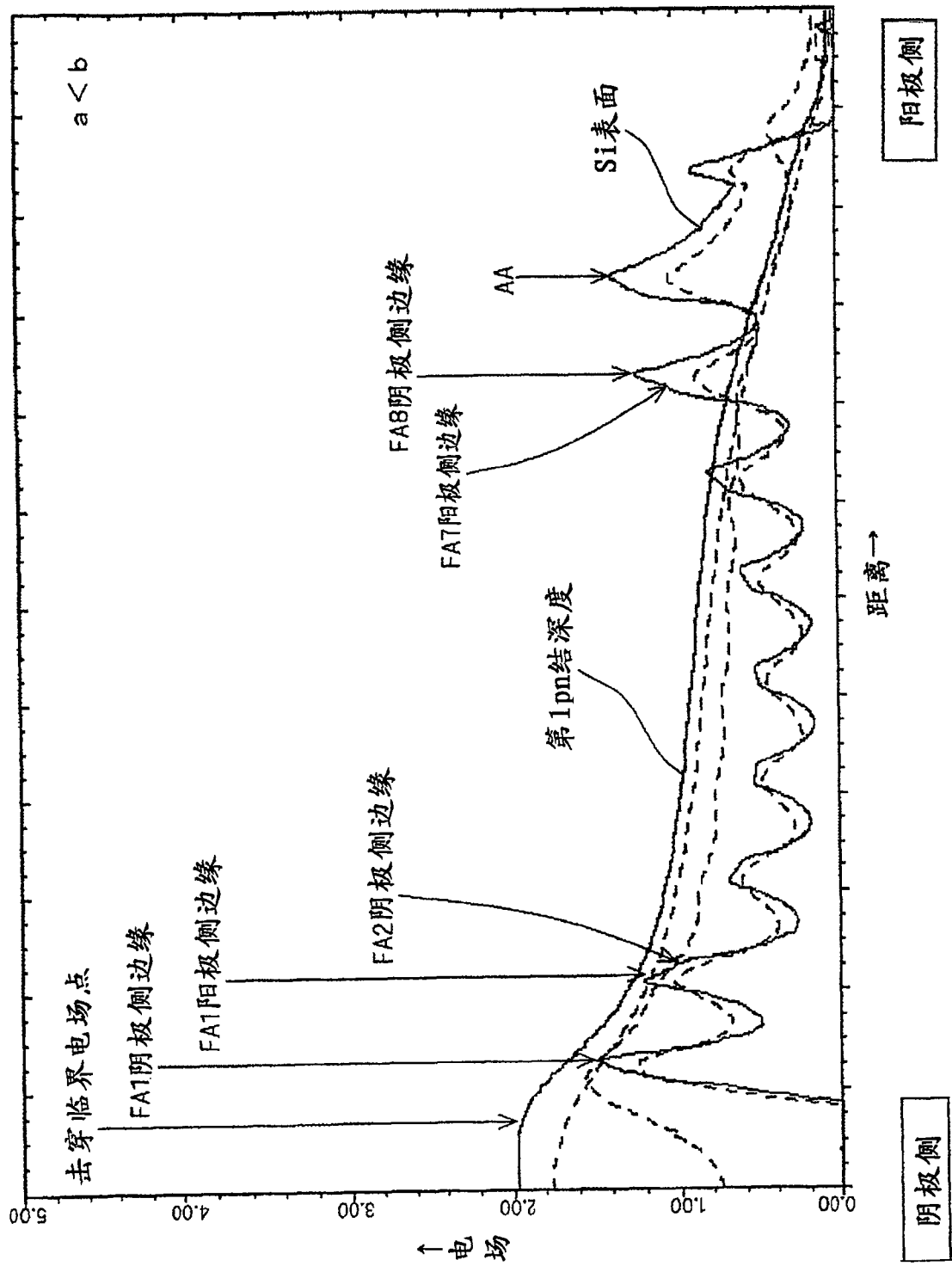
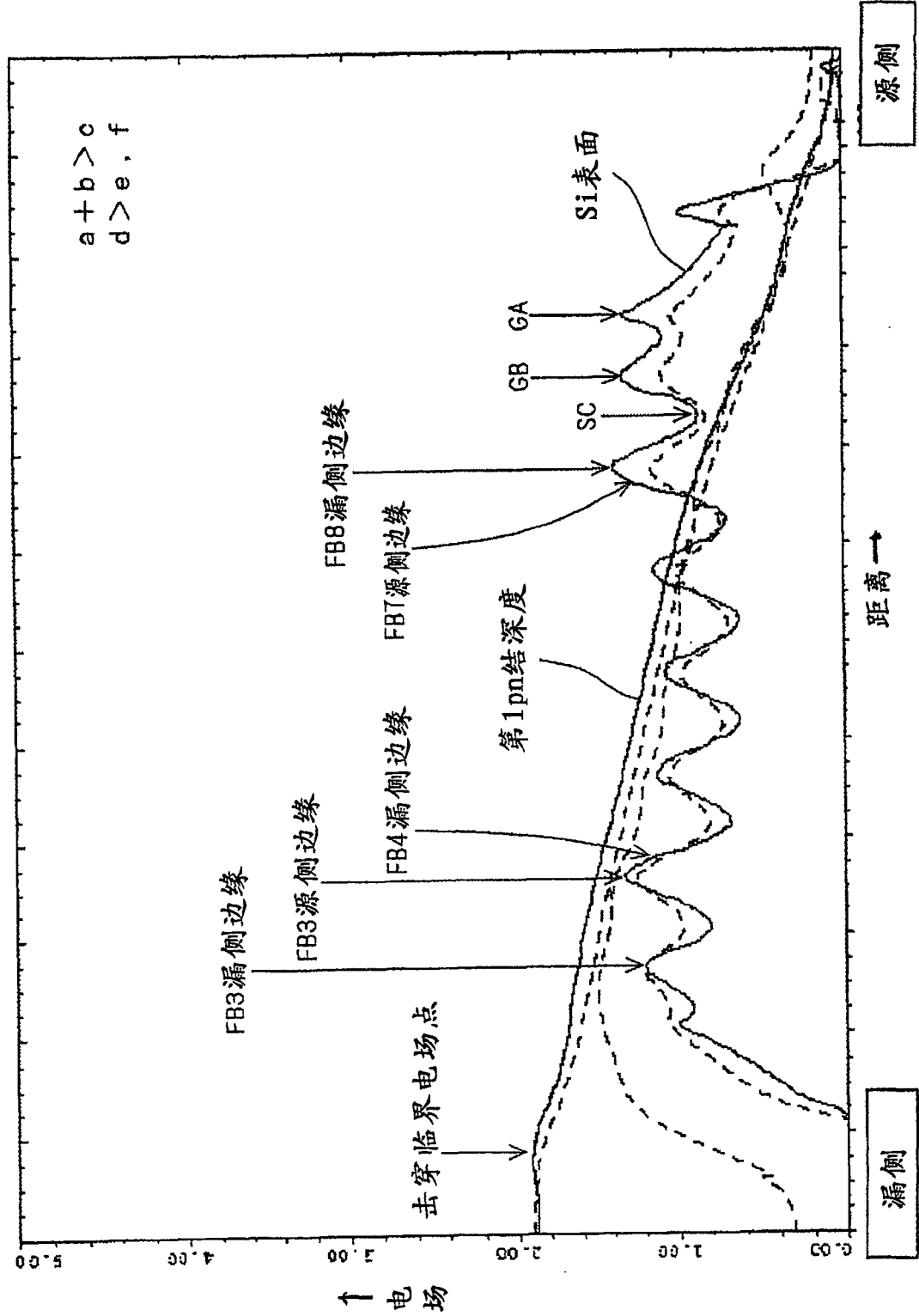


图 39



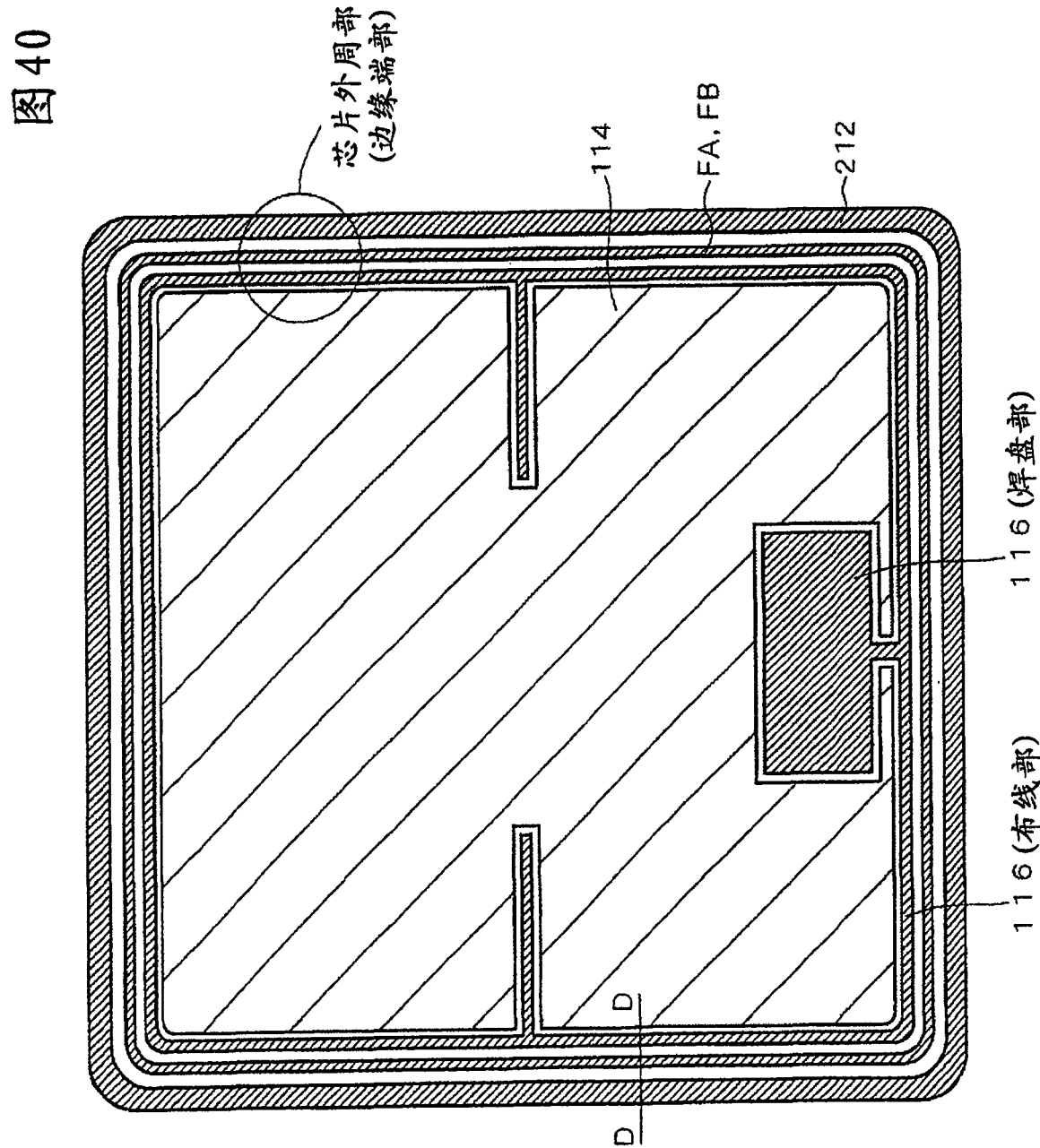


图41

