

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成22年7月29日(2010.7.29)

【公表番号】特表2009-545095(P2009-545095A)

【公表日】平成21年12月17日(2009.12.17)

【年通号数】公開・登録公報2009-050

【出願番号】特願2009-521273(P2009-521273)

【国際特許分類】

G 11 C 13/00 (2006.01)

H 01 L 27/105 (2006.01)

H 01 L 27/10 (2006.01)

H 01 L 45/00 (2006.01)

【F I】

G 11 C 13/00 A

H 01 L 27/10 4 4 8

H 01 L 27/10 4 8 1

H 01 L 45/00 A

【手続補正書】

【提出日】平成22年6月8日(2010.6.8)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

相変化メモリデバイスにおいて、

メモリセル(2)の複数のグループ(7)によって形成されるメモリアレイ(1)を備え、前記メモリセルは、行と列に配置され、ワードライン(6)とデータビットライン(5)の交差点で接続され、各メモリセルは、相変化メモリ要素(3)及び選択スイッチ(4)を具備し、

さらに、前記相変化メモリデバイスは、

複数の基準セル(2a乃至2c)を具備し、各基準セル(2a乃至2c)が、そのための相変化メモリ要素(3a乃至3c)及びそのための選択スイッチ(4a乃至4c)を具備し、メモリセルの少なくとも一つのグループ(7)に関連していることを特徴とする相変化メモリデバイス。

【請求項2】

システムであって、

プロセッサー(510)と、

前記プロセッサーに接続されているインプット/アウトプットデバイス(520)と、

前記プロセッサーに接続されているメモリ(530)であって、請求項1に記載の相変化メモリデバイスを具備するメモリと、

を備えることを特徴とするシステム。

【請求項3】

相変化メモリデバイスを読み取るための方法において、

その相変化メモリデバイスが、

メモリセル(2)の複数のグループ(7)によって形成されるメモリアレイ(1)を備え、前記メモリセルは、行と列に配置され、ワードライン(6)とデータビットライン(5)

5 ) の交差点で接続され、各メモリセル ( 2 ) は、相変化メモリ要素 ( 3 ) と選択スイッチ ( 4 ) を具備し、

さらに、前記メモリデバイスは、複数の基準セル ( 5 a ) を備え、各基準セル ( 5 a ) は、そのための相変化メモリ要素 ( 3 ) 及びそのための選択スイッチ ( 4 ) を具備し、メモリセルの少なくとも一つのグループ ( 7 ) に関連し、基準ビットラインに接続されていることを特徴とするような相変化メモリデバイス、を読み取るための方法が、

前記メモリセル ( 2 ) と前記基準セル ( 2 a 乃至 2 c ) の電気的な挙動を比較するステップを含む事を特徴とする方法。

#### 【請求項 4】

相変化メモリデバイスをプログラミングするための方法において、

その相変化メモリデバイスが、

メモリセル ( 2 ) の複数のグループ ( 7 ) によって形成されるメモリアレイ ( 10 ) を備え、前記メモリセルは、行と列に配置され、ワードライン ( 6 ) とデータビットライン ( 5 ) との間の交差点で接続され、各メモリセル ( 2 ) は、相変化メモリ要素 ( 3 ) とオボニック閾値スイッチ ( 4 ) を具備し、

さらに、前記メモリデバイスが、複数の閾値基準セル ( 5 a ) を備え、各閾値基準セル ( 5 a ) は、そのための相変化メモリ要素 ( 3 ) 及びそのためのオボニック閾値スイッチ ( 4 ) を具備し、メモリセルのグループ ( 7 ) に関連し、そして、基準ビットラインに接続されており、前記メモリデバイスが、少なくともセット状態及びリセット状態にメモリセル ( 2 ) のグループをプログラミングすることを具備していることを特徴とする相変化メモリデバイス、をプログラミングするための方法が、

前記セット状態にプログラミングされている前記メモリセル ( 2 ) のグループに関連する閾値基準セル ( 2 a ) をプログラミングするステップと、

前記メモリセル ( 2 ) をプログラミングするステップと、

を含むことを特徴とする方法。