

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 27/12 (2006.01)

H01L 21/84 (2006.01)



# [12] 发明专利说明书

专利号 ZL 200410058816.6

[45] 授权公告日 2007年2月14日

[11] 授权公告号 CN 1300853C

[22] 申请日 2004.7.30

[21] 申请号 200410058816.6

[30] 优先权

[32] 2003.8.5 [33] US [31] 10/634,446

[73] 专利权人 国际商业机器公司

地址 美国纽约

[72] 发明人 凯思琳·W·瓜利尼 杨美基

师利仁 杨敏

[56] 参考文献

US 5173446 A 1992.12.22

US 4933298 A 1990.6.12

US 5610083 A 1997.3.11

审查员 王欣

[74] 专利代理机构 中国国际贸易促进委员会专利

商标事务所

代理人 王永刚

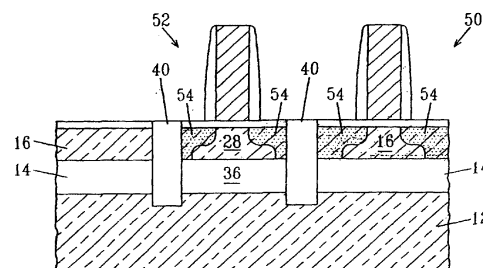
权利要求书 2 页 说明书 11 页 附图 5 页

[54] 发明名称

制作集成半导体结构的方法

[57] 摘要

本发明提供制作在具有不同晶体取向的 SOI 衬底上的集成半导体器件，对特定的器件可提供优化的性能。具体说来，所提供的集成半导体结构至少包含一个 SOI 衬底，该衬底具有第一晶体取向的上半导体层和第二晶体取向的半导体材料，其中半导体材料层与上半导体层基本上是共面的并有基本相同的厚度，并且第一晶体取向与第二晶体取向不同，此 SOI 衬底由晶片键合、离子注入和退火制成。



1. 一种制作集成半导体结构的方法，包括：

提供 SOI 衬底，该衬底包含由绝缘层隔离的第一晶体取向的上半导体层和第二晶体取向的下半导体层，所述第一晶体取向与所述第二晶体取向不同；

在 SOI 衬底中至少制作一个开孔来露出下半导体层表面；

在所述露出的下半导体层表面上生长半导体材料，所述半导体材料的晶体取向与第二晶体取向相同；

用离子注入和退火在所述半导体材料中制作绝缘埋层区，所述绝缘埋层区将半导体材料与下半导体层隔离；以及

对注入后的半导体材料平面化来提供一种结构，其中具有第二晶体取向的半导体材料与上半导体层共面并有相同的厚度。

2. 权利要求 1 的方法，其中所述提供 SOI 衬底包括将两个晶片键合在一起，其中至少一个晶片包含上半导体层，而另一个晶片包含下半导体层。

3. 权利要求 1 的方法，其中所述 SOI 衬底还包含制作在其上的表面介电层。

4. 权利要求 1 的方法，其中所述至少制作一个开孔包括在 SOI 衬底上制作图形掩模和腐蚀。

5. 权利要求 1 的方法，还包括在所述生长半导体材料之前，在至少一个开孔露出的侧壁上制作隔层。

6. 权利要求 5 的方法，其中所述隔层是用淀积和腐蚀来制作的。

7. 权利要求 1 的方法，其中所述生长半导体材料包括选择外延生长工艺。

8. 权利要求 1 的方法，其中所述离子注入包括在半导体材料中注入氧或氮离子。

9. 权利要求 1 的方法，其中所述离子注入包括底部离子注入步骤。

10. 权利要求 9 的方法, 还包括在底部离子注入步骤后的第二离子注入步骤。

11. 权利要求 1 的方法, 其中所述退火是在  $700 - 1400^{\circ}\text{C}$  的温度下在氧化环境中进行的。

12. 权利要求 11 的方法, 其中所述氧化环境包括采用惰性气体稀释的含氧气体。

13. 权利要求 1 的方法, 其中所述平面化至少包含一个选择除去氧化物的腐蚀步骤。

14. 权利要求 1 的方法, 还包括在所述结构上制作至少一个 pFET 和至少一个 nFET。

15. 权利要求 14 的方法, 其中所述至少一个 pFET 位于 (110) 晶面上, 而所述至少一个 nFET 位于 (100) 晶面上。

16. 权利要求 1 的方法, 其中所述上半导体层具有 (110) 的表面取向, 而所述半导体材料具有 (100) 的表面取向。

17. 权利要求 16 的方法, 还包括在 (110) 表面上制作至少一个 pFET 和在 (100) 表面上制作至少一个 nFET。

## 制作集成半导体结构的方法

### 技术领域

本发明涉及到数字或模拟应用的高性能金属-氧化物-半导体场效应晶体管 (MOSFET)，更确切地说是涉及到利用衬底表面取向来提高载流子迁移率的 MOSFET。

### 背景技术

在当前的半导体技术中，互补型金属-氧化物-半导体 (CMOS) 器件如 nFET (即，n 沟道 MOSFET) 或 pFET (即，p 沟道 MOSFET) 典型地制作在具有单一晶体取向的半导体晶片例如 Si 上。特别是，大多数今天的半导体器件都制作在 (100) 晶体取向的 Si 上。

大家知道，对于表面晶体取向为 (100) 的 Si，电子有高迁移率，而空穴在表面晶体取向为 (110) 时有高迁移率。即，在 (100) Si 上空穴迁移率大约比此晶体取向的相应电子迁移率低 2-4 倍。为补偿这种差异，pFET 被典型地设计为具有较大的宽度，以便相对于 nFET 的下拉电流平衡上拉电流，从而达到均匀的电路开关。具有较大宽度的 pFET 不是所希望的，因为这将占据大量的芯片面积。

另一方面，(110) Si 的空穴迁移率为 (100) Si 的两倍，因此，制作在 (110) 面上的 pFET 比制作在 (100) 面上的 pFET 表现出大得多的驱动电流。不幸的是，(110) Si 面的电子迁移率比 (100) Si 面降低很多。

从上述可以推断，(110) Si 面因优越的空穴迁移率而对 pFET 器件是优选的，但这样的晶体取向对 nFET 器件完全不合适。而 (100) Si 面对 nFET 器件是优选的，因为此晶体取向对电子迁移率有利。

鉴于上述，需要提供集成半导体器件，该器件制作在不同晶体取

向的衬底上而使特定的器件有优化的性能。也需要提供制作这样的集成半导体器件的方法，使 nFET 和 pFET 都制作在具有不同晶体取向的绝缘体上硅衬底上，其中衬底上制作器件的不同晶体取向半导体层基本上是共面的，且厚度基本相同。

### 发明内容

本发明的一个目的是提供一种集成半导体器件的制作方法，使不同类型的 CMOS 器件制作在特定晶体取向的绝缘体上硅 (SOI) 衬底上来提高每种器件的性能。

本发明的另一个目的是提供一种集成半导体器件的制作方法，使 pFET 位于 (110) 晶面上，而 nFET 位于同一 SOI 衬底的 (100) 晶面上。

本发明的再一个目的是提供一种方法，将 SOI 技术与 CMOS 技术用简单易行的工艺步骤集合在一起。

本发明还有一个目的是提供一种制作集成半导体结构的方法，在此结构中两种 CMOS 器件，亦即 pFET 和 nFET 都是 SOI 型的。

本发明还有一个目的是提供一种制作集成半导体结构的方法，此结构包含具有不同的晶体取向的 SOI 衬底，其中制作器件的半导体层基本上是共面的，且厚度基本相同。

本发明的这些和其他目的以及优点在本发明中被实现，包括晶片键合、腐蚀、腐蚀区中半导体层的再生长以及离子注入与退火，例如，SIMOX (氧注入隔离)。具体说来，本发明的方法首先包括提供 SOI 衬底，该衬底至少包含不同晶体取向的上半导体层和下半导体层。此 SOI 衬底是将两个不同的半导体晶片键合在一起而成的。键合之后，采用选择腐蚀工艺制作开孔而露出 SOI 衬底下半导体层的表面。

接着，在露出下半导体层表面的开孔中外延生长与下半导体层同晶体取向的半导体材料。在制作半导体材料前可在露出的开孔侧壁上制作隔层。在半导体材料中用 SIMOX 型工艺 (包括氧或氮离子注入和退火) 制作绝缘埋层区。

在注入和退火后，使用平面化步骤来提供一种结构，其中具有第二晶体取向的半导体材料与上半导体层基本上共面，且厚度基本相同。然后至少一个 nFET 和至少一个 pFET 可制作在上半导体层或半导体材料上，取决于该层的表面取向。两种 CMOS 器件，亦即 pFET 和 nFET 都是 SOI 型的，因为它们都制作在由绝缘埋层与下半导体层隔离的 SOI 层中，亦即，上半导体层或再生长的半导体材料中。

#### 附图说明

图 1 表示具有不同晶体取向的半导体层的初始 SOI 衬底（剖视图）。

图 2 表示在图 1 的 SOI 衬底中制作开孔以露出部分下半导体层（剖视图）。

图 3 表示在图 2 的结构中每个开孔露出的侧壁上所含的隔层（剖视图）。

图 4 表示在图 3 的下半导体层露出表面上制作半导体材料后的结构（剖视图）。

图 5 表示用可选的附加掩模层对半导体材料进行离子注入（剖视图）。

图 6 表示图 5 所示结构退火后的结构（剖视图）。

图 7 表示从半导体材料除去图形掩模后的结构（剖视图）。

图 8 表示平面化后的结构（剖视图）。

图 9 表示本发明的集成半导体结构，该结构含有的 nFET 和 pFET 制作在具有不同晶体取向但 SOI 厚度基本相同的共面表面上。

#### 具体实施方式

本发明提供了一种方法，采用晶片键合、离子注入和退火来制作具有不同晶体取向的 SOI 衬底，现在将参照附图来更详细地加以描述。在附图中，类似的和对应的部分由类似的参考数字来表示。

参见图 1，此图表示可用于本发明的初始的键合 SOI 衬底 10。如

图所示，键合的 SOI 衬底 10 包含表面介电层 18、上半导体层 16、绝缘层 14 以及下半导体层 12。此键合衬底 10 还可包含在下半导体层 12 之下的可选半导体层（未示出）。在可选的键合衬底中，另一个绝缘层将下半导体层 12 与可选的半导体层分开。

键合衬底 10 的表面介电层 18 为氧化物、氮化物、氮氧化物或其他绝缘层，可以是在晶片键合前存在于原始晶片之一中的，也可以是在晶片键合后用加热工艺（亦即，氧化、氮化或氮氧化）或淀积而制作在上半导体层 16 上面的。无论表面介电层 18 的来源如何，表面介电层 18 的厚度为大约 3–500 nm，更优选地为大约 5–20 nm。

上半导体层 16 由任何半导体材料构成，例如，包括 Si、SiC、SiGe、SiGeC、Ge 合金、GaAs、InAs、InP 以及其他 III/V 或 II/VI 族化合物半导体材料。上半导体层 16 也可包括预制 SOI 衬底的 SOI 层或层叠半导体层如 Si/SiGe。上半导体层 16 的特点是具有第一晶体取向，优选地为 (110)。虽然 (110) 晶体取向是优选的，上半导体层 16 也可具有 (111) 或 (100) 晶体取向。

上半导体层 16 的厚度可以改变，取决于制作键合衬底 10 所用的原始晶片。然而，上半导体层 16 的典型厚度为大约 5–500 nm，更优选地为大约 5–100 nm。

绝缘层 14 位于上半导体层 16 与下半导体层 12 之间，其厚度可变，取决于制作键合衬底 10 所用的原始晶片。然而，绝缘层 14 的典型厚度为大约 1–500 nm，更优选地为大约 5–100 nm。绝缘层 14 为氧化物或其他类似的绝缘材料，是在晶片键合前制作在两个晶片上或其中之一上的。

下半导体层 12 是由与上半导体层 16 相同或不同的任何半导体材料构成的。因此，下半导体层 12 可包括，例如，Si、SiC、SiGe、SiGeC、Ge 合金、GaAs、InAs、InP 以及其他 III/V 或 II/VI 族化合物半导体材料。下半导体层 12 也可包括预制 SOI 衬底的 SOI 层或层叠半导体如 Si/SiGe。下半导体层 12 的特点是具有第二晶体取向，该晶体取向不同于上半导体层 16 的第一晶体取向。由于上半导体层 16 优选地为

(110)面, 下半导体层 12 的晶体取向优选地为 (100)。虽然 (100) 晶体取向是优选的, 下半导体层 12 可具有 (111) 或 (110) 的晶体结构, 取决于上半导体层 16 的晶体取向。

下半导体层 12 的厚度可以改变, 取决于制作键合衬底 10 所用的原始晶片。在下半导体层下面没有可选的半导体层的实施方式中, 下半导体层 12 起着整个结构的支撑片的作用。为了支撑整个晶片, 下半导体层 12 的厚度为数百  $\mu\text{m}$ 。例如, 下半导体层 12 的厚度可为大约 500 – 800  $\mu\text{m}$ 。在下半导体层 12 下面有可选的半导体层的实施方式中, 下半导体层 12 的厚度可为大约 5nm 到大约 200  $\mu\text{m}$ , 更优选的厚度为大约 5 – 100 nm。

当下半导体层 12 下面存在可选的半导体层时, 可选的半导体层可为与下半导体层 12 相同或不同的半导体材料。可选的半导体层的晶体取向典型地, 但不总是, 与下半导体层相同。此可选的半导体层一般厚于下半导体层 12。当存在可选的半导体层时, 一绝缘层将可选的半导体层与下半导体层隔离。

图 1 所示的键合衬底 10 包含两个键合在一起的半导体晶片。用来制作键合衬底 10 的两个晶片可包括: 两个 SOI 晶片, 其中之一包含上半导体层 16, 而另一个晶片包含下半导体层 12; 一个 SOI 晶片和一个体材料半导体晶片; 两个体材料半导体晶片, 其中至少一个晶片上含有绝缘层 14; 或者一个 SOI 晶片和一个体材料半导体晶片, 后者包含离子注入区如  $\text{H}_2$  注入区, 可用来在晶片键合期间使至少一个晶片的一部分分离。本发明拟使用两个体材料晶片, 其中之一具有  $\text{H}_2$  注入区。

键合是这样来实现的: 先使两个晶片彼此紧密接触; 可选地对接触的晶片施加外力; 然后在能使两个晶片键合在一起的条件对两个接触的晶片加热。加热步骤可在存在或没有外力的条件下进行。加热步骤典型地在惰性环境中, 在大约 600 – 1300 $^{\circ}\text{C}$  的温度下进行大约 2 – 20 小时。更优选地, 键合步骤是在大约 900 – 1200 $^{\circ}\text{C}$  的温度下进行大约 2 – 20 小时。在本发明中所用的“惰性环境”一词代表所用的气氛为



情性气体，如 He、Ar、N<sub>2</sub>、Xe、Kr 或其混合气体。在键合过程中所用的优选环境为 N<sub>2</sub>。在使用氢注入的实施方式中，在键合前可使用温度为大约 200 – 500℃ 的预热步骤。

在使用两个 SOI 晶片的实施方式中，在键合后，可用平面化工艺如化学机械抛光 (CMP) 或研磨和腐蚀来至少除去一个 SOI 晶片的某些材料层。当达到表面介电层 18 时停止平面化工艺。

在一个晶片包含离子注入区的实施方式中，在键合期间离子注入区形成多孔区，使离子注入区上面的部分晶片破裂而离开键合的晶片，例如，如图 1 所示。注入区典型地包含氢离子，是用技术熟练人员所熟知的离子注入条件注入晶片表面的。

在键合的晶片不含介电层的实施方式中，表面介电层 18 可制作在键合的晶片上面，使用加热工艺如氧化，或常规的淀积工艺如化学汽相沉积 (CVD)、等离子体增强 CVD、原子层淀积、化学溶液淀积以及其他类似的淀积工艺。

然后在图 1 的键合衬底 10 的预定部分上制作图形掩模 20，使之保护一部分键合衬底 10 而至少留下键合衬底 10 的另一部分不受保护。键合衬底 10 的保护部分确定了此结构的第一器件区，而键合衬底 10 的未保护部分确定了第二器件区。图形掩模 20 为氮化物或氮氧化物层，是用光刻和腐蚀制作和刻图形的。

在本发明中用图形掩模 20 来防止注入和退火步骤期间键合的 SOI 衬底被保护部分的氧化。为在最终的结构中达到基本相同的 SOI 厚度，可选择此掩模层的厚度基本上等于图 6 中再生长半导体层氧化部分的厚度减去表面介电层 18 的厚度。表面介电层 18 在后面除去图形掩模 20 期间可起蚀层的作用。

在键合衬底 10 有了图形掩模 20 后，对该结构进行一个或多个腐蚀步骤来提供至少一个开孔 22，露出第二半导体层 12 的表面。制作图形掩模 20 和腐蚀后所得的结构，例如，如图 2 所示。具体说来，本发明此处所用的一个或多个腐蚀步骤除去了表面介电层 18 的未保护部分，以及下面的部分上半导体层 16 和隔开上半导体层 16 与下半导

体层 12 的部分绝缘层 14。

腐蚀可利用单步腐蚀或多步腐蚀来进行。本发明此处所用的腐蚀可包括干法腐蚀工艺如反应离子刻蚀、离子束刻蚀、等离子体刻蚀或激光刻蚀、使用化学腐蚀剂的湿法腐蚀工艺、或其组合。此腐蚀可停止在下半导体层 12 的上表面，也可停止在稍低于下半导体层 12 上表面的区域。在本发明的优选实施方式中，用反应离子刻蚀（RIE）来选择除去表面介电层 18、上半导体层 16 和绝缘层 14 的未保护部分。

注意，腐蚀后开孔 22 露出的侧壁 24 包括表面介电层 18、上半导体层 16、绝缘层 14 以及下半导体层 12 的余下部分。如图所示，层 18、16 和 14 露出的侧壁与掩模 20 的最外边对准。

在保留掩模 20 时，在例如图 3 所示结构的至少一个开孔 22 中，在露出的侧壁 24 上制作隔层 26。用淀积和腐蚀制作的隔层 26 是由绝缘材料如氧化物制成的。在本发明中，隔层 26 被用作选择外延的阻挡掩模来防止从腐蚀侧壁露出的上半导体层 16 的外延，以保证外延后在腐蚀区中有优质的单晶。

在制作隔层 26 后，在例如图 4 所示结构的下半导体层 12 露出的表面上选择制作半导体材料 28。按照本发明，半导体材料 28 的晶体取向与下半导体层 12 相同。

半导体材料 28 可包括任何含硅半导体材料，如 Si、应变的 Si、SiGe、SiC、SiGeC 或其组合，都可用选择外延生长法制作。在某些优选的实施方式中，半导体材料 28 由 Si 构成。在本发明中，半导体材料 28 可称为再生长半导体材料层。用外延工艺制作的半导体材料 28 可生长得高于图形掩模 20 的上表面，然后用抛光降至图形掩模 20 的上表面，以消除任何可能的小晶面生长。注意，半导体材料 28 可不同于下半导体材料 12。因此，例如，SiGe 合金可生长在 Si 层上。在附图中，半导体材料 28 和半导体层 12 是由同样的半导体材料构成的，其间显然不存在真正的界面。如果材料不同，在半导体材料层 28 与下半导体层 12 间会有界面存在。

在此处，可在图 4 所示结构的露出表面上制作可选的图形注入掩

模 30。在此实施方式中，先在此结构的露出表面施加光致抗蚀剂层，然后使用光刻包括抗蚀剂的曝光和显影来制作可选的图形注入掩模 30。注意，可选的图形注入掩模的侧壁可在前面的腐蚀步骤中形成的开孔侧壁上稍有延伸。图 5 表示所得的包含可选的图形掩模 30 的结构。

使用或不用可选的图形掩模 30，离子 32 例如氧或氮被注入半导体材料层 28 的露出部分，使得在半导体材料层 28 中形成一注入区 34。参见图 5。注入区 34 的深度可设计得使图 6 中退火后的绝缘埋层材料区 36 的上表面（最终的氧化物埋层上表面）基本上与绝缘层 14 的上表面相平。注意，此注入区将基本上与退火步骤后的绝缘埋层 36 的上表面区持平（参见图 6）。此注入区包含高浓度的离子，在以后的高温退火步骤中能形成绝缘埋层。在本发明的这一阶段进行的离子注入可包括各种熟知的离子注入条件，例如，可包括下面的条件：

大剂量离子注入：这里所用的“大剂量”一词代表大约  $4E17 \text{ cm}^{-2}$  以上的离子剂量，更优选地为大约  $4E17 - 2E18 \text{ cm}^{-2}$  的离子剂量。除了使用大剂量时，此注入典型地是在能量为大约  $10 - 1000 \text{ keV}$  的离子注入设备中进行的。更优选地，此注入是用大约  $60 - 250 \text{ keV}$  的能量进行的。

此注入，可称为底部离子注入，是在大约  $200 - 800^\circ\text{C}$  的温度下在大约  $0.05 - 500 \text{ mAcm}^{-2}$  的束流密度下进行的。更优选地，此底部离子注入可在大约  $200 - 600^\circ\text{C}$  的温度下在大约  $4 - 8 \text{ mAcm}^{-2}$  的束流密度下进行。

如果需要，可在底部离子注入后接着进行第二次注入，这是用大约  $1E14 - 1E16 \text{ cm}^{-2}$  的剂量进行的，更为优选的剂量是大约  $1E15 - 4E15 \text{ cm}^{-2}$ 。第二次注入的能量为大约  $40 \text{ keV}$  或以上，更优选地为大约  $120 - 450 \text{ keV}$ 。

此第二次注入是在温度为大约  $4K - 200^\circ\text{C}$ ，束流密度为大约  $0.05 - 10 \text{ mAcm}^{-2}$  下进行的。更优选地，第二次注入可在温度为大约  $25 - 100^\circ\text{C}$ ，束流密度为大约  $0.5 - 5.0 \text{ mAcm}^{-2}$  下进行。

注意，第二次注入在底部离子注入步骤所引起的损伤区下面形成

了一个无定形区。在以后的退火期间，此无定形区和损伤区转变为绝缘埋层区。

小剂量离子注入：这里所用的“小剂量”一词对于本发明的这个实施方式代表大约  $4E17 \text{ cm}^{-2}$  以下的离子剂量，更优选地为大约  $1E17 - 3.9E17 \text{ cm}^{-2}$  的离子剂量。此小剂量注入是在能量为大约  $40 - 500 \text{ keV}$  下进行的，更优选地为大约  $60 - 250 \text{ keV}$ 。

此小剂量注入，可称为底部离子注入，是在大约  $100 - 800^\circ\text{C}$  的温度下进行的。更优选地，此底部离子注入可在大约  $200 - 650^\circ\text{C}$  的温度下进行。小剂量注入所用的束流密度为大约  $0.05 - 500 \text{ mAcm}^{-2}$ 。

如果需要，可在底部小剂量离子注入后接着进行第二次注入，采用上述的条件进行。

还要强调的是，上述类型的离子注入是示范性的，决不是对本发明范围的限制。而本发明考虑了所有的常规离子注入，这些都是在常规的 SIMOX 工艺中典型使用的。

离子注入后，典型地用技术熟练人员所熟知的常规去抗蚀剂工艺来除去可选的图形掩模 30。接着，对包含注入区 34 的结构进行高温退火，使注入区 34 能转变为优质的绝缘埋层 36。具体说来，本发明的退火步骤是在大约  $700 - 1400^\circ\text{C}$  的温度下进行的，大约  $1100 - 1300^\circ\text{C}$  是更优选的。

而且，本发明的退火步骤是在氧化环境中进行的。退火步骤所用的氧化环境包含至少一种含氧气体如  $\text{O}_2$ 、 $\text{NO}$ 、 $\text{N}_2\text{O}$ 、臭氧、空气以及其他类型的含氧气体。含氧气体可彼此混合（如  $\text{O}_2$  与  $\text{NO}$  的混合气），也可为采用惰性气体如  $\text{He}$ 、 $\text{Ar}$ 、 $\text{N}_2$ 、 $\text{Xe}$ 、 $\text{Kr}$  或  $\text{Ne}$  稀释的气体。

退火步骤进行的时间是可变的，典型的范围为大约  $1 - 100$  小时，更优选地为大约  $2 - 24$  小时。退火步骤可在单一的目标温度或采用不同升降温速率和恒温时间的各种升温 and 恒温循环。

因为退火是在氧化环境中进行的，半导体材料 28 的上部氧化而在其中形成表面氧化区 38。注意，因存在图形掩模 20 防止了上半导体层 16 被氧化。表面氧化区 38 的体积几乎为氧化前的硅的两倍。

接着，从图 6 所示的结构选择除去图形掩模 20 而停止在表面介电层 18 上。在本发明中用湿法化学腐蚀工艺来除去图形掩模 20，其中所用的腐蚀剂为，例如，热磷酸。热磷酸对 SiN 构成的图形掩模 20 是特别有用的，因为它对氧化物选择腐蚀 SiN。腐蚀后所得的结构，例如，如图 7 所示。

现在参见图 8，表面氧化层 38，亦即，再生长半导体材料的氧化区与表面介电层 18 以及可选地，部分隔层 26 一起对半导体材料层选择清除。本发明的这一步可称为平面化工艺，因为该步骤提供了图 8 所示的平面结构。

具体说来，在本发明中可使用对半导体材料选择清除氧化物的湿法化学腐蚀工艺。可用于本发明这一步骤来选择清除氧化物的一种腐蚀剂实例为缓冲的 HF。SOI 层，亦即，上半导体层 16 和半导体材料 28 上的隔层 26 也可除去。因为隔层 26 典型地位于隔离区（而非有源器件区），隔层凹陷或被除去都是可以接受的。可在制作沟槽隔离区期间取代或修正清除隔层。

注意，在图 8 中示出了标作 100 的第一器件区和标作 102 的第二器件区。第一器件区包含上半导体层 16，而第二器件区 102 包含半导体材料层 28。两个有源区都是 SOI 区，因为绝缘区将有源区与下半导体层 12 隔开。如同所说明的那样，图 8 的结构包含具有第二晶体取向的再生长半导体材料 28，该层基本上与上半导体层 16 共面且厚度基本相同，而上导体层 16 具有与第二晶体取向不同的第一晶体取向。

在提供了基本为平面的表面后，典型地制作隔离区 40，如浅沟道隔离区，使第一半导体器件区 100 与第二半导体器件区 102 隔离。隔离区 40 制作在有隔层的区域中，所用的工艺步骤是技术熟练人员所熟知的，例如，确定沟槽并腐蚀；可选地用扩散阻挡层衬入沟槽；以及用沟槽介电材料如氧化物填充沟槽。沟槽填充后，可对此结构平面化，并可执行可选的致密工艺步骤来使沟槽介电材料致密。

所得含隔离区 40 的基本为平面的结构，例如，如图 9 所示。此图也表示了集成结构，该结构是在部分第一半导体层 16 上制作了第一

半导体器件 50 和在再生长半导体材料 28 上制作了第二半导体器件 52 后所形成的。尽管所示者是在每个器件区只有一个半导体器件，本发明试图在指定的器件区制作每种类型的多个器件。

在本发明的其他实施方式中，隔离区 40 制作在图 8 所示的区域 100 和 102 中，使许多 pFET 或 nFET 可制作在原来由隔层 26 隔开的每个区域中。

按照本发明，第一半导体器件可为 pFET 或 nFET，而第二半导体器件可为 nFET 或 pFET，但第一半导体器件必须与第二半导体器件不同，且具体的器件必须制作在提供高性能器件的晶体取向上。此 pFET 和 nFET 是用技术熟练人员所熟知的标准 CMOS 工艺制作的。每个 FET 都包含栅极介电层、栅极导体、在栅极导体上面的任选硬掩模、至少在栅极导体侧面上的隔层、以及扩散区。在图 9 中扩散区标为 54。

注意，pFET 制作在具有 (110) 或 (111) 晶体取向的半导体材料上，而 nFET 制作在具有 (100) 或 (111) 晶体取向的半导体表面上。

虽然已用其优选的实施方式对本发明作了部分地说明或描述，技术熟练人员将会理解，可在形式或详细内容上作出前述的和其他的改变而不背离本发明的构思和范围。因此，本发明在权利要求的范围内，将不只限于所描述和说明的形式和详情。

图1

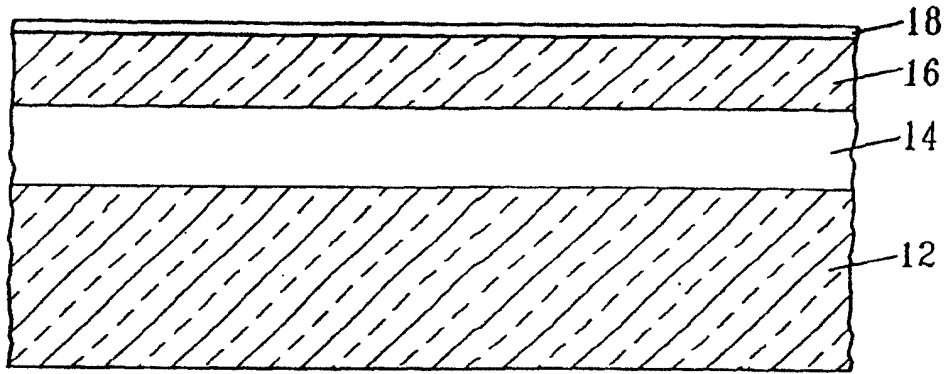


图2

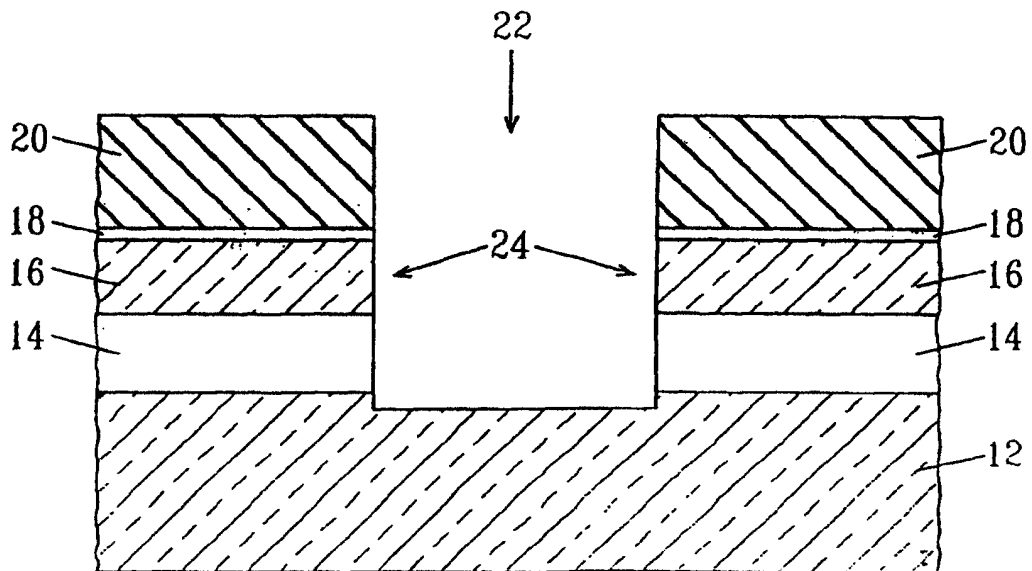


图3

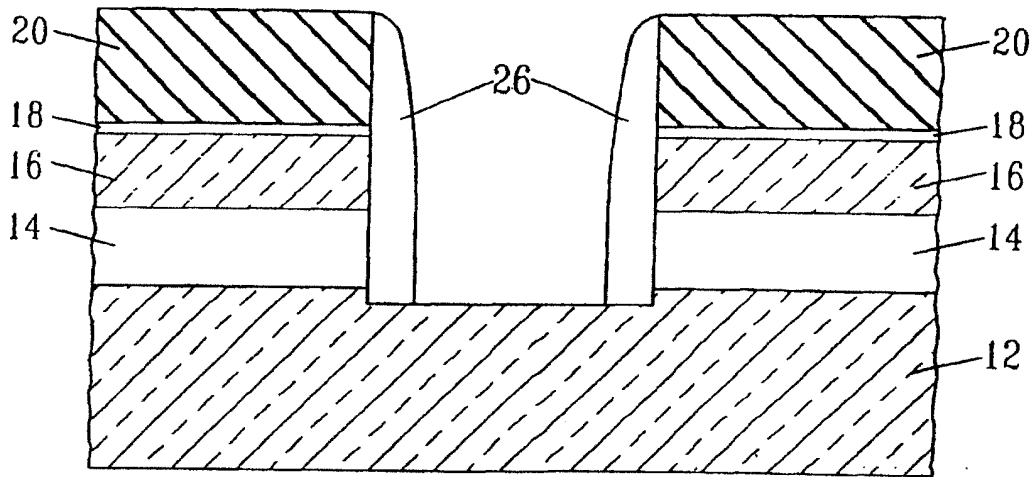


图4

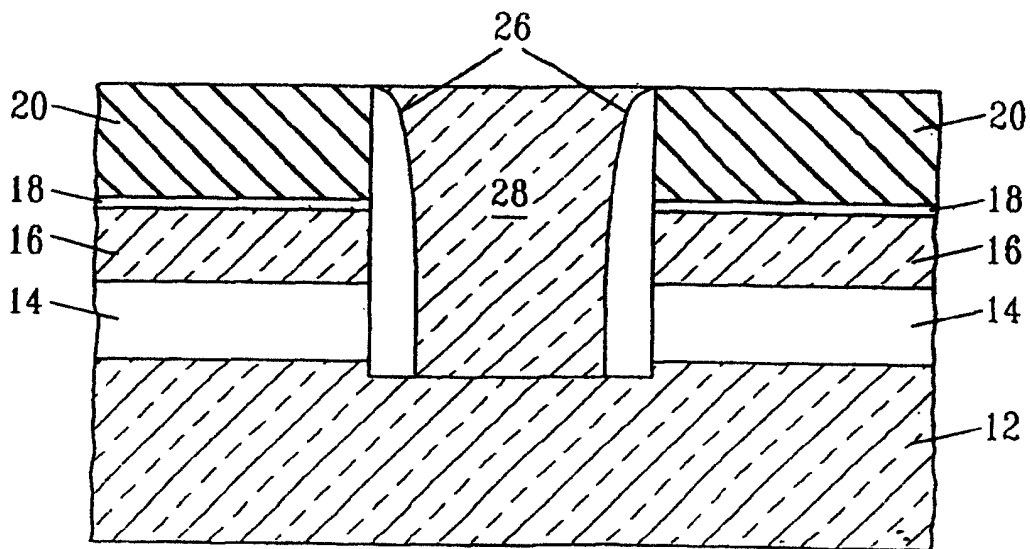




图5

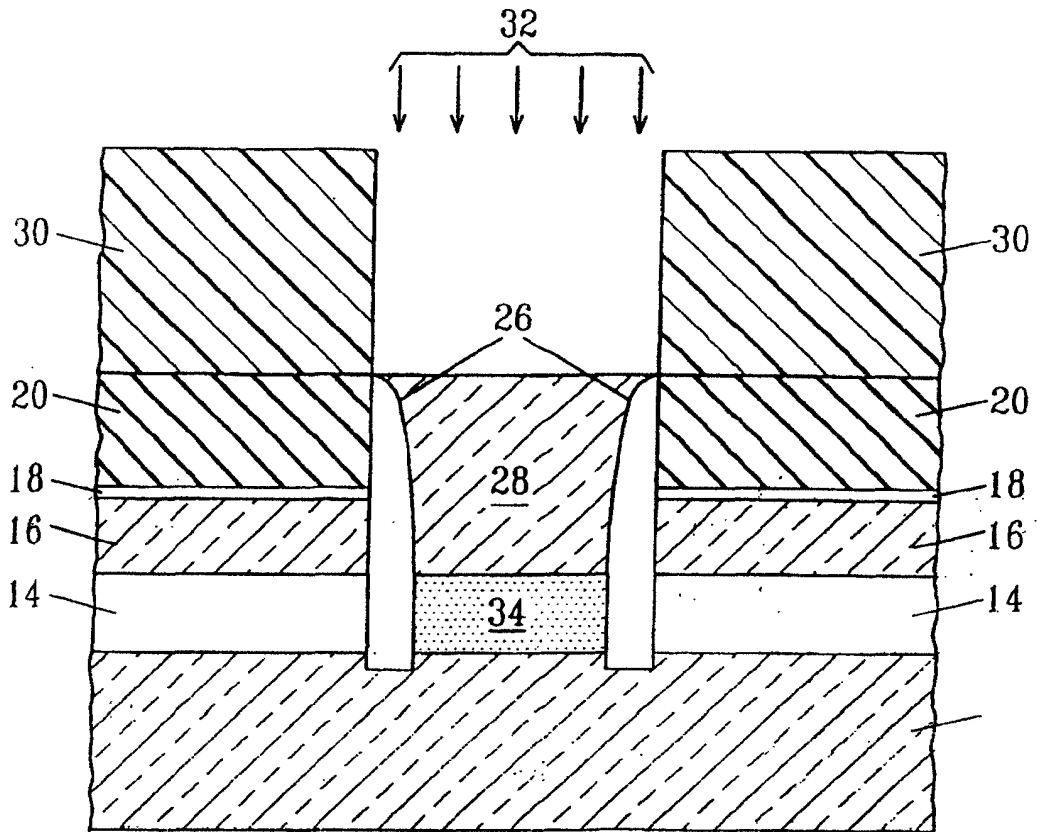


图6

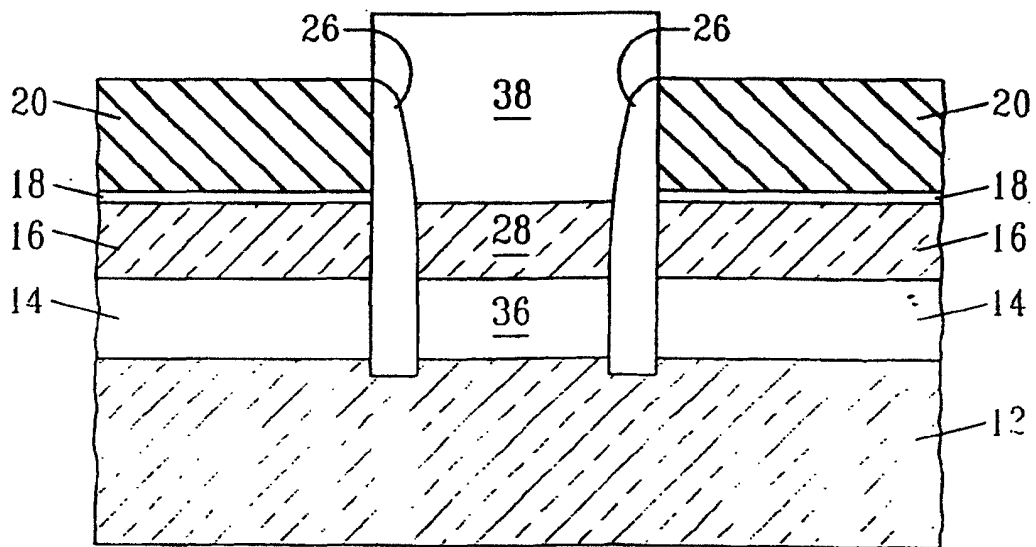


图7

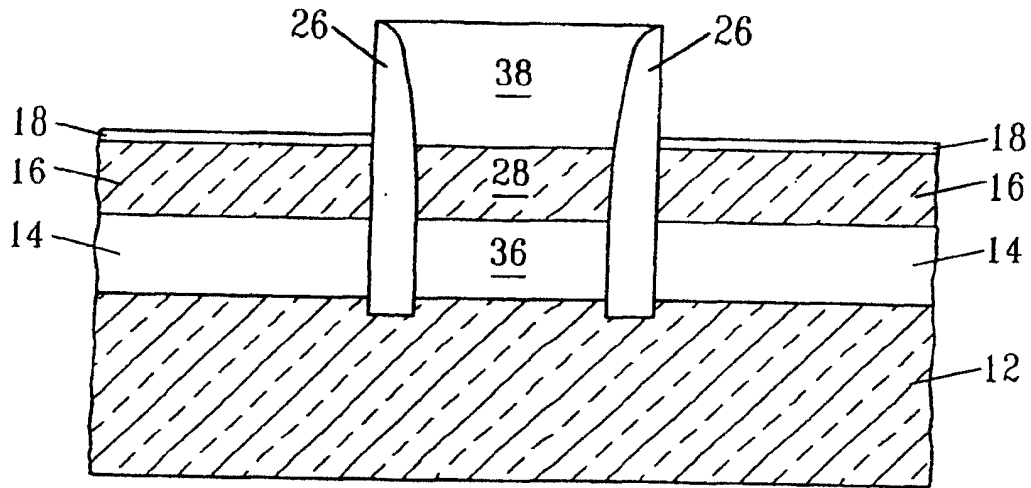


图8

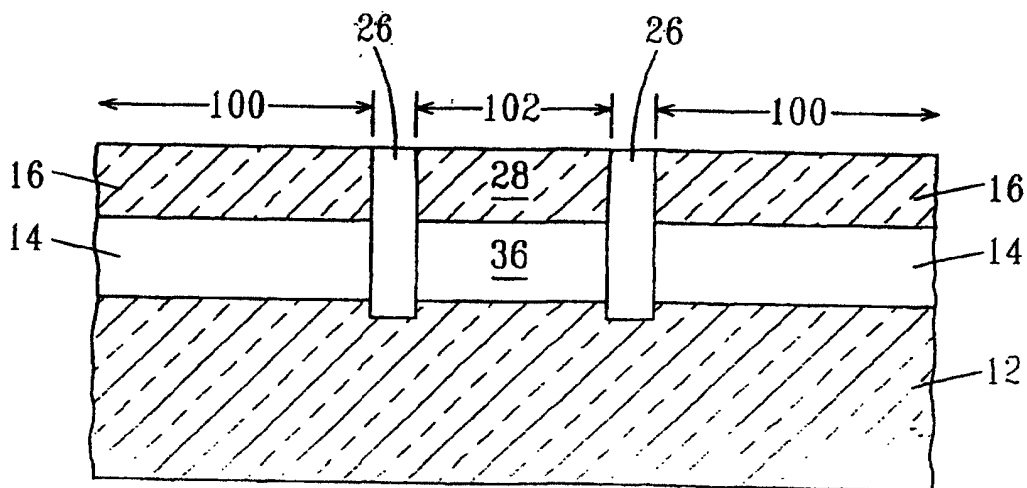


图9

