

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4133891号
(P4133891)

(45) 発行日 平成20年8月13日(2008.8.13)

(24) 登録日 平成20年6月6日(2008.6.6)

(51) Int.Cl.

F 1

G02F 1/133 (2006.01)
G02F 1/1368 (2006.01)
G09G 3/20 (2006.01)
G09G 3/36 (2006.01)

GO2F 1/133 550
 GO2F 1/133 570
 GO2F 1/1368
 GO9G 3/20 611D
 GO9G 3/20 621B

請求項の数 8 (全 19 頁) 最終頁に続く

(21) 出願番号

特願2004-89067 (P2004-89067)

(22) 出願日

平成16年3月25日 (2004.3.25)

(65) 公開番号

特開2005-275056 (P2005-275056A)

(43) 公開日

平成17年10月6日 (2005.10.6)

審査請求日

平成19年1月25日 (2007.1.25)

(73) 特許権者 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目7番3号

(74) 代理人 100103894

弁理士 家入 健

(72) 発明者 永野 慎吾

熊本県菊池郡西合志町御代志997番地

株式会社アドバンスト・ディスプレイ内

(72) 発明者 升谷 雄一

熊本県菊池郡西合志町御代志997番地

株式会社アドバンスト・ディスプレイ内

(72) 発明者 大浦 久治

熊本県菊池郡西合志町御代志997番地

株式会社アドバンスト・ディスプレイ内

最終頁に続く

(54) 【発明の名称】 液晶表示装置とその製造方法

(57) 【特許請求の範囲】

【請求項 1】

基板上に形成された複数のゲート配線と、
 前記ゲート配線と絶縁膜を介して交差するソース配線と、
 前記ソース配線と接続されたスイッチング素子と、
 前記スイッチング素子を介して前記ソース配線と接続され、液晶を駆動する駆動電圧に基づく画素電位が入力される画素電極と、
 前記画素電極と対向配置され、共通電位が入力される共通電極とを備え、
 前記画素電極の画素電位と前記共通電極の共通電位によって生じる電界に基づいて、前記基板と水平な方向に液晶を駆動する液晶表示装置であって、

前記液晶表示装置の1水平周期において、前記画素電極に画素電位を書き込む書き込み期間と前記画素電位を書き込まない非書き込み期間とを有するよう前記ゲート配線に走査信号を入力し、

前記書き込み期間において前記ソース配線に前記画素電位を入力し、前記非書き込み期間において前記ソース配線に画素電位よりも前記共通電位に近い電位を入力する液晶表示装置。

【請求項 2】

前記非書き込み期間において、前記ソース配線に前記共通電位と略等しい電位が入力される請求項1記載の液晶表示装置。

【請求項 3】

10

20

隣接する前記ソース配線に印加される前記画素電位の極性が異なるよう反転駆動され、前記非書き込み期間において、前記ソース配線を他のソース配線と電気的に接続することにより前記共通電位に近い電位を入力する請求項1記載の液晶表示装置。

【請求項4】

所定の階調電圧に基づいて前記画素電位を前記ソース配線に入力する駆動回路と、供給された参照電圧に基づいて前記階調電圧を前記駆動回路に供給する電圧供給回路とをさらに備え、

前記参照電圧を変化させることにより前記ソース配線に画素電位よりも前記共通電位に近い電位を入力する請求項1又は2記載の液晶表示装置。

【請求項5】

基板上に形成された複数のゲート配線と、前記ゲート配線と絶縁膜を介して交差するソース配線と、

前記ソース配線と接続されたスイッチング素子と、

前記スイッチング素子を介して前記ソース配線と接続され、液晶を駆動する駆動電圧に基づく画素電位が入力される画素電極と、

前記画素電極と対向配置され、共通電位が入力される共通電極とを備え、

前記画素電極の画素電位と前記共通電極の共通電位によって生じる電界に基づいて、前記基板と水平な方向に液晶を駆動する液晶表示装置の駆動方法であって、

1 水平周期において、

前記画素電極に画素電位を書き込む書き込み期間を形成するよう前記ゲート配線に走査信号を供給するステップと、

前記書き込み期間において前記ソース配線に前記画素電位を入力するステップと、

前記画素電位を書き込まない非書き込み期間を有するようゲート配線に走査信号を供給するステップと、

前記非書き込み期間において前記ソース配線に画素電位よりも前記共通電位に近い電位を入力するステップとを有する液晶表示装置の駆動方法。

【請求項6】

前記非書き込み期間において前記ソース配線に前記共通電位と略等しい電位を入力する請求項5記載の液晶表示装置の駆動方法。

【請求項7】

基板上に形成された複数のゲート配線と、前記ゲート配線と絶縁膜を介して交差するソース配線と、

前記ソース配線と接続されたスイッチング素子と、

前記スイッチング素子を介して前記ソース配線と接続され、液晶を駆動する駆動電圧に基づく画素電位が入力される画素電極と、

前記画素電極と対向配置され、共通電位が入力される共通電極とを備え、

前記画素電極の画素電位と前記共通電極の共通電位によって生じる電界に基づいて、前記基板と水平な方向に液晶を駆動する液晶表示装置であって、

前記液晶表示装置の1水平周期に対応する期間において、

前記スイッチング素子がONからOFFに切り替わるタイミングを含む第1の期間と、前記第1の期間よりも前に存在する第2の期間とを有し、

前記第1の期間において、前記ソース配線に前記画素電位を入力し、前記第2の期間において前記ソース配線に画素電位よりも前記共通電位に近い電位を入力する液晶表示装置。

【請求項8】

基板上に形成された複数のゲート配線と、前記ゲート配線と絶縁膜を介して交差するソース配線と、

前記ソース配線と接続されたスイッチング素子と、

前記スイッチング素子を介して前記ソース配線と接続され、液晶を駆動する駆動電圧に基づく画素電位が入力される画素電極と、

10

20

30

40

50

前記画素電極と対向配置され、共通電位が入力される共通電極とを備え、
 前記画素電極の画素電位と前記共通電極の共通電位によって生じる電界に基づいて、前記基板と水平な方向に液晶を駆動する液晶表示装置の駆動方法であって、

前記液晶表示装置の1水平周期に対応する期間において、

前記ソース配線に画素電位よりも前記共通電位に近い電位を入力するステップと、

前記ソース配線に前記画素電位よりも前記共通電位に近い電位を入力した後、前記スイッチング素子がONからOFFに切り替わるタイミングまで、画素電位を供給するステップとを備える液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は液晶表示装置及びその製造方法に関し、さらに詳しくは横電界方式の液晶表示装置及びその製造方法に関する。

【背景技術】

【0002】

アクティブマトリクス型の液晶表示装置において、液晶に印加する電界の方向を基板に對して平行な方向とする横方向電界方式 (IPS: In Plane Switching) が、主に超広視野角を得る手法として用いられている (特許文献1)。この方式を採用すると、視角方向を変化させた際のコントラストの変化、階調レベルの反転がほとんど無くなることが明らかにされている (非特許文献1)。図11(a)は、従来の一般的な横方向電界方式の液晶表示装置の画素部を示す平面図である。そして、図11(b)は、その一部を拡大した断面図である。図において、100は TFTアレイ基板、200はカラーフィルタ (CF) 基板である。また、1は絶縁性基板上に形成された複数本の走査信号線であるゲート配線、2はゲート絶縁膜、3はソース配線、4はソース配線3上に設けられた絶縁膜、5a、5bはゲート配線と同層に設けられた共通電極である。6は共通電極と対向配置された画素電極である。特に、この例では、共通電極5は、共通電極5a及び共通電極5bに分離して配置されている。そのため、ソース配線に電圧が印加された状態においては、その電圧によって電界Eが発生し、TFTアレイ基板100とCF基板200の間に設けられた液晶の配向状態を変えてしまう。このため、図11に示される構成では、結局図上L1で示される幅が広く必要であり光の透過が制限されるため、開口率が低くなるという問題点もあった。

20

【0003】

このような問題点を解決するために、図12(a)及び図12(b)に示す構造が提案されている。この構造では、共通電極5がソース配線3を覆い、両者が重なり合うように配置されている。このような構成によれば、ソース配線3から発生する電界が共通電極5によって遮られるため、液晶まで及ばず、液晶の配向状態の変化を低減することができる。このため、光の透過を制限する幅L2を狭くでき、開口率を高くすることができる。

30

【0004】

このような横方向電界方式の液晶表示装置では、図13に示すように共通電極5の共通電位Vcomと画素電極6の電位Vsにより基板と水平な方向に電界が発生する。この電界により、基板と水平な方向に液晶を駆動して、所望の画像を表示させる。

40

【0005】

通常、IPS方式の液晶表示装置ではアクティブマトリクス型の液晶表示装置が採用される。アクティブマトリクス型液晶表示装置では図12に示すような画素がマトリクス状に配置される。従って、ゲート配線1及びソース配線3がそれぞれ複数配置される。そして、ゲート配線1とソース配線3との交差点近傍にはスイッチング素子であるTFTが配置される。

【0006】

ゲート配線には接続されたTFTのON/OFFが切り替わるよう走査信号が供給される。一方、ソース配線には液晶を駆動するための表示信号が供給される。このTFTがO

50

Nとなっている期間において、ソース配線3と画素電極が導通して、画素電極に表示信号が書き込まれる。画素電極と対向配置された共通電極には共通電位が供給されている。この、表示信号に基づいて画素電極と共通電極との間で生じる駆動電圧により液晶を駆動する。複数のゲート配線のうち、TFTがONとなるゲート配線は端から順番に走査されていく。そして、TFTがONとなるゲート配線に同期して複数のソース配線3に表示信号が順次供給されていく。それぞれの画素に対する表示信号はTFTがONとなっている期間に書き込まれる。

【0007】

このように全てのゲート配線に接続されたTFTがONになる周期は垂直周期と呼ばれ、一般的に垂直周期の周波数は60Hzとなる。すなわち、1/60secの間に上端のゲート配線から下端のゲート配線が順番に走査されていき、全ての画素電極に対して表示信号の書き込みが行われる。従って、1秒間に60回画面の書き換えが行われる。さらにそれぞれのゲート配線のTFTがONとなる周期は水平周期と呼ばれ、水平周期の周波数は(垂直周期の周波数)×(ゲート配線の本数)となる。従って、1本のゲート配線1に割り当てられた書き込み時間は、一般的に、(1/60sec)÷(ゲート配線の本数)となる。

10

【0008】

次にゲート配線に入力される走査信号及びソース配線3に入力される表示信号について図14を用いて説明する。図14はゲート配線に入力される走査信号及びソース配線に入力される表示信号を模式的に示すタイミングチャートである。図14においてGはゲート配線に入力される走査信号を示し、Sはソース配線に入力される表示信号を示している。さらにVcomは共通電極に供給される共通電位を示し、Vsは画素電極に供給される画素電位を示している。図14では1本のゲート配線1に対する走査信号と1本のソース配線に対する表示信号に着目して図示している。

20

【0009】

図14に示すように、走査信号Gには1水平周期(図14における1H)に対応する幅の正のゲートパルスが加わる。これにより、TFTがON状態となる。このTFTがON状態となっている水平周期において、表示信号Sはその画素に対応する画素電位Vsとなる。この画素電位Vsが画素電極6に書き込まれる。画素電極6と共通電極5との間の電界により液晶が駆動する。すなわち、画素電位Vsと共通電位Vcomとの間の電位差(Vs-Vcom)が駆動電圧となる。

30

【0010】

走査信号Gは、次の水平周期において隣のゲート配線1に接続されたTFTがONとなるため、ゲートパルスが加わらない。すなわち、走査信号Gは1垂直周期において1つのゲートパルスが加わる信号となる。一方、表示信号Sは、次の水平周期において、隣のゲート配線に対応する画素電極に書き込むための画素電位Vsとなる。従って、表示信号Sでは連続する1水平周期に対して、1列に配置された複数の画素電極のそれぞれの画素電位Vsが順番に配置された信号となる。

【0011】

1列に配置された複数の画素電極のそれぞれの画素電位Vsが順番に配置された表示信号が1本のソース配線3に供給される。従って、ソース配線3には、TFTがOFFとなっている画素に対しても同一ソース配線上の他の画素の画素電位Vsが供給される。この他の画素の画素電位Vsにより、以下に示す問題点があった。

40

【0012】

図12に示すようにソース配線3は画素電極6の近傍に配置されている。TFTがOFF状態となっている画素において、ソース配線3と画素電極6とが異なる電位となってしまう。例えば、同一ソース配線上の隣接する画素において、白表示と黒表示をさせる場合、画素電極6に黒表示となる電位が印加され、ソース配線3に白表示となる電位が印加される。従って、画素電極6とソース配線3との間に、画素6と共通電極5との間と異なるエラー電界が生じてしまう。このような他の画素の書き込み時において生じる画素電極6

50

とソース配線 3 の間のエラー電界によって、液晶印加電圧に影響を及ぼし液晶の配向が乱される。これにより、クロストーク等、表示品位の劣化を引き起こすという問題点があった。

【特許文献 1】特開平 8 - 254712 号公報

【非特許文献 1】M.Oh-e, 他, Asia Display '95, pp.577-580

【発明の開示】

【発明が解決しようとする課題】

【0013】

上述のように従来の横方向電界の液晶表示装置では、他の画素の書き込み時において生じる画素電極 6 とソース配線 3 の間のエラー電界によって、液晶の配向が乱され、表示不良が発生してしまうという問題点があった。この問題点を解決するためには図 12 における共通電極 5 の幅を広くしなければならないため、開口率が制限されるという問題点があった。このような開口率の制限により、開口率が向上できず、光の使用効率が低下するという問題点があった。

【0014】

このように従来の横方向電界方式の液晶表示装置では、他の画素の書き込み時において画素電極 6 とソース配線 3 の間のエラー電界によって、開口率が制限されるという問題点があった。

【0015】

本発明はこのような問題点に鑑みてなされたものであり、他の画素の書き込み時において画素電極 6 とソース配線 3 の間のエラー電界を低減することができ、高い表示品質を有する液晶表示装置及びその駆動方法を提供することを目的とするものである。

【課題を解決するための手段】

【0016】

本発明の第 1 の態様にかかる液晶表示装置は、基板（例えば、本発明の実施の形態にかかる TFT アレイ基板 100）上に形成された複数のゲート配線（例えば、本発明の実施の形態にかかるゲート配線 1）と、前記ゲート配線と絶縁膜を介して交差するソース配線（例えば、本発明の実施の形態にかかるソース配線 3）と、前記ソース配線と接続されたスイッチング素子（例えば、本発明の実施の形態にかかる TFT 100）と、前記スイッチング素子を介して前記ソース配線と接続され、液晶を駆動する駆動電圧に基づく画素電位（例えば、本発明の実施の形態にかかる V_s ）が入力される画素電極（例えば、本発明の実施の形態にかかる画素電極 6）と、前記画素電極と対向配置され、共通電位（例えば、本発明の実施の形態にかかる共通電位 V_{com} ）が入力される共通電極（例えば、本発明の実施の形態にかかる共通電極 5）とを備え、前記画素電極の画素電位と前記共通電極の共通電位によって生じる電界に基づいて、前記基板と水平な方向に液晶を駆動する液晶表示装置であって、前記液晶表示装置の 1 水平周期において、前記画素電極に画素電位を書き込む書き込み期間（例えば、本発明の実施の形態 1 にかかる書き込み期間 A）と前記画素電位を書き込まない非書き込み期間（例えば、本発明の実施の形態 1 にかかる非書き込み期間 B）とを有するよう前記ゲート配線に走査信号を入力し、前記書き込み期間において前記ソース配線に前記画素電位を入力し、前記非書き込み期間において前記ソース配線に画素電位よりも前記共通電位に近い電位を入力するものである。これにより、画素電極 6 とソース配線 3 の間のエラー電界を低減することができ、表示品質を向上することができる。

【0017】

本発明の第 2 の態様にかかる液晶表示装置は、上述の表示装置であって、前記非書き込み期間において、前記ソース配線に前記共通電位と略等しい電位が入力されるものである。これにより、画素電極 6 とソース配線 3 の間のエラー電界を低減することができ、表示品質を向上することができる。

【0018】

本発明の第 3 の態様にかかる液晶表示装置は、上述の表示装置であって、隣接する前記

10

20

30

40

50

ソース配線に印加される前記画素電位の極性が異なるよう反転駆動され、前記非書き込み期間において、前記ソース配線を他のソース配線と電気的に接続することにより前記共通電位に近い電位を入力するものである。これにより、簡易な構成で画素電極6とソース配線3の間のエラー電界を低減することができ、表示品質を向上することができる。

【0019】

本発明の第4の態様にかかる液晶表示装置は、上述の表示装置であって、所定の階調電圧に基づいて前記画素電位を前記ソース配線に入力する駆動回路と、供給された参照電圧に基づいて前記階調電圧を前記駆動回路に供給する電圧供給回路とをさらに備え、前記参照電圧を変化させることにより前記ソース配線に画素電位よりも前記共通電位に近い電位を入力するものである。これにより、簡易な構成で画素電極6とソース配線3の間のエラー電界を低減することができ、表示品質を向上することができる。 10

【0021】

本発明の第6の態様にかかる液晶表示装置の駆動方法は、基板上に形成された複数のゲート配線と、前記ゲート配線と絶縁膜を介して交差するソース配線と、前記ソース配線と接続されたスイッチング素子と、前記スイッチング素子を介して前記ソース配線と接続され、液晶を駆動する駆動電圧に基づく画素電位が入力される画素電極であって、前記ソース配線とほぼ平行に形成された部分を有する画素電極と、前記画素電極と対向配置され、共通電位が入力される共通電極とを備え、前記画素電極の画素電位と前記共通電極の共通電位によって生じる電界に基づいて、前記基板と水平な方向に液晶を駆動する液晶表示装置の駆動方法であって、1水平周期において、前記画素電極に画素電位を書き込む書き込み期間を形成するよう前記ゲート配線に走査信号を供給するステップと、前記書き込み期間において前記ソース配線に前記画素電位を入力するステップと、前記画素電位を書き込まない非書き込み期間を有するようゲート配線に走査信号を供給するステップと、前記非書き込み期間において前記ソース配線に画素電位よりも前記共通電位に近い電位を入力するステップとを有するものである。これにより、画素電極6とソース配線3の間のエラー電界を低減することができ、表示品質を向上することができる。 20

【0022】

本発明の第7の態様にかかる液晶表示装置の駆動方法は、上述の液晶表示装置の駆動方法において、前記非書き込み期間において前記ソース配線に前記共通電位と略等しい電位を出力するものである。これにより、画素電極6とソース配線3の間のエラー電界を低減することができ、表示品質を向上することができる。 30

【0024】

本発明の第9の態様にかかる液晶表示装置は基板上に形成された複数のゲート配線と、前記ゲート配線と絶縁膜を介して交差するソース配線と、前記ソース配線と接続されたスイッチング素子と、前記スイッチング素子を介して前記ソース配線と接続され、液晶を駆動する駆動電圧に基づく画素電位が入力される画素電極と、前記画素電極と対向配置され、共通電位が入力される共通電極とを備え、前記画素電極の画素電位と前記共通電極の共通電位によって生じる電界に基づいて、前記基板と水平な方向に液晶を駆動する液晶表示装置であって、前記液晶表示装置の1水平周期に対応する期間において、前記スイッチング素子がONからOFFに切り替わるタイミングを含む第1の期間と、前記第1の期間よりも前に存在する第2の期間とを有し、前記第1の期間において、前記ソース配線に前記画素電位を入力し、前記第2の期間において前記ソース配線に画素電位よりも前記共通電位に近い電位を入力するものである。これにより、画素電極6とソース配線3の間のエラー電界を低減することができ、開口率を向上することができる。 40

【0025】

本発明の第10の態様にかかる液晶表示装置は基板上に形成された複数のゲート配線と、前記ゲート配線と絶縁膜を介して交差するソース配線と、前記ソース配線と接続されたスイッチング素子と、前記スイッチング素子を介して前記ソース配線と接続され、液晶を駆動する駆動電圧に基づく画素電位が入力される画素電極と、前記画素電極と対向配置され、共通電位が入力される共通電極とを備え、前記画素電極の画素電位と前記共通電極の 50

共通電位によって生じる電界に基づいて、前記基板と水平な方向に液晶を駆動する液晶表示装置の駆動方法であって、前記液晶表示装置の1水平周期に対応する期間において、前記ソース配線に画素電位よりも前記共通電位に近い電位を入力するステップと、前記ソース配線に前記画素電位よりも前記共通電位に近い電位を入力した後、前記スイッチング素子がONからOFFに切り替わるタイミングまで、画素電位を供給するステップとを備えるものである。これにより、画素電極6とソース配線3の間のエラー電界を低減することができ、開口率を向上することができる。

【発明の効果】

【0026】

本発明によれば、他の画素の書き込み時において発生するエラー電界を低減することができ、高い表示品質を有する液晶表示装置及びその駆動方法を提供することができる。 10

【発明を実施するための最良の形態】

【0027】

以下に、本発明を適用可能な実施の形態が説明される。以下の説明は、本発明の実施形態を説明するものであり、本発明が以下の実施形態に限定されるものではない。説明の明確化のため、以下の記載は、適宜、省略及び簡略化がなされている。又、当業者であれば、以下の実施形態の各要素を、本発明の範囲において容易に変更、追加、変換することが可能であろう。尚、各図において同一の符号を付されたものは同様の要素を示しており、適宜、説明が省略される。

発明の実施の形態1。 20

【0028】

一般に、アクティブマトリクス型の液晶表示装置は、一定の距離を隔て一対のカラーフィルタ(CF)基板とTFTアレイ基板とが対向配置されている。そして、これらの基板間に液晶層が挟持されている。そして、TFTアレイ基板上に、ゲート絶縁膜を介して互いに交差するゲート配線及びソース配線が形成されている。さらに、ゲート配線及びソース配線と接続された薄膜トランジスタ等のスイッチング素子が形成されている。また、スイッチング素子には、ソース配線と平行に設けられた複数本の電極よりなる櫛状の画素電極が接続されている。さらに、画素電極の複数本の電極と平行かつ交互に配置された複数本の電極よりなる櫛状の共通電極が形成されている。この画素電極及び共通電極間に電圧を印加することによって、基板面にほぼ平行な電界を液晶層に印加している。透過型の液晶表示装置では背面側にバックライトとして面状光源装置が取り付けられる。バックライトからの光を液晶層により選択的に透過させることにより、所望の画像を表示させる。 30

【0029】

本発明にかかる液晶表示装置の構成について図1を用いて説明する。図1は液晶表示装置の液晶表示パネルにおけるTFTアレイ基板の示す平面図である。TFTアレイ基板はアクティブマトリクス型の液晶表示装置に用いられるものである。1はゲート配線、3はソース配線、11は表示領域、12は額縁領域、30は制御部、31はゲートドライバIC、32はソースドライバIC、100はTFTアレイ基板である。

【0030】

表示領域11には複数のゲート配線1と複数のソース配線3が互いに交差するように形成されている。ゲート配線1及びソース配線3はそれぞれ、非表示領域である額縁領域まで延在されている。表示領域11の周辺の額縁領域12には、ゲートドライバIC31及びソースドライバIC32が例えば、ACFを介して接続されている。TFTアレイ基板上にはさらに、ゲート配線1と垂直な辺の端部にゲートドライバIC31が複数配置され、ソース配線3と垂直な辺の端部にはソースドライバIC32が複数配置される。すなわち、ゲートドライバIC31及びソースドライバIC32はTFTアレイ基板100の隣の辺の端部にそれぞれ配置される。複数のゲートドライバIC31は基板の1辺に沿って、TFTアレイ基板100の端部に配置される。複数のソースドライバIC32は複数のゲートドライバIC31が配置された辺と隣に辺に沿って、TFTアレイ基板100の端部に配置される。 40

【0031】

ゲートドライバIC31が設けられた辺とソースドライバIC32が設けられた辺が交差する角部の近傍には各ドライバICに電源及び信号を供給する制御部30が形成されている。この制御部30はFPC等の配線を介してTFTアレイ基板100に載置された各ドライバICと接続される。制御部30は例えば、パソコン用コンピューター等の外部入力装置からの情報に基づいて各ドライバICにデジタル化された表示データ（たとえば、赤、緑、青に対応するRGBの各信号）および各種の制御信号を出力する。制御部30からの電源により各ドライバICが駆動し、制御部30からの制御信号及び表示データに基づいて走査信号又は表示信号をそれぞれゲート配線1又はソース配線3に出力する。ゲートドライバIC31への主な制御信号は、垂直同期信号やゲートドライバ用クロック信号等がある。一方、ソースドライバIC32への主な制御信号は、水平同期信号、スタートパルス信号およびソースドライバ用クロック信号等である。さらに、制御部30は参照電圧により生成された階調電圧をソースドライバIC32に出力する。ソースドライバIC32は、入力された表示データを時分割で内部にラッチし、その後、制御部30から入力される水平同期信号に同期して、DA（デジタル／アナログ）変換を行う。これにより得られた表示用のアナログ電圧に基づいてソースドライバIC32の出力端子からソース配線3に表示信号が出力される。10

【0032】

ゲート配線1とソース配線3の交差点近傍にはスイッチング素子であるTFT（図示せず）が形成されている。ゲート配線1には接続されたTFTのON/OFFが切り替わるよう走査信号が供給される。一方、ソース配線3には液晶を駆動するための表示信号が供給される。TFTがONとなっている期間において、ソース配線3とそれぞれの画素に形成された画素電極が導通され、画素電極に表示信号が書き込まれる。TFTがONしている状態では画素電極には表示信号に基づいて画素電位Vsが入力される。一方、画素電極と対向配置された共通電極には常時、共通電位Vcomが供給されている。この、表示信号に基づいて画素電極と共通電極との間で生じる駆動電圧により液晶を駆動する。駆動電圧は画素電位Vsと共通電位Vcomとの差により生じ、具体的にはVs - Vcomとなる。20

【0033】

複数のゲート配線1のうち、TFTがONとなるゲート配線は上端から順番に走査されていく。そして、TFTがONとなるゲート配線1に同期してそれぞれのソース配線3に表示信号が順次供給されていく。すなわち、それぞれの画素に対する表示信号はTFTがONとなっている期間に書き込まれる。TFTがON状態となっているゲート配線1に対して画素電位Vsを書き込むよう、ソース配線3に表示信号が供給される。これらの走査信号と表示信号はゲートドライバIC又はソースドライバIC32によりそれぞれ供給される30

【0034】

このように全てのゲート配線に接続されたTFTがONになる周期は垂直周期（あるいは垂直走査周期）と呼ばれる。一般的に垂直走査の周波数は60Hzとなる。すなわち、1/60secの間に上端のゲート配線から下端のゲート配線が順番に走査されていき、全ての画素電極に対して表示信号の書き込みが行われる。この場合、1秒間に60回画面の書き換えが行われる。さらに、それぞれのゲート配線1のTFTがONとなる周期は水平周期（あるいは水平走査周期）と呼ばれる。水平走査の周波数は（垂直周期の周波数）×（ゲート配線の本数）となる。従って、1本のゲート配線1に割り当てられた書き込み時間すなわち水平周期は、一般的に、1/60sec ÷（ゲート配線の本数）となる。この1本のゲート配線1に割り当てられた時間内に、そのゲート配線に対応する画素電極に画素電位Vsが書き込まれる。この走査を上端から順番に走査していき、画面の書き換えを行う。そして、下端まで書き込むが終了したら、再度上端から書き込みを繰り返して行う。40

【0035】

このTFTが形成されている画素の構成について図2を用いて説明する。図2はIPS方式の液晶表示装置における画素の構成を示す平面図である。

【0036】

図2において、3はソース配線であり、一画素の端部において、後述の共通電極5と画素電極6の間に生じる電界の方向とほぼ垂直方向に延在している。このソース配線3の膜厚は、例えば、200nm～500nmである。5は後述の画素電極6の複数本の電極と平行かつ交互に配置された複数本の電極よりなる櫛状の共通電極であり、対向電極とも呼ばれる。この共通電極5の膜厚は、例えば100nmである。6は薄膜トランジスタに接続され、ソース配線3と平行に設けられた複数本の電極より構成された櫛状の画素電極であり、クロム(Cr)等の金属やITO(Indium Tin Oxide)等の透明性導電膜により形成されている。7はクロム(Cr)等の金属よりなる共通容量配線であり、スルーホールを介して共通電極5と接続されている。この例では、ソース配線3、共通電極5、画素電極6は、中央部において1回屈曲している。そして、この屈曲点は、共通容量配線7に設けられている。このように、屈曲した電極構成により、2方向の液晶の駆動方向を得ることができ、横電界方式の液晶パネルで特定方向における視角特性の悪化を改善することができる。

【0037】

図2に示されるように、電界の生じる方向である、横方向に隣接する画素間に設けられたソース配線3と共通電極5は互いにオーバーラップしている。換言すると、ソース配線3上に絶縁膜4及び有機平坦化膜9を介して共通電極5がソース配線3を包みこむようにして重なり合って設けられている。ゲート配線1とソース配線3との交差点近傍にはTFT10が形成される。このTFT10のON/OFFはゲート配線1に入力された走査信号のゲートパルスにより行われる。TFT10がONした状態で、ソース配線3と画素電極6が導通され、画素電位が書き込まれる。

【0038】

図2に示されるような画素が形成された液晶表示装置の製造工程について図3を用いて説明する。図3はTFTアレイ基板の製造工程を示す工程断面図である。まず、図3(a)に示すように、絶縁性基板上にCr、Al、Ti、Ta、Mo、W、Ni、Cu、Au、Ag等やそれらを主成分とする合金、またはITO等の透光性を有する導電膜、またはそれらの多層膜等をスパッタ法や蒸着法等により成膜し、写真製版・加工によりゲート配線1、ゲート電極、共通容量配線を形成する。次に、図3(b)に示すように、窒化シリコン等よりなるゲート絶縁膜2を形成し、さらに非晶質Si、多結晶poly Si等よりなる半導体膜93、n型のTFTの場合はP等の不純物を高濃度にドーピングしたn+非晶質Si、n+多結晶poly Si等よりなるコンタクト膜を、連続的に例えばプラズマCVD、常圧CVD、減圧CVD法で成膜する。次いで、コンタクト膜および半導体膜93を島状に加工する。

【0039】

次に、図3(c)に示すように、Cr、Al、Ti、Ta、Mo、W、Ni、Cu、Au、Ag等やそれらを主成分とする合金、またはITO等の透光性を有する導電膜、またはそれらの多層膜等をスパッタ法や蒸着法で成膜後、写真製版と微細加工技術によりソース配線3、ソース電極、ドレイン電極、保持容量電極等を形成する。さらに、ソース電極及びドレイン電極あるいはそれらを形成したホトレジストをマスクとしてコンタクト膜をエッティングし、チャネル領域から取り除く。

【0040】

次いで、窒化シリコンや酸化シリコン等の無機材料あるいは有機膜からなる絶縁膜4を成膜する。その後、写真製版とそれに続くエッティングによりコンタクトホールを形成する。コンタクトホールを設けることによりソース配線3又はゲート配線1が露出する。絶縁膜4は無機膜及び有機膜との積層膜でもよい。これにより、図3(d)に示す構成となる。

【0041】

絶縁膜4の上から図3(e)に示すように、Cr、Al、Ti、Ta、Mo、W、Ni、Cu、Au、Ag等やそれらを主成分とする合金、またはITO等の透光性を有する導電膜、またはそれらの多層膜等を成膜後、パターニングすることで画素電極、共通電極5を形成する。これにより断線修復領域における有機平坦化膜9の開口部あるいは薄膜化された箇所の上に共通電極を形成することができる。

【0042】

以上の工程により、本実施の形態における横方向電界方式の液晶表示装置を構成するTFTアレイ基板100を作製することができる。さらに、このTFT基板100と対向配置されたCF基板の間に液晶を挟持し、シール材にて接合する。このときラビング、光配向等の方法により液晶分子を所定の角度で配向させる。なお、液晶を配向させる方法は、既知のどのような方法を用いてもよい。さらに、ゲート配線、ソース配線、共通容量配線にそれぞれゲートドライバIC31、ソースドライバIC32、共通容量配線用電源を接続することにより液晶表示装置を作製する。

【0043】

図2に示す構成ではソース配線3と画素電極6とが近接して形成されている。本発明では他の画素における書き込み時に近接して配置されたソース配線3と画素電極との間のエラー電界を低減するため、以下のような信号処理を行っている。この信号処理について図4を用いて説明する。図4は走査信号及び表示信号を示すタイミングチャートである。

【0044】

図4においてGはゲート配線に入力される走査信号を示し、Sはソース配線に入力される表示信号を示している。さらにVcomは共通電極に供給される共通電位を示し、Vsは画素電極に書き込まれる画素電位を示している。図4では1本のゲート配線1に対する走査信号と1本のソース配線に対する表示信号とに着目して図示している。

【0045】

図4に示すように選択されたゲート配線1に対して正のゲートパルスが加わる。これにより、TFTがON状態となり、画素電極6に対して画素電位Vsの書き込みが実行される。すなわち、TFTがON状態となる期間において、表示信号がその画素に対する画素電位Vsとなり画素電極に対する書き込みが行われる。そして、画素電極6と共通電極5との間の電界により液晶が駆動する。すなわち、画素電位Vsと共通電位Vcomとの間の電位差(Vs - Vcom)が駆動電圧となり、この駆動電圧に基づいて液晶が基板と水平方向に駆動する。なお、複数のゲート配線1のうち、上端から順番にこのゲートパルスが1水平周期(図4における1H)ずつ、ずれて入力されていく。そして、ゲートパルスが入力されたゲート配線に対応した画素の画素電極6に、順次、画素電位Vsの書き込みが行われていく。

【0046】

本発明において、TFTがON状態となるゲートパルスの幅を1水平周期の略半分のパルス幅としている。1水平周期の前半でTFT10がON状態となり、後半でTFT10がOFF状態となるよう切り替わる。ソース配線3に入力される表示信号はこの前半部分に対応する期間において画素電位Vsとなり、後半部分に対応する期間において共通電位Vcomあるいは画素電位Vsより共通電位Vcomに近い電位となる。走査信号の立ち下がるタイミングでTFTがONからOFFに切り替わるため、このタイミングにおける表示信号の電位が画素電極に書き込まれた状態で保持される。実際の駆動では、図4に示すように走査信号と表示信号との間で、立ち上がりタイミング及び立ち下がりタイミングに差を設け、走査信号の立ち上がりタイミングを早くするようにしてもよい。

【0047】

図4に示すようにTFTがONとなる期間に対応し、ソース配線3に画素電位Vsが供給される期間を書き込み期間Aとする。そして、TFTがOFFとなる期間に対応し、ソース配線に共通電位Vcomあるいは共通電位に近い電位が供給される期間を非書き込み期間Bとする。表示信号Sは書き込み期間Aで画素電位Vsとなり、非書き込み期間Bで共通電位Vcom又は共通電位Vcomに近い電位となる。1水平周期において、TFT1

10

20

30

40

50

0がONとなる期間が前半となり、TFTがOFFとなる期間が後半となるため、書き込み期間Aが前半となり、非書き込み期間Bが後半となる。なお、図4では非書き込み期間Bにおける電位を共通電位Vcomとして図示している。

【0048】

次の水平周期でも同様に前半が書き込み期間Aとなり、後半が非書き込み期間Bとなる。なお、本実施の形態では垂直ライン単位で極性を切り換える反転駆動を行っている。すなわち、隣接するソース配線3に印加される画素電位Vsの極性が異なるよう表示信号Sが反転されているため、画素電位Vsが正の極性で共通電位Vcomよりも高いレベルであった水平周期の次の水平周期における画素電位Vsは負の極性となり共通電位Vcomよりも低いレベルとなる。さらに次の水平周期における画素電位Vsは正の極性となり共通電位Vsよりも高いレベルとなる。これが繰り返されて、表示信号Sが入力される。なお、隣のゲート配線1ではこの水平周期(画素電位Vsが共通電位Vcomよりも低いレベルとなっている水平周期)においてゲートパルスが加わり、反転された画素電位Vsが画素電極6に書き込まれる。このようにして、1水平周期の前半に対応する書き込み期間Aの電位に基づいて画素電位Vsがそれぞれの画素電極6に順番に書き込まれていく。

10

【0049】

図13に示す構成で共通電極5と画素電極6の間の電圧はVcom-Vsとなる。他のゲート配線1に対応する画素の書き込み時において、書き込み期間Aではソース配線3の電位は隣の画素の画素電位となる。従って、ソース配線3と画素電極6との電圧は隣接する画素の画素電位と共通電位との差となり、エラー電界が発生する。特に、反転駆動した場合、書き込み画素に隣接する画素の画素電位と共通電位との電位差が大きくなる。しかし、本発明では非書き込み期間Bにおいて、ソース配線3の電位が共通電極5と同じ共通電位Vcomとしている。これにより、他のゲート配線1に対応する画素の書き込み時において、画素電極6と共通電極5との間の電圧と画素電極6とソース配線3との間の電圧が等しくなる。具体的には、画素電極6と共通電極5との間の電圧及び画素電極6とソース配線3との間の電圧は共にVcom-Vsとなり、等しくなる。従って、これらの間に生じる電界は略等しい方向となり、エラー電界を実効的に低減することができる。このようにして、エラー電界により液晶の配向が乱されることを防ぐことができ、表示不良の発生を低減することができる。これにより、図12に示す共通電極の幅L2を狭くすることができるため、開口率を向上することができ、光の使用効率の高い液晶表示装置を提供することができる。

20

【0050】

このような信号処理はゲートドライバIC31及びソースドライバIC32により行うことができる。このような信号処理をおこなうためのソースドライバIC32の構成について図5及び図6を用いて説明する。図5はソースドライバIC32の構成を模式的に示す回路図である。図6は走査信号及び表示信号等を示すタイミングチャートである。図5及び図6では1本のゲート配線及び隣接する2本のソース配線3について図示している。2本のソース配線3のうち、一方のソース配線3をソース配線3aとし、他方をソース配線3bとする。本実施の形態では隣接するソース配線3を短絡させることにより、非書き込み期間Bにおける画素電位Vsより共通電位Vcomに近い電位を生成している。

30

【0051】

ソースドライバIC32には制御部30からのデジタル表示データがデータ線35を介して入力されている。さらにソースドライバIC32には参照電圧により生成された階調電圧が制御部30から供給されている。階調電圧はソースドライバIC32に配置されたDAコンバータ(図示せず)に入力される。ソースドライバIC32は、入力された表示データを時分割で内部にラッチし、その後、制御部30から入力される水平同期信号に同期して、DA(デジタル/アナログ)変換を行う。すなわち、DAコンバータは階調電圧に基づいて、表示データに対応するアナログ電圧を出力する。このアナログ電圧が演算増幅器36により増幅され表示信号Sとなり、ソースドライバIC32の出力端子からソース配線3に出力される。

40

50

【0052】

このようにソースドライバIC32により生成された表示信号SはゲートドライバICにより生成された走査信号Gと同期して出力される。隣接する2本のソース配線3a、3bに対して反転駆動を行っているため、隣接するソース配線には、共通電位Vcomに対して正負それぞれの極性の画素電位Vsが供給される。ここで、ソース配線3aに供給される画素電位をVs aとし、ソース配線3bに供給される画素電位をVs bとすると、反転駆動を行っているため、Vs a > Vcomとなり、Vs b < Vcomとなる。

【0053】

図5に示すようにソースドライバIC32においてソース配線3aにはスイッチS1が接続され、ソース配線3bにはスイッチS2が接続されている。ソースドライバIC32にはさらに、ソース配線3aとソース配線3bとの間に、ソース配線3aとソース配線3bを短絡させるためのスイッチS3が形成されている。

10

【0054】

ゲートドライバIC31において1水平周期の半分の幅のゲートパルスを1水平周期で生成して、走査信号Gとしている。ゲートパルスが加わっている期間ではTFT10がON状態となるため、書き込み期間Aとなる。書き込み期間AにおいてはTFT10がONとなるよう走査信号にゲートパルスが加わる。そして書き込み期間AではスイッチS1及びスイッチS2がONとなり、スイッチS3のみOFFとなる。これにより、それぞれのソース配線3と演算増幅器36が導通する。ソース配線3aには画素電位Vs aが入力され、ソース配線3bには画素電位Vs bが供給される。書き込み期間Aでは、画素電極6が画素電位Vsとなるようにソース配線3から電荷が充電されていく。そして、ゲートパルスが立ち下がる前に充電が終了して、画素電極6が画素電位Vsとなる。画素電極6はTFT10がOFFとなるタイミングの電位すなわち画素電位Vsで保持される。

20

【0055】

一方、非書き込み期間Bにおいては、TFT10がOFFとなるよう走査信号Gにゲートパルスが加わらない。非書き込み期間BではスイッチS1及びスイッチS2がOFFとなり、スイッチS3のみONとなる。これによりソース配線3aとソース配線3bが電気的に接続され、短絡する。画素電極6に充電されていた電荷が放電され、ソース配線3aとソース配線3bの電位は等電位となる。ソース配線3a、3bの電位はVs a + Vs bの平均値となり、具体的には(Vs a + Vs b) / 2となる。ここで反転駆動を行っているため、Vs aとVs bは共通電位Vcomに対して符号が反対である。よって、ソース配線3a、3bともに共通電位Vcomに近くなる。例えば、共通電位Vcomに対してVs aが正の時、Vs bが負であるため、(Vs a + Vs b) / 2はVs a及びVs bよりもVcomに近くなる。これによりエラー電界を低減することができる。さらに共通電位Vcomに対するVs aの電位差と共通電位Vcomに対するVs bの電位差が等しいとき、ソース配線3の電位は共通電位Vcomと等しくなる。非書き込み期間Bにおいてソース配線3に共通電位Vcomが入力されるため、エラー電界をさらに低減することができる。

30

【0056】

図6には、図5に示された2つの画素電極と2本のソース配線3に供給された電位が示されている。ソース配線3aに対応する画素電極6では書き込み期間Aの立ち下がるタイミングの電位が保持されるため、その後の電位は画素電位Vs aとなる。ソース配線3aは、書き込み期間Aにおいて画素電極6と同じ電位であるが、非書き込み期間Bにおいて共通電位Vcomあるいは共通電位に近い電位が供給される。同様にソース配線3bに対応する画素電極6では書き込み期間Aの立ち下がるタイミングの電位が保持されるため、その後の電位は画素電位Vs bとなる。ソース配線3bは、書き込み期間Aにおいて画素電極6と同じ電位であるが、非書き込み期間Bでは共通電位Vcomあるいは共通電位に近い電位が供給される。

40

【0057】

これにより、図6に示されたTFT10がONとなるゲート配線1以外のゲート配線に

50

対応する画素において、ソース配線 3 と画素電極との間のエラー電界を低減することができる。ソースドライバ I C 3 2において、隣接するソース配線間を短絡させるスイッチ S 3を設けることにより、簡易な構成で上述の信号処理を行うことができる。このような信号処理により、エラー電界によって液晶の配向が乱され、表示不良が発生してしまうことを防ぐことができる。よって、開口率の制限が緩和され、開口率を向上させることができる。高開口率で表示品位の高い液晶表示装置を提供することができる。なお、それぞれのスイッチの切り替えは制御部 3 0 からの制御信号により行うことができる。

【 0 0 5 8 】

なお、上述の実施の形態では隣接するソース配線 3 a、3 bを電気的に接続させたが、隣接するソース配線以外のソース配線 3 を電気的に接続させてもよい。反転駆動されており、反対の極性を有するソース配線 3 同士を電気的に接続することにより、エラー電界を低減することができる。もちろん、接続する配線数は 2 本に限らず、3 本以上のソース配線を電気的に接続させてもよい。ソースドライバ I C 3 2において、隣接するソース配線 3 を短絡させるチャージシェア機能を利用して、ソース配線電位をリセットすることにより、簡易な構成によりエラー電界を低減できる。

発明の実施の形態 2 。

【 0 0 5 9 】

本実施の形態では、隣接するソース配線間を短絡させる代わりに、階調電圧を生成するための参照電圧を共通電位 V c o m とすることにより、エラー電界を低減させている。この構成について図 7 乃至図 9 を用いて説明する。図 7 は本実施の形態にかかる制御部 3 0 の電圧供給回路 3 7 の構成を示す回路図である。図 8 は本実施の形態におけるソースドライバ I C 3 2 の構成を示す回路図である。図 9 は走査信号及び表示信号を示すタイミングチャートである。なお、本実施の形態において、実施の形態 1 と同様の構成については説明を省略する。

【 0 0 6 0 】

本実施の形態の制御部 3 0 には図 7 に示すように階調電圧を生成する電圧供給回路 3 7 が形成されている。電圧供給回路 3 7 には階調電圧を生成するため参照電圧 V r e f が供給されている。そして参照電圧 V r e f とグランドとの間には、複数の抵抗が設けられている。この複数の抵抗の間から取り出されたアナログ電圧は、参照電圧 V r e f 及びそれぞれの抵抗の比によって決定される。例えば、参照電位 V r e f 側から取り出されたアナログ電圧はグランド側から取り出されたアナログ電圧よりも高くなる。このアナログ電圧が演算增幅器 3 8 により増幅され、階調電圧となる。この階調電圧 V G M A 1 ~ V G M A 4 がソースドライバ I C 3 2 の D A コンバータに入力される。なお、図 7 には V G M A 1 ~ V G M A 4 までの 4 つの階調電圧が示されているが、これに限るものではない。階調電圧の数は表示色に応じて決定される。

【 0 0 6 1 】

本実施の形態では、電圧供給回路 3 7 において、参照電圧側及びグランド側に共通電位 V c o m と切り替えるためのスイッチ S 4 及び S 5 がそれぞれ形成されている。例えば、参照電位側ではスイッチ S 4 が a 接点の時、参照電圧 V r e f が供給され、スイッチ S 4 が b 接点の時、共通電位 V c o m が供給される。グランド側ではスイッチ S 5 が a 接点の時、接地電位が供給され、スイッチ S 5 が b 接点の時、共通電位 V c o m が供給される。スイッチ S 4 及びスイッチ S 5 が a 接点の時、階調電圧 V G M A 1 ~ V G M A 4 は所定の階調電圧となる。一方、スイッチ S 4 及びスイッチ S 5 が b 接点に切り替わると、V G M A 1 ~ V G M A 4 は全て共通電位 V c o m と等しくなる。このように階調電圧を生成するための参照電圧 V r e f をスイッチ S 4、S 5 により共通電位 V c o m に切り替えることにより、容易に階調電圧を共通電位 V c o m とすることができます。

【 0 0 6 2 】

この階調電圧 V G M A 1 ~ V G M A 4 は図 8 に示すようにソースドライバ I C 3 2 の D A コンバータ 3 4 に入力される。ソースドライバ I C 3 2 は、入力された表示データを時分割で内部にラッチし、その後、制御部 3 0 から入力される水平同期信号に同期して、D

10

20

30

40

50

A (デジタル / アナログ) 変換を行う。DAコンバータ34では、階調電圧VGMA1～VGMA4に基づいて、データ線35から入力された表示データに対応するアナログ電圧を生成する。このアナログ電圧が演算増幅器36により増幅され表示信号Sとなり、ソースドライバIC32の出力端子からソース配線3に出力される。

【0063】

書き込み期間AにおいてはTFT10がONとなるよう走査信号にゲートパルスが加わる。そして書き込み期間AではスイッチS1及びスイッチS2がONとなり、スイッチS3のみOFFとなる。スイッチS4及びスイッチS5はa接点となる。図7で示した電圧供給回路37に参照電圧Vrefが供給されるため、階調電圧VGMA1～VGMA4は所定の階調電圧となる。これにより、ソース配線3aには画素電位Vs aが入力され、ソース配線3bには画素電位Vs bが供給される。書き込み期間Aでは、画素電極6が画素電位Vsとなるようにソース配線3から電荷が充電されていく。そして、ゲートパルスが立ち下がる前に充電が終了して、画素電極6が画素電位Vsとなる。画素電極6はTFT10がOFFとなるタイミングの電位で保持される。

10

【0064】

一方、非書き込み期間Bにおいては、TFT10がOFFとなるよう走査信号にゲートパルスが加わらない。非書き込み期間BでもスイッチS1～スイッチS3は切り替わらず、スイッチS1及びスイッチS2がON、スイッチS3がOFFのままである。一方、スイッチS4及びスイッチS5はb接点に切り替わる。図7で示した電圧供給回路37に共通電位Vcomが供給されるため、階調電圧VGMA1～VGMA4は全て共通電位Vcomと等しくなる。DAコンバータ34から出力されるアナログ電圧も共通電位Vcomと等しくなる。従って、非書き込み期間Bにおいてソース配線3に共通電位Vcomが入力されるため、図8で示したゲート配線1以外のゲート配線1に対応する画素におけるエラー電界を低減することができる。

20

【0065】

図9には、図8に示された2つの画素電極と2本のソース配線3に供給された電位が示されている。ソース配線3aに対応する画素電極6では書き込み期間Aの立ち下がるタイミングの電位が保持されるため、その後の電位は画素電位Vs aとなる。ソース配線3aは、書き込み期間Aにおいて画素電極6と同じ電位であるが、非書き込み期間Bにおいて共通電位Vcomが供給される。同様にソース配線3bに対応する画素電極6では書き込み期間Aの立ち下がるタイミングの電位が保持されるため、その後の電位は画素電位Vs bとなる。ソース配線3bは、書き込み期間Aにおいて画素電極6と同じ電位であるが、非書き込み期間Bにおいて共通電位Vcomが供給される。

30

【0066】

本実施の形態では隣接する画素電極6の画素電位Vs a、Vs bによらず、非書き込み期間Bにおいてソース配線3を共通電位Vcomとすることができます。すなわち、画素電位Vs aと共通電極Vcomとの電位差及び画素電位Vs bと画素電極Vcomとの電位差が大きく異なる場合でもあっても、非書き込み期間Bにおいてソース配線3を共通電位Vcomとすることができます。さらにエラー電界を実効的に低減することができる。これにより、表示品位を向上させることができ、開口率をさらに向上することができる。もちろん、電圧供給回路37において切り替える電位は共通電位Vcomに近い電位であれば、エラー電界を低減することができる。

40

【0067】

制御部30の電圧供給回路37において、参照電圧Vrefを共通電位Vcomに切り替えるスイッチS4及びスイッチS5を設けることにより、簡易な構成で階調電圧を共通電位Vcomとすることができます。このような信号処理により、エラー電界によって液晶の配向が乱され、表示不良が発生してしまうことを防ぐことができる。よって、開口率の制限が緩和され、開口率を向上させることができる。このように階調電圧を生成する電圧供給回路を制御することにより、簡易な構成で表示品位の高く高開口率の液晶表示装置を提供することができる。なお、電圧供給回路37のスイッチS4及びスイッチS5は、参

50

照電位 V_{ref} を共通電位 V_{com} に切り替えるものに限らず、共通電位 V_{com} と近い電位に切り替えるものであればよい。このようにソースドライバ I C 3 2 に供給する階調電圧を制御することにより、簡易な構成でソース配線電位をリセットすることができる。

【0068】

非書き込み期間 B において、ソース配線 3 に共通電位 V_{com} あるいは画素電位 V_s よりも共通電位 V_{com} に近い電位を供給する構成は上述の構成に限るものではない。さらに、画素の構成も上述の構成に限るものではなく、他の画素の書き込み時に生じる画素電極 6 とソース配線 3 の間のエラー電界が生じる液晶表示装置に対して利用することができる。

【0069】

書き込み期間 A と非書き込み期間 B は略等しい期間としたが、いずれか一方の期間が長くてもよい。さらに、前半が非書き込み期間 B となり、後半が書き込み期間 A となってもよい。また、1 水平周期において書き込み期間 A 又は非書き込み期間 B の 2 つ以上あってもよい。

【0070】

発明の実施の形態 3 。

本実施の形態にかかる液晶表示装置の信号について図 10 を用いて説明する。図 10 は本実施の形態にかかる液晶表示装置の信号処理を示すタイミングチャートである。本実施の形態では上述の実施の形態に比べて走査信号 G 及び表示信号 S が異なるものである。実施の形態 1 と実施の形態 2 と同様の構成については説明を省略する。

10

20

【0071】

本実施の形態では、1 水平周期の正のゲートパルスがゲート信号 G となる。すなわち、ゲート配線 1 には 1 水平周期の時間幅のゲートパルスが加わる。ソース信号 S は 1 水平周期に対応して期間 A と期間 B とが存在する。この期間 B は期間 A の後にあり、ゲートパルスが立ち下がるタイミングを含んでいる。すなわち、期間 B において、ゲート信号 G は正から 0 となる。従って、期間 B において TFT が ON から OFF に切り替わる。一方、期間 A は TFT が ON となった状態のままである。本実施の形態では期間 B が書き込み期間となり、期間 A が非書き込み期間となっている。期間 A と期間 B との合計時間は 1 水平周期に対応する時間であり、ゲートパルスが正である期間より若干遅れている。期間 A と期間 B とは略同じ時間となっている。

30

【0072】

期間 A において、ソース信号 S には共通電位 V_{com} あるいは画素電位 V_s より共通電位 V_{com} に近い電位が供給される。共通電位 V_{com} あるいは画素電位 V_s より共通電位 V_{com} に近い電位の供給方法は実施の形態 1 又は実施の形態 2 と同様であるため説明を省略する。TFT が ON となった状態で期間 A から期間 B に移る。TFT が ON から OFF に切り替わるタイミングを有する期間 B では、ソース信号 S にその画素に対応する画素電位 V_s が供給される。ソース配線 3 に画素電位 V_s が供給されている間に TFT が ON から OFF に切り替わるため、画素電極は画素電位 V_s で保持される。すなわち、書き込み期間 B では、画素電極 6 が画素電位 V_s となるようにソース配線 3 から電荷が充電されていく。そして、ゲートパルスが立ち下がる前に充電が終了して、画素電極 6 が画素電位 V_s となる。画素電極 6 は TFT が OFF となるタイミングの電位で保持される。これにより、画素電極 6 は画素電位 V_s で保持され、正確な表示を行うことができる。

40

【0073】

非書き込み期間である期間 A においてソース配線 3 に共通電位 V_{com} が入力されるため、エラー電界を低減することができる。なお、本実施の形態において期間 A に TFT が OFF から ON に切り替わるタイミングが含まれていてもよい。また、期間 B の幅は画素電位の充電が終了する時間有するよう決定される。

【図面の簡単な説明】

【0074】

【図 1】本発明にかかる液晶表示装置の構成を示す平面図である。

50

【図2】本発明にかかる液晶表示装置の画素部の平面図である。
 【図3】本発明にかかる液晶表示装置の製造フローを示す図である。
 【図4】本発明にかかる液晶表示装置の信号処理を示すタイミングチャートである。
 【図5】本発明の実施の形態1にかかるドライバICの構成を示す回路図である。
 【図6】本発明の実施の形態1にかかる液晶表示装置の信号処理を示すタイミングチャートである。
 【図7】本発明の実施の形態2にかかる制御部の構成を示す回路図である。
 【図8】本発明の実施の形態2にかかるドライバICの構成を示す回路図である。
 【図9】本発明の実施の形態2にかかる液晶表示装置の信号処理を示すタイミングチャートである。
 10

【図10】本発明の実施の形態3にかかる液晶表示装置の信号処理を示すタイミングチャートである。

【図11】従来の横方向電界方式の液晶表示装置における画素の構成を示す図である。

【図12】従来の横方向電界方式の液晶表示装置における画素の構成を示す図である。

【図13】横方向電界方式の液晶表示装置において発生する電界を示す模式図である。

【図14】従来の液晶表示装置の信号処理を示すタイミングチャートである。

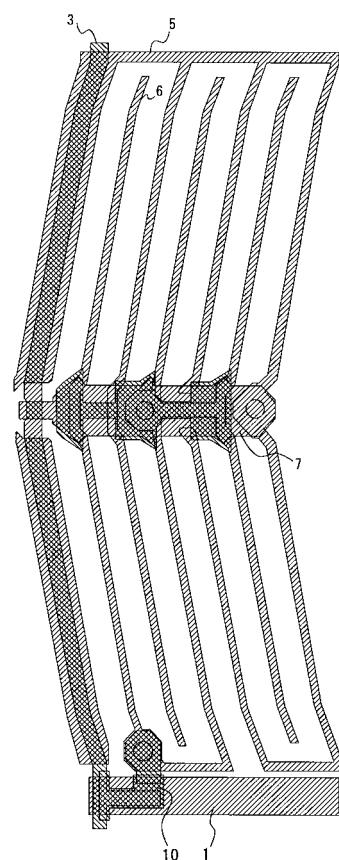
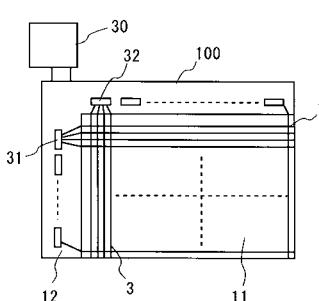
【符号の説明】

【0075】

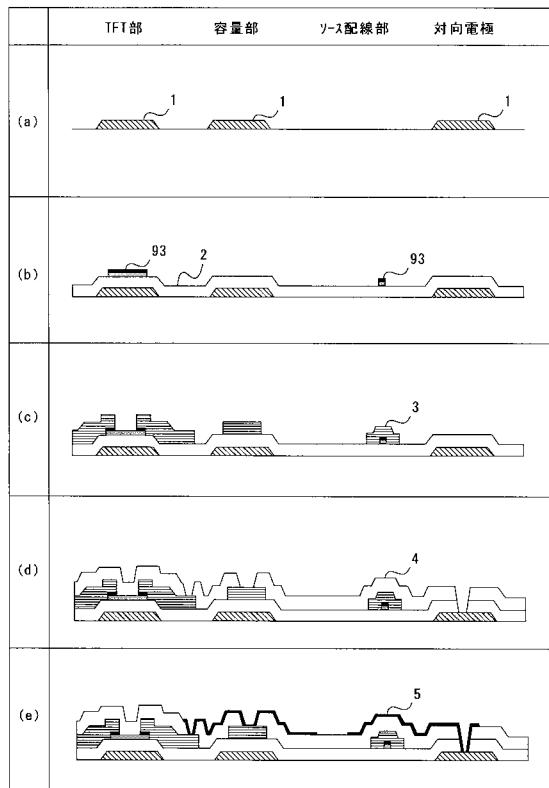
1 ゲート配線、 2 ゲート絶縁膜、 3 ソース配線、 4 絶縁膜、
 5 共通電極、 6 画素電極、 7 共通容量電極、 8 ゲート電極
 10 TFT (薄膜トランジスタ)、 11 表示領域、 12 額縁領域
 20 30 制御部、 31 ゲートドライバIC、 32 ソースドライバIC、
 34 DAコンバータ、 35 データ線、 36 演算増幅器、
 37 電圧供給回路、 38 演算増幅器 100 TFTアレイ基板、
 200 CF基板

【図1】

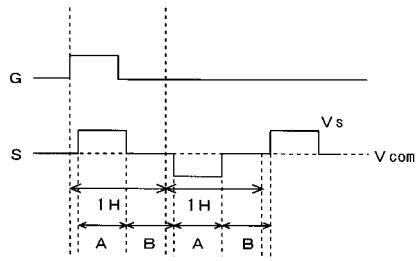
【図2】



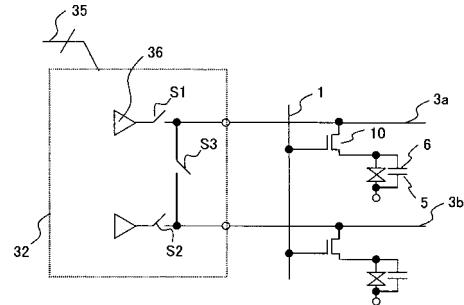
【図3】



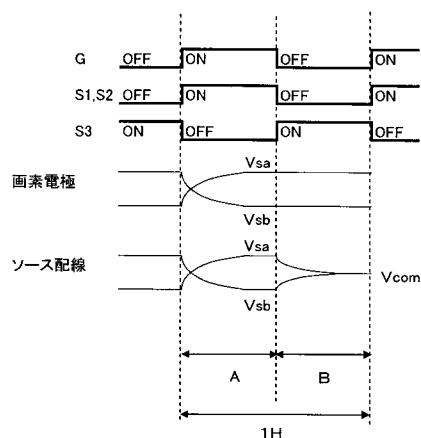
【図4】



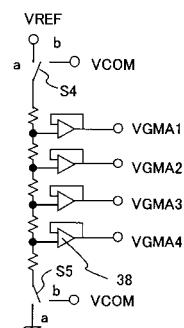
【図5】



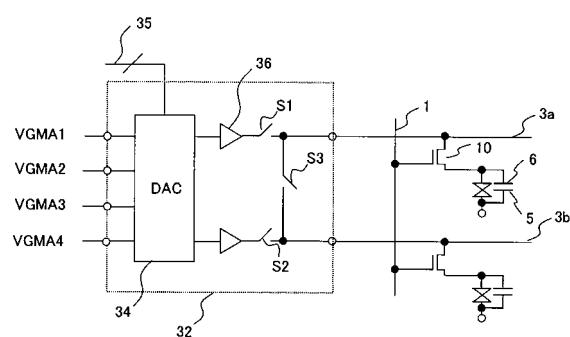
【図6】



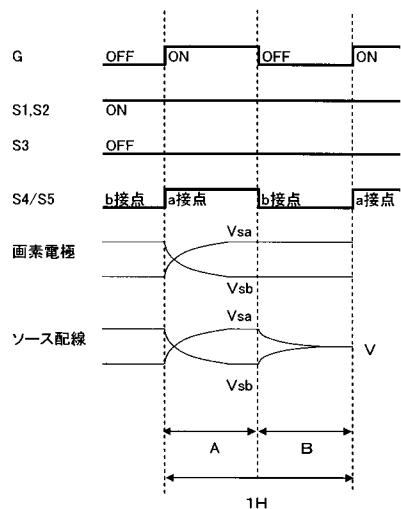
【図7】



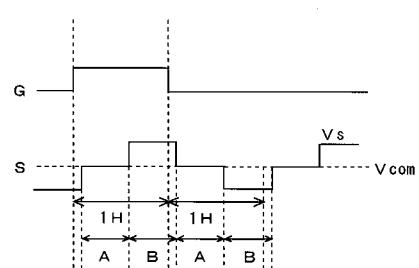
【図8】



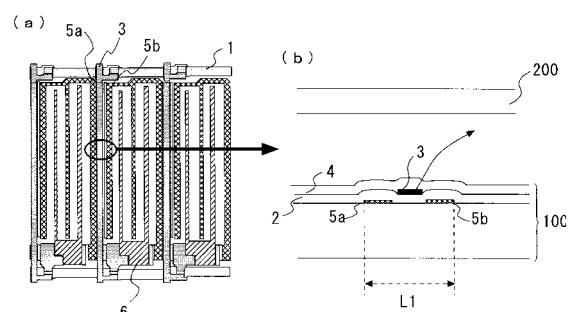
【図 9】



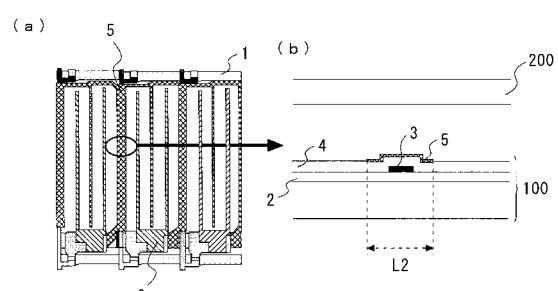
【図 10】



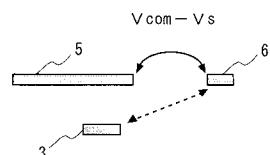
【図 11】



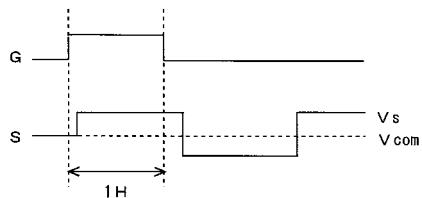
【図 12】



【図 13】



【図 14】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 2 2 D
G 0 9 G	3/20	6 2 3 C
G 0 9 G	3/20	6 2 3 D
G 0 9 G	3/36	

審査官 藤田 都志行

(56)参考文献 特開平03-243924 (JP, A)

特開2000-20030 (JP, A)

特開2003-114656 (JP, A)

特開2003-280616 (JP, A)

特開2000-147456 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G 0 2 F 1 / 1 3 3

G 0 2 F 1 / 1 3 6 8

G 0 9 G 3 / 2 0

G 0 9 G 3 / 3 6