

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4133891号
(P4133891)

(45) 発行日 平成20年8月13日 (2008. 8. 13)

(24) 登録日 平成20年6月6日 (2008. 6. 6)

(51) Int. Cl.

F I

G02F 1/133 (2006.01)
G02F 1/1368 (2006.01)
G09G 3/20 (2006.01)
G09G 3/36 (2006.01)

G O 2 F 1/133 5 5 O
 G O 2 F 1/133 5 7 O
 G O 2 F 1/1368
 G O 9 G 3/20 6 1 1 D
 G O 9 G 3/20 6 2 1 B

請求項の数 8 (全 19 頁) 最終頁に続く

(21) 出願番号 特願2004-89067 (P2004-89067)
 (22) 出願日 平成16年3月25日 (2004. 3. 25)
 (65) 公開番号 特開2005-275056 (P2005-275056A)
 (43) 公開日 平成17年10月6日 (2005. 10. 6)
 審査請求日 平成19年1月25日 (2007. 1. 25)

(73) 特許権者 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74) 代理人 100103894
 弁理士 冢入 健
 (72) 発明者 永野 慎吾
 熊本県菊池郡西合志町御代志997番地
 株式会社アドバンスト・ディスプレイ内
 (72) 発明者 升谷 雄一
 熊本県菊池郡西合志町御代志997番地
 株式会社アドバンスト・ディスプレイ内
 (72) 発明者 大浦 久治
 熊本県菊池郡西合志町御代志997番地
 株式会社アドバンスト・ディスプレイ内

最終頁に続く

(54) 【発明の名称】 液晶表示装置とその製造方法

(57) 【特許請求の範囲】

【請求項 1】

基板上に形成された複数のゲート配線と、
 前記ゲート配線と絶縁膜を介して交差するソース配線と、
 前記ソース配線と接続されたスイッチング素子と、
 前記スイッチング素子を介して前記ソース配線と接続され、液晶を駆動する駆動電圧に
 基づく画素電位が入力される画素電極と、
 前記画素電極と対向配置され、共通電位が入力される共通電極とを備え、
 前記画素電極の画素電位と前記共通電極の共通電位によって生じる電界に基づいて、前
 記基板と水平な方向に液晶を駆動する液晶表示装置であって、

前記液晶表示装置の1水平周期において、前記画素電極に画素電位を書き込む書き込み
 期間と前記画素電位を書き込まない非書き込み期間とを有するよう前記ゲート配線に走査
 信号を入力し、

前記書き込み期間において前記ソース配線に前記画素電位を入力し、前記非書き込み期
 間において前記ソース配線に画素電位よりも前記共通電位に近い電位を入力する液晶表示
 装置。

【請求項 2】

前記非書き込み期間において、前記ソース配線に前記共通電位と略等しい電位が入力さ
 れる請求項1記載の液晶表示装置。

【請求項 3】

10

20

隣接する前記ソース配線に印加される前記画素電位の極性が異なるよう反転駆動され、前記非書き込み期間において、前記ソース配線を他のソース配線と電氣的に接続することにより前記共通電位に近い電位を入力する請求項 1 記載の液晶表示装置。

【請求項 4】

所定の階調電圧に基づいて前記画素電位を前記ソース配線に入力する駆動回路と、供給された参照電圧に基づいて前記階調電圧を前記駆動回路に供給する電圧供給回路とをさらに備え、

前記参照電圧を変化させることにより前記ソース配線に画素電位よりも前記共通電位に近い電位を入力する請求項 1 又は 2 記載の液晶表示装置。

【請求項 5】

基板上に形成された複数のゲート配線と、
前記ゲート配線と絶縁膜を介して交差するソース配線と、
前記ソース配線と接続されたスイッチング素子と、
前記スイッチング素子を介して前記ソース配線と接続され、液晶を駆動する駆動電圧に基づく画素電位が入力される画素電極と、

前記画素電極と対向配置され、共通電位が入力される共通電極とを備え、

前記画素電極の画素電位と前記共通電極の共通電位によって生じる電界に基づいて、前記基板と水平な方向に液晶を駆動する液晶表示装置の駆動方法であって、

1 水平周期において、

前記画素電極に画素電位を書き込む書き込み期間を形成するよう前記ゲート配線に走査信号を供給するステップと、

前記書き込み期間において前記ソース配線に前記画素電位を入力するステップと、

前記画素電位を書き込まない非書き込み期間を有するようゲート配線に走査信号を供給するステップと、

前記非書き込み期間において前記ソース配線に画素電位よりも前記共通電位に近い電位を入力するステップとを有する液晶表示装置の駆動方法。

【請求項 6】

前記非書き込み期間において前記ソース配線に前記共通電位と略等しい電位を入力する請求項 5 記載の液晶表示装置の駆動方法。

【請求項 7】

基板上に形成された複数のゲート配線と、
前記ゲート配線と絶縁膜を介して交差するソース配線と、
前記ソース配線と接続されたスイッチング素子と、
前記スイッチング素子を介して前記ソース配線と接続され、液晶を駆動する駆動電圧に基づく画素電位が入力される画素電極と、

前記画素電極と対向配置され、共通電位が入力される共通電極とを備え、

前記画素電極の画素電位と前記共通電極の共通電位によって生じる電界に基づいて、前記基板と水平な方向に液晶を駆動する液晶表示装置であって、

前記液晶表示装置の 1 水平周期に対応する期間において、

前記スイッチング素子が ON から OFF に切り替わるタイミングを含む第 1 の期間と、

前記第 1 の期間よりも前に存在する第 2 の期間とを有し、

前記第 1 の期間において、前記ソース配線に前記画素電位を入力し、前記第 2 の期間において前記ソース配線に画素電位よりも前記共通電位に近い電位を入力する液晶表示装置。

【請求項 8】

基板上に形成された複数のゲート配線と、
前記ゲート配線と絶縁膜を介して交差するソース配線と、
前記ソース配線と接続されたスイッチング素子と、
前記スイッチング素子を介して前記ソース配線と接続され、液晶を駆動する駆動電圧に基づく画素電位が入力される画素電極と、

10

20

30

40

50

前記画素電極と対向配置され、共通電位が入力される共通電極とを備え、
前記画素電極の画素電位と前記共通電極の共通電位によって生じる電界に基づいて、前記基板と水平な方向に液晶を駆動する液晶表示装置の駆動方法であって、

前記液晶表示装置の１水平周期に対応する期間において、

前記ソース配線に画素電位よりも前記共通電位に近い電位を入力するステップと、

前記ソース配線に前記画素電位よりも前記共通電位に近い電位を入力した後、前記スイッチング素子がＯＮからＯＦＦに切り替わるタイミングまで、画素電位を供給するステップとを備える液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

10

【０００１】

本発明は液晶表示装置及びその製造方法に関し、さらに詳しくは横電界方式の液晶表示装置及びその製造方法に関する。

【背景技術】

【０００２】

アクティブマトリクス型の液晶表示装置において、液晶に印加する電界の方向を基板に対して平行な方向とする横方向電界方式（ＩＰＳ：Ｉｎ Ｐｌａｎｅ Ｓｗｉｔｃｈｉｎｇ）が、主に超広視野角を得る手法として用いられている（特許文献１）。この方式を採用すると、視角方向を変化させた際のコントラストの変化、階調レベルの反転がほとんど無くなることが明らかにされている（非特許文献１）。図１１（ａ）は、従来の一般的な横方向電界方式の液晶表示装置の画素部を示す平面図である。そして、図１１（ｂ）は、その一部を拡大した断面図である。図において、１００はＴＦＴアレ基板、２００はカラーフィルタ（ＣＦ）基板である。また、１は絶縁性基板上に形成された複数本の走査信号線であるゲート配線、２はゲート絶縁膜、３はソース配線、４はソース配線３上に設けられた絶縁膜、５ａ、５ｂはゲート配線と同層に設けられた共通電極である。６は共通電極と対向配置された画素電極である。特に、この例では、共通電極５は、共通電極５ａ及び共通電極５ｂに分離して配置されている。そのため、ソース配線に電圧が印加された状態においては、その電圧によって電界Ｅが発生し、ＴＦＴアレ基板１００とＣＦ基板２００の間に設けられた液晶の配向状態を変えてしまう。このため、図１１に示される構成では、結局図上Ｌ１で示される幅が広く必要であり光の透過が制限されるため、開口率が低くなるという問題点もあった。

20

30

【０００３】

このような問題点を解決するために、図１２（ａ）及び図１２（ｂ）に示す構造が提案されている。この構造では、共通電極５がソース配線３を覆い、両者が重なり合うように配置されている。このような構成によれば、ソース配線３から発生する電界が共通電極５によって遮られるため、液晶まで及ばず、液晶の配向状態の変化を低減することができる。このため、光の透過を制限する幅Ｌ２を狭くでき、開口率を高くすることができる。

【０００４】

このような横方向電界方式の液晶表示装置では、図１３に示すように共通電極５の共通電位 V_{com} と画素電極６の電位 V_s により基板と水平な方向に電界が発生する。この電界により、基板と水平な方向に液晶を駆動して、所望の画像を表示させる。

40

【０００５】

通常、ＩＰＳ方式の液晶表示装置ではアクティブマトリクス型の液晶表示装置が採用される。アクティブマトリクス型液晶表示装置では図１２に示すような画素がマトリクス状に配置される。従って、ゲート配線１及びソース配線３がそれぞれ複数配置される。そして、ゲート配線１とソース配線３との交差点近傍にはスイッチング素子であるＴＦＴが配置される。

【０００６】

ゲート配線には接続されたＴＦＴのＯＮ／ＯＦＦが切り替わるよう走査信号が供給される。一方、ソース配線には液晶を駆動するための表示信号が供給される。このＴＦＴがＯ

50

Nとなっている期間において、ソース配線3と画素電極が導通して、画素電極に表示信号が書き込まれる。画素電極と対向配置された共通電極には共通電位が供給されている。この、表示信号に基づいて画素電極と共通電極との間で生じる駆動電圧により液晶を駆動する。複数のゲート配線のうち、TFTがONとなるゲート配線は端から順番に走査されていく。そして、TFTがONとなるゲート配線に同期して複数のソース配線3に表示信号が順次供給されていく。それぞれの画素に対する表示信号はTFTがONとなっている期間に書き込まれる。

【0007】

このように全てのゲート配線に接続されたTFTがONになる周期は垂直周期と呼ばれ、一般的に垂直周期の周波数は60Hzとなる。すなわち、 $1/60\text{ sec}$ の間に上端のゲート配線から下端のゲート配線が順番に走査されていき、全ての画素電極に対して表示信号の書き込みが行われる。従って、1秒間に60回画面の書き換えが行われる。さらにそれぞれのゲート配線のTFTがONとなる周期は水平周期と呼ばれ、水平周期の周波数は(垂直周期の周波数) \times (ゲート配線の本数)となる。従って、1本のゲート配線1に割り当てられた書き込み時間は、一般的に、 $(1/60\text{ sec}) \div (\text{ゲート配線の本数})$ となる。

【0008】

次にゲート配線に入力される走査信号及びソース配線3に入力される表示信号について図14を用いて説明する。図14はゲート配線に入力される走査信号及びソース配線に入力される表示信号を模式的に示すタイミングチャートである。図14においてGはゲート配線に入力される走査信号を示し、Sはソース配線に入力される表示信号を示している。さらにVcomは共通電極に供給される共通電位を示し、Vsは画素電極に供給される画素電位を示している。図14では1本のゲート配線1に対する走査信号と1本のソース配線に対する表示信号に着目して図示している。

【0009】

図14に示すように、走査信号Gには1水平周期(図14における1H)に対応する幅の正のゲートパルスが加わる。これにより、TFTがON状態となる。このTFTがON状態となっている水平周期において、表示信号Sはその画素に対応する画素電位Vsとなる。この画素電位Vsが画素電極6に書き込まれる。画素電極6と共通電極5との間の電界により液晶が駆動する。すなわち、画素電位Vsと共通電位Vcomとの間の電位差($V_s - V_{com}$)が駆動電圧となる。

【0010】

走査信号Gは、次の水平周期において隣のゲート配線1に接続されたTFTがONとなるため、ゲートパルスが加わらない。すなわち、走査信号Gは1垂直周期において1つのゲートパルスが加わる信号となる。一方、表示信号Sは、次の水平周期において、隣のゲート配線に対応する画素電極に書き込むための画素電位Vsとなる。従って、表示信号Sでは連続する1水平周期に対して、1列に配置された複数の画素電極のそれぞれの画素電位Vsが順番に配置された信号となる。

【0011】

1列に配置された複数の画素電極のそれぞれの画素電位Vsが順番に配置された表示信号が1本のソース配線3に供給される。従って、ソース配線3には、TFTがOFFとなっている画素に対しても同一ソース配線上の他の画素の画素電位Vsが供給される。この他の画素の画素電位Vsにより、以下に示す問題点があった。

【0012】

図12に示すようにソース配線3は画素電極6の近傍に配置されている。TFTがOFF状態となっている画素において、ソース配線3と画素電極6とが異なる電位となってしまう。例えば、同一ソース配線上の隣接する画素において、白表示と黒表示をさせる場合、画素電極6に黒表示となる電位が印加され、ソース配線3に白表示となる電位が印加される。従って、画素電極6とソース配線3との間に、画素6と共通電極5との間と異なるエラー電界が生じてしまう。このような他の画素の書き込み時において生じる画素電極6

10

20

30

40

50

とソース配線 3 の間のエラー電界によって、液晶印加電圧に影響を及ぼし液晶の配向が乱される。これにより、クロストーク等、表示品位の劣化を引き起こすという問題点があった。

【特許文献 1】特開平 8 - 2 5 4 7 1 2 号公報

【非特許文献 1】M.Oh-e, 他, Asia Display '95, pp.577-580

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 3 】

上述のように従来の横方向電界の液晶表示装置では、他の画素の書き込み時において生じる画素電極 6 とソース配線 3 の間のエラー電界によって、液晶の配向が乱され、表示不良が発生してしまうという問題点があった。この問題点を解決するためには図 1 2 における共通電極 5 の幅を広くしなければならないため、開口率が制限されるという問題点があった。このような開口率の制限により、開口率が向上できず、光の使用効率が低下するという問題点があった。

10

【 0 0 1 4 】

このように従来の横方向電界方式の液晶表示装置では、他の画素の書き込み時において画素電極 6 とソース配線 3 の間のエラー電界によって、開口率が制限されるという問題点があった。

【 0 0 1 5 】

本発明はこのような問題点に鑑みてなされたものであり、他の画素の書き込み時において画素電極 6 とソース配線 3 の間のエラー電界を低減することができ、高い表示品質を有する液晶表示装置及びその駆動方法を提供することを目的とするものである。

20

【課題を解決するための手段】

【 0 0 1 6 】

本発明の第 1 の態様にかかる液晶表示装置は、基板（例えば、本発明の実施の形態にかかる T F T アレイ基板 1 0 0 ）上に形成された複数のゲート配線（例えば、本発明の実施の形態にかかるゲート配線 1 ）と、前記ゲート配線と絶縁膜を介して交差するソース配線（例えば、本発明の実施の形態にかかるソース配線 3 ）と、前記ソース配線と接続されたスイッチング素子（例えば、本発明の実施の形態にかかる T F T 1 0 0 ）と、前記スイッチング素子を介して前記ソース配線と接続され、液晶を駆動する駆動電圧に基づく画素電位（例えば、本発明の実施の形態にかかる V_s ）が入力される画素電極（例えば、本発明の実施の形態にかかる画素電極 6 ）と、前記画素電極と対向配置され、共通電位（例えば、本発明の実施の形態にかかる共通電位 V_{com} ）が入力される共通電極（例えば、本発明の実施の形態にかかる共通電極 5 ）とを備え、前記画素電極の画素電位と前記共通電極の共通電位によって生じる電界に基づいて、前記基板と水平な方向に液晶を駆動する液晶表示装置であって、前記液晶表示装置の 1 水平周期において、前記画素電極に画素電位を書き込む書き込み期間（例えば、本発明の実施の形態 1 にかかる書き込み期間 A ）と前記画素電位を書き込まない非書き込み期間（例えば、本発明の実施の形態 1 にかかる非書き込み期間 B ）とを有するよう前記ゲート配線に走査信号を入力し、前記書き込み期間において前記ソース配線に前記画素電位を入力し、前記非書き込み期間において前記ソース配線に画素電位よりも前記共通電位に近い電位を入力するものである。これにより、画素電極 6 とソース配線 3 の間のエラー電界を低減することができ、表示品質を向上することができる。

30

40

【 0 0 1 7 】

本発明の第 2 の態様にかかる液晶表示装置は、上述の表示装置であって、前記非書き込み期間において、前記ソース配線に前記共通電位と略等しい電位が入力されるものである。これにより、画素電極 6 とソース配線 3 の間のエラー電界を低減することができ、表示品質を向上することができる。

【 0 0 1 8 】

本発明の第 3 の態様にかかる液晶表示装置は、上述の表示装置であって、隣接する前記

50

ソース配線に印加される前記画素電位の極性が異なるよう反転駆動され、前記非書き込み期間において、前記ソース配線を他のソース配線と電気的に接続することにより前記共通電位に近い電位を入力するものである。これにより、簡易な構成で画素電極 6 とソース配線 3 の間のエラー電界を低減することができ、表示品質を向上することができる。

【 0 0 1 9 】

本発明の第 4 の態様にかかる液晶表示装置は、上述の表示装置であって、所定の階調電圧に基づいて前記画素電位を前記ソース配線に入力する駆動回路と、供給された参照電圧に基づいて前記階調電圧を前記駆動回路に供給する電圧供給回路とをさらに備え、前記参照電圧を変化させることにより前記ソース配線に画素電位よりも前記共通電位に近い電位を入力するものである。これにより、簡易な構成で画素電極 6 とソース配線 3 の間のエラー電界を低減することができ、表示品質を向上することができる。

10

【 0 0 2 1 】

本発明の第 6 の態様にかかる液晶表示装置の駆動方法は、基板上に形成された複数のゲート配線と、前記ゲート配線と絶縁膜を介して交差するソース配線と、前記ソース配線と接続されたスイッチング素子と、前記スイッチング素子を介して前記ソース配線と接続され、液晶を駆動する駆動電圧に基づく画素電位が入力される画素電極であって、前記ソース配線とほぼ平行に形成された部分を有する画素電極と、前記画素電極と対向配置され、共通電位が入力される共通電極とを備え、前記画素電極の画素電位と前記共通電極の共通電位によって生じる電界に基づいて、前記基板と水平な方向に液晶を駆動する液晶表示装置の駆動方法であって、1 水平周期において、前記画素電極に画素電位を書き込む書き込み期間を形成するよう前記ゲート配線に走査信号を供給するステップと、前記書き込み期間において前記ソース配線に前記画素電位を入力するステップと、前記画素電位を書き込まない非書き込み期間を有するようゲート配線に走査信号を供給するステップと、前記非書き込み期間において前記ソース配線に画素電位よりも前記共通電位に近い電位を入力するステップとを有するものである。これにより、画素電極 6 とソース配線 3 の間のエラー電界を低減することができ、表示品質を向上することができる。

20

【 0 0 2 2 】

本発明の第 7 の態様にかかる液晶表示装置の駆動方法は、上述の液晶表示装置の駆動方法において、前記非書き込み期間において前記ソース配線に前記共通電位と略等しい電位を出力するものである。これにより、画素電極 6 とソース配線 3 の間のエラー電界を低減することができ、表示品質を向上することができる。

30

【 0 0 2 4 】

本発明の第 9 の態様にかかる液晶表示装置は基板上に形成された複数のゲート配線と、前記ゲート配線と絶縁膜を介して交差するソース配線と、前記ソース配線と接続されたスイッチング素子と、前記スイッチング素子を介して前記ソース配線と接続され、液晶を駆動する駆動電圧に基づく画素電位が入力される画素電極と、前記画素電極と対向配置され、共通電位が入力される共通電極とを備え、前記画素電極の画素電位と前記共通電極の共通電位によって生じる電界に基づいて、前記基板と水平な方向に液晶を駆動する液晶表示装置であって、前記液晶表示装置の 1 水平周期に対応する期間において、前記スイッチング素子が ON から OFF に切り替わるタイミングを含む第 1 の期間と、前記第 1 の期間よりも前に存在する第 2 の期間とを有し、前記第 1 の期間において、前記ソース配線に前記画素電位を入力し、前記第 2 の期間において前記ソース配線に画素電位よりも前記共通電位に近い電位を入力するものである。これにより、画素電極 6 とソース配線 3 の間のエラー電界を低減することができ、開口率を向上することができる。

40

【 0 0 2 5 】

本発明の第 10 の態様にかかる液晶表示装置は基板上に形成された複数のゲート配線と、前記ゲート配線と絶縁膜を介して交差するソース配線と、前記ソース配線と接続されたスイッチング素子と、前記スイッチング素子を介して前記ソース配線と接続され、液晶を駆動する駆動電圧に基づく画素電位が入力される画素電極と、前記画素電極と対向配置され、共通電位が入力される共通電極とを備え、前記画素電極の画素電位と前記共通電極の

50

共通電位によって生じる電界に基づいて、前記基板と水平な方向に液晶を駆動する液晶表示装置の駆動方法であって、前記液晶表示装置の１水平周期に対応する期間において、前記ソース配線に画素電位よりも前記共通電位に近い電位を入力するステップと、前記ソース配線に前記画素電位よりも前記共通電位に近い電位を入力した後、前記スイッチング素子がＯＮからＯＦＦに切り替わるタイミングまで、画素電位を供給するステップとを備えるものである。これにより、画素電極６とソース配線３の間のエラー電界を低減することができる、開口率を向上することができる。

【発明の効果】

【００２６】

本発明によれば、他の画素の書き込み時において発生するエラー電界を低減することができ、高い表示品質を有する液晶表示装置及びその駆動方法を提供することができる。

【発明を実施するための最良の形態】

【００２７】

以下に、本発明を適用可能な実施の形態が説明される。以下の説明は、本発明の実施形態を説明するものであり、本発明が以下の実施形態に限定されるものではない。説明の明確化のため、以下の記載は、適宜、省略及び簡略化がなされている。又、当業者であれば、以下の実施形態の各要素を、本発明の範囲において容易に変更、追加、変換することが可能であろう。尚、各図において同一の符号を付されたものは同様の要素を示しており、適宜、説明が省略される。

発明の実施の形態１．

【００２８】

一般に、アクティブマトリクス型の液晶表示装置は、一定の距離を隔て一対のカラーフィルタ（ＣＦ）基板とＴＦＴアレイ基板とが対向配置されている。そして、これらの基板間に液晶層が挟持されている。そして、ＴＦＴアレイ基板上に、ゲート絶縁膜を介して互いに交差するゲート配線及びソース配線が形成されている。さらに、ゲート配線及びソース配線と接続された薄膜トランジスタ等のスイッチング素子が形成されている。また、スイッチング素子には、ソース配線と平行に設けられた複数本の電極よりなる櫛状の画素電極が接続されている。さらに、画素電極の複数本の電極と平行かつ交互に配置された複数本の電極よりなる櫛状の共通電極が形成されている。この画素電極及び共通電極間に電圧を印加することによって、基板面にほぼ平行な電界を液晶層に印加している。透過型の液晶表示装置では背面側にバックライトとして面状光源装置が取り付けられる。バックライトからの光を液晶層により選択的に透過させることにより、所望の画像を表示させる。

【００２９】

本発明にかかる液晶表示装置の構成について図１を用いて説明する。図１は液晶表示装置の液晶表示パネルにおけるＴＦＴアレイ基板の示す平面図である。ＴＦＴアレイ基板はアクティブマトリクス型の液晶表示装置に用いられるものである。１はゲート配線、３はソース配線、１１は表示領域、１２は額縁領域、３０は制御部、３１はゲートドライバＩＣ、３２はソースドライバＩＣ、１００はＴＦＴアレイ基板である。

【００３０】

表示領域１１には複数のゲート配線１と複数のソース配線３が互いに交差するように形成されている。ゲート配線１及びソース配線３はそれぞれ、非表示領域である額縁領域まで延在されている。表示領域１１の周辺の額縁領域１２には、ゲートドライバＩＣ３１及びソースドライバＩＣ３２が例えば、ＡＣＦを介して接続されている。ＴＦＴアレイ基板上にはさらに、ゲート配線１と垂直な辺の端部にゲートドライバＩＣ３１が複数配置され、ソース配線３と垂直な辺の端部にはソースドライバＩＣ３２が複数配置される。すなわち、ゲートドライバＩＣ３１及びソースドライバＩＣ３２はＴＦＴアレイ基板１００の隣の辺の端部にそれぞれ配置される。複数のゲートドライバＩＣ３１は基板の１辺に沿って、ＴＦＴアレイ基板１００の端部に配置される。複数のソースドライバＩＣ３２は複数のゲートドライバＩＣ３１が配置された辺と隣に辺に沿って、ＴＦＴアレイ基板１００の端部に配置される。

【 0 0 3 1 】

ゲートドライバＩＣ 3 1 が設けられた辺とソースドライバＩＣ 3 2 が設けられた辺が交差する角部の近傍には各ドライバＩＣに電源及び信号を供給する制御部 3 0 が形成されている。この制御部 3 0 はＦＰＣ等の配線を介してＴＦＴアレイ基板 1 0 0 に載置された各ドライバＩＣと接続される。制御部 3 0 は例えば、パーソナルコンピュータ等の外部入力装置からの情報に基づいて各ドライバＩＣにデジタル化された表示データ（たとえば、赤、緑、青に対応するＲＧＢの各信号）および各種の制御信号を出力する。制御部 3 0 からの電源により各ドライバＩＣが駆動し、制御部 3 0 からの制御信号及び表示データに基づいて走査信号又は表示信号をそれぞれゲート配線 1 又はソース配線 3 に出力する。ゲートドライバＩＣ 3 1 への主な制御信号は、垂直同期信号やゲートドライバ用クロック信号等がある。一方、ソースドライバＩＣ 3 2 への主な制御信号は、水平同期信号、スタートパルス信号およびソースドライバ用クロック信号等である。さらに、制御部 3 0 は参照電圧により生成された階調電圧をソースドライバＩＣ 3 2 に出力する。ソースドライバＩＣ 3 2 は、入力された表示データを時分割で内部にラッチし、その後、制御部 3 0 から入力される水平同期信号に同期して、ＤＡ（デジタル／アナログ）変換を行う。これにより得られた表示用のアナログ電圧に基づいてソースドライバＩＣ 3 2 の出力端子からソース配線 3 に表示信号が出力される。

10

【 0 0 3 2 】

ゲート配線 1 とソース配線 3 の交差点近傍にはスイッチング素子であるＴＦＴ（図示せず）が形成されている。ゲート配線 1 には接続されたＴＦＴのＯＮ／ＯＦＦが切り替わるよう走査信号が供給される。一方、ソース配線 3 には液晶を駆動するための表示信号が供給される。ＴＦＴがＯＮとなっている期間において、ソース配線 3 とそれぞれの画素に形成された画素電極が導通され、画素電極に表示信号が書き込まれる。ＴＦＴがＯＮしている状態では画素電極には表示信号に基づいて画素電位 V_s が入力される。一方、画素電極と対向配置された共通電極には常時、共通電位 V_{com} が供給されている。この、表示信号に基づいて画素電極と共通電極との間で生じる駆動電圧により液晶を駆動する。駆動電圧は画素電位 V_s と共通電位 V_{com} との差により生じ、具体的には $V_s - V_{com}$ となる。

20

【 0 0 3 3 】

複数のゲート配線 1 のうち、ＴＦＴがＯＮとなるゲート配線は上端から順番に走査されていく。そして、ＴＦＴがＯＮとなるゲート配線 1 に同期してそれぞれのソース配線 3 に表示信号が順次供給されていく。すなわち、それぞれの画素に対する表示信号はＴＦＴがＯＮとなっている期間に書き込まれる。ＴＦＴがＯＮ状態となっているゲート配線 1 に対して画素電位 V_s を書き込むよう、ソース配線 3 に表示信号が供給される。これらの走査信号と表示信号はゲートドライバＩＣ又はソースドライバＩＣ 3 2 によりそれぞれ供給される。

30

【 0 0 3 4 】

このように全てのゲート配線に接続されたＴＦＴがＯＮになる周期は垂直周期（あるいは垂直走査周期）と呼ばれる。一般的に垂直走査の周波数は 60 Hz となる。すなわち、 $1/60\text{ sec}$ の間に上端のゲート配線から下端のゲート配線が順番に走査されていき、全ての画素電極に対して表示信号の書き込みが行われる。この場合、1 秒間に 60 回画面の書き換えが行われる。さらに、それぞれのゲート配線 1 のＴＦＴがＯＮとなる周期は水平周期（あるいは水平走査周期）と呼ばれる。水平走査の周波数は（垂直周期の周波数） \times （ゲート配線の本数）となる。従って、1 本のゲート配線 1 に割り当てられた書き込み時間すなわち水平周期は、一般的に、 $1/60\text{ sec} \div$ （ゲート配線の本数）となる。この 1 本のゲート配線 1 に割り当てられた時間内に、そのゲート配線に対応する画素電極に画素電位 V_s が書き込まれる。この走査を上端から順番に走査していき、画面の書き換えを行う。そして、下端まで書き込むが終了したら、再度上端から書き込みを繰り返して行う。

40

【 0 0 3 5 】

50

このTFTが形成されている画素の構成について図2を用いて説明する。図2はIPS方式の液晶表示装置における画素の構成を示す平面図である。

【0036】

図2において、3はソース配線であり、一画素の端部において、後述の共通電極5と画素電極6の間に生じる電界の方向とほぼ垂直方向に延在している。このソース配線3の膜厚は、例えば、200nm～500nmである。5は後述の画素電極6の複数本の電極と平行かつ交互に配置された複数本の電極よりなる櫛状の共通電極であり、対向電極とも呼ばれる。この共通電極5の膜厚は、例えば100nmである。6は薄膜トランジスタに接続され、ソース配線3と平行に設けられた複数本の電極より構成された櫛状の画素電極であり、クロム(Cr)等の金属やITO(Indium Tin Oxide)等の透明性導電膜により形成されている。7はクロム(Cr)等の金属よりなる共通容量配線であり、スルーホールを介して共通電極5と接続されている。この例では、ソース配線3、共通電極5、画素電極6は、中央部において1回屈曲している。そして、この屈曲点は、共通容量配線7に設けられている。このように、屈曲した電極構成により、2方向の液晶の駆動方向を得ることができ、横電界方式の液晶パネルで特定方向におこる視角特性の悪化を改善することができる。

【0037】

図2に示されるように、電界の生じる方向である、横方向に隣接する画素間に設けられたソース配線3と共通電極5は互いにオーバーラップしている。換言すると、ソース配線3上に絶縁膜4及び有機平坦化膜9を介して共通電極5がソース配線3を包みこむようにして重なり合って設けられている。ゲート配線1とソース配線3との交差点近傍にはTFT10が形成される。このTFT10のON/OFFはゲート配線1に入力された走査信号のゲートパルスにより行われる。TFT10がONした状態で、ソース配線3と画素電極6が導通され、画素電位が書き込まれる。

【0038】

図2に示されるような画素が形成された液晶表示装置の製造工程について図3を用いて説明する。図3はTFTアレイ基板の製造工程を示す工程断面図である。まず、図3(a)に示すように、絶縁性基板上にCr、Al、Ti、Ta、Mo、W、Ni、Cu、Au、Ag等やそれらを主成分とする合金、またはITO等の透光性を有する導電膜、またはそれらの多層膜等をスパッタ法や蒸着法等により成膜し、写真製版・加工によりゲート配線1、ゲート電極、共通容量配線を形成する。次に、図3(b)に示すように、窒化シリコン等よりなるゲート絶縁膜2を形成し、さらに非晶質Si、多結晶poly Si等よりなる半導体膜93、n型のTFTの場合はP等の不純物を高濃度にドーピングしたn+非晶質Si、n+多結晶poly Si等よりなるコンタクト膜を、連続的に例えばプラズマCVD、常圧CVD、減圧CVD法で成膜する。次いで、コンタクト膜および半導体膜93を島状に加工する。

【0039】

次に、図3(c)に示すように、Cr、Al、Ti、Ta、Mo、W、Ni、Cu、Au、Ag等やそれらを主成分とする合金、またはITO等の透光性を有する導電膜、またはそれらの多層膜等をスパッタ法や蒸着法で成膜後、写真製版と微細加工技術によりソース配線3、ソース電極、ドレイン電極、保持容量電極等を形成する。さらに、ソース電極及びドレイン電極あるいはそれらを形成したホトレジストをマスクとしてコンタクト膜をエッチングし、チャンネル領域から取り除く。

【0040】

次いで、窒化シリコンや酸化シリコン等の無機材料あるいは有機膜からなる絶縁膜4を成膜する。その後、写真製版とそれに続くエッチングによりコンタクトホールを形成する。コンタクトホールを設けることによりソース配線3又はゲート配線1が露出する。絶縁膜4は無機膜及び有機膜との積層膜でもよい。これにより、図3(d)に示す構成となる。

【0041】

10

20

30

40

50

絶縁膜 4 の上から図 3 (e) に示すように、Cr、Al、Ti、Ta、Mo、W、Ni、Cu、Au、Ag 等やそれらを主成分とする合金、またはITO等の透光性を有する導電膜、またはそれらの多層膜等を成膜後、パターニングすることで画素電極、共通電極 5 を形成する。これにより断線修復領域における有機平坦化膜 9 の開口部あるいは薄膜化された箇所の上に共通電極を形成することができる。

【 0 0 4 2 】

以上の工程により、本実施の形態における横方向電界方式の液晶表示装置を構成する TFT アレイ基板 1 0 0 を作製することができる。さらに、この TFT 基板 1 0 0 と対向配置された CF 基板の間に液晶を挟持し、シール材にて接合する。このときラビング、光配向等の方法により液晶分子を所定の角度で配向させる。なお、液晶を配向させる方法は、既知のどのような方法を用いてもよい。さらに、ゲート配線、ソース配線、共通容量配線にそれぞれゲートドライバ IC 3 1、ソースドライバ IC 3 2、共通容量配線用電源を接続することにより液晶表示装置を作製する。

10

【 0 0 4 3 】

図 2 に示す構成ではソース配線 3 と画素電極 6 とが近接して形成されている。本発明では他の画素における書き込み時に近接して配置されたソース配線 3 と画素電極との間のエラー電界を低減するため、以下のような信号処理を行っている。この信号処理について図 4 を用いて説明する。図 4 は走査信号及び表示信号を示すタイミングチャートである。

【 0 0 4 4 】

図 4 において G はゲート配線に入力される走査信号を示し、S はソース配線に入力される表示信号を示している。さらに V c o m は共通電極に供給される共通電位を示し、V s は画素電極に書き込まれる画素電位を示している。図 4 では 1 本のゲート配線 1 に対する走査信号と 1 本のソース配線に対する表示信号とに着目して図示している。

20

【 0 0 4 5 】

図 4 に示すように選択されたゲート配線 1 に対して正のゲートパルスが加わる。これにより、TFT が ON 状態となり、画素電極 6 に対して画素電位 V s の書き込みが実行される。すなわち、TFT が ON 状態となる期間において、表示信号がその画素に対する画素電位 V s となり画素電極に対する書き込みが行われる。そして、画素電極 6 と共通電極 5 との間の電界により液晶が駆動する。すなわち、画素電位 V s と共通電位 V c o m との間の電位差 (V s - V c o m) が駆動電圧となり、この駆動電圧に基づいて液晶が基板と水平方向に駆動する。なお、複数のゲート配線 1 のうち、上端から順番にこのゲートパルスが 1 水平周期 (図 4 における 1 H) ずつ、ずれて入力されていく。そして、ゲートパルスが入力されたゲート配線に対応した画素の画素電極 6 に、順次、画素電位 V s の書き込みが行われていく。

30

【 0 0 4 6 】

本発明において、TFT が ON 状態となるゲートパルスの幅を 1 水平周期の略半分のパルス幅としている。1 水平周期の前半で TFT 1 0 が ON 状態となり、後半で TFT 1 0 が OFF 状態となるよう切り替わる。ソース配線 3 に入力される表示信号はこの前半部分に対応する期間において画素電位 V s となり、後半部分に対応する期間において共通電位 V c o m あるいは画素電位 V s より共通電位 V c o m に近い電位となる。走査信号の立ち下がるタイミングで TFT が ON から OFF に切り替わるため、このタイミングにおける表示信号の電位が画素電極に書き込まれた状態で保持される。実際の駆動では、図 4 に示すように走査信号と表示信号との間で、立ち上がりタイミング及び立ち下がりタイミングに差を設け、走査信号の立ち上がりタイミングを早くするようにしてもよい。

40

【 0 0 4 7 】

図 4 に示すように TFT が ON となる期間に対応し、ソース配線 3 に画素電位 V s が供給される期間を書き込み期間 A する。そして、TFT が OFF となる期間に対応し、ソース配線に共通電位 V c o m あるいは共通電位に近い電位が供給される期間を非書き込み期間 B とする。表示信号 S は書き込み期間 A で画素電位 V s となり、非書き込み期間 B で共通電位 V c o m 又は共通電位 V c o m に近い電位となる。1 水平周期において、TFT 1

50

0 が ON となる期間が前半となり、TFT が OFF となる期間が後半となるため、書き込み期間 A が前半となり、非書き込み期間 B が後半となる。なお、図 4 では非書き込み期間 B における電位を共通電位 V_{com} として図示している。

【0048】

次の水平周期でも同様に前半が書き込み期間 A となり、後半が非書き込み期間 B となる。なお、本実施の形態では垂直ライン単位で極性を切り換える反転駆動を行っている。すなわち、隣接するソース配線 3 に印加される画素電位 V_s の極性が異なるよう表示信号 S が反転されているため、画素電位 V_s が正の極性で共通電位 V_{com} よりも高いレベルであった水平周期の次の水平周期における画素電位 V_s は負の極性となり共通電位 V_{com} よりも低いレベルとなる。さらに次の水平周期における画素電位 V_s は正の極性となり共通電位 V_s よりも高いレベルとなる。これが繰り返されて、表示信号 S が入力される。なお、隣のゲート配線 1 ではこの水平周期（画素電位 V_s が共通電位 V_{com} よりも低いレベルとなっている水平周期）においてゲートパルスが加わり、反転された画素電位 V_s が画素電極 6 に書き込まれる。このようにして、1 水平周期の前半に対応する書き込み期間 A の電位に基づいて画素電位 V_s がそれぞれの画素電極 6 に順番に書き込まれていく。

【0049】

図 13 に示す構成で共通電極 5 と画素電極 6 の間の電圧は $V_{com} - V_s$ となる。他のゲート配線 1 に対応する画素の書き込み時において、書き込み期間 A ではソース配線 3 の電位は隣の画素の画素電位となる。従って、ソース配線 3 と画素電極 6 との電圧は隣接する画素の画素電位と共通電位との差となり、エラー電界が発生する。特に、反転駆動した場合、書き込み画素に隣接する画素の画素電位と共通電位との電位差が大きくなる。しかし、本発明では非書き込み期間 B において、ソース配線 3 の電位が共通電極 5 と同じ共通電位 V_{com} としている。これにより、他のゲート配線 1 に対応する画素の書き込み時において、画素電極 6 と共通電極 5 との間の電圧と画素電極 6 とソース配線 3 との間の電圧が等しくなる。具体的には、画素電極 6 と共通電極 5 との間の電圧及び画素電極 6 とソース配線 3 との間の電圧は共に $V_{com} - V_s$ となり、等しくなる。従って、これらの間に生じる電界は略等しい方向となり、エラー電界を実効的に低減することができる。このようにして、エラー電界により液晶の配向が乱されることを防ぐことができ、表示不良の発生を低減することができる。これにより、図 12 に示す共通電極の幅 L_2 を狭くすることができるため、開口率を向上することができ、光の使用効率の高い液晶表示装置を提供することができる。

【0050】

このような信号処理はゲートドライバ IC 31 及びソースドライバ IC 32 により行うことができる。このような信号処理をおこなうためのソースドライバ IC 32 の構成について図 5 及び図 6 を用いて説明する。図 5 はソースドライバ IC 32 の構成を模式的に示す回路図である。図 6 は走査信号及び表示信号等を示すタイミングチャートである。図 5 及び図 6 では 1 本のゲート配線及び隣接する 2 本のソース配線 3 について図示している。2 本のソース配線 3 のうち、一方のソース配線 3 をソース配線 3a とし、他方をソース配線 3b とする。本実施の形態では隣接するソース配線 3 を短絡させることにより、非書き込み期間 B における画素電位 V_s より共通電位 V_{com} に近い電位を生成している。

【0051】

ソースドライバ IC 32 には制御部 30 からのデジタル表示データがデータ線 35 を介して入力されている。さらにソースドライバ IC 32 には参照電圧により生成された階調電圧が制御部 30 から供給されている。階調電圧はソースドライバ IC 32 に配置された DA コンバータ（図示せず）に入力される。ソースドライバ IC 32 は、入力された表示データを時分割で内部にラッチし、その後、制御部 30 から入力される水平同期信号に同期して、DA（デジタル/アナログ）変換を行う。すなわち、DA コンバータは階調電圧に基づいて、表示データに対応するアナログ電圧を出力する。このアナログ電圧が演算増幅器 36 により増幅され表示信号 S となり、ソースドライバ IC 32 の出力端子からソース配線 3 に出力される。

【 0 0 5 2 】

このようにソースドライバ IC 3 2 により生成された表示信号 S はゲートドライバ IC により生成された走査信号 G と同期して出力される。隣接する 2 本のソース配線 3 a、3 b に対して反転駆動を行っているため、隣接するソース配線には、共通電位 V_{com} に対して正負それぞれの極性の画素電位 V_s が供給される。ここで、ソース配線 3 a に供給される画素電位を V_{sa} とし、ソース配線 3 b に供給される画素電位を V_{sb} とすると、反転駆動を行っているため、 $V_{sa} > V_{com}$ となり、 $V_{sb} < V_{com}$ となる。

【 0 0 5 3 】

図 5 に示すようにソースドライバ IC 3 2 においてソース配線 3 a にはスイッチ S 1 が接続され、ソース配線 3 b にはスイッチ S 2 が接続されている。ソースドライバ IC 3 2 にはさらに、ソース配線 3 a とソース配線 3 b との間に、ソース配線 3 a とソース配線 3 b を短絡させるためのスイッチ S 3 が形成されている。

【 0 0 5 4 】

ゲートドライバ IC 3 1 において 1 水平周期の半分の幅のゲートパルスで生成して、走査信号 G としている。ゲートパルスが加わっている期間では T F T 1 0 が ON 状態となるため、書き込み期間 A となる。書き込み期間 A においては T F T 1 0 が ON となるよう走査信号にゲートパルスが加わる。そして書き込み期間 A ではスイッチ S 1 及びスイッチ S 2 が ON となり、スイッチ S 3 のみ OFF となる。これにより、それぞれのソース配線 3 と演算増幅器 3 6 が導通する。ソース配線 3 a には画素電位 V_{sa} が入力され、ソース配線 3 b には画素電位 V_{sb} が供給される。書き込み期間 A では、画素電極 6 が画素電位 V_s となるようにソース配線 3 から電荷が充電されていく。そして、ゲートパルスが立ち下がる前に充電が終了して、画素電極 6 が画素電位 V_s となる。画素電極 6 は T F T 1 0 が OFF となるタイミングの電位すなわち画素電位 V_s で保持される。

【 0 0 5 5 】

一方、非書き込み期間 B においては、T F T 1 0 が OFF となるよう走査信号 G にゲートパルスが加わらない。非書き込み期間 B ではスイッチ S 1 及びスイッチ S 2 が OFF となり、スイッチ S 3 のみ ON となる。これによりソース配線 3 a とソース配線 3 b が電氣的に接続され、短絡する。画素電極 6 に充電されていた電荷が放電され、ソース配線 3 a とソース配線 3 b の電位は等電位となる。ソース配線 3 a、3 b の電位は $V_{sa} + V_{sb}$ の平均値となり、具体的には $(V_{sa} + V_{sb}) / 2$ となる。ここで反転駆動を行っているため、 V_{sa} と V_{sb} は共通電位 V_{com} に対して符号が反対である。よって、ソース配線 3 a、3 b とともに共通電位 V_{com} に近くなる。例えば、共通電位 V_{com} に対して V_{sa} が正の時、 V_{sb} が負であるため、 $(V_{sa} + V_{sb}) / 2$ は V_{sa} 及び V_{sb} よりも V_{com} に近くなる。これによりエラー電界を低減することができる。さらに共通電位 V_{com} に対する V_{sa} の電位差と共通電位 V_{com} に対する V_{sb} の電位差が等しいとき、ソース配線 3 の電位は共通電位 V_{com} と等しくなる。非書き込み期間 B においてソース配線 3 に共通電位 V_{com} が入力されるため、エラー電界をさらに低減することができる。

【 0 0 5 6 】

図 6 には、図 5 に示された 2 つの画素電極と 2 本のソース配線 3 に供給された電位が示されている。ソース配線 3 a に対応する画素電極 6 では書き込み期間 A の立ち下がるタイミングの電位が保持されるため、その後の電位は画素電位 V_{sa} となる。ソース配線 3 a は、書き込み期間 A において画素電極 6 と同じ電位であるが、非書き込み期間 B において共通電位 V_{com} あるいは共通電位に近い電位が供給される。同様にソース配線 3 b に対応する画素電極 6 では書き込み期間 A の立ち下がるタイミングの電位が保持されるため、その後の電位は画素電位 V_{sb} となる。ソース配線 3 b は、書き込み期間 A において画素電極 6 と同じ電位であるが、非書き込み期間 B では共通電位 V_{com} あるいは共通電位に近い電位が供給される。

【 0 0 5 7 】

これにより、図 6 に示された T F T 1 0 が ON となるゲート配線 1 以外のゲート配線に

対応する画素において、ソース配線 3 と画素電極との間のエラー電界を低減することができる。ソースドライバ IC 3 2 において、隣接するソース配線間を短絡させるスイッチ S 3 を設けることにより、簡易な構成で上述の信号処理を行うことができる。このような信号処理により、エラー電界によって液晶の配向が乱され、表示不良が発生してしまうことを防ぐことができる。よって、開口率の制限が緩和され、開口率を向上させることができる。高開口率で表示品位の高い液晶表示装置を提供することができる。なお、それぞれのスイッチの切り替えは制御部 3 0 からの制御信号により行うことができる。

【 0 0 5 8 】

なお、上述の実施の形態では隣接するソース配線 3 a、3 b を電氣的に接続させたが、隣接するソース配線以外のソース配線 3 を電氣的に接続させてもよい。反転駆動されており、反対の極性を有するソース配線 3 同士を電氣的に接続することにより、エラー電界を低減することができる。もちろん、接続する配線数は 2 本に限らず、3 本以上のソース配線を電氣的に接続させてもよい。ソースドライバ IC 3 2 において、隣接するソース配線 3 を短絡させるチャージシェア機能を利用して、ソース配線電位をリセットすることにより、簡易な構成によりエラー電界を低減できる。

発明の実施の形態 2 .

【 0 0 5 9 】

本実施の形態では、隣接するソース配線間を短絡させる代わりに、階調電圧を生成するための参照電圧を共通電位 V_{com} とすることにより、エラー電界を低減させている。この構成について図 7 乃至図 9 を用いて説明する。図 7 は本実施の形態にかかる制御部 3 0 の電圧供給回路 3 7 の構成を示す回路図である。図 8 は本実施の形態におけるソースドライバ IC 3 2 の構成を示す回路図である。図 9 は走査信号及び表示信号を示すタイミングチャートである。なお、本実施の形態において、実施の形態 1 と同様の構成については説明を省略する。

【 0 0 6 0 】

本実施の形態の制御部 3 0 には図 7 に示すように階調電圧を生成する電圧供給回路 3 7 が形成されている。電圧供給回路 3 7 には階調電圧を生成するため参照電圧 V_{ref} が供給されている。そして参照電圧 V_{ref} とグランドとの間には、複数の抵抗が設けられている。この複数の抵抗の間から取り出されたアナログ電圧は、参照電圧 V_{ref} 及びそれぞれの抵抗の比によって決定される。例えば、参照電位 V_{ref} 側から取り出されたアナログ電圧はグランド側から取り出されたアナログ電圧よりも高くなる。このアナログ電圧が演算増幅器 3 8 により増幅され、階調電圧となる。この階調電圧 $V_{GMA1} \sim V_{GMA4}$ がソースドライバ IC 3 2 の DA コンバータに入力される。なお、図 7 には $V_{GMA1} \sim V_{GMA4}$ までの 4 つの階調電圧が示されているが、これに限るものではない。階調電圧の数は表示色に応じて決定される。

【 0 0 6 1 】

本実施の形態では、電圧供給回路 3 7 において、参照電圧側及びグランド側に共通電位 V_{com} と切り替えるためのスイッチ S 4 及び S 5 がそれぞれ形成されている。例えば、参照電位側ではスイッチ S 4 が a 接点の時、参照電圧 V_{ref} が供給され、スイッチ S 4 が b 接点の時、共通電位 V_{com} が供給される。グランド側ではスイッチ S 5 が a 接点の時、接地電位が供給され、スイッチ S 5 が b 接点の時、共通電位 V_{com} が供給される。スイッチ S 4 及びスイッチ S 5 が a 接点の時、階調電圧 $V_{GMA1} \sim V_{GMA4}$ は所定の階調電圧となる。一方、スイッチ S 4 及びスイッチ S 5 が b 接点に切り替わると、 $V_{GMA1} \sim V_{GMA4}$ は全て共通電位 V_{com} と等しくなる。このように階調電圧を生成するための参照電圧 V_{ref} をスイッチ S 4、S 5 により共通電位 V_{com} に切り替えることにより、容易に階調電圧を共通電位 V_{com} とすることができる。

【 0 0 6 2 】

この階調電圧 $V_{GMA1} \sim V_{GMA4}$ は図 8 に示すようにソースドライバ IC 3 2 の DA コンバータ 3 4 に入力される。ソースドライバ IC 3 2 は、入力された表示データを時分割で内部にラッチし、その後、制御部 3 0 から入力される水平同期信号に同期して、D

10

20

30

40

50

A (デジタル/アナログ) 変換を行う。D A コンバータ 3 4 では、階調電圧 $V_{GMA1} \sim V_{GMA4}$ に基づいて、データ線 3 5 から入力された表示データに対応するアナログ電圧を生成する。このアナログ電圧が演算増幅器 3 6 により増幅され表示信号 S となり、ソースドライバ IC 3 2 の出力端子からソース配線 3 に出力される。

【0063】

書き込み期間 A においては T F T 1 0 が O N となるよう走査信号にゲートパルスが加わる。そして書き込み期間 A ではスイッチ S 1 及びスイッチ S 2 が O N となり、スイッチ S 3 のみ O F F となる。スイッチ S 4 及びスイッチ S 5 は a 接点となる。図 7 で示した電圧供給回路 3 7 に参照電圧 V_{ref} が供給されるため、階調電圧 $V_{GMA1} \sim V_{GMA4}$ は所定の階調電圧となる。これにより、ソース配線 3 a には画素電位 V_{sa} が入力され、ソース配線 3 b には画素電位 V_{sb} が供給される。書き込み期間 A では、画素電極 6 が画素電位 V_s となるようにソース配線 3 から電荷が充電されていく。そして、ゲートパルスが立ち下がる前に充電が終了して、画素電極 6 が画素電位 V_s となる。画素電極 6 は T F T 1 0 が O F F となるタイミングの電位で保持される。

【0064】

一方、非書き込み期間 B においては、T F T 1 0 が O F F となるよう走査信号にゲートパルスが加わらない。非書き込み期間 B でもスイッチ S 1 ~ スwitch S 3 は切り替わらず、スイッチ S 1 及びスイッチ S 2 が O N、スイッチ S 3 が O F F のままである。一方、スイッチ S 4 及びスイッチ S 5 は b 接点に切り替わる。図 7 で示した電圧供給回路 3 7 に共通電位 V_{com} が供給されるため、階調電圧 $V_{GMA1} \sim V_{GMA4}$ は全て共通電位 V_{com} と等しくなる。D A コンバータ 3 4 から出力されるアナログ電圧も共通電位 V_{com} と等しくなる。従って、非書き込み期間 B においてソース配線 3 に共通電位 V_{com} が入力されるため、図 8 で示したゲート配線 1 以外のゲート配線 1 に対応する画素におけるエラー電界を低減することができる。

【0065】

図 9 には、図 8 に示された 2 つの画素電極と 2 本のソース配線 3 に供給された電位が示されている。ソース配線 3 a に対応する画素電極 6 では書き込み期間 A の立ち下がるタイミングの電位が保持されるため、その後の電位は画素電位 V_{sa} となる。ソース配線 3 a は、書き込み期間 A において画素電極 6 と同じ電位であるが、非書き込み期間 B において共通電位 V_{com} が供給される。同様にソース配線 3 b に対応する画素電極 6 では書き込み期間 A の立ち下がるタイミングの電位が保持されるため、その後の電位は画素電位 V_{sb} となる。ソース配線 3 b は、書き込み期間 A において画素電極 6 と同じ電位であるが、非書き込み期間 B において共通電位 V_{com} が供給される。

【0066】

本実施の形態では隣接する画素電極 6 の画素電位 V_{sa} 、 V_{sb} によらず、非書き込み期間 B においてソース配線 3 を共通電位 V_{com} とすることができる。すなわち、画素電位 V_{sa} と共通電位 V_{com} との電位差及び画素電位 V_{sb} と画素電極 V_{com} との電位差が大きく異なる場合であっても、非書き込み期間 B においてソース配線 3 を共通電位 V_{com} とすることができるため、さらにエラー電界を実効的に低減することができる。これにより、表示品位を向上させることができ、開口率をさらに向上することができる。もちろん、電圧供給回路 3 7 において切り替える電位は共通電位 V_{com} に近い電位であれば、エラー電界を低減することができる。

【0067】

制御部 3 0 の電圧供給回路 3 7 において、参照電圧 V_{ref} を共通電位 V_{com} に切り替えるスイッチ S 4 及びスイッチ S 5 を設けることにより、簡易な構成で階調電圧を共通電位 V_{com} とすることができる。このような信号処理により、エラー電界によって液晶の配向が乱され、表示不良が発生してしまうことを防ぐことができる。よって、開口率の制限が緩和され、開口率を向上させることができる。このように階調電圧を生成する電圧供給回路を制御することにより、簡易な構成で表示品位の高く高開口率の液晶表示装置を提供することができる。なお、電圧供給回路 3 7 のスイッチ S 4 及びスイッチ S 5 は、参

照電位 V_{ref} を共通電位 V_{com} に切り替えるものに限らず、共通電位 V_{com} と近い電位に切り替えるものであればよい。このようにソースドライバ IC 32 に供給する階調電圧を制御することにより、簡易な構成でソース配線電位をリセットすることができる。

【0068】

非書き込み期間 B において、ソース配線 3 に共通電位 V_{com} あるいは画素電位 V_s よりも共通電位 V_{com} に近い電位を供給する構成は上述の構成に限るものではない。さらに、画素の構成も上述の構成に限るものではなく、他の画素の書き込み時において生じる画素電極 6 とソース配線 3 の間のエラー電界が生じる液晶表示装置に対して利用することができる。

【0069】

書き込み期間 A と非書き込み期間 B は略等しい期間としたが、いずれか一方の期間が長くてもよい。さらに、前半が非書き込み期間 B となり、後半が書き込み期間 A となってもよい。また、1 水平周期において書き込み期間 A 又は非書き込み期間 B の 2 つ以上あってもよい。

【0070】

発明の実施の形態 3 .

本実施の形態にかかる液晶表示装置の信号について図 10 を用いて説明する。図 10 は本実施の形態にかかる液晶表示装置の信号処理を示すタイミングチャートである。本実施の形態では上述の実施の形態に比べて走査信号 G 及び表示信号 S が異なるものである。実施の形態 1 と実施の形態 2 と同様の構成については説明を省略する。

【0071】

本実施の形態では、1 水平周期の正のゲートパルスがゲート信号 G となる。すなわち、ゲート配線 1 には 1 水平周期の時間幅のゲートパルスが加わる。ソース信号 S は 1 水平周期に対応して期間 A と期間 B とが存在する。この期間 B は期間 A の後にあり、ゲートパルスが立ち下がるタイミングを含んでいる。すなわち、期間 B において、ゲート信号 G は正から 0 となる。従って、期間 B において T F T が O N から O F F に切り替わる。一方、期間 A は T F T が O N となった状態のままである。本実施の形態では期間 B が書き込み期間となり、期間 A が非書き込み期間となっている。期間 A と期間 B との合計時間は 1 水平周期に対応する時間であり、ゲートパルスが正である期間より若干遅れている。期間 A と期間 B とは略同じ時間となっている。

【0072】

期間 A において、ソース信号 S には共通電位 V_{com} あるいは画素電位 V_s より共通電位 V_{com} に近い電位が供給される。共通電位 V_{com} あるいは画素電位 V_s より共通電位 V_{com} に近い電位の供給方法は実施の形態 1 又は実施の形態 2 と同様であるため説明を省略する。T F T が O N となった状態で期間 A から期間 B に移る。T F T が O N から O F F に切り替わるタイミングを有する期間 B では、ソース信号 S にその画素に対応する画素電位 V_s が供給される。ソース配線 3 に画素電位 V_s が供給されている間に T F T が O N から O F F に切り替わるため、画素電極は画素電位 V_s で保持される。すなわち、書き込み期間 B では、画素電極 6 が画素電位 V_s となるようにソース配線 3 から電荷が充電されていく。そして、ゲートパルスが立ち下がる前に充電が終了して、画素電極 6 が画素電位 V_s となる。画素電極 6 は T F T 10 が O F F となるタイミングの電位で保持される。これにより、画素電極 6 は画素電位 V_s で保持され、正確な表示を行うことができる。

【0073】

非書き込み期間である期間 A においてソース配線 3 に共通電位 V_{com} が入力されるため、エラー電界を低減することができる。なお、本実施の形態において期間 A に T F T が O F F から O N に切り替わるタイミングが含まれていてもよい。また、期間 B の幅は画素電位の充電が終了する時間を有するよう決定される。

【図面の簡単な説明】

【0074】

【図 1】本発明にかかる液晶表示装置の構成を示す平面図である。

10

20

30

40

50

【図 2】本発明にかかる液晶表示装置の画素部の平面図である。

【図 3】本発明にかかる液晶表示装置の製造フローを示す図である。

【図 4】本発明にかかる液晶表示装置の信号処理を示すタイミングチャートである。

【図 5】本発明の実施の形態 1 にかかるドライバ IC の構成を示す回路図である。

【図 6】本発明の実施の形態 1 にかかる液晶表示装置の信号処理を示すタイミングチャートである。

【図 7】本発明の実施の形態 2 にかかる制御部の構成を示す回路図である。

【図 8】本発明の実施の形態 2 にかかるドライバ IC の構成を示す回路図である。

【図 9】本発明の実施の形態 2 にかかる液晶表示装置の信号処理を示すタイミングチャートである。

10

【図 10】本発明の実施の形態 3 にかかる液晶表示装置の信号処理を示すタイミングチャートである。

【図 11】従来の横方向電界方式の液晶表示装置における画素の構成を示す図である。

【図 12】従来の横方向電界方式の液晶表示装置における画素の構成を示す図である。

【図 13】横方向電界方式の液晶表示装置において発生する電界を示す模式図である。

【図 14】従来の液晶表示装置の信号処理を示すタイミングチャートである。

【符号の説明】

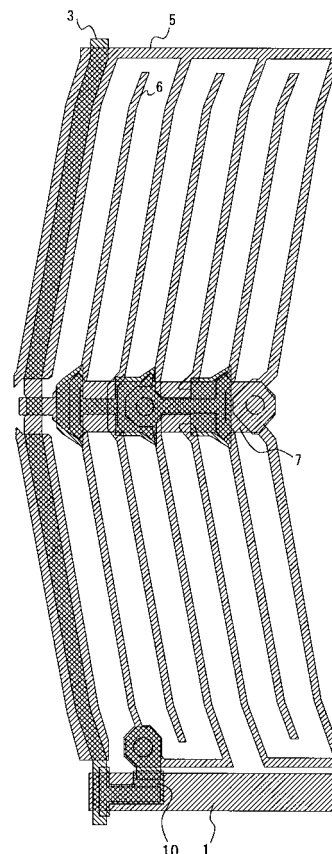
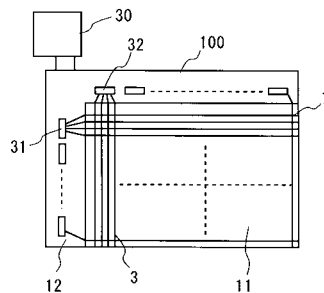
【 0 0 7 5 】

- 1 ゲート配線、 2 ゲート絶縁膜、 3 ソース配線、 4 絶縁膜、
 5 共通電極、 6 画素電極、 7 共通容量電極、 8 ゲート電極
 10 TFT (薄膜トランジスタ)、 11 表示領域、 12 額縁領域
 30 制御部、 31 ゲートドライバ IC、 32 ソースドライバ IC、
 34 DA コンバータ、 35 データ線、 36 演算増幅器、
 37 電圧供給回路、 38 演算増幅器 100 TFT アレイ基板、
 200 CF 基板

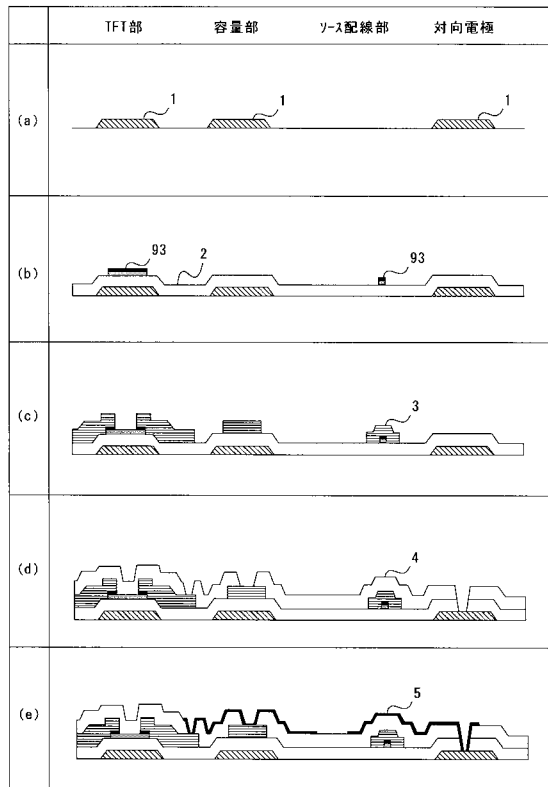
20

【図 1】

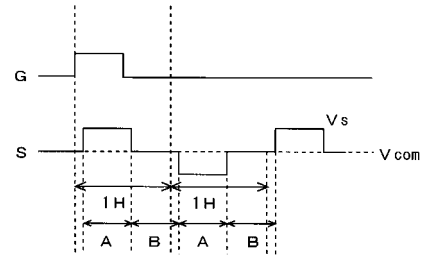
【図 2】



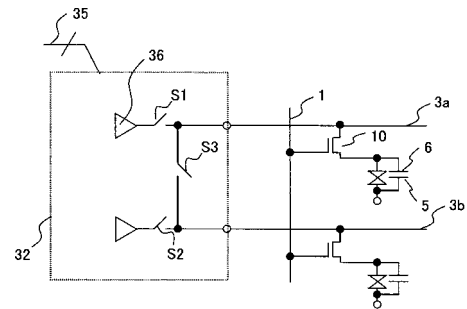
【図 3】



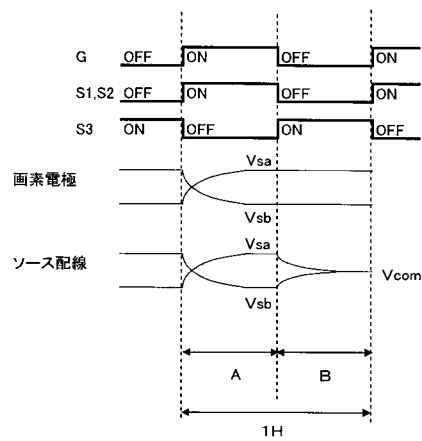
【図 4】



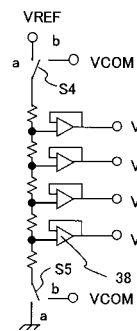
【図 5】



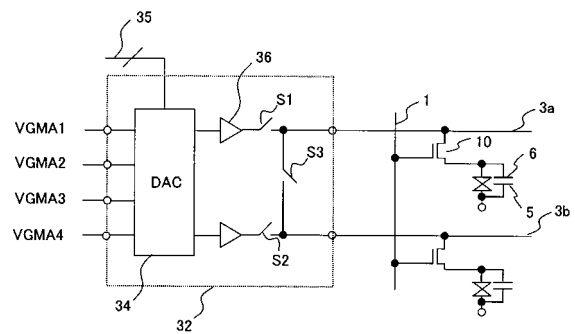
【図 6】



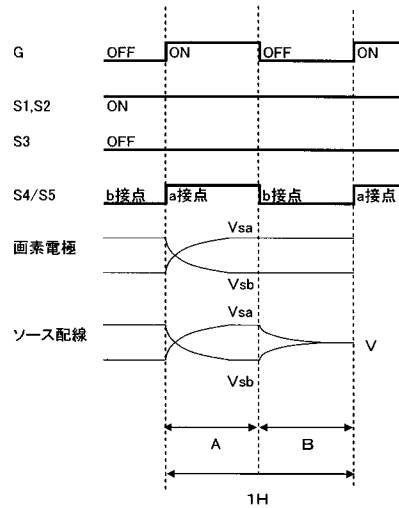
【図 7】



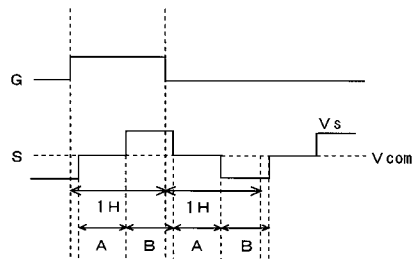
【図 8】



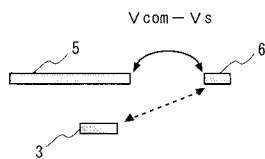
【図 9】



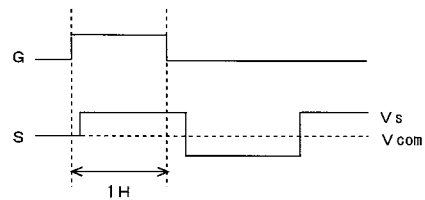
【図 10】



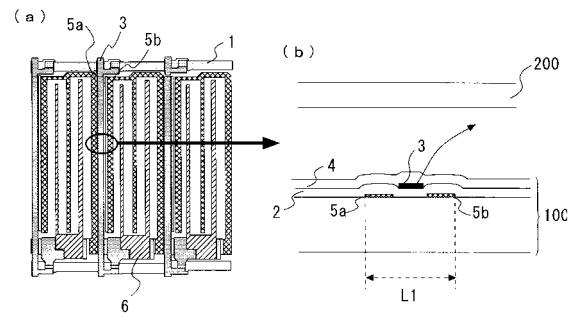
【図 13】



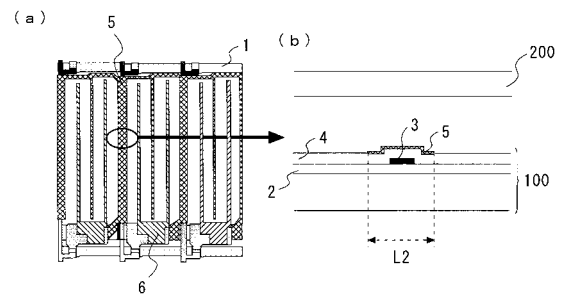
【図 14】



【図 11】



【図 12】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 2 D
G 0 9 G 3/20 6 2 3 C
G 0 9 G 3/20 6 2 3 D
G 0 9 G 3/36

審査官 藤田 都志行

(56)参考文献 特開平 0 3 - 2 4 3 9 2 4 (J P , A)
特開 2 0 0 0 - 2 0 0 3 0 (J P , A)
特開 2 0 0 3 - 1 1 4 6 5 6 (J P , A)
特開 2 0 0 3 - 2 8 0 6 1 6 (J P , A)
特開 2 0 0 0 - 1 4 7 4 5 6 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 2 F 1 / 1 3 3
G 0 2 F 1 / 1 3 6 8
G 0 9 G 3 / 2 0
G 0 9 G 3 / 3 6