(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年6月7日(07.06.2018)

WIPO | PCT

(10) 国際公開番号
WO 2018/100642 A1

(51) 国際特許分類:
G09F 9/00 (2006.01)

(21) 国際出願番号： PCT/JP2016/085415

(22) 国際出願日： 2016年11月29日(29.11.2016)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(71) 出願人: 堺ディスプレイプロダクト株式会社 (**SAKAI DISPLAY PRODUCTS CORPORATION**) [JP/JP]; 〒5908522 大阪府堺市堺区匠町１番地 Osaka (JP).

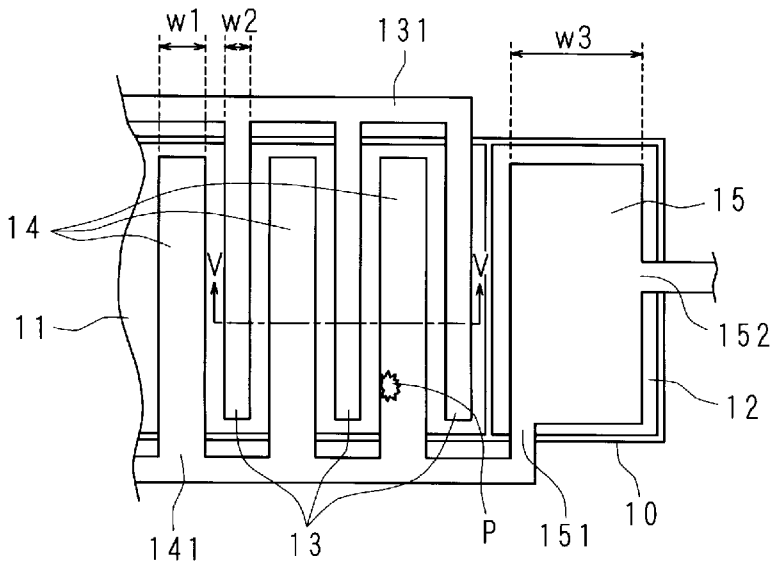
(72) 発明者: 中川 英俊 (**NAKAGAWA, Hidetoshi**); 〒5908522 大阪府堺市堺区匠町１番地 堺ディスプレイプロダクト株式会社内 Osaka (JP).

(74) 代理人: 河野 英仁，外 (**KOHNO, Hideto** et al.); 〒5400035 大阪府大阪市中央区釣鐘町二丁目４番３号 河野特許事務所 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI,

(54) **Title:** DISPLAY PANEL, THIN-FILM TRANSISTOR, AND METHOD OF MANUFACTURING THIN-FILM TRANSISTOR

(54) 発明の名称： 表示パネル、薄膜トランジスタ及び薄膜トランジスタの製造方法



(57) **Abstract:** Provided are a display panel, a thin-film transistor, and a method of manufacturing the thin-film transistor, with which it is possible to prevent performance degradation due to inclusion of minute foreign matter. A display panel comprising a thin-film transistor that supplies a drive voltage for turning on or off a thin-film transistor for pixels that corresponds to each of a plurality of pixels arranged in a matrix on a substrate, wherein the thin-film transistor comprises a gate electrode film (10) formed on the surface of the substrate, a semiconductor layer (11) formed on the top side of the gate electrode film, a long source electrode film (13) formed on the semiconductor layer, and a plurality of long drain electrode films (14) formed on the semiconductor layer. The width of at least one of the drain electrode films is larger than the width of the source electrode film.

WO 2018/100642 A1

［続葉有］

NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

(57) 要約:微小な異物混入による性能劣化を防止することができる表示パネル、薄膜トランジスタ及び薄膜トランジスタの製造方法を提供する。表示パネルは、基板上にマトリクス状に配置された複数の画素それぞれに対応する画素用薄膜トランジスタをオン/オフさせるための駆動電圧を供給する薄膜トランジスタを備える表示パネルであって、薄膜トランジスタは、基板の表面に形成されたゲート電極膜(10)と、ゲート電極膜の上側に形成された半導体層(11)と、半導体層上に形成された長尺のソース電極膜(13)と、半導体層上に複数形成された長尺のドレイン電極膜(14)とを備え、少なくとも一つのドレイン電極膜の幅は、ソース電極膜の幅より大きい。

明　細　書

発明の名称 ：

表示パネル、薄膜トランジスタ及び薄膜トランジスタの製造方法

技術分野

[0001] 本発明は、表示パネル、薄膜トランジスタ及び薄膜トランジスタの製造方法に関する。

背景技術

[0002] 近年、フラットパネルディスプレイの代表である液晶ディスプレイ（ＬＣＤ）は、中型パネルまたは小型パネルの分野だけでなくＴＶ用等の大型パネルの分野でも広く用いられている。このような液晶ディスプレイでは、アクティブマトリクス型の液晶表示装置が広く使用されている。

[0003] アクティブマトリクス型の液晶表示装置の表示パネルは、複数のソースバスライン（映像信号線）、複数のゲートバスライン及び画素形成部などを備える。画素形成部は、複数のソースバスラインと複数のゲートバスラインとが交差する箇所に設けられ、マトリクス状に配置されている。各画素形成部は、画素用薄膜トランジスタ及び画素電圧値を保持するための画素容量などを備える。画素用薄膜トランジスタのゲート端子は、ゲートバスラインとソースバスラインが交差する箇所を通過するゲートバスラインに接続されている。また、画素用薄膜トランジスタのソース端子は、当該箇所を通過するソースバスラインに接続されている。また、アクティブマトリクス型の液晶表示装置は、ゲートバスラインを駆動するためのゲートドライバ及びソースバスラインを駆動するためのソースドライバなど備える。

[0004] 一つのソースバスラインは、複数行分の画素電圧値を示す映像信号を同時に伝達することができない。このため、マトリクス状に配置された画素形成部内の画素容量への映像信号の書き込み（充電）は１行ずつ順次に行う必要がある。そこで、複数のゲートバスラインが所定期間ずつ順次に選択されるように、ゲートドライバ（駆動回路）は、シフトレジスタが複数段接続され

た構成をなす。ゲートドライバは、複数のクロック信号に基づいて、各段のシフトレジスタから各ゲートバスラインへ駆動信号を順次出力する（特許文献１参照）。

先行技術文献

特許文献

[0005] 特許文献1：特許第５１３２８１８号公報

発明の概要

発明が解決しようとする課題

[0006] シフトレジスタを構成する複数の薄膜トランジスタのうち、ゲートバスラインへ駆動信号を出力する出力用（駆動用）の薄膜トランジスタのドレイン電極膜を形成する際に、微小な異物が混入した場合、ドレイン電極膜の異物断線が生じる可能性がある。異物断線が生じると、残りのドレイン電極膜の電流が増加し、スイッチング時の閾値電圧などの特性がシフトし、ストレスによる出力用の薄膜トランジスタの性能劣化、あるいは結果的に出力用の薄膜トランジスタの不良となる場合がある。

[0007] 本発明は斯かる事情に鑑みてなされたものであり、微小な異物混入による性能劣化を防止することができる表示パネル、該表示パネルを構成する薄膜トランジスタ及び薄膜トランジスタの製造方法を提供することを目的とする。

課題を解決するための手段

[0008] 本発明の実施の形態に係る表示パネルは、基板上にマトリクス状に配置された複数の画素それぞれに対応する画素用薄膜トランジスタをオン／オフさせるための駆動電圧を供給する薄膜トランジスタを備える表示パネルであって、前記薄膜トランジスタは、前記基板の表面に形成されたゲート電極膜と、該ゲート電極膜の上側に形成された半導体層と、該半導体層上に形成された長尺のソース電極膜と、前記半導体層上に複数形成された長尺のドレイン電極膜とを備え、前記複数のドレイン電極膜のうちの少なくとも一つのドレ

イン電極膜の幅は、前記ソース電極膜の幅より大きい。

[0009] 本発明の実施の形態に係る薄膜トランンジスタは、基板上にマトリクス状に配置された複数の画素それぞれに対応する画素用薄膜トランジスタをオン／オフさせるための駆動電圧を供給する薄膜トランジスタであって、前記基板の表面に形成されたゲート電極膜と、該ゲート電極膜の上側に形成された半導体層と、該半導体層上に形成された長尺のソース電極膜と、前記半導体層上に複数形成された長尺のドレイン電極膜とを備え、前記複数のドレイン電極膜のうちの少なくとも一つのドレイン電極膜の幅は、前記ソース電極膜の幅より大きい。

[0010] 本発明の実施の形態に係る薄膜トランンジスタの製造方法は、基板上にマトリクス状に配置された複数の画素それぞれに対応する画素用薄膜トランジスタをオン／オフさせるための駆動電圧を供給する薄膜トランジスタの製造方法であって、前記基板の表面にゲート電極膜を形成し、該ゲート電極膜の上側に半導体層を形成し、前記半導体層上に長尺のソース電極膜を形成し、前記半導体層上に前記ソース電極膜の幅より大きい幅を有する長尺のドレイン電極膜を少なくとも一つ含む複数の長尺のドレイン電極膜を形成する。

発明の効果

[0011] 本発明によれば、微小な異物混入による性能劣化を防止することができる。

図面の簡単な説明

[0012] [図1]本実施の形態の表示パネルの要部構成の一例を示す模式図である。

[図2]ＧＯＡ回路の回路パターンの一例を示す模式図である。

[図3]シフトレジスタの基本の構成の一例を示す回路図である。

[図4]本実施の形態の薄膜トランジスタの構造の一例を示す要部平面模式図である。

[図5]図４のＶ－Ｖ線から見た要部断面模式図である。

[図6]比較例としての薄膜トランジスタの構造の一例を示す要部平面模式図である。

[図7]本実施の形態の薄膜トランジスタの製造方法の一例を示す説明図である。

発明を実施するための形態

[0013] 以下、本発明をその実施の形態を示す図面に基づいて説明する。図１は本実施の形態の表示パネル１００の要部構成の一例を示す模式図である。表示パネル１００は、複数の画素がマトリクス状に配置された画素部５０、画素部５０の周辺に配置されたゲート回路部６０及びソース端子部７０などを備える。ソース端子部７０は、表示パネル１００の外部のソース回路（不図示）からの信号線が接続される複数の端子で構成される。画素部５０及びゲート回路部６０は、薄膜トランジスタ（ＴＦＴ：Thin Film Transistor）基板（ＴＦＴ基板とも称する）上に形成されている。本実施の形態では、表示パネル１００の例として液晶表示パネルについて説明するが、表示パネル１００は、液晶表示パネルに限定されるものではない。

[0014] 画素部５０は、各画素に対応する画素用薄膜トランジスタ（ＴＦＴとも称する）が設けられている。画素部５０の画素用薄膜トランジスタは、各画素の輝度を変化させる電流を流すためのトランジスタである。なお、各画素の輝度を変化させるとは、各画素の透過率を変化させることと同義である。

[0015] ゲート回路部６０は、画素部５０の画素用薄膜トランジスタをオン／オフさせるための駆動電圧（ゲート電圧）を供給する薄膜トランジスタを有する。なお、本明細書では、画素用薄膜トランジスタと区別するため、便宜上、画素用薄膜トランジスタをオン／オフさせるための駆動電圧（ゲート電圧）を供給する駆動用の薄膜トランジスタを単に薄膜トランジスタと称する。薄膜トランジスタは、画素部５０の画素用薄膜トランジスタのスイッチング（オン・オフ制御）を制御し、いずれの画素の輝度を変化させるかを選択する機能を有する。また、ソース端子部７０に接続される不図示のソース回路は、画素部５０の画素用薄膜トランジスタに信号電圧を供給し、供給する信号電圧に応じて各画素の光の透過率を変化させる。

[0016] すなわち、画素部５０の画素用薄膜トランジスタは、各画素に対応し、デ

ータラインの電圧を画素電極に書き込むためのスイッチング素子として作動する。また、ゲート回路部６０の薄膜トランジスタは、画素部５０の画素用薄膜トランジスタをオン、オフさせるためのゲート電圧を供給するスイッチング素子として作動する。

[0017] 次に、ゲート回路部６０の一例としてＧＯＡ（Gate Driver On Array）回路について説明する。図２はＧＯＡ回路の回路パターンの一例を示す模式図である。図２において、ＴＦＴとして囲まれた領域が、ＧＯＡ回路の内の１個の薄膜トランジスタの全部又は一部を構成する。また、符号４０は、各薄膜トランジスタのゲートに電圧を供給する電圧供給部を模式的に図示している。電圧供給部４０は、ゲート回路部６０の適当な箇所に配置することができる。

[0018] ゲート回路部６０は、複数のシフトレジスタが接続された構成を有する。図３はシフトレジスタの基本の構成の一例を示す回路図である。図３に示すように、シフトレジスタは、例えば、３個の薄膜トランジスタＭ１～Ｍ３、１個のキャパシタｃａｐを備える。より具体的には、シフトレジスタは、ソースに所定のクロック信号ＣＫＡが入力され、ドレインから出力ノード（Ｇｏｕｔ／Ｑｎ）へ駆動信号を出力するＧｏｕｔ出力用の薄膜トランジスタＭ１、ソースに所定のセット信号（例えば、当該シフトレジスタよりも前段側のシフトレジスタの出力など、符号Ｓ１で示す）が入力され、ドレインが薄膜トランジスタＭ１のゲートに接続され、ゲートがソースに接続された第一入力用薄膜トランジスタＭ２、第一入力用薄膜トランジスタＭ２のドレインとＧｏｕｔ出力用の薄膜トランジスタＭ１のゲートとが接続された出力制御ノード（ｎｅｔＡとも称する）にソースが接続され、ドレインに所定電位が印加され、ゲートに所定のリセット信号（例えば、当該シフトレジスタよりも後段側のシフトレジスタの出力、符号Ｒ２で示す）が入力される第二入力用薄膜トランジスタＭ３などを備える。また、Ｇｏｕｔ出力用の薄膜トランジスタＭ１のゲート・ドレイン間にはキャパシタｃａｐが接続されている。本実施の形態の薄膜トランジスタは、図３に示すＧｏｕｔ出力用の薄膜トラ

ンジスタＭ１である。

[0019] 次に、本実施の形態の薄膜トランジスタの詳細について説明する。

[0020] 図４は本実施の形態の薄膜トランジスタの構造の一例を示す要部平面模式図である。図４に示すように、薄膜トランジスタ（ＴＦＴ：Thin Film Transistor、ＴＦＴ基板とも称する）は、不図示のガラス基板（基板とも称する）の表面にゲート電極膜１０を形成してあり、ゲート電極膜１０を覆って不図示のゲート絶縁膜（例えば、SiO_2 膜など）を形成してある。ゲート絶縁膜の表面であってゲート電極膜１０の上側には、半導体層としての非晶質半導体層１１を形成してある。なお、半導体層は非晶質半導体層（アモルファス半導体）に限定されず、例えば、酸化物半導体層であってもよい。

[0021] 非晶質半導体層１１上には、複数の長尺のソース電極膜１３及び複数の長尺のドレイン電極膜１４を形成してある。そして、ドレイン電極膜１４の幅ｗ１（ドレイン電極膜１４の長手方向に直交する方向の長さ）は、ソース電極膜１３の幅ｗ２（ソース電極膜１３の長手方向に直交する方向の長さ）より大きい（ｗ１＞ｗ２）。

[0022] より具体的には、本実施の形態の薄膜トランジスタは、ソース電極膜１３をソース電極膜１３の長手方向と直交する方向に沿って複数並列して配置してあり、複数のドレイン電極膜１４のそれぞれを隣り合うソース電極膜１３の間にソース電極膜１３と平行に配置してある。すなわち、薄膜トランジスタは、ゲート電極膜１０に対応する領域内において、長尺のソース電極膜１３及びドレイン電極膜１４が交互に複数並列して配置してある。

[0023] 各ソース電極膜１３の端部は共通電極１３１により接続されている。また、各ドレイン電極膜１４の端部は共通電極１４１により接続されている。なお、図４の例では、ソース電極膜１３を３個、ドレイン電極膜１４を３個だけ図示しているが、実際の薄膜トランジスタの性能等に応じて、並列して配置する電極膜の数は３個に限定されず、例えば、２０個、５０個、１００個などとすることができる。また、ソース電極膜１３の幅よりも幅を大きくするドレイン電極膜は、ドレイン電極膜が複数並列に配置されている場合、少

なくとも一つのドレイン電極膜であればよく、また、すべてのドレイン電極膜でもよく、すべてのドレイン電極膜のうちの一部の複数のドレイン電極膜であってもよい。複数のドレイン電極膜のうちの一部のドレイン電極膜の幅をソース電極膜１３の幅よりも大きくする場合、該一部のドレイン電極膜以外のドレイン電極膜の幅は、例えばソース電極膜１３の幅と略同じである。

[0024] 図５は図４のＶ－Ｖ線から見た要部断面模式図である。図５に示すように、本実施の形態の薄膜トランジスタは、ガラス基板１の表面にゲート電極膜１０を形成してあり、ゲート電極膜１０を覆ってゲート絶縁膜３（例えば、SiO_2 膜など）を形成してある。

[0025] ゲート絶縁膜３の表面であってゲート電極膜１０の上側には、非晶質半導体層１１を形成してある。

[0026] 非晶質半導体層１１上の所要の箇所にはソース電極膜１３及びドレイン電極膜１４を形成してある。ドレイン電極膜１４の幅はソース電極膜１３の幅よりも大きい。ソース電極膜１３及びドレイン電極膜１４を覆うようにして、パッシベーション膜４を形成してあり、パッシベーション膜４の表面には有機膜５を形成して表面を平坦化している。

[0027] 図６は比較例としての薄膜トランジスタの構造の一例を示す要部平面模式図である。図４との相違点は、図６の比較例では、ソース電極膜１３の幅とドレイン電極膜２４の幅とは同程度である。

[0028] 図６に示すように、仮に、ドレイン電極膜２４の幅をソース電極膜１３の幅と同程度にした場合に、ドレイン電極膜２４に微小な異物（例えば、図６において符号Ｐで模式的に示すように、ドレイン電極膜２４の幅が４．５μｍであって、微小な異物の寸法が４．５μｍのように、微小な異物が１本のドレイン電極膜を占めるような場合）が混入すると、当該ドレイン電極膜２４は、異物断線となる（図６において斜線で示す）。また、薄膜トランジスタの出力電流値が比較大きい場合には、異物断線が発生した場合でも、電流変化が余り大きくなく、検査段階で異物断線を検出することができないこともある。異物断線が生じると、残りのドレイン電極膜の電流が増加し、長期

駆動の結果、スイッチング時の閾値電圧などの特性がシフトし、ストレスによる薄膜トランジスタの性能劣化、あるいは結果的に薄膜トランジスタの不良となる可能性がある。

[0029] 本実施の形態では、図４に示すように、ドレイン電極膜１４の幅をソース電極膜１３の幅より大きくすることにより、ドレイン電極膜１４に微小な異物（図４において符号Ｐで示す）が混入しても、異物断線の発生確率を低下させることができ、薄膜トランジスタの性能劣化を防止し、あるいは薄膜トランジスタの不良を防止することができる。

[0030] すなわち、本実施の形態では、図４に示すように、ドレイン電極膜１４の幅（例えば、１０μｍ～２０μｍなど）をソース電極膜１３の幅（例えば、４．５μｍ）より大きくすることにより、ドレイン電極膜１４に微小な異物（例えば、寸法が４．５μｍ程度）が混入してもドレイン電極膜１４の断線の可能性を小さくすることができ、当該ドレイン電極膜１４以外のドレイン電極膜１４に流れる電流の増加を抑制することができ、薄膜トランジスタの性能劣化を防止し、あるいは薄膜トランジスタの不良を防止することができる。

[0031] また、本実施の形態の表示パネル１００では、図４に示すように、ゲート電極膜１０の上側に容量用電極膜１５を形成してある。ゲート電極膜１０と容量用電極膜１５との間には、絶縁膜１２（例えば、SiO_2 膜など）を形成してある。なお、絶縁膜１２に代えて、絶縁膜及び半導体膜を形成してもよい。

[0032] 容量用電極膜１５は、ドレイン電極膜１４の幅方向に沿って所要の寸法ｗ３を有する。また、容量用電極膜１５は、ドレイン電極膜１４（正確には共通電極１４１）と接続される第１接続点１５１と、薄膜トランンジスタの出力端（不図示）と接続される第２接続点１５２とを有する。なお、第１接続点１５１、第２接続点１５２は、文字通りの点ではなく、所要の領域を有する。

[0033] 容量用電極膜１５は、例えば、ドレイン電極膜１４の幅方向と平行な向き

の寸法が所要の寸法ｗ３であり、ドレイン電極膜１４の長手方向と平行な向きの寸法がドレイン電極膜１４の長さ寸法と同程度の寸法である、矩形状とすることができる。容量用電極膜１５は、絶縁膜１２を介してゲート電極膜１０との間でキャパシタ（具体的には、図３に示す、薄膜トランジスタのゲート・ドレイン間のキャパシタｃａｐ）を構成する。当該キャパシタｃａｐは、ブートストラップのためのキャパシタである。

[0034] ドレイン電極膜１４の幅ｗ１をソース電極膜１３の幅ｗ２より大きくした場合、非晶質半導体層１１を介したドレイン電極膜１４とゲート電極膜１０との間のキャパシタが大きくなるので、容量用電極膜１５の所要の寸法を小さくしても（例えば、図４の容量用電極膜１５の寸法ｗ３は、図６の容量用電極膜２５の寸法ｗ２３より小さい）、薄膜トランジスタのゲート・ドレイン間のキャパシタの容量の変化量を少なくすることができ、素子全体のサイズの変更量も少なくすることができる。別言すれば、ドレイン電極膜１４の幅を大きくしても、容量用電極膜１５の所要の寸法を小さくすることができ、素子全体のサイズの変更量を少なくすることができる。

[0035] 図７は本実施の形態の薄膜トランジスタの製造方法の一例を示す説明図である。図７に示すように、スパッタリング法を用いて室温環境下で、基板（ガラス基板）上に銅（Cu）膜を形成し、フォトリソグラフィ法及びエッチング法を用いて銅（Cu）膜をパターニングして所要の幅のゲート電極膜１０を形成する（Ｓ１１）。なお、ゲート電極膜１０に用いられる材料は、銅に限定されるものではなく、例えば、アルミニウム、チタン、タングステン、金、白金、モリブデン、もしくはニッケル等の元素単体又は合金を用いてよい。

[0036] 次に、ゲート電極膜１０を覆うようにして基板上に、プラズマＣＶＤ法を用いてゲート絶縁膜を形成する（Ｓ１２）。

[0037] 次に、スパッタリング法を用いて室温環境下、又は結晶化しない程度の高温環境下で、ゲート絶縁膜上に半導体層（例えば、非晶質半導体層）１１を形成する（Ｓ１３）。

[0038] 次に、露光処理、現像処理を行い（Ｓ１４）、半導体層１１に所要のパターンを形成する。所要のパターンは、ソース電極膜１３、ドレイン電極膜１４などの配置又は構造に応じて適宜定めることができる。

[0039] 次に、半導体層１１の所要の箇所をエッチングし（Ｓ１５）、エッチング後の半導体層１１上に、所定のドレイン電極膜１４の幅をソース電極膜１３の幅より大きくしてソース電極膜１３及びドレイン電極膜１４を形成する（Ｓ１６）。なお、容量用電極膜１５は、ソース電極膜１３及びドレイン電極膜１４と同時に形成することができる。

[0040] 上述のように、本実施の形態によれば、ＧＯＡ回路の内、ゲート波形出力用素子（ＴＦＴ）のドレイン電極膜幅を相対するソース電極膜幅より大きく（太く）する。これにより、微小な異物による断線確率を低下させることができる。また、ドレイン電極膜の幅を大きくしても、ドレイン電極膜の部分は、ブートストラップ用の容量部を兼ねているため、ブートストラップ用の容量電極膜を、ドレイン電極膜の幅を大きくした分に相当する分だけ小さくすることができ、結果として素子全体のサイズを大きくする必要がなく、素子全体のサイズの変更量を少なくすることができる。

[0041] 本実施の形態に係る表示パネルは、基板上にマトリクス状に配置された複数の画素それぞれに対応する画素用薄膜トランジスタをオン／オフさせるための駆動電圧を供給する薄膜トランジスタを備える表示パネルであって、前記薄膜トランジスタは、前記基板の表面に形成されたゲート電極膜と、該ゲート電極膜の上側に形成された半導体層と、該半導体層上に形成された長尺のソース電極膜と、前記半導体層上に複数形成された長尺のドレイン電極膜とを備え、前記複数のドレイン電極膜のうちの少なくとも一つのドレイン電極膜の幅は、前記ソース電極膜の幅より大きい。

[0042] 本実施の形態に係る薄膜トランンジスタは、基板上にマトリクス状に配置された複数の画素それぞれに対応する画素用薄膜トランジスタをオン／オフさせるための駆動電圧を供給する薄膜トランジスタであって、前記基板の表面に形成されたゲート電極膜と、該ゲート電極膜の上側に形成された半導体

層と、該半導体層上に形成された長尺のソース電極膜と、前記半導体層上に複数形成された長尺のドレイン電極膜とを備え、前記複数のドレイン電極膜のうちの少なくとも一つのドレイン電極膜の幅は、前記ソース電極膜の幅より大きい。

[0043] 本実施の形態に係る薄膜トランンジスタの製造方法は、基板上にマトリクス状に配置された複数の画素それぞれに対応する画素用薄膜トランジスタをオン／オフさせるための駆動電圧を供給する薄膜トランジスタの製造方法であって、前記基板の表面にゲート電極膜を形成し、該ゲート電極膜の上側に半導体層を形成し、前記半導体層上に長尺のソース電極膜を形成し、前記半導体層上に前記ソース電極膜の幅より大きい幅を有する長尺のドレイン電極膜を少なくとも一つ含む複数の長尺のドレイン電極膜を形成する。

[0044] 薄膜トランジスタは、基板の表面に形成されたゲート電極膜と、ゲート電極膜の上側に形成された半導体層と、半導体層上に形成された長尺のソース電極膜及び複数の長尺のドレイン電極膜とを備える。なお、より具体的には、半導体層は、ゲート絶縁膜が形成されたゲート電極膜の上側に形成される。そして、複数のドレイン電極膜のうちの少なくとも一つのドレイン電極膜の幅は、ソース電極膜の幅より大きい。

[0045] 仮に、ドレイン電極膜の幅をソース電極膜の幅と同程度にした場合に、ドレイン電極膜に微小な異物が混入した場合、ドレイン電極膜の異物断線が生じる可能性がある。異物断線が生じると、残りのドレイン電極膜の電流が増加し、スイッチング時の閾値電圧などの特性がシフトし、ストレスによる薄膜トランジスタの性能劣化、あるいは結果的に薄膜トランジスタの不良となる可能性がある。

[0046] ドレイン電極膜の幅をソース電極膜の幅より大きくすることにより、ドレイン電極膜に微小な異物が混入しても異物断線の発生確率を低下させることができ、薄膜トランジスタの性能劣化を防止し、あるいは薄膜トランジスタの不良を防止することができる。

[0047] 本実施の形態に係る表示パネルにおいて、前記薄膜トランジスタは、前記

ソース電極膜を該ソース電極膜の長手方向と直交する方向に沿って複数並列して配置してあり、前記複数のドレイン電極膜のそれぞれを隣り合う前記ソース電極膜の間に該ソース電極膜と平行に配置してある。

[0048] 薄膜トランジスタは、ソース電極膜をソース電極膜の長手方向と直交する方向に沿って複数並列して配置してあり、複数のドレイン電極膜のそれぞれを隣り合うソース電極膜の間にソース電極膜と平行に配置してある。すなわち、薄膜トランジスタは、ゲート電極膜に対応する領域内において、長尺のソース電極膜及びドレイン電極膜が交互に複数並列して配置してある。

[0049] 仮に、ドレイン電極膜の幅をソース電極膜の幅と同程度にした場合に、ドレイン電極膜に微小な異物が混入して当該ドレイン電極膜が断線すると、当該ドレイン電極膜には電流が流れないため、当該ドレイン電極膜以外のドレイン電極膜に流れる電流が増加する。電流の増加により、スイッチング時の閾値電圧などの特性がシフトし、ストレスによる薄膜トランジスタの性能劣化、あるいは結果的に薄膜トランジスタの不良となる可能性がある。

[0050] ドレイン電極膜の幅をソース電極膜の幅より大きくすることにより、ドレイン電極膜に微小な異物が混入してもドレイン電極膜の断線の可能性を小さくすることができ、当該ドレイン電極膜以外のドレイン電極膜に流れる電流の増加を抑制することができ、薄膜トランジスタの性能劣化を防止し、あるいは薄膜トランジスタの不良を防止することができる。

[0051] 本実施の形態に係る表示パネルは、前記ゲート電極膜の上側に形成された容量用電極膜を備え、前記容量用電極膜は、前記ドレイン電極膜と接続される第１接続点と、前記薄膜トランンジスタの出力端と接続される第２接続点とを有する。

[0052] 表示パネルは、ゲート電極膜の上側に形成された容量用電極膜を備える。そして、容量用電極膜は、ドレイン電極膜と接続される第１接続点と、薄膜トランンジスタの出力端と接続される第２接続点とを有する。

[0053] 容量用電極膜は、例えば、ドレイン電極膜の幅方向と平行な向きの寸法が所要の寸法であり、ドレイン電極膜の長手方向と平行な向きの寸法がドレイ

ン電極膜の長さ寸法と同程度の寸法である、矩形状とすることができる。容量用電極膜は、例えば、絶縁膜、あるいは絶縁膜及び半導体層を介してゲート電極膜との間でキャパシタ（具体的には、薄膜トランジスタのゲート・ドレイン間のキャパシタ）を構成する。当該キャパシタは、ブートストラップのためのキャパシタである。

[0054] ドレイン電極膜の幅をソース電極膜の幅より大きくした場合、半導体層を介したドレイン電極膜とゲート電極膜との間のキャパシタが大きくなるので、容量用電極膜の所要の寸法を小さくしても、薄膜トランジスタのゲート・ドレイン間のキャパシタは変わらないようすることができ、素子全体のサイズを変更する必要がない。別言すれば、ドレイン電極膜の幅を大きくしても、容量用電極膜の所要の寸法を小さくすることができ、素子全体のサイズは変わらない。

符号の説明

[0055] １０　ゲート電極膜
１１　非晶質半導体層
１２　絶縁膜
１３　ソース電極膜
１４　ドレイン電極膜
１５　容量用電極膜
６０　ゲート回路部
１００　表示パネル

請求の範囲

[請求項1] 基板上にマトリクス状に配置された複数の画素それぞれに対応する画素用薄膜トランジスタをオン／オフさせるための駆動電圧を供給する薄膜トランジスタを備える表示パネルであって、

前記薄膜トランジスタは、

前記基板の表面に形成されたゲート電極膜と、

該ゲート電極膜の上側に形成された半導体層と、

該半導体層上に形成された長尺のソース電極膜と、

前記半導体層上に複数形成された長尺のドレイン電極膜と

を備え、

前記複数のドレイン電極膜のうちの少なくとも一つのドレイン電極膜の幅は、前記ソース電極膜の幅より大きい表示パネル。

[請求項2] 前記薄膜トランジスタは、

前記ソース電極膜を該ソース電極膜の長手方向と直交する方向に沿って複数並列して配置してあり、

前記複数のドレイン電極膜のそれぞれを隣り合う前記ソース電極膜の間に該ソース電極膜と平行に配置してある請求項１に記載の表示パネル。

[請求項3] 前記ゲート電極膜の上側に形成された容量用電極膜を備え、

前記容量用電極膜は、

前記ドレイン電極膜と接続される第１接続点と、

前記薄膜トランンジスタの出力端と接続される第２接続点と

を有する請求項１又は請求項２に記載の表示パネル。

[請求項4] 基板上にマトリクス状に配置された複数の画素それぞれに対応する画素用薄膜トランジスタをオン／オフさせるための駆動電圧を供給する薄膜トランジスタであって、

前記基板の表面に形成されたゲート電極膜と、

該ゲート電極膜の上側に形成された半導体層と、

該半導体層上に形成された長尺のソース電極膜と、

前記半導体層上に複数形成された長尺のドレイン電極膜と

を備え、

前記複数のドレイン電極膜のうちの少なくとも一つのドレイン電極膜の幅は、前記ソース電極膜の幅より大きい薄膜トランジスタ。

[請求項5] 基板上にマトリクス状に配置された複数の画素それぞれに対応する画素用薄膜トランジスタをオン／オフさせるための駆動電圧を供給する薄膜トランジスタの製造方法であって、

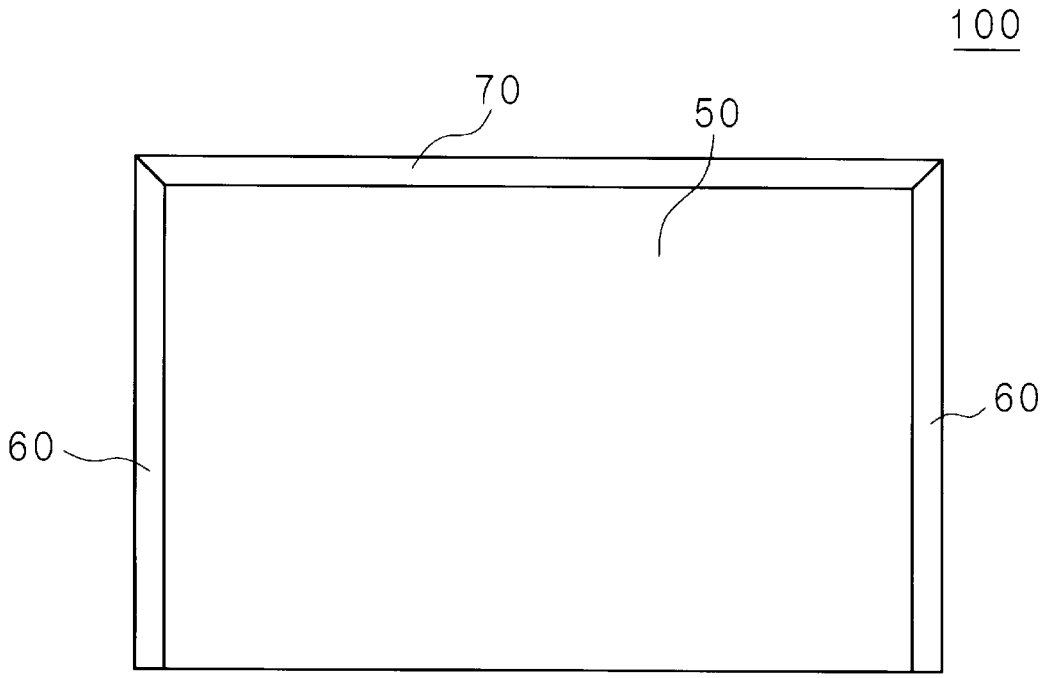
前記基板の表面にゲート電極膜を形成し、

該ゲート電極膜の上側に半導体層を形成し、

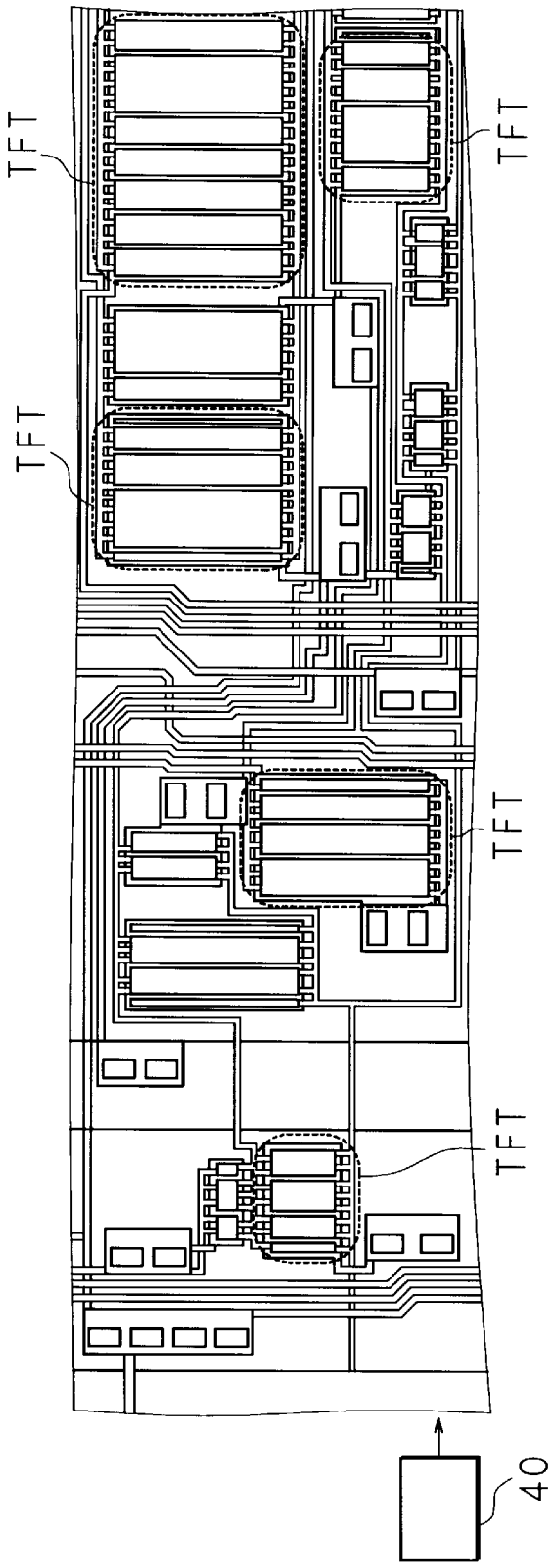
前記半導体層上に長尺のソース電極膜を形成し、

前記半導体層上に前記ソース電極膜の幅より大きい幅を有する長尺のドレイン電極膜を少なくとも一つ含む複数の長尺のドレイン電極膜を形成する薄膜トランジスタの製造方法。

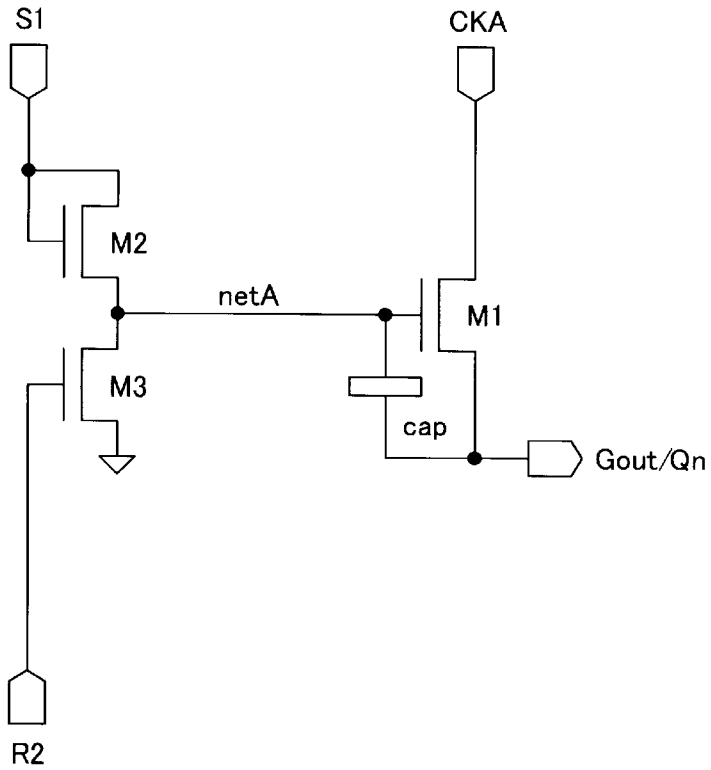
[図1]



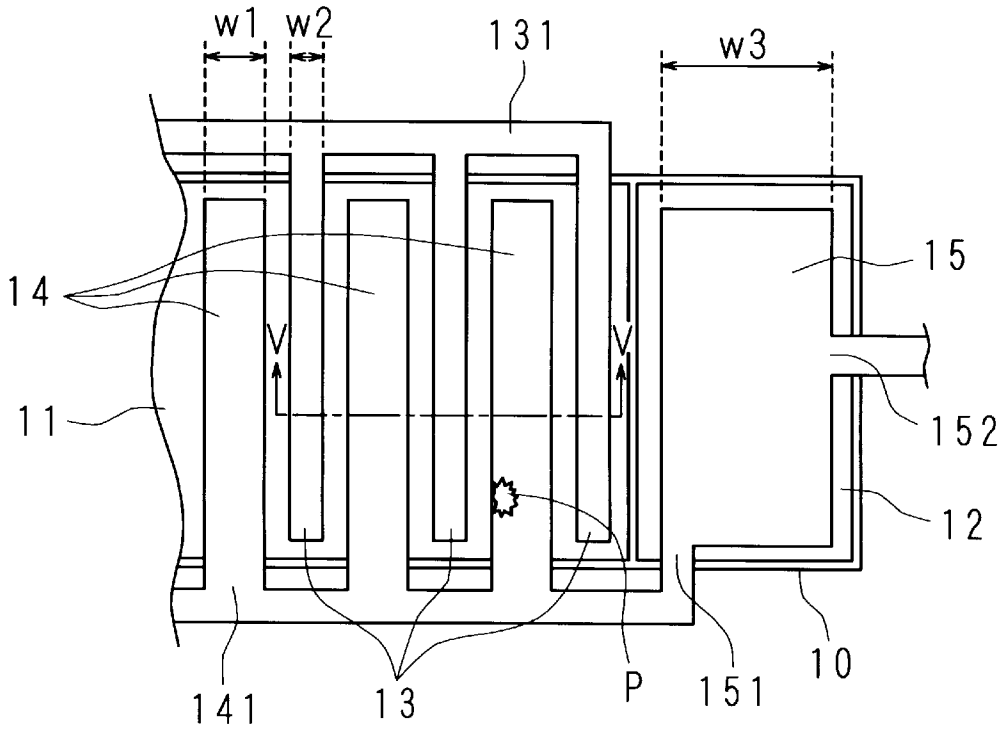
[図2]



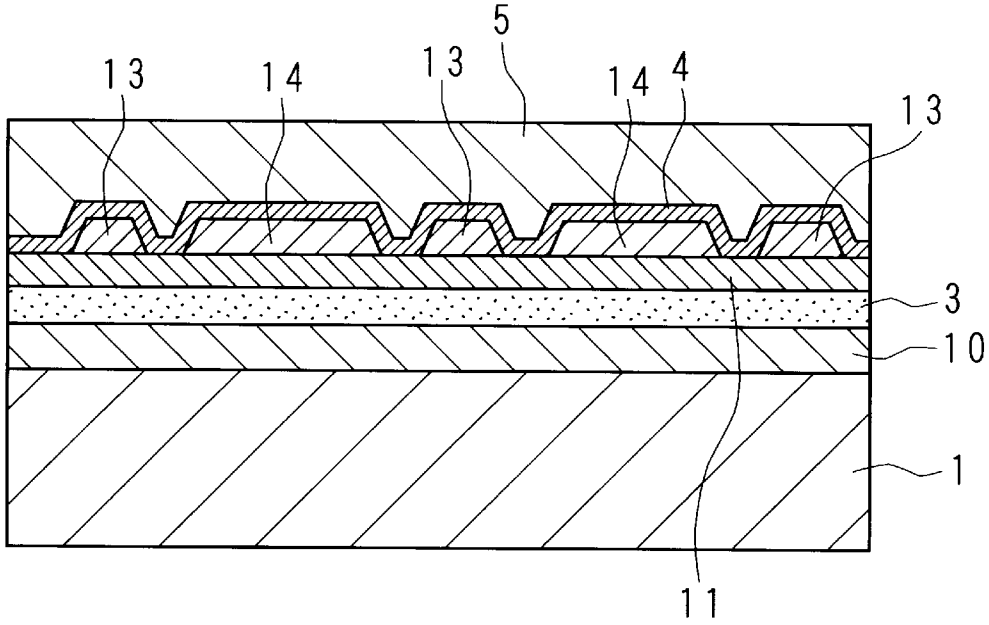
[図3]


S1
CKA
M2
netA
M1
M3
cap
Gout/Qn
R2

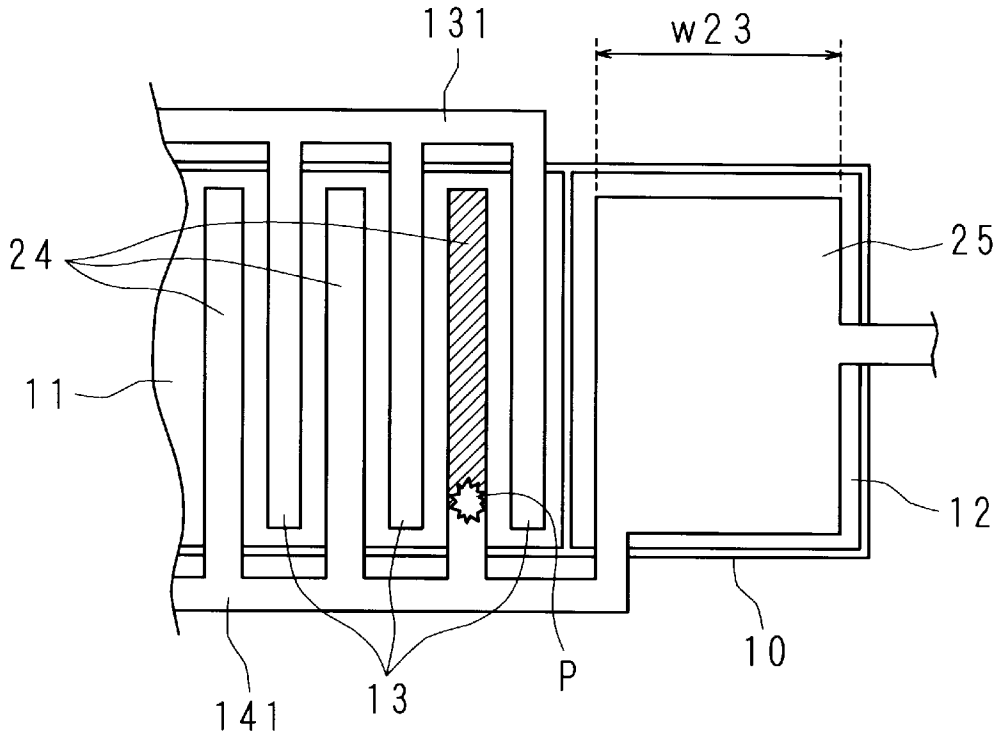
[図4]


w1
w2
131
w3
15
14
V
V
11
152
12
141
13
P
151
10

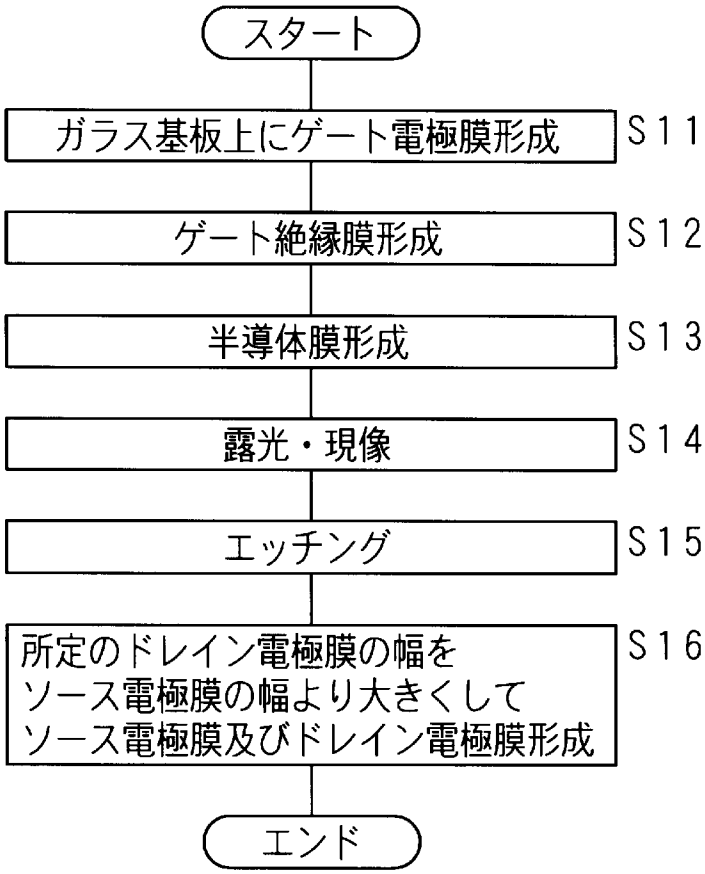
[図5]



[図6]



[図7]


スタート
ガラス基板上にゲート電極膜形成
S11
ゲート絶縁膜形成
S12
半導体膜形成
S13
露光・現像
S14
エッチング
S15
所定のドレイン電極膜の幅を
ソース電極膜の幅より大きくして
ソース電極膜及びドレイン電極膜形成
S16
エンド

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/085415

A. CLASSIFICATION OF SUBJECT MATTER
G09F9/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G09F9/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2010-277652 A (Mitsubishi Electric Corp.), 09 December 2010 (09.12.2010), paragraphs [0058] to [0091]; fig. 5 to 6 (Family: none)	1-2,4-5 1-5
Y	JP 2016-526247 A (Boe Technology Group Co., Ltd.), 01 September 2016 (01.09.2016), paragraphs [0002] to [0004], [0014] to [0020], [0036]; fig. 1 to 2 & US 2015/0248940 A1 paragraphs [0002] to [0004], [0029] to [0036], [0060]; fig. 1 to 2 & EP 2991077 A1 & CN 103258500 A & KR 10-2014-0135947 A	3

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
01 February 2017 (01.02.17)	14 February 2017 (14.02.17)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/085415

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2009/150864 A1 (Sharp Corp.), 17 December 2009 (17.12.2009), paragraphs [0005] to [0009], [0072] to [0084]; fig. 1 to 2, 8 to 9 & US 2011/0007049 A1 paragraphs [0005] to [0009], [0104] to [0115]; fig. 1 to 2, 8 to 9 & CN 101978504 A	1-5
A	JP 2016-167093 A (Sharp Corp.), 15 September 2016 (15.09.2016), entire text; all drawings & US 2015/0070616 A1 & WO 2013/157285 A1 entire text; all drawings & EP 2840566 A1 & TW 201344315 A & CN 104221072 A & KR 10-2014-0133924 A	1-5
A	WO 2011/135873 A1 (Sharp Corp.), 03 November 2011 (03.11.2011), entire text; all drawings & US 2013/0039455 A1 entire text; all drawings & EP 2565877 A1 & CN 102859605 A & KR 10-2013-0094209 A	1-5
A	JP 2010-272664 A (Sony Corp.), 02 December 2010 (02.12.2010), entire text; all drawings (Family: none)	1-5
A	JP 2014-26258 A (Samsung Display Co., Ltd.), 06 February 2014 (06.02.2014), entire text; all drawings & US 2014/0028534 A1 entire text; all drawings & EP 2690490 A2 & KR 10-2014-0015777 A & CN 103579221 A	1-5

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１６／０８５４１５

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　G09F9/00(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　G09F9/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１７年
日本国実用新案登録公報	１９９６－２０１７年
日本国登録実用新案公報	１９９４－２０１７年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X Y	JP 2010-277652 A（三菱電機株式会社）2010.12.09, 段落００５８－００９１、図５－６（ファミリーなし）	1-2,4-5 1-5
Y	JP 2016-526247 A（京東方科技集團股▲ふん▼有限公司）2016.09.01, 段落０００２－０００４、００１４－００２０、００３６、図１－２ & US 2015/0248940 A1, 段落０００２－０００４、００２９－００３６、００６０、図１－２ & EP 2991077 A1 & CN 103258500 A & KR 10-2014-0135947 A	3

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
０１．０２．２０１７	１４．０２．２０１７

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　２Ｉ　４０７２
小野　博之
電話番号　０３－３５８１－１１０１　内線　３２７３

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	WO 2009/150864 A1（シャープ株式会社）2009.12.17, 段落０００５－０００９、００７２－００８４、図１－２、８－９ & US 2011/0007049 A1, 段落０００５－０００９、０１０４－０１１５、図１－２、８－９ & CN 101978504 A	1-5
A	JP 2016-167093 A（シャープ株式会社）2016.09.15, 全文、全図 & US 2015/0070616 A1 & WO 2013/157285 A1, 全文、全図 & EP 2840566 A1 & TW 201344315 A & CN 104221072 A & KR 10-2014-0133924 A	1-5
A	WO 2011/135873 A1（シャープ株式会社）2011.11.03, 全文、全図 & US 2013/0039455 A1, 全文、全図 & EP 2565877 A1 & CN 102859605 A & KR 10-2013-0094209 A	1-5
A	JP 2010-272664 A（ソニー株式会社）2010.12.02, 全文、全図 （ファミリーなし）	1-5
A	JP 2014-26258 A（三星ディスプレイ株式會社）2014.02.06, 全文、全図 & US 2014/0028534 A1, 全文、全図 & EP 2690490 A2 & KR 10-2014-0015777 A & CN 103579221 A	1-5