

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-155152

(P2011-155152A)

(43) 公開日 平成23年8月11日(2011.8.11)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 27/146 (2006.01)	H O 1 L 27/14 A	4 M 1 1 8
H O 4 N 5/335 (2011.01)	H O 4 N 5/335 E	5 C O 2 4
	H O 4 N 5/335 U	

審査請求 未請求 請求項の数 12 O L (全 23 頁)

(21) 出願番号 特願2010-16000 (P2010-16000)
 (22) 出願日 平成22年1月27日 (2010.1.27)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 110000925
 特許業務法人信友国際特許事務所
 (72) 発明者 山田 明大
 東京都港区港南1丁目7番1号 ソニー株
 式会社内
 (72) 発明者 山本 敦彦
 東京都港区港南1丁目7番1号 ソニー株
 式会社内
 (72) 発明者 城戸 英男
 東京都港区港南1丁目7番1号 ソニー株
 式会社内

最終頁に続く

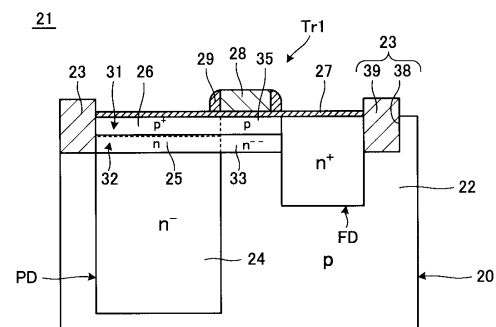
(54) 【発明の名称】 固体撮像装置とその製造方法、並びに電子機器

(57) 【要約】

【課題】横型オ - パーフロー構造を有するCMOS固体撮像装置において、オ - パーフローバリアのばらつきを抑制し、画素特性を向上させる。

【解決手段】半導体基板に形成された光電変換部PDと画素トランジスタからなる複数の画素と、画素内のフローティングディフュージョン部FDを有する。また、画素における光電変換部PD側の表面と、画素トランジスタのうちの転送トランジスタの転送ゲート電極28下の半導体基板表面との全面にわたって形成された表面ピンング用の第1導電型半導体領域31を有する。さらに、第1導電型半導体領域31の全域下に形成され、フローティングディフュージョン部へのオ - パーフローパスとなるオ - パーフローパス形成用の第2導電型半導体領域32を有する。転送ゲート電極下の第2導電型半導体領域によりオ - パーフローパスを形成するオ - パーフローバリアが形成され、光電変換部の第2導電型半導体領域とオ - パーフローパス形成用の第2導電型半導体領域との重なる領域により電荷蓄積領域が形成される。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

半導体基板に形成された光電変換部と画素トランジスタからなる複数の画素と、
前記画素内のフローティングディフュージョン部と、
前記画素における光電変換部側の表面と、画素トランジスタのうちの転送トランジスタの転送ゲート電極下の半導体基板表面との全面にわたって形成された表面ピニング用の第 1 導電型イオン注入領域と、
前記第 1 導電型イオン注入領域の全域下に形成され、前記フローティングディフュージョン部へのオ - パーフローパスとなるオ - パーフローパス形成用の第 2 導電型イオン注入領域とを有し、
前記転送ゲート電極下の前記第 2 導電型イオン注入領域によりオ - パーフローパスを形成するオ - パーフローバリアが形成され、
前記光電変換部における第 2 導電型半導体領域と前記オ - パーフローパス形成用の第 2 導電型イオン注入領域との重なる領域により電荷蓄積領域が形成される
固体撮像装置。

10

【請求項 2】

前記オ - パーフローパス形成用の第 2 導電型イオン注入領域の全域下に前記オ - パーフローバリアを安定させる第 1 導電型イオン注入領域を有する
請求項 1 記載の固体撮像装置。

【請求項 3】

前記表面ピニング用の第 1 の第 1 導電型イオン注入領域の前記光電変換部に対応する部分の不純物濃度が、該第 1 の第 1 導電型イオン注入領域の前記転送ゲート電極下の部分より高濃度である
請求項 1 または 2 記載の固体撮像装置。

20

【請求項 4】

前記表面ピニング用の第 1 導電型イオン注入領域の前記光電変換部に対応する部分の不純物濃度が、該表面ピニング用の第 1 導電型イオン注入領域の前記転送ゲート電極下の部分より高濃度であり、
前記オ - パーフローバリアを安定させる第 1 導電型イオン注入領域は、前記光電変換部に対応する部分が第 2 導電型半導体領域であって、前記転送ゲート電極下に対応した部分が第 1 導電型半導体領域である
請求項 2 記載の固体撮像装置。

30

【請求項 5】

半導体基板の各画素形成領域に形成すべき光電変換部の側の表面と、画素トランジスタのうちの転送トランジスタの転送ゲート電極下に対応する半導体基板表面と、フローティングディフュージョン部に対応する半導体基板表面との全面にわたって、イオン注入法により表面ピニング用の第 1 導電型イオン注入領域と、該第 1 導電型イオン注入領域の全域下のオ - パーフローパス形成用の第 2 導電型イオン注入領域を形成する工程と、
前記半導体基板上にゲート絶縁膜を介して転送トランジスタを含む前記画素トランジスタのゲート電極を形成する工程と、
前記半導体基板に第 2 導電型不純物をイオン注入してフローティングディフュージョン部を形成する工程と、
を有し、
前記転送ゲート電極下の前記第 2 導電型イオン注領域によりオ - パーフローパスを形成するオ - パーフローバリアを形成し、
前記光電変換部に形成した第 2 導電型半導体領域と前記オ - パーフローパス形成用の第 2 導電型イオン注入領域とが重なる領域により電荷蓄積領域を形成する
固体撮像装置の製造方法。

40

【請求項 6】

前記画素トランジスタのゲート電極を形成する前に、前記オ - パーフローパス形成用の

50

第 2 導電型イオン注入領域の全域下に第 1 導電型不純物をイオン注入して前記オ - パーフローバリアを安定させる第 1 導電型イオン注入領域を形成する工程を有する

請求項 5 記載の固体撮像装置の製造方法。

【請求項 7】

前記表面ピニング用の第 1 導電型不純物のイオン注入により、前記光電変換部に対応する部分に、前記転送ゲート電極下の表面ピニング用の第 1 導電型イオン注入領域より高不純物濃度の表面ピニング用の第 1 導電型イオン注入領域を形成する

請求項 5 または請求項 6 記載の固体撮像装置の製造方法。

【請求項 8】

前記表面ピニング用の第 1 導電型不純物のイオン注入により、前記光電変換部に対応する部分に、前記転送ゲート電極下の表面ピニング用の第 1 導電型イオン注入領域より高不純物濃度の表面ピニング用の第 1 導電型イオン注入領域を形成し、

前記オ - パーフローバリアを安定化させる半導体領域は、前記光電変換に対応する部分を第 2 導電型とし、前記転送ゲート電極下に対応する部分を第 1 導電型とする

請求項 6 記載の固体撮像素子の製造方法。

【請求項 9】

固体撮像装置と、

前記固体撮像装置のフォトダイオードに入射光を導く光学系と、

前記固体撮像装置の出力信号を処理する信号処理回路を備え、

前記固体撮像装置は、

半導体基板に形成された光電変換部と画素トランジスタからなる複数の画素と、

前記画素内のフローティングディフュージョン部と、

前記画素における光電変換部の第 2 導電型半導体領域の表面と、画素トランジスタのうちの転送トランジスタの転送ゲート電極下の半導体基板表面との全面にわたって形成された表面ピニング用の第 1 導電型イオン注入領域と、

前記第 1 導電型イオン注入領域の全域下に形成され、前記フローティングディフュージョン部へのオ - パーフローパスとなるオ - パーフローパス形成用の第 2 導電型イオン注入領域とを有し、

前記転送ゲート電極下の前記第 2 導電型イオン注領域によりオ - パーフローパスを形成するオ - パーフローバリアが形成され、

前記光電変換部の第 2 導電型半導体領域と前記オ - パーフローパス形成用の第 2 導電型イオン注入領域との重なる領域により電荷蓄積領域が形成される

電子機器。

【請求項 10】

前記固体撮像装置において、

前記オ - パーフローパス形成用の第 2 導電型イオン注入領域の全域下に前記オ - パーフローバリアを安定させる第 1 導電型イオン注入領域を有する

請求項 9 記載の電子機器。

【請求項 11】

前記固体撮像装置において、

前記表面ピニング用の第 1 導電型イオン注入領域の前記光電変換部に対応する部分の不純物濃度が、該第 1 導電型イオン注入領域の前記転送ゲート電極下の部分より高濃度である

請求項 9 または 10 記載の電子機器。

【請求項 12】

前記固体撮像装置において、

前記表面ピニング用の第 1 導電型イオン注入領域の前記光電変換部に対応する部分の不純物濃度が、該第 1 導電型イオン注入領域の前記転送ゲート電極下の部分より高濃度であり、

前記オ - パーフローバリアを安定させる第 1 導電型イオン注入領域は、前記光電変換部

10

20

30

40

50

に対応する部分が第２導電型半導体領域であって、前記転送ゲート電極下に対応した部分が第１導電型半導体領域である

請求項１０記載の電子機器。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、固体撮像装置とその製造方法、並びにこの固体撮像装置を備えた例えばカメラ等に適用される電子機器に関する。

【背景技術】

【０００２】

10

固体撮像装置として、ＣＭＯＳ固体撮像装置が知られている。ＣＭＯＳ固体撮像装置は、電源電圧が低く、低消費電力のため、デジタルスチルカメラ、デジタルビデオカメラ、さらにカメラ付き携帯電話などの各種携帯端末機器、プリンター等に使用されている。

【０００３】

ＣＭＯＳ固体撮像装置は、光電変換部であるフォトダイオードと複数の画素トランジスタからなる画素が複数、規則性をもって２次元配列された画素領域と、画素領域の周辺に配置された周辺回路部とを有して構成される。周辺回路部としては、列方向に信号を伝播する列回路（垂直駆動部）、列回路によって伝播された各列の信号を順次出力回路に伝送する水平回路（水平転送部）等を有している。複数の画素トランジスタとしては、例えば転送トランジスタ、リセットトランジスタ及び増幅トランジスタの３トランジスタによる構成、あるいは選択トランジスタを追加した４トランジスタによる構成等が知られている。

20

【０００４】

ＣＭＯＳ固体撮像装置では、フォトダイオードで光電変換される電荷が溢れるほどの光量がフォトダイオードに照射された際、溢れた電荷をオ－バーフローレインに排出する必要がある。オ－バーフロー機構には、半導体基板の裏面に電源電位を設定して基板裏面をオ－バーフローレインとして、溢れた電荷を基板裏面側に排出する縦型オ－バーフロー構造が知られている。また、オ－バーフロー機構には、フローティングディフュージョン部や他の電源電位をオ－バーフローレインとして、フォトダイオードからの溢れた電荷を横方向に排出するようにした横型オ－バーフロー構造が知られている。

30

【０００５】

図１２に、縦型オ－バーフロー構造を有するＣＭＯＳ固体撮像装置の要部を模式的に示す。このＣＭＯＳ固体撮像装置１１１は、ｎ型半導体基板（図示せず）に形成したｐ型半導体ウェル領域１１３に、素子分離領域１１４で区画されたフォトダイオードＰＤ及び転送トランジスタＴｒ１を含む複数の画素トランジスタからなる画素１１５が形成される。フォトダイオードＰＤは、低濃度のｎ型半導体領域１１６と、その表面側の高濃度のｎ型電荷蓄積領域１１７と、ｎ型電荷蓄積領域１１７の表面のｐ型半導体領域１１８を有して構成される。ｐ型半導体領域１１８は、比較的高濃度を有し、暗電流の抑制を兼ねる。このフォトダイオードＰＤとｎ型のフローティングディフュージョン部ＦＤとの間に、ゲート絶縁膜１１９を介して転送ゲート電極１２１を形成して転送トランジスタＴｒ１が構成される。１２２は転送ゲート電極１２１の側面に形成されたサイドウォールを示す。

40

【０００６】

このＣＭＯＳ固体撮像装置１１１では、半導体基板の裏面に基板電位（電源電位）が与えられ、基盤裏面がオ－バーフローレイン、フォトダイオードＰＤ下に設けたｐ型半導体領域がオ－バーフローバリアとして作用する。溢れた電荷は、矢印１２３で示すように、縦方向に基板裏面側に排出される。

【０００７】

図１３に、横型オ－バーフロー構造を有するＣＭＯＳ固体撮像装置の要部を模式的に示す。このＣＭＯＳ固体撮像装置１３１は、ｐ型半導体ウェル領域１１３に、上述と同様に、素子分離領域１１４で区画されたフォトダイオードＰＤ及び転送トランジスタＴｒ１を

50

含む複数の画素トランジスタからなる画素 1 1 5 が形成される。図 1 4 と対応する部分は同一符号を付して重複説明を省略する。

【0008】

このCMOS固体撮像装置 1 3 1 では、フローティングディフージョン部 F D がオ - パーフロードレインとなり、転送ゲート電極 1 2 1 下のチャネルポテンシャルがオ - パーフローバリアとして作用するように形成される。溢れた電荷は、矢印 1 3 3 で示すように、横方向に向かってフローティングディフージョン部側に排出される。

【0009】

n型半導体基板を使用している表面照射型のCMOS固体撮像装置の場合は、縦型オ - パーフロー構造を採用することができる。縦型オ - パーフロー構造では、フォトダイオード P D の底部にあたる基板の深い位置に画素領域全域にわたって p 型不純物をイオン注入して、オ - パーフローバリアを形成している。このオ - パーフローバリアは、注入する p 型不純物のドーズ量で決まり、製造ばらつきの影響が少ない。

【0010】

これに対して、裏面照射型のCMOS固体撮像装置、もしくは p 型半導体基板を採用している表面照射型のCMOS固体撮像装置の場合は、基板裏面に電源電位を設定するためには工夫が必要となる。このため、通常横型オ - パーフロー構造を形成する。横型オ - パーフロー構造を形成する際、転送ゲート電極下のポテンシャルバリアを低くし、フォトダイオード P D から漏れた電荷が転送ゲート電極下を通してフローティングディフージョン部 F D へ流れ込むオ - パーフローパスを形成する。同時に、フローティングディフージョン部 F D をオ - パーフロードレインとするのが一般的である。

【0011】

特許文献 1 ~ 7 に、CMOS固体撮像装置の先行技術が開示されている。

特許文献 1 には、フォトダイオードをフローティングディフージョン部の下まで延長する構成が開示されている。

特許文献 2 には、裏面照射型のCMOS固体撮像装置が開示されている。

特許文献 3、4 には、CMOS固体撮像装置の画素トランジスタにおいて、ゲート電極側面にサイドウォールを形成した構成が開示されている。

特許文献 5 には、CMOS固体撮像装置におけるフローティングディフージョン部の周りに素子分離領域が形成された構成が開示されている。

特許文献 6 には、CMOS固体撮像装置の画素トランジスタが拡散層または S T I 構造の素子分離領域で分離された構成が開示されている。

特許文献 7 には、CMOS固体撮像装置における転送トランジスタのゲート電極のフォトダイオード側に n 型半導体領域が形成された構成が開示されている。

【先行技術文献】

【特許文献】

【0012】

【特許文献 1】特開 2 0 0 6 - 4 9 3 3 8 号公報

【特許文献 2】特開 2 0 0 3 - 3 1 7 8 5 号公報

【特許文献 3】特開 2 0 0 7 - 1 5 8 0 3 1 号公報

【特許文献 4】特開 2 0 0 8 - 1 6 6 6 0 7 号公報

【特許文献 5】特開 2 0 0 8 - 2 0 5 0 2 2 号公報

【特許文献 6】特開 2 0 0 9 - 0 1 6 8 1 0 号公報

【特許文献 7】特開 2 0 0 0 - 2 8 6 4 0 5 号公報

【発明の概要】

【発明が解決しようとする課題】

【0013】

横型オ - パーフロー構造を形成する際、転送ゲート電極下のオ - パーフローバリアを低くするために、図 1 4 に示すようなCMOS固体撮像装置 1 4 1 が構成される。このCMOS固体撮像装置 1 4 1 では、転送ゲート電極 1 2 1 の周りをマスク（図示せず）で覆っ

10

20

30

40

50

て、転送ゲート電極 121 下に n 型不純物によるイオン注入領域（低濃度の n 型半導体領域）142 を形成する構成が採られている。図 14 において、その他の構成は図 13 と同様であるので、対応する部分に同一符号を付して重複説明を省略する。転送ゲート電極 121 下のオ - パーフローパスを形成するためには、フォトダイオード PD から溢れた電荷がフローティングディフュージョン部 FD へ流れ込むように、上述したように、転送ゲート電極 121 下のポテンシャルバリアを低くする必要がある。

【0014】

そのためには、図 14 に示すイオン注入領域 142 のドーズ量をおお程度大きくする必要があるが、マスクを介して n 型不純物をイオン注入する際、転送ゲート電極 121 下のオ - パーフローバリアの形成にばらつきが生じる。この製造ばらつきの要因として考えられるのは、マスク合わせずれの影響である。転送ゲート電極下にイオン注入される n 型不純物は、ドーズ量が比較的大きく局所的な分布になるため、マスク合わせずれの影響が大きくなり、制御も困難になることが分かっている。

10

【0015】

オ - パーフローバリアがばらつくことは、画素特性に大きな影響を与える。オ - パーフローバリアは、フォトダイオード PD に蓄積される電荷量を決めており、オ - パーフローバリアのばらつきが飽和電荷量のばらつきとなる。

【0016】

本発明は、上述の点に鑑み、横型オ - パーフロー構造を有する CMOS 固体撮像装置において、オ - パーフローバリアのばらつきを抑制し、画素特性を向上させた固体撮像装置とその製造方法を提供するものである。

20

本発明は、この固体撮像装置を備えた電子機器を提供するものである。

【課題を解決するための手段】

【0017】

本発明に係る固体撮像装置は、半導体基板に形成された光電変換部と画素トランジスタからなる複数の画素と、画素内のフローティングディフュージョン部を有する。本発明は、さらに画素における光電変換部の表面と、画素トランジスタのうちの転送トランジスタの転送ゲート電極下の半導体基板表面との全面にわたって形成された表面ピニング用の第 1 導電型イオン注入領域を有する。本発明は、さらに第 1 導電型イオン注入領域の全域下に形成されてフローティングディフュージョン部へのオ - パーフローパスとなるオ - パーフローパス形成用の第 2 導電型イオン注入領域を有する。転送ゲート電極下の第 2 導電型イオン注入領域によりオ - パーフローパスを形成するオ - パーフローバリアが形成され、光電変換部における第 2 導電型半導体領域とオ - パーフローパス形成用の第 2 導電型イオン注入領域との重なる領域により電荷蓄積領域が形成される。

30

【0018】

本発明の固体撮像装置では、光電変換部の表面と転送ゲート電極下の半導体基板表面の全面に形成した表面ピニング用の第 1 導電型イオン注入領域の全域下に、第 2 導電型イオン注入領域によるオ - パーフローパスが形成される。すなわち、第 2 導電型イオン注入領域の不純物が光電変換部と転送ゲート電極下の全面にわたり一様に分布される。これにより製造時のマスク合わせずれの影響が低減され、転送ゲート電極下に安定的して横型オ - パーフローパスが形成される。また、表面ピニング用の第 1 導電型イオン注入領域の不純物も光電変換部と転送ゲート電極下の全面にわたり一様に分布される。これにより製造時のマスク合わせずれの影響が低減される。さらに、光電変換部の第 2 導電型半導体領域とオ - パーフローパスとなる第 2 導電型イオン注入領域との重なる領域で電荷蓄積領域が形成されるので、光電変換部の第 2 導電型半導体領域形成時の第 2 導電型不純物のイオン注入ドーズ量が相対的に低減される。

40

【0019】

本発明に係る固体撮像装置の製造方法は、半導体基板の各画素形成領域にイオン注入法で表面ピニング用の第 1 導電型半導体領域と、第 1 導電型半導体領域の全域下のオ - パーフローパス形成用の第 2 導電型イオン注入領域を形成する工程を有する。表面ピニング用

50

の第1導電型イオン注入領域とオ - パーフローパス形成用の第2導電型イオン注入領域は、次の領域の全面にわたって形成する。すなわち、各画素において、光電変換部の第2導電型半導体領域の表面と、形成すべき転送トランジスタの転送ゲート電極下に対応する半導体基板表面と、フローティングディフュージョン部に対応する半導体基板表面との全面にわたって形成する。

さらに、本発明は、半導体基板上にゲート絶縁膜を介して転送トランジスタを含む画素トランジスタのゲート電極を形成する工程と、半導体基板に第2導電型不純物をイオン注入してフローティングディフュージョン部を形成する工程を有する。

そして、転送ゲート電極下の第2導電型イオン注入領域によりオ - パーフローパスを形成するオ - パーフローバリアを形成し、光電変換部に形成した第2導電型半導体領域と第2導電型イオン注入領域との重なる領域により電荷蓄積領域を形成する。

【0020】

本発明の固体撮像装置の製造方法では、表面ピニング用の第1導電型イオン注入領域及びオ - パーフローパスとなる第2導電型イオン注入領域が、イオン注入により光電変換部からフローティングディフュージョン部に至る全域に対応した領域に形成される。これにより転送ゲート電極下に対応する領域にマスクの合わせずれの影響を受けることなく、正確にオ - パーフローパスを形成することができる。また表面ピニング用の第1導電型イオン注入領域をマスクの合わせずれの影響を受けることなく、正確に形成することができる。光電変換部の第2導電型半導体領域とオ - パーフローパス形成用の第2導電型イオン注入領域との重なる領域で電荷蓄積領域を形成するので、光電変換部の第2導電型半導体領域のイオン注入ドーズ量を低減することができる。

【0021】

本発明に係る電子機器は、固体撮像装置と、固体撮像装置のフォトダイオードに入射光を導く光学系と、固体撮像装置の出力信号を処理する信号処理回路を備える。

固体撮像装置は、半導体基板に形成された光電変換部と画素トランジスタからなる複数の画素と、画素内のフローティングディフュージョン部を有する。本発明は、さらに画素における光電変換部の表面と、画素トランジスタのうちの転送トランジスタの転送ゲート電極下の半導体基板表面との全面にわたって形成された表面ピニング用の第1導電型イオン注入領域を有する。本発明は、さらに第1導電型イオン注入領域の全域下に形成されてフローティングディフュージョン部へのオ - パーフローパスとなるオ - パーフローパス形成用の第2導電型イオン注入領域を有する。そして、転送ゲート電極下の前記第2導電型イオン注入領域によりオ - パーフローパスを形成するオ - パーフローバリアが形成され、光電変換部の第2導電型半導体領域と第2導電型イオン注入領域と重なる領域で電荷蓄積領域が形成される。

【発明の効果】

【0022】

本発明に係る固体撮像装置によれば、横型オ - パーフロー構造におけるオ - パーフローバリアのばらつきを抑制し、画素特性を向上させることができる。

【0023】

本発明に係る固体撮像装置の製造方法によれば、横型オ - パーフロー構造のオ - パーフローバリアが製造ばらつきの影響を受けずに形成することができ、画像特性を向上した固体撮像装置を製造することができる。

【0024】

本発明に係る電子機器によれば、上記本発明の固体撮像装置を備えるので、高画質で信頼性の高い電子機器を提供できる。

【図面の簡単な説明】

【0025】

【図1】本発明に適用されるCMOS固体撮像装置の例を示す概略構成図である。

【図2】単位画素の一例を示す等価回路図である。

【図3】本発明に係る固体撮像装置の第1実施の形態を示す概略構成図である。

10

20

30

40

50

【図 4】第 1 実施の形態に係る固体撮像装置の製造方法を示す製造工程図（その 1）である。

【図 5】第 1 実施の形態に係る固体撮像装置の製造方法を示す製造工程図（その 2）である。

【図 6】第 1 実施の形態に係る固体撮像装置の製造方法を示す製造工程図（その 3）である。

【図 7】本発明に係る固体撮像装置の第 2 実施の形態を示す概略構成図である。

【図 8】第 2 実施の形態に係る固体撮像装置の製造方法を示す製造工程図（その 1）である。

【図 9】第 2 実施の形態に係る固体撮像装置の製造方法を示す製造工程図（その 2）である。

【図 10】第 2 実施の形態に係る固体撮像装置の製造方法を示す製造工程図（その 3）である。

【図 11】本発明の第 3 実施の形態に係る電子機器の概略構成図である。

【図 12】CMOS 固体撮像装置の縦型オ - パーフロー構造を説明する説明図である。

【図 13】CMOS 固体撮像装置の横型オ - パーフロー構造を説明する説明図である。

【図 14】横型従来オ - パーフロー構造を有する従来の CMOS 固体撮像装置の例を示す概略構成図である。

【発明を実施するための形態】

【0026】

以下、本発明を実施するための形態（以下実施の形態とする）について説明する。なお、説明は以下の順序で行う。

1. MOS 固体撮像装置の概略構成例
2. 第 1 実施の形態（固体撮像装置の構成例及び製造方法例）
3. 第 2 実施の形態（固体撮像装置の構成例及び製造方法例）
4. 第 3 実施の形態（電子機器の構成例）

【0027】

< 1. CMOS 固体撮像装置の概略構成例 >

図 1 に、本発明の各実施の形態に適用される MOS 固体撮像装置の一例の概略構成を示す。本例の固体撮像装置 1 は、図 1 に示すように、半導体基板 11 例えばシリコン基板に光電変換部を含む複数の画素 2 が規則的に 2 次元的に配列された画素領域（いわゆる撮像領域）3 と、周辺回路部とを有して構成される。画素 2 としては、1 つの光電変換部と複数の画素トランジスタからなる単位画素を適用することができる。また、画素 2 としては、複数の光電変換部が転送トランジスタを除く他の画素トランジスタを共有したいわゆる画素共有の構造を適用することができる。複数の画素トランジスタは、例えば、転送トランジスタ、リセットトランジスタ及び増幅トランジスタの 3 トランジスタ、あるいは選択トランジスタを追加した 4 トランジスタで構成することができる。

【0028】

周辺回路部は、垂直駆動回路 4 と、カラム信号処理回路 5 と、水平駆動回路 6 と、出力回路 7 と、制御回路 8 などとを有して構成される。

【0029】

制御回路 8 は、入力クロックと、動作モードなどを指令するデータを受け取り、また固体撮像装置の内部情報などのデータを出力する。すなわち、制御回路 8 では、垂直同期信号、水平同期信号及びマスタクロックに基いて、垂直駆動回路 4、カラム信号処理回路 5 及び水平駆動回路 6 などの動作の基準となるクロック信号や制御信号を生成する。そして、これらの信号を垂直駆動回路 4、カラム信号処理回路 5 及び水平駆動回路 6 等に入力する。

【0030】

垂直駆動回路 4 は、例えばシフトレジスタによって構成され、画素駆動配線を選択し、選択された画素駆動配線に画素を駆動するためのパルスを供給し、行単位で画素を駆動す

10

20

30

40

50

る。すなわち、垂直駆動回路 4 は、画素領域 3 の各画素 2 を行単位で順次垂直方向に選択走査する。そして、垂直信号線 9 を通して各画素 2 の光電変換素子となる例えばフォトダイオードにおいて受光量に応じて生成した信号電荷に基づく画素信号をカラム信号処理回路 5 に供給する。

【0031】

カラム信号処理回路 5 は、画素 2 の例えば列ごとに配置されており、1 行分の画素 2 から出力される信号を画素列ごとにノイズ除去などの信号処理を行う。すなわちカラム信号処理回路 5 は、画素 2 固有の固定パターンノイズを除去するための CDS や、信号増幅、AD 変換等の信号処理を行う。カラム信号処理回路 5 の出力段には水平選択スイッチ（図示せず）が水平信号線 10 との間に接続されて設けられる。

10

【0032】

水平駆動回路 6 は、例えばシフトレジスタによって構成され、水平走査パルスを順次出力することによって、カラム信号処理回路 5 の各々を順番に選択し、カラム信号処理回路 5 の各々から画素信号を水平信号線 10 に出力させる。

【0033】

出力回路 7 は、カラム信号処理回路 5 の各々から水平信号線 10 を通して順次に供給される信号に対し、信号処理を行って出力する。例えば、バッファリングだけする場合もあるし、黒レベル調整、列ばらつき補正、各種デジタル信号処理などが行われる場合もある。入出力端子 12 は、外部と信号のやりとりをする。

【0034】

20

図 2 は、単位画素 21 の等価回路図である。本例に係る単位画素 21 は、光電変換部となるフォトダイオード PD と、4 つの画素トランジスタとから構成される。4 つの画素トランジスタは、転送トランジスタ Tr1、リセットトランジスタ Tr2、増幅トランジスタ Tr3 および選択トランジスタ Tr4 から構成される。ここでは、これら画素トランジスタ Tr1 ~ Tr4 とし、例えば n チャネルの MOS トランジスタが用いられる。

【0035】

フォトダイオード PD は、転送トランジスタ Tr1 に接続される。転送トランジスタ Tr1 は、フローティングディフュージョン部 FD を介してリセットトランジスタ Tr2 に接続される。フォトダイオード PD で光電変換され、ここに蓄積された信号電荷（ここでは、電子）は、転送トランジスタ Tr1 のゲートに転送パルス TRG が与えられることによってフローティングディフュージョン部 FD に転送される。

30

【0036】

フローティングディフュージョン部 FD は、増幅トランジスタ Tr3 のゲートに接続される。増幅トランジスタ Tr3 のドレイン及びリセットトランジスタ Tr2 のドレインは、電源 VDD が接続される。ここでは、リセットトランジスタ Tr2 のソース（転送トランジスタ Tr1 のドレイン）がフローティングディフュージョン部 FD として構成される。フォトダイオード PD からフローティングディフュージョン部 FD への信号電荷の転送に先立って、リセットゲートにリセットパルス RST が与えられることによってフローティングディフュージョン部 FD の電位がリセットされる。

【0037】

40

増幅トランジスタ Tr3 のソースが、選択トランジスタ Tr4 のドレインに接続され、選択トランジスタのソースが垂直信号線 9 に接続される。選択トランジスタ Tr4 のゲートに選択パルス SEL が与えられることによってオン状態となり、画素 2 が選択される。増幅トランジスタ Tr3 は、リセットトランジスタ Tr2 によってリセットした後のフローティングディフュージョン部 FD の電位をリセットレベルとして選択トランジスタ Tr4 を介して垂直信号線 9 に出力する。さらに増幅トランジスタ Tr3 は、転送トランジスタ Tr1 によって信号電荷を転送した後のフローティングディフュージョン部 FD の電位を信号レベルとして選択トランジスタ Tr4 を介して垂直信号線 9 に出力する。なお、選択トランジスタ 115 については、電源 VDD と増幅トランジスタ Tr3 のドレインとの間に接続した構成を採ることも可能である。このときは、増幅トランジスタ Tr3 のソース

50

が垂直信号線 9 に接続される。

【0038】

表面照射型の CMOS 固体撮像装置は、図示しないが、半導体基板の画素領域に対応した第 1 導電型、例えば p 型の半導体ウェル領域に、光電変換部となるフォトダイオード PD と、複数の画素トランジスタからなる複数の画素が形成される。各画素は、素子分離領域で区画される。半導体基板の表面側の上方には、フォトダイオード PD 上を除き、層間絶縁膜を介して複数層の配線を有する多層配線層が形成され、多層配線層上に平坦化膜を介してカラーフィルタ及びオンチップレンズが積層形成される。光は、オンチップレンズを通して半導体基板の表面側よりフォトダイオードに照射される。

【0039】

裏面照射型の CMOS 固体撮像装置は、図示しないが、薄膜化された半導体基板、すなわち第 1 導電型である p 型半導体ウェル領域で形成された半導体基板に、光電変換部となるフォトダイオード PD と、複数の画素トランジスタからなる複数の画素が形成される。各画素は素子分離領域で区画される。半導体基板の表面側の上方には、層間絶縁膜を介して複数層の配線を有する多層配線層が形成され、その上に例えば半導体基板による支持基板が接合される。配線は、配置の制限がなく、フォトダイオード PD 上にも形成される。半導体基板の裏面側にカラーフィルタ及びオンチップレンズが積層形成される。光は、オンチップレンズを通して半導体基板の裏面側よりフォトダイオードに照射される。

【0040】

< 2 . 第 1 実施の形態 >

[固体撮像装置の構成例]

図 3 に、本発明に係る固体撮像装置、すなわち CMOS 固体撮像装置の第 1 実施の形態を示す。図 3 は、表面照射型、裏面照射型を問わず適用できる横型オ - バーフロー構造を有する CMOS 固体撮像装置であり、フォトダイオード PD と転送トランジスタを含む要部の概略構成を示す。

【0041】

第 1 実施の形態に係る固体撮像装置 2 1 は、半導体基板を構成する第 1 導電型、例えば p 型の半導体ウェル領域 2 2 を有し、この p 型半導体ウェル領域 2 2 の素子分離領域 2 3 で区画され各画素形成領域内に、フォトダイオード PD が形成される。また、フォトダイオード PD に隣接するように、第 2 導電型、例えば n 型の半導体領域によるフローティングディフュージョン部 FD が形成される。フォトダイオード PD は、n 型半導体領域 2 4 と、この上に接して形成された n 型半導体領域による電荷蓄積領域 2 5 と、電荷蓄積領域 2 5 に接して半導体基板の最表面に形成された p 型半導体領域 2 6 とから構成される。n 型半導体領域 2 4 は、比較的到低不純物濃度の n - 領域で形成される。電荷蓄積領域 2 5 は、n 型半導体領域 2 4 よりも高不純物濃度の n 領域で形成される。p 型半導体領域 2 6 は、表面ピニング用の領域となるもので、比較的に高不純物濃度の p + 領域で形成される。フォトダイオード PD とフローティングディフュージョン部 FD との間の基板上にゲート絶縁膜 2 7 を介して転送ゲート電極 2 8 が形成され、ここに転送トランジスタ Tr 1 が形成される。転送ゲート電極 2 2 8 の側面には、サイドウォール 2 9 が形成される。

【0042】

そして、本実施の形態では、フォトダイオード PD の表面と、転送ゲート電極 2 8 下の半導体基板表面との全面にわたって p 型不純物をイオン注入して p 型イオン注入領域 3 1 を形成する。この p 型イオン注入領域 3 1 は、表面ピニング用の p 型半導体領域として形成される。また、この p 型イオン注入領域 3 1 の全域下に、n 型不純物をイオン注入して n 型イオン注入領域 3 2 を形成する。この n 型イオン注入領域 3 2 は、フォトダイオード PD の電荷蓄積領域 2 5 と、転送ゲート電極 2 8 下のオ - バーフローパスを形成する n 型半導体領域として形成される。

【0043】

これらの p 型イオン注入及び n 型イオン注入は、後述するように、低濃度の n 型半導体領域 2 4 を形成した後であって、電荷蓄積領域 2 5 及び p 型半導体領域 2 6 を形成する前

10

20

30

40

50

に行われる。n型イオン注入領域は、フォトダイオードPDの低濃度のn型半導体領域24の表面側に重ねられて形成される。これによって、フォトダイオードPDの低濃度のn型半導体領域24の表面側にこれより高濃度のn型の電荷蓄積領域25が形成される。また、n型イオン注入領域32の転送ゲート電極28下に対応する部分には、オ - パーフローパスとなる低濃度、例えばフォトダイオードPDの低濃度のn型半導体領域24より低濃度のn型半導体領域(n - 領域)33が形成される。

【0044】

一方、p型イオン注入領域31は、p型半導体ウェル領域22の表面にフォトダイオードPDから転送ゲート電極28下にわたって一様な濃度で形成され、転送ゲート電極28下に対応する領域に表面ピニング用のp型半導体領域(p領域)35が形成される。フォトダイオードPD側では、p型イオン注入領域31に再びp型不純物を選択的にイオン注入することで、転送ゲート電極28下の表面ピニング用のp型半導体領域35より高濃度の表面ピニング用のp型半導体領域26が形成される。

【0045】

第1実施の形態の固体撮像装置21は、上述のように、フローティングディフュージョン部FDをオ - パーフロードレインとし、転送ゲート電極28下のn型イオン注入領域32による領域33をオ - パーフローパスとする横型オ - パーフロー構造を有して構成される。

【0046】

[動作説明]

第1実施の形態に係る固体撮像装置21では、転送ゲート電極28下にフォトダイオードPDからフローティングディフュージョン部FDに接続するようにn型半導体領域33によるオ - パーフローパスが形成される。電荷蓄積時、照射した光がフォトダイオードPD内で光電変換され、発生した信号電荷が電荷蓄積領域25に蓄積される。フォトダイオードPDでは、蓄積できる最大電荷量が決まっており、それより強い光が照射すると、電荷がフォトダイオードPDから溢れる。フォトダイオードPDから溢れた電荷は、転送ゲート電極28下のオ - パーフローパスとなるn型半導体領域33を通してフローティングディフュージョン部FDへ流れ、排出される。

【0047】

より詳しくは、電荷がフォトダイオードPDに蓄積されるにつれて、フォトダイオードPDのポテンシャルが変調を受ける。フォトダイオードPDに蓄積される電荷量に従って、フォトダイオードPD内のポテンシャル電位決まる。転送ゲート電極28下のオ - パーフローパスを形成するオ - パーフローバリアレベルに、フォトダイオードPD内のポテンシャル電位が近づくと、電荷が熱励起によりフォトダイオードPDからフローティングディフュージョン部FDへ溢れる。これが、フォトダイオードPDの電荷がフローティングディフュージョン部FDへオ - パーフローするときの動作である。

【0048】

第1実施の形態に係る固体撮像装置21によれば、フォトダイオードPDから転送ゲート電極28下を通してフローティングディフュージョン部FDに至る全域に、一様なドーズ量のn型不純物をイオン注入してn型イオン注入領域32が形成される。このように、フォトダイオードPDの表面及び転送ゲート電極28下の全域にn型イオン注入領域32が均様に分布されるので、マスク合わせずれの影響が低減する。これにより、転送ゲート電極28下に安定してn型半導体領域33による横型オ - パーフローパスを形成することができる。すなわち、オ - パーフローパスを製造ばらつきの影響を受けずに形成することができる。従って、マスク合わせずれによるオ - パーフローバリアのばらつきが無くなり、画素特性を向上することができる。

【0049】

フォトダイオードPDのn型電荷蓄積領域25は、マスクで規制されて形成された低濃度のn型半導体領域24の表面側とn型イオン注入領域32の重なり部分で形成される。電荷蓄積領域25の不純物濃度は、n型半導体領域24の不純物濃度とn型イオン注入領

10

20

30

40

50

域 3 2 の不純物濃度の合計となる。従って、マスクを介して低濃度の n 型半導体領域 2 4 を形成する際の、n 型不純物のドーズ量を相対的に減らすことができ、マスク合わせずれの影響を相対的に低減することができる。

【 0 0 5 0 】

第 1 実施の形態に係る横型オ - パーフロー構造を有する固体撮像装置 2 1 は、裏面照射型の C M O S 固体撮像装置、あるいは半導体基板に p 型半導体基板を用いた場合の表面照射型の C M O S 固体撮像装置に適用できる。

【 0 0 5 1 】

[固体撮像装置の製造方法例]

次に、図 4 ~ 図 6 を用いて第 1 実施の形態に係る固体撮像装置 2 1 の製造方法例を説明する。まず、図 4 A に示すように、シリコン半導体基板 2 0 の上面に熱酸化により絶縁膜 3 7 を形成する。次に、シリコン半導体基板 2 0 に p 型半導体ウェル領域 2 2 を形成する。p 型半導体ウェル領域 2 2 は、例えば、シリコン半導体基板 2 0 の形成すべき p 型半導体ウェル領域以外の領域上に、レジストマスクなどのマスクを形成して、p 型不純物をイオン注入して形成する。

【 0 0 5 2 】

次に、図 4 B に示すように、絶縁膜 3 7 上にハードマスク層（図示せず）を形成し、リソグラフィ技術とエッチング技術によって、ハードマスク層をパターニングしてハードマスクを形成する。さらに、このハードマスクをエッチングマスクとして用い、ドライエッチングにより、画素分離を含む素子分離すべき領域にトレンチ（溝）3 8 を形成する。

【 0 0 5 3 】

次に、図 4 C に示すように、化学気相成長（C V D）法により、トレンチ 3 8 内に絶縁膜 3 9 を埋め込み、S T I（Shallow Trench Isolation）構造の素子分離領域 2 3 を形成する。

【 0 0 5 4 】

次に、図 5 D に示すように、素子分離領域 2 3 で区画された各画素形成領域の p 型半導体ウェル領域 2 2 内に、フォトダイオードを構成する低不純物濃度の n 型半導体領域（n - 領域）2 4 を形成する。この n 型半導体領域 2 4 は、p 型半導体ウェル領域 2 2 上にフォトダイオード形成領域を除いて例えばレジスト膜などのマスクを形成し、n 型不純物をイオン注入して形成する。n 型半導体領域 2 4 は、p 型半導体ウェル領域 2 2 の表面から所要深さを残して、例えば表面ピニング用の p 型半導体領域の深さ $d = 0.1 \mu m$ だけ残して、p 型半導体ウェル領域 2 2 内に形成する。

【 0 0 5 5 】

次に、図 5 E に示すように、形成すべきフォトダイオード、転送ゲート電極及びフローティングディフュージョン部に対応する全域にわたる p 型半導体領域 2 2 の表面に、例えばレジストマスクなどのマスクを介して、p 型、n 型の不純物のイオン注入を行う。次に、同じマスクを用いて、n 型不純物をイオン注入し、p 型イオン注入領域 3 1 の全域下に n 型イオン注入領域 3 2 を形成する。

【 0 0 5 6 】

p 型イオン注入領域 3 1 を形成する p 型不純物のイオン注入深さは、基盤表面を十分にピニングする深さを確保できる幅である基板の最表面から $0.1 \mu m$ 付近であり、イオン注入のドーズ量は、 $1 \times 10^{11} \sim 5 \times 10^{12} cm^{-2}$ が望ましい。 $1 \times 10^{11} cm^{-2}$ より薄いと基盤表面を十分にピニングすることができず、 $5 \times 10^{12} cm^{-2}$ より濃いと完全転送することが困難になる。n 型イオン注入領域 3 2 を形成する n 不純物のイオン注入深さは、 $0.1 \mu m \sim 0.3 \mu m$ 付近であり、イオン注入のドーズ量は、 $1 \times 10^{11} \sim 5 \times 10^{12} cm^{-2}$ が望ましい。p 型イオン注入領域 3 1 より深い領域に形成する必要があるが、 $0.3 \mu m$ より深いと完全転送することが困難になる。

【 0 0 5 7 】

p 型イオン注入領域 3 1 により表面ピニング用の p 型半導体領域が形成される。n 型不純物のイオン注入は、低濃度の n 型半導体領域 2 4 の表面部分に重なるように行われる。

この n 型イオン注入領域 3 2 の転送ゲート電極 2 8 下に対応する部分にオ - パーフローパスとなる n 型半導体領域 (n - - 領域) 3 3 が形成される。同時に、 n 型イオン注入領域 3 3 と低濃度の n 型半導体領域 2 4 とが重なる表面部分に高濃度の n 型半導体領域による電荷蓄積領域 2 5 が形成される。

【 0 0 5 8 】

次いで、選択的形成したレジストマスクなどのマスクを介して、 n 型電荷蓄積領域 2 5 上の p 型イオン注入領域 3 1 に再度 p 型不純物をイオン注入し、高濃度の p 型半導体領域 (p + 領域) 2 6 を形成する。 p 型半導体領域 2 6 はフォトダイオード側の表面ピニング用の p 型半導体領域となる。一方、 p 型イオン注入領域 3 1 の転送ゲート電極 2 8 下の部分が、転送ゲート電極 2 8 下の表面ピニング用の p 型半導体領域となる。低濃度の n 型半導体領域 2 4 、 n 型電荷蓄積領域 2 5 及び表面ピニング用の p 型半導体領域 2 6 によりフォトダイオード P D が形成される。

10

【 0 0 5 9 】

ゲート絶縁膜 2 7 上に画素トランジスタのゲート電極を形成する。図 5 F では、転送ゲート電極 2 8 のみを示す。ゲート電極 2 8 は、ドーフトポリシリコンもしくは銅、アルミニウムなどのメタルを用いて形成することができる。これらから選ばれた導電膜をリソグラフィ技術とエッチング技術によりドライエッチングすることにより、転送ゲート電極 2 8 が形成される。

【 0 0 6 0 】

次に、図 6 G に示すように、各ゲート電極、図では転送ゲート電極 2 8 の側面にサイドウォール 2 9 を形成する。すなわち、前工程でのレジストマスクを除去した後、化学気相成長 (C V D) 法とドライエッチング法により、転送ゲート電極 2 8 の側面に、窒化シリコン膜をストッパ膜として酸化シリコンによるサイドウォール 2 9 を形成する。

20

【 0 0 6 1 】

次に、図 6 H に示すように、フォトダイオード P D 上に形成したレジストマスク、転送ゲート電極 2 8 、サイドウォール 2 9 をマスクとして、 n 型不純物をイオン注入し、 n 型半導体領域によるフローティングディフュージョン部 F D を形成する。 S T I 構造の素子分離領域 2 3 もマスクとして利用される。同時に他の画素トランジスタの n 型ソース領域及び n 型ドレイン領域を形成する。ここに、転送トランジスタ T r 1 を含む複数の画素トランジスタを形成する。

30

【 0 0 6 2 】

その後の工程は、表面照射型の C M O S 固体撮像装置であれば、半導体基板表面の上方に層間絶縁膜を介して複数層の配線を形成してなる多層配線層を形成し、さらに平坦化膜を介してカラーフィルタ、オンチップレンズを順次形成する。

裏面照射型固体撮像装置であれば、半導体基板表面の上方に層間絶縁膜を介して複数層の配線を形成してなる多層配線層を形成し、多層配線層上に平坦化膜を介してシリコン基板などによる支持基板を接合する。次いで、半導体基板の裏面側から例えば化学機械研磨 (C M P) 法により薄膜化する。次いで、半導体基板の裏面上に、反射防止膜などを介してカラーフィルタ及びオンチップレンズを形成する。このようにして、目的の固体撮像装置 2 1 を得る。

40

【 0 0 6 3 】

第 1 実施の形態に係る固体撮像装置の製造方法によれば、フォトダイオード P D の低濃度の n 型半導体領域 2 4 を形成した後、 p 型イオン注入領域 3 1 、 n 型イオン注入領域 3 2 が形成される。これらイオン注入領域 3 1 、 3 2 は、フォトダイオード P D の n 型半導体領域 2 4 、形成すべき転送ゲート電極下及びフローティングディフュージョン部の全面にわたって一様の不純物イオン注入で形成される。これにより表面ピニング用の p 型半導体領域、オ - パーフローパスとなる n 型半導体領域をマスク合わせずれの影響を受けず、正確に形成することができる。転送ゲート電極下のオ - パーフローパスを形成するオ - パーフローバリアのばらつきが低減する。

【 0 0 6 4 】

50

フォトダイオードPDの低濃度のn型半導体領域24の表面側とn型イオン注入領域32との重ねられた領域でn型電荷蓄積領域25が形成されるので、低濃度のn型半導体領域24の不純物ドーズ量を相対的に減らすことができる。これにより、マスク合わせずれの影響を相対的に低減できる。

この結果、オ - パーフローバリアのばらつきを抑制し、画素特性を向上させた横型オ - パーフロー構造のCMOS固体撮像装置を精度よく製造することができる。

【0065】

< 3 . 第2実施の形態 >

[固体撮像装置の構成例]

図7に、本発明に係る固体撮像装置、すなわちCMOS固体撮像装置の第2実施の形態を示す。図7は、表面照射型、裏面照射型を問わず適用できる横型オ - パーフロー構造を有するCMOS固体撮像装置であり、フォトダイオードPDと転送トランジスタを含む要部の概略構成を示す。

【0066】

第2実施の形態に係る固体撮像装置43は、第1実施の形態のオ - パーフローパスとなる第2導電型イオン注入領域32の下に、安定的にオ - パーフローパスを形成するための第1導電型イオン注入領域44を有して構成される。

【0067】

第2実施の形態に係る固体撮像装置43は、第1実施の形態と同様に、半導体基板を構成する第1導電型、例えばp型の半導体ウェル領域22を有し、p型半導体ウェル領域22の素子分離領域23で区画され画素形成領域内に、フォトダイオードPDが形成される。フォトダイオードPDに隣接するように、第2導電型、例えばn型の半導体領域によるフローティングディフュージョン部FDが形成される。フォトダイオードPDは、n型半導体領域24と、この上に接して形成されたn型半導体領域による電荷蓄積領域25と、電荷蓄積領域25に接して半導体基板の最表面に形成されたp型半導体領域26とから構成される。n型半導体領域24は、比較的到低不純物濃度のn - - 領域で形成される。電荷蓄積領域25は、n型半導体領域24よりも高不純物濃度のn領域で形成される。p型半導体領域26は、表面ピニング用の領域となるもので、比較的到高不純物濃度のp + 領域で形成される。フォトダイオードPDとフローティングディフュージョン部FDとの間の基板上にゲート絶縁膜27を介して転送ゲート電極28が形成され、転送トランジスタTr1が形成される。転送ゲート電極228の側面には、サイドウォール29が形成される。

【0068】

本実施の形態では、フォトダイオードPDの表面と、転送ゲート電極28下の半導体基板表面との全面にわたってp型不純物をイオン注入してp型イオン注入領域31を形成する。このp型イオン注入領域31は、表面ピニング用のp型半導体領域として形成される。また、p型イオン注入領域31の全域下に、n型不純物をイオン注入してn型イオン注入領域32を形成する。このn型イオン注入領域32は、フォトダイオードPDの電荷蓄積領域25と、転送ゲート電極28下のオ - パーフローパスを形成するn型半導体領域として形成される。

【0069】

n型イオン注入領域は、フォトダイオードPDの低濃度のn型半導体領域24の表面側に重ねられて形成され、フォトダイオードPDの低濃度のn型半導体領域24の表面側にこれより高濃度のn型の電荷蓄積領域25が形成される。n型イオン注入領域32の転送ゲート電極28下に対応する部分には、オ - パーフローパスとなる低濃度、例えばフォトダイオードPDの低濃度のn型半導体領域24より低濃度のn型半導体領域(n - - 領域)33が形成される。

【0070】

一方、p型イオン注入領域31は、p型半導体ウェル領域22の表面にフォトダイオードPDから転送ゲート電極28下にわたって一様な濃度で形成され、転送ゲート電極28下に対応する領域に表面ピニング用のp型半導体領域(p領域)35が形成される。フォ

10

20

30

40

50

トダイオードPD側では、p型イオン注入領域31に再びp型不純物を選択的にイオン注入することで、転送ゲート電極28下の表面ピニング用のp型半導体領域35より高濃度の表面ピニング用のp型半導体領域26が形成される。

【0071】

さらに、本実施の形態では、オ - パーフローパスとなるn型イオン注入領域32の全域下に、安定的にオ - パーフローパスを形成するための、第1導電型、すなわちp型のイオン注入領域44が形成される。横型オ - パーフローパスとなるn型イオン注入領域32では、基板深さ方向の不純物濃度分布を見ると、基板の深い側で不純物濃度が低くなる裾を引く部分が形成される。この裾を引く部分の不純物濃度は、ばらつきが生じ易く、このためフォトダイオードPDからフローティングディフュージョン部FDへ溢れる電荷が画素毎にばらつく懸念がある。n型イオン注入領域32下のp型イオン注入領域44は、n型イオン注入領域32の不純物分布の裾引き部分を無くし、n型イオン注入領域32の不純物濃度を安定化させる。

【0072】

p型イオン注入領域44により、フォトダイオードPDのn型電荷蓄積領域25下にn型電荷蓄積領域25より低濃度であって、低濃度のn型半導体領域24より高濃度のn型領域45が形成される。また、p型イオン注入領域44により、オ - パーフローパスとなるn型半導体領域33下にp型半導体領域46が形成される。

【0073】

図7では、フォトダイオードPDの低濃度のn型半導体領域24、n型電荷蓄積領域25の不純物濃度は実質的に図3と同様であるが、p型イオン注入領域44によるn型半導体領域45の濃度の比較の関係で、n型半導体領域24をn - - と表記する。

【0074】

第2実施の形態の固体撮像装置43は、上述のように、フローティングディフュージョン部FDをオ - パーフロードレインとし、n型イオン注入領域32をオ - パーフローパス、その下のp型イオン注入領域44を有した横型オ - パーフロー構造を有して構成される。

【0075】

[動作説明]

第2実施の形態に係る固体撮像装置43では、第1実施の形態と同様に、転送ゲート電極28下にフォトダイオードPDからフローティングディフュージョン部FDに接続するようにn型半導体領域33によるオ - パーフローパスが形成される。電荷蓄積時、照射した光がフォトダイオードPD内で光電変換され、発生した信号電荷が電荷蓄積領域25に蓄積される。強い光が照射されて生じた最大電荷量を超える電荷は、転送ゲート電極28下のオ - パーフローパスとなるn型半導体領域33を通してフローティングディフュージョン部FDへ流れ、排出される。

【0076】

n型イオン注入領域32の全域下にp型イオン注入領域44が形成されることにより、n型イオン注入領域32の不純物濃度が安定化する。これにより、転送ゲート電極28下のn型イオン注入領域32、従ってオ - パーフローパスとなるn型半導体領域33のオ - パーフローバリアが画素ごとにばらつくことなく安定化する。

【0077】

第2実施の形態に係る固体撮像装置43によれば、第1実施の形態と同様に、オ - パーフローパスとなるn型半導体領域33が、フォトダイオードPDかフローティングディフュージョン部FDに至る全域にわたるn型イオン注入領域32で形成される。フォトダイオードPDの表面及び転送ゲート電極28下の全域にn型イオン注入領域32が一樣に分布されるので、マスク合わせずれの影響が低減し、転送ゲート電極28下に安定してn型半導体領域33による横型オ - パーフローパスを形成することができる。オ - パーフローパスを製造ばらつきの影響を受けずに形成することができ、マスク合わせずれによるオ - パーフローバリアのばらつきが無くなり、画素特性を向上することができる。フォトダイオードPDの最表面から転送ゲート電極28下の全域にわたって、一樣に表面ピニング用の

10

20

30

40

50

p 型イオン注入領域 3 1 が形成されるので、マスク合わせずれの影響が低減され、画素の特性悪化を低減することができる。電荷蓄積領域 2 5 の不純物濃度は、n 型半導体領域 2 4 の不純物濃度と n 型イオン注入領域 3 2 の不純物濃度の合計となる。従って、マスクを介して低濃度の n 型半導体領域 2 4 を形成する際の、n 型不純物のドーズ量を相対的に減らすことができ、マスク合わせずれの影響を相対的に低減することができる。

【0078】

さらに、第 2 実施の形態によれば、n 型イオン注入領域 3 2 下に p 型イオン注入領域 4 4 を有するので、オ - パーフローパスを形成するオ - パーフローバリアレベルが安定化する。これにより、フォトダイオード PD の飽和電荷量が画素毎にばらつくことなく、より画素特性のばらつきを低減することができる。

10

【0079】

第 2 実施の形態に係る横型オ - パーフロー構造を有する固体撮像装置 4 3 は、裏面照射型の CMOS 固体撮像装置、あるいは半導体基板を p 型半導体基板を用いた場合の表面照射型の CMOS 固体撮像装置に適用できる。

【0080】

[固体撮像装置の製造方法例]

次に、図 8 ~ 図 10 を用いて第 2 実施の形態に係る固体撮像装置 4 3 の製造方法例を説明する。まず、図 8 A に示すように、シリコン半導体基板 2 0 の上面に熱酸化により絶縁膜 3 7 を形成する。次に、シリコン半導体基板 2 0 に p 型半導体ウェル領域 2 2 を形成する。p 型半導体ウェル領域 2 2 は、例えば、シリコン半導体基板 2 0 の形成すべき p 型半導体ウェル領域以外の領域上に、レジストマスクなどのマスクを形成して、p 型不純物をイオン注入して形成する。

20

【0081】

次に、図 8 B に示すように、絶縁膜 3 7 上にハードマスク層（図示せず）を形成し、リソグラフィ技術とエッチング技術によって、ハードマスク層をパターニングしてハードマスクを形成する。さらに、このハードマスクをエッチングマスクとして用い、ドライエッチングにより、画素分離を含む素子分離すべき領域にトレンチ（溝）3 8 を形成する。

【0082】

次に、図 8 C に示すように、化学気相成長（CVD）法により、トレンチ 3 8 内に絶縁膜 3 9 を埋め込み、STI 構造の素子分離領域 2 3 を形成する。

30

【0083】

次に、図 9 D に示すように、素子分離領域 2 3 で区画された各画素形成領域の p 型半導体ウェル領域 2 2 内に、フォトダイオードを構成する低不純物濃度の n 型半導体領域（n - 領域）2 4 を形成する。この n 型半導体領域 2 4 は、p 型半導体ウェル領域 2 2 上にフォトダイオード形成領域を除いて例えばレジスト膜などのマスクを形成し、n 型不純物をイオン注入して形成する。n 型半導体領域 2 4 は、p 型半導体ウェル領域 2 2 の表面から所要深さを残して、例えば表面ピニング用の p 型半導体領域の深さ $d = 0.1 \mu\text{m}$ だけ残して、p 型半導体ウェル領域 2 2 内に形成する。

【0084】

次に、図 9 E に示すように、形成すべきフォトダイオード、転送ゲート電極及びフローティングディフュージョン部に対応する全域にわたる p 型半導体領域 2 2 の表面に、例えばレジストマスクなどのマスクを介して、p 型、n 型、p 型の不純物のイオン注入を行う。

40

【0085】

p 型イオン注入領域 3 1 を形成する p 型不純物のイオン注入深さは、基板表面を十分にピニングする深さを確保できる幅である基板の最表面から $0.1 \mu\text{m}$ 付近であり、イオン注入のドーズ量は、 $1 \times 10^{11} \sim 5 \times 10^{12} \text{ cm}^{-2}$ が望ましい。 $1 \times 10^{11} \text{ cm}^{-2}$ より薄いと基板表面を十分にピニングすることができず、 $5 \times 10^{12} \text{ cm}^{-2}$ より濃いと完全転送することが困難になる。n 型イオン注入領域 3 2 を形成する n 不純物のイオン注入深さは、 $0.1 \mu\text{m} \sim 0.3 \mu\text{m}$ 付近であり、イオン注入のドーズ量は、 $1 \times 10^{11} \sim 5 \times 10^{12} \text{ cm}^{-2}$ が望ましい。p 型イオン注入領域 3 1 より深い領域に形成

50

する必要があるが、 $0.3\ \mu\text{m}$ より深いと完全転送することが困難になる。p型イオン注入領域44を形成するp型不純物のイオン注入深さは、n型イオン注入領域32の裾引き部分を無くすために、n型イオン注入領域32より深くかつそこから離れない位置である $0.3\ \mu\text{m} \sim 0.5\ \mu\text{m}$ 付近であり、イオン注入のドーズ量は、 $1 \times 10^{11} \sim 5 \times 10^{12}\ \text{cm}^{-2}$ が望ましい。 $1 \times 10^{11}\ \text{cm}^{-2}$ より薄いとn型イオン注入領域32の裾引き部分を打ち消すことはできず、 $5 \times 10^{12}\ \text{cm}^{-2}$ より濃いとn型半導体領域45の濃度がpになる恐れがある。オーバーフローバリアを安定化させる半導体領域は、フォトダイオードPDに対応する部分をn型とし、転送ゲート電極28下に対応する部分をp型とすることができる。

【0086】

p型イオン注入領域31により表面ピニング用のp型半導体領域が形成される。n型不純物のイオン注入は、低濃度のn型半導体領域24の表面部分に重なるように行われる。このn型イオン注入領域32の転送ゲート電極28下に対応する部分にオーバーフローパスとなるn型半導体領域(n-領域)33が形成される。同時に、n型イオン注入領域33と低濃度のn型半導体領域24とが重なる表面部分に高濃度のn型半導体領域による電荷蓄積領域25が形成される。

【0087】

次いで、選択的形成したレジストマスクなどのマスクを介して、n型電荷蓄積領域25上のp型イオン注入領域31に再度p型不純物をイオン注入し、高濃度のp型半導体領域(p+領域)26を形成する。p型半導体領域26はフォトダイオード側の表面ピニング用のp型半導体領域となる。一方、p型イオン注入領域31の転送ゲート電極28下の部分が、転送ゲート電極28下の表面ピニング用のp型半導体領域35となる。低濃度のn型半導体領域24、n型電荷蓄積領域25及び表面ピニング用のp型半導体領域26によりフォトダイオードPDが形成される。

【0088】

ゲート絶縁膜27上に画素トランジスタのゲート電極を形成する。図9Fでは、転送ゲート電極28のみを示す。ゲート電極28は、ドーブトポリシリコンもしくは銅、アルミニウムなどのメタルを用いて形成することができる。これらから選ばれた導電膜をリソグラフィ技術とエッチング技術によりドライエッチングすることにより、転送ゲート電極28が形成される。

【0089】

次に、図10Gに示すように、各ゲート電極、図では転送ゲート電極28の側面にサイドウォール29を形成する。すなわち、前工程でのレジストマスクを除去した後、化学気相成長(CVD)法とドライエッチング法により、転送ゲート電極28の側面に、窒化シリコン膜をストッパ膜として酸化シリコンによるサイドウォール29を形成する。

【0090】

次に、図10Hに示すように、フォトダイオードPD上に形成したレジストマスク、転送ゲート電極28、サイドウォール29をマスクとして、n型不純物をイオン注入し、n型半導体領域によるフローティングディフュージョン部FDを形成する。フローティングディフュージョン部FDはセルフアラインで形成される。STI構造の素子分離領域23もマスクとして利用される。同時に他の画素トランジスタのn型ソース領域及びn型ドレイン領域を形成する。ここに、転送トランジスタTr1を含む複数の画素トランジスタを形成する。

【0091】

その後の工程は、表面照射型のCMOS固体撮像装置であれば、半導体基板表面の上方に層間絶縁膜を介して複数層の配線を形成してなる多層配線層を形成し、さらに平坦化膜を介してカラーフィルタ、オンチップレンズを順次形成する。

裏面照射型固体撮像装置であれば、半導体基板表面の上方に層間絶縁膜を介して複数層の配線を形成してなる多層配線層を形成し、多層配線層上に平坦化膜を介してシリコン基板などによる支持基板を接合する。次いで、半導体基板の裏面側から例えば化学機械研磨

10

20

30

40

50

(CMP)法により薄膜化する。次いで、半導体基板の裏面上に、反射防止膜などを介してカラーフィルタ及びオンチップレンズを形成する。このようにして、目的の固体撮像装置43を得る。

【0092】

第2実施の形態の固体撮像装置の製造方法によれば、フォトダイオードPDの低濃度のn型半導体領域24を形成した後、p型イオン注入領域31、n型イオン注入領域32及びp型イオン注入領域44が形成される。これらイオン注入領域31、32及び44は、フォトダイオードPDのn型半導体領域24、形成すべき転送ゲート電極下及びフローティングディフュージョン部の全面にわたって一様の不純物イオン注入で形成される。これにより表面ピニング用のp型半導体領域、オ-バーフローパスとなるn型半導体領域及び安定的にオ-バーフローパスを形成する領域をマスク合わせずれの影響を受けず、正確に形成することができる。p型イオン注入領域44によりオ-バーフローパスが安定して形成され、またn型イオン注入領域32により転送ゲート電極下のオ-バーフローバリアのばらつきが低減する。

10

【0093】

フォトダイオードPDの低濃度のn型半導体領域24の表面側とn型イオン注入領域32との重ねられた領域にn型電荷蓄積領域25が形成されるので、低濃度のn型半導体領域24の不純物ドーズ量を相対的に減らすことができる。これにより、マスク合わせずれの影響を相対的に低減できる。

この結果、さらにオ-バーフローバリアのばらつきを抑制し、画素特性を向上させた横型オ-バーフロー構造のCMOS固体撮像装置を精度よく製造することができる。

20

【0094】

上述の実施の形態に係るCMOS固体撮像装置の画素は、1つのフォトダイオードと複数の画素トランジスタからなる単位画素(非共有タイプ)、あるいは複数のフォトダイオードに1つの画素トランジスタ部を共有させた共有画素(共有タイプ)を適用できる。

【0095】

なお、上述の実施の形態に係る固体撮像装置では、信号電荷を電子とし、第1導電型をn型、第2導電型をp型として構成したが、信号電荷を正孔とする固体撮像装置にも適用できる。この場合、各半導体基板、半導体ウェル領域あるいは半導体領域の導電型を逆にし、p型が第1導電型、n型が第2導電型となる。

30

【0096】

<4.第3実施の形態>

[電子機器の構成例]

上述の本発明に係る固体撮像装置は、例えば、デジタルスチルカメラ、デジタルビデオカメラ、さらにカメラ付き携帯電話などの各種携帯端末機器、プリンター等の電子機器に適用することができる。

【0097】

図11に、本発明に係る電子機器の一例としてカメラに適用した第3実施の形態を示す。本実施の形態に係るカメラは、静止画像又は動画撮影可能なビデオカメラを例としたものである。本実施も形態のカメラ51は、固体撮像装置52と、固体撮像装置52の受光センサ部に入射光を導く光学系53と、シャッタ装置54を有する。さらに、カメラ51は、固体撮像装置52を駆動する駆動回路55と、固体撮像装置52の出力信号を処理する信号処理回路56とを有する。

40

【0098】

固体撮像装置52は、上述した各実施の形態の固体撮像装置のいずれかが適用される。光学系(光学レンズ)53は、被写体からの像光(入射光)を固体撮像装置52の撮像面上に結像させる。これにより、固体撮像装置52内に、一定期間信号電荷が蓄積される。光学系53は、複数の光学レンズから構成された光学レンズ系としてもよい。シャッタ装置54は、固体撮像装置52への光照射期間及び遮光期間を制御する。駆動回路55は、固体撮像装置52の転送動作及びシャッタ装置54のシャッタ動作を制御する駆動信号を

50

供給する。駆動回路 5 5 から供給される駆動信号（タイミング信号）により、固体撮像装置 5 2 の信号転送を行う。信号処理回路 5 6 は、各種の信号処理を行う。信号処理が行われた映像信号は、メモリなどの記憶媒体に記憶され、或いは、モニタに出力される。

【 0 0 9 9 】

第 3 実施の形態に係るカメラなどの電子機器によれば、横型オ - バーフロー構造の固体撮像装置 5 2 において、画素間のオ - バーフローバリアのばらつきを抑制し、画素特性を向上し、その他、上記固体撮像装置の実施の形態で説明した効果を奏する。従って、高画質化が図られ、信頼性の高い電子機器を提供することができる。

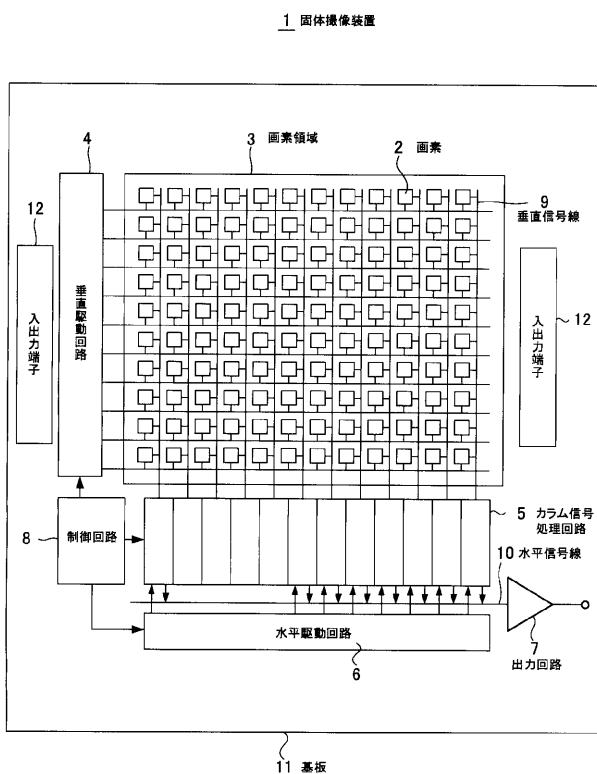
【 符号の説明 】

【 0 1 0 0 】

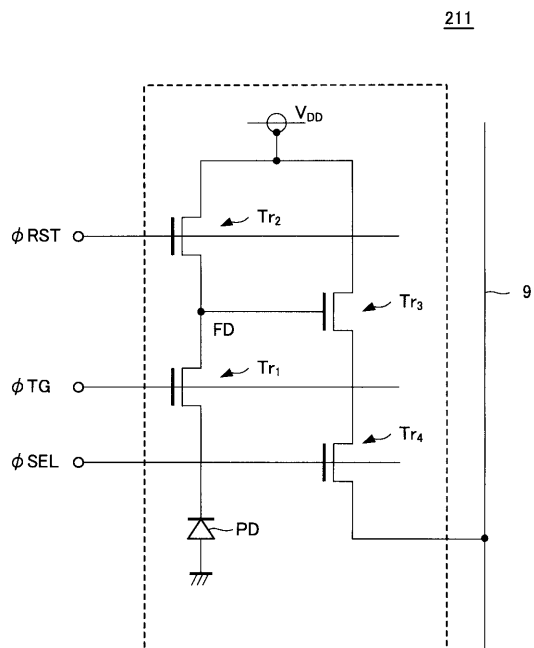
2 1、4 1、4 3、4 8・・・CMOS 固体撮像装置、2 2・・・p 型半導体領域、2 3・・・素子分離領域、P D・・・フォトダイオード、F D・・・フローティングディフュージョン部、2 4・・・低濃度の n 型半導体領域、2 5・・・n 型電荷蓄積領域、2 7・・・ゲート絶縁膜、2 8・・・転送ゲート電極、2 9・・・サイドウォール、3 1・・・p 型イオン注入領域、3 2・・・n 型イオン注入領域、4 4・・・p 型イオン注入領域、

10

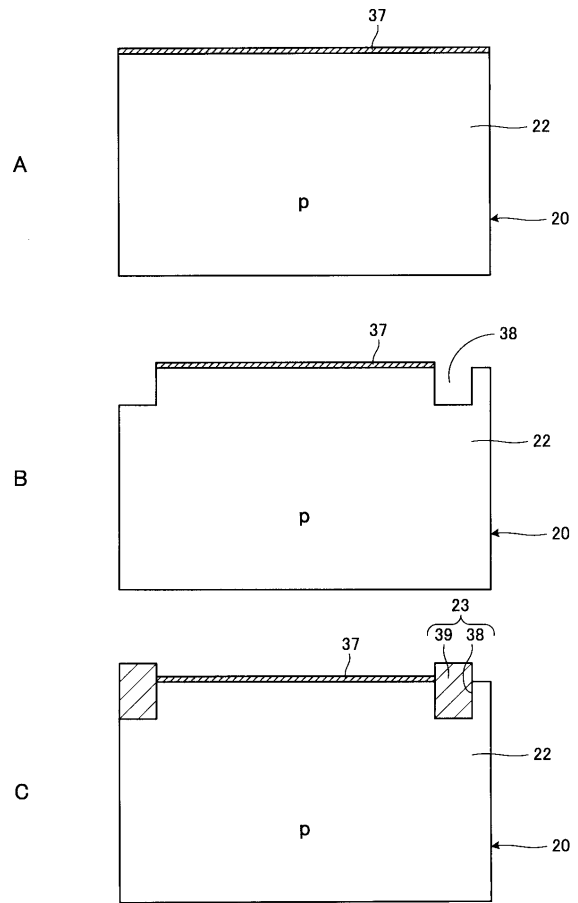
【 図 1 】



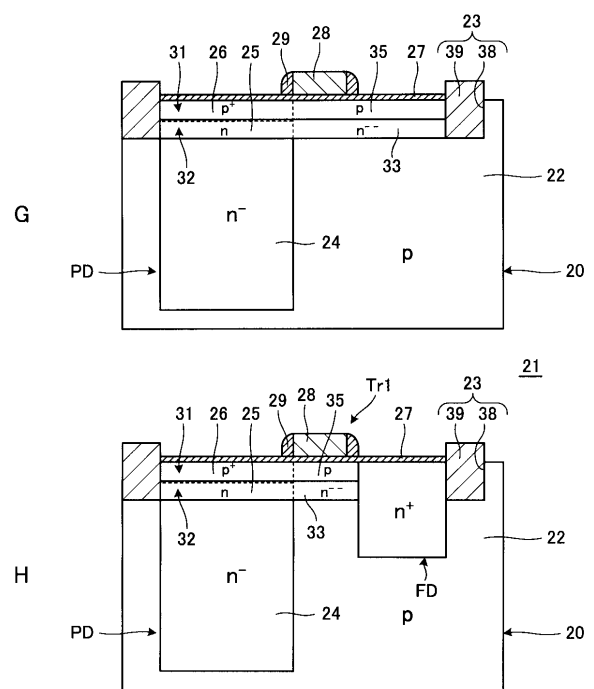
【 図 2 】



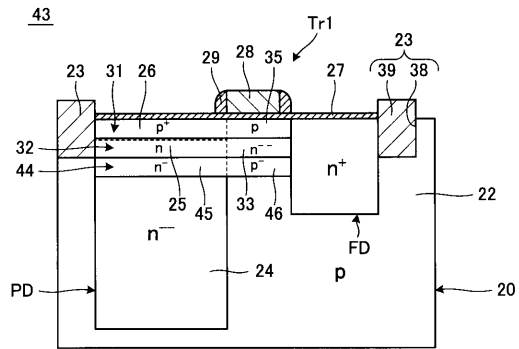
【 図 4 】



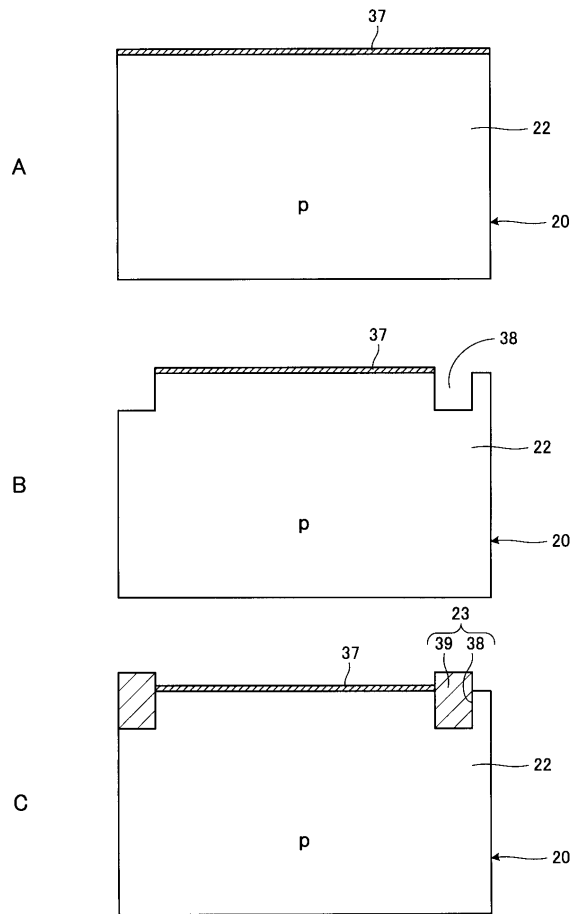
【 図 6 】



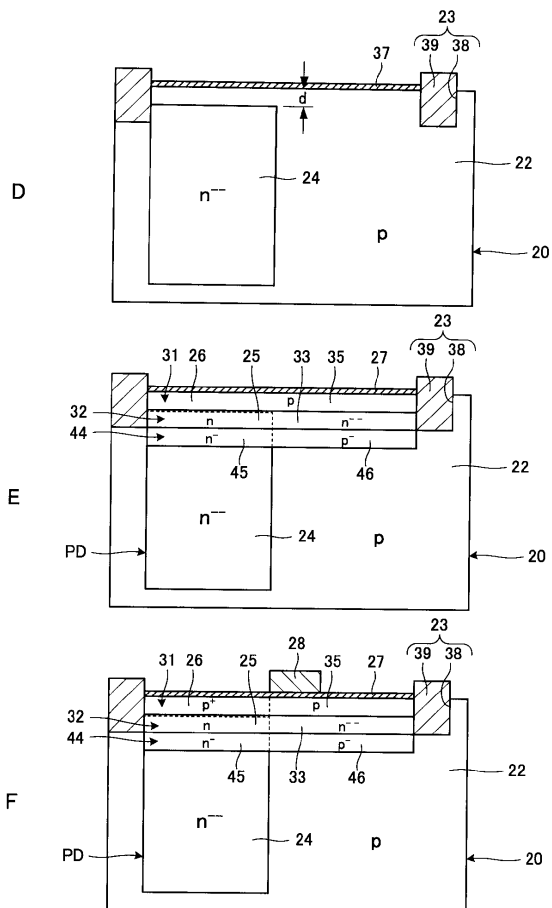
【圖 7】



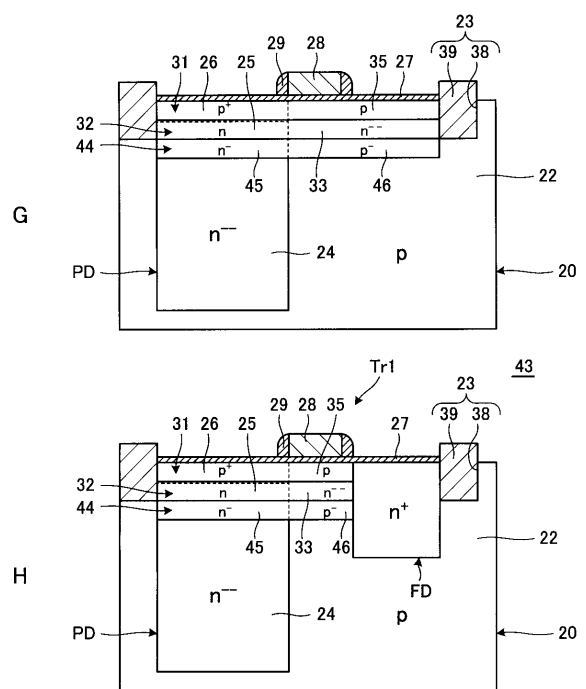
【 図 8 】



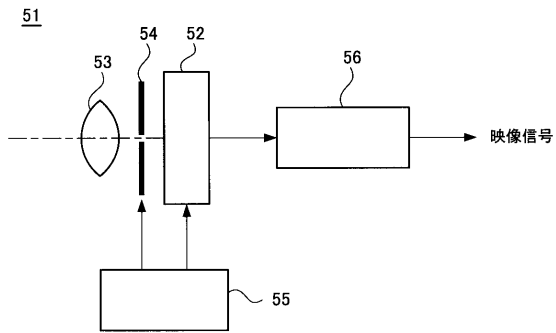
【 図 9 】



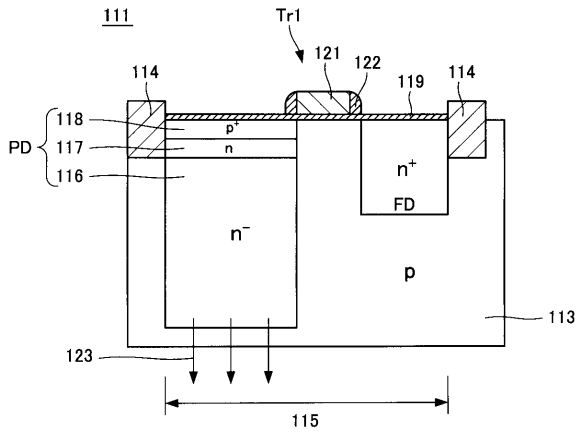
【 ㊦ 1 0 】



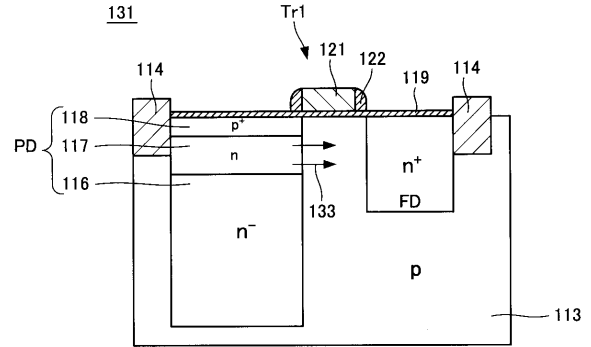
【図 1 1】



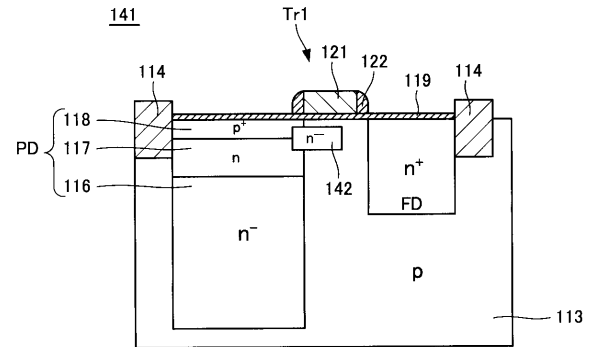
【図 1 2】



【図 1 3】



【図 1 4】



フロントページの続き

F ターム(参考) 4M118 AB01 BA14 CA04 CA18 DD04 DD12 EA01 EA14 FA14 FA16
FA24 FA27 FA28 FA33
5C024 BX01 CY47 EX42 GX03 GY35 GZ02