I716927

(19)中華民國智慧財產局

(12)發明說明書公告本　**(11)證書號數：TW I716927 B**

(45)公告日： 中華民國 110 (2021) 年 01 月 21 日

(21)申請案號：108123822　(22)申請日： 中華民國 102 (2013) 年 02 月 18 日

(51)Int. Cl.：　*H01L27/115 (2017.01)*　*H01L29/78 (2006.01)*

(30)優先權：2012/02/16　美國　61/599,425

2012/04/08　美國　61/621,546

2013/01/22　美國　13/746,523

(71)申請人：美商季諾半導體股份有限公司 (美國) ZENO SEMICONDUCTOR, INC.　(US)

美國

(72)發明人：魏迪傑　尤諾歐德 WIDJAJA, YUNIARTO (ID)；韓珍優 HAN, JIN-WOO (KR)；

路意　班傑明 LOUIE, BENJAMIN S. (US)

(74)代理人：林志剛

(56)參考文獻：

US　2005013163A1　　US　2006279985A1

審查人員：吳松屏

申請專利範圍項數：14 項　　圖式數：53　　共 129 頁

(54)名稱

包含初級和二級電晶體之儲存單元及其操作方法

(57)摘要

在此公開半導體儲存單元、陣列和操作方法。

在一個實例中，一個儲存單元包括一個雙穩態浮體電晶體和一個記憶體裝置；其特徵在於，上述雙穩態浮體電晶體和一個記憶體件被串聯電連接。

Semiconductor memory cells, array and methods of operating are disclosed. In one instance, a memory cell includes a bi-stable floating body transistor and an access device; wherein the bi-stable floating body transistor and the access device are electrically connected in series.

指定代表圖：

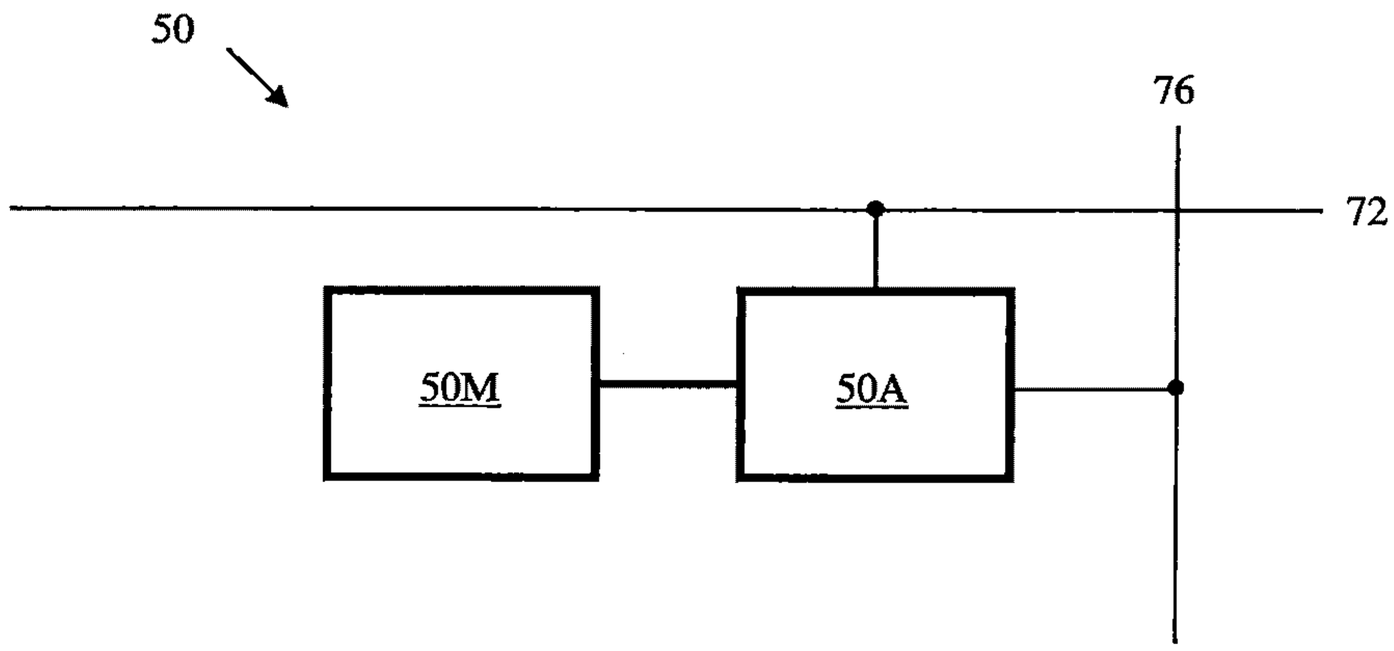

圖 1A

符號簡單說明：

50・・・記憶體單元

50A・・・存取裝置

50M・・・記憶體裝置

72・・・字線 2 終端

76・・・位元線終端

I716927

發明摘要

【發明名稱】(中文/英文)

包含初級和二級電晶體之儲存單元及其操作方法

MEMORY CELL COMPRISING FIRST AND SECOND TRANSISTORS AND METHODS OF OPERATING

【中文】

在此公開半導體儲存單元、陣列和操作方法。

在一個實例中，一個儲存單元包括一個雙穩態浮體電晶體和一個記憶體裝置；其特徵在於，上述雙穩態浮體電晶體和一個記憶體件被串聯電連接。

【英文】

Semiconductor memory cells, array and methods of operating are disclosed. In one instance, a memory cell includes a bi-stable floating body transistor and an access device; wherein the bi-stable floating body transistor and the access device are electrically connected in series.

【代表圖】

【本案指定代表圖】：第(1A)圖。

【本代表圖之符號簡單說明】：

50：記憶體單元

50A：存取裝置

50M：記憶體裝置

72：字線 2 終端

76：位元線終端

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

（本說明書格式、順序，請勿任意更動）

【發明名稱】(中文/英文)

包含初級和二級電晶體之儲存單元及其操作方法

MEMORY CELL COMPRISING FIRST AND SECOND TRANSISTORS AND METHODS OF OPERATING

【技術領域】

[0001] 本發明是一種半導體記憶體技術，具體而言，本發明是一種半導體記憶體裝置，其中包括一個電浮體電晶體和一個存取電晶體。

【先前技術】

[0002] 半導體記憶體裝置被廣泛用來儲存資料。根據其特性，可將記憶體裝置分成兩種一般的類型，這兩種類型分別爲易失性記憶體和非易失性記憶體。易失性記憶體裝置，例如：靜態隨機存取記憶體（SRAM）和動態隨機存取記憶體（DRAM），在沒有電源被持續供應的情況下會丟失資料。

[0003] 基於電浮體效應的 DRAM 已被提出（實例請參閱 2002 年 2 月，第 23 卷編號第 2 號的 IEEE 電子裝置快報第 85-87 頁，S. Okhonin 等人的“無電容器的 1T-DRAM 單元(A Capacitor-less 1T-DRAM Cell)”，和 2002 年 2 月，2002 IEEE 國際固態電路會議，技術文摘第 152-

153 頁，T. Ohsawa 等人的“在 SOI 上使用一個電晶體增益單元的記憶體設計(Memory Design Using One-Transitor Gain Cell on SOI)”）。此類記憶體消除了使用於傳統 1T/1C 記憶體單元中的電容器，因此更易於縮小到更小的特徵尺寸。另外，相較於傳統的 1T/1C 記憶體單元，此類記憶體可實現更小的單元尺寸。

[0004] Widjaja 和 Or-Bach 描述了一個包括浮體電晶體之雙穩態的 SRAM 單元，其中該電晶體上每一個記憶體單元均有超過一個以上的穩定狀態（例如，如同 Widjaja 等人在美國專利申請公開號 2010/00246284 中標題爲“具有浮體電晶體的半導體記憶體及其操作方法(Semiconductor Memory Having Floating Body Transistor and Method of Operating)”，和美國專利申請公開號 2010/0034041 中標題爲“帶有浮體電晶體使用可控矽整流器原理的半導體記憶體裝置之操作方法(Method of Operating Semiconductor Memory Device with Floating Body Transistor Using Silicon Controlled Rectifier Principle)”中所描述內容一樣，因此對其參考並以其整體性在此併入）。此雙向穩定性的實現是源於所施加的回饋偏壓(back bias)，該回饋偏壓導致碰撞電離並產生電洞以補償充電漏電流和重新組合。

[0005] 在一個由儲存單元列和行組成的記憶體陣列中，在儲存單元上的操作可能會觸發在其周圍的儲存單元，此種情況通常被稱爲干擾。對於記憶體單元，常常需

要提高抗干擾的能力。例如，“SOI 上的無電容器雙電晶體隨機存取記憶體（TTRAM）(Capacitorless Twin-Transistor Random Access Memory（TTRAM）on SOI)”（F. Morishita 等人於 2005 年發表於定制積體電路會議，第 435-438 頁），“系統級電源管理統一記憶體之配置增強型 TTRAM 宏（macro）(A configurable enhanced TTRAM macro for system-level power management unified memory)”（F. Morishita 等人發表於 2007 年編號 4 第 42 卷 IEEE 雜誌上的固態電路，第 853-861 頁），“帶驗證控制 SOI 平臺記憶體 IP 的可擴展的高密度雙電晶體 RAM（TTRAM）(A high-density scalable twin transistor RAM (TTRAM) with verify control for SOI plarform memory IPs)”（2007 年 K. Arimoto 等人發表於編號 4 第 42 卷 IEEE 雜誌之固態電路，第 2611-2619），以及“在 SOI 上帶驗證控制 SoC 平臺記憶體之可擴展 ET2RAM（SETRAM）(A Scalable ET2RAM (SETRAM) with Verify Control for SoC Platform Memory IP on SOI)”（2006 年 K. Arimoto 等人發表於客制積體電路會議，第 429-432 頁）。這些描述內容，對其參考並以其整體性在此被併入，由此可能會提高記憶體單元的抗干擾能力。

【發明內容】

[0006] 本發明因應提高抗干擾的持續需求，藉由在記憶體單元操作中納入一個存取電晶體來提供對抗干擾能

力的改善，從而提高抗干擾能力。

[0007] 在本發明的一個態樣中，一個半導體儲存單元包括：一個雙穩態浮體電晶體；一個存取裝置；其中，上述之雙穩態浮體電晶體和存取裝置係串聯電連接。

[0008] 在至少一個實施例中，存取裝置包含有一個金屬-氧化物-半導體電晶體。

[0009] 在至少一個實施例中，存取裝置包含有一個雙極性電晶體。

[0010] 在至少一個實施例中，存取電晶體與雙穩態浮體電晶體兩者的傳導類型相同。

[0011] 在至少一個實施例中，存取電晶體具有與雙穩態浮體電晶體之傳導類型不同的傳導類型。

[0012] 在至少一個實施例中，雙穩態浮體電晶體包括一個埋井區域。

[0013] 在至少一個實施例中，雙穩態浮體電晶體包括一個多埠浮體電晶體，並且存取裝置包括多個存取電晶體。

[0014] 在至少一個實施例中，雙穩態浮體電晶體包括一個雙埠的浮體電晶體，並且存取裝置包括兩個存取電晶體。

[0015] 在本發明的另一個態樣中，一個半導體記憶體單元包括：具有初級主體的初級電晶體；具有二級主體的二級電晶體；在初級和二級主體兩者之下的基板；設置於基板與初級和二級主體的至少其中之一之間的埋層；接

觸初級主體的初級源極區域；與初級源極線區域分開且與初級主體接觸的一個初級汲極區域；與初級主體絕緣的一個初級閘極；使初級主體與二級主體絕緣的一個絕緣構件；接觸二級主體的一個二級源極區域；與二級源極區域分開並且與二級主體接觸的一個二級汲極區域；以及，與二級主體絕緣的一個二級閘極（gate）。

[0016] 在至少一個實施例中，初級閘極係位於初級源極區域與初級汲極區域之間，而且二級閘極係位於二級源極區域與二級汲極區域之間。

[0017] 在至少一個實施例中，初級電晶體是浮體電晶體，二級電晶體是一個存取電晶體。

[0018] 在至少一個實施例中，上述的初級主體是一個浮體主體，二級主體是一個電連接到基板的井區。

[0019] 在至少一個實施例中，初級汲極區域係電連接到上述二級源極區域。

[0020] 在至少一個實施例中，上述的初級主體具有選自 p-型傳導電類型和 n 型傳導類型的一個初級傳導類型，其中，二級主體具有初級傳導類型，而初級和二級源極區域與初級和二級汲極區域分別具有選自 p 型傳導類型和 n-型傳導類型的一個二級傳導類型，且其中，上述之初級傳導類型與二級傳導類型相異。

[0021] 在至少一個實施例中，初級主體是一個浮體，二級主體是電連接到埋層的井區，其中，初級主體具有選自 p 型傳導類型和 n 型傳導類型的初級傳導類型，其

中，二級主體具有一個選自 p 型傳導類型和 n 型傳導類型的二級傳導類型，且其中，上述之初級傳導類型與二級傳導類型相異。

[0022] 在至少一個實施例中，半導體儲存單元包括一個參考單元，該參考單元還包括：與初級源極區域和初級汲極區域間隔開並且接觸初級主體的一個感測線區域，且其中，上述之初級主體具有選自 p-型傳導電類型和 n 型傳導類型的初級傳導類型，其中，感測線區域具有初級傳導類型。

[0023] 在至少一個實施例中，初級汲極區域係電連接到二級閘極。

[0024] 在至少一個實施例中，初級電晶體是浮體電晶體，二級電晶體是一個浮體電晶體。

[0025] 在至少一個實施例中，初級和二級浮體電晶體係配置成儲存補充電荷。

[0026] 在至少一個實施例中，初級和二級主體的至少其中之一是一個雙穩態浮體。

[0027] 在本發明的另一個態樣中，一個半導體儲存單元包括：具有一個浮體的一個初級電晶體；在浮體下面的一個埋層，其中，施加電壓於埋層上維持了儲存單元的狀態；和一個二級電晶體；其中，初級電晶體與二級電晶體係串聯連接。

[0028] 在本發明的另一個態樣中，一種半導體儲存單元包括：一個雙穩態浮體電晶體；和一個浮動閘極電晶

體。

[0029] 在本發明的另一個態樣中，一個半導體儲存單元包括：一個初級雙穩態浮體電晶體；和一個二級雙穩態浮體電晶體；其中，初級和二級浮體電晶體係配置成儲存補償電荷。

[0030] 在本發明的另一個態樣中，具有一個雙穩態浮體電晶體和一個存取電晶體的半導體記憶單元之操作方法，該方法包括：施加電壓到存取電晶體以打開存取電晶體；藉由啓動存取電晶體來選取儲存單元進行操作。

[0031] 在至少一個實施例中，操作爲一個讀操作，其包括監控通過記憶體單元的電流，以感測浮體電晶體的狀態。

[0032] 在至少一個實施例中，操作爲一個邏輯-1 的操作，其中，施加於存取電晶體的電壓是一個施加於存取器電晶體位元線終端的正偏壓，且其中，存取電晶體將此正偏壓傳送到浮體電晶體的汲極區域。

[0033] 在至少一個實施例中，該方法還包括進一步偏壓浮體電晶體以藉由碰撞電離機制而使電洞產生最大化。

[0034] 在至少一個實施例中，施加於存取電晶體的電壓被偏壓，以致使存取電晶體的一個源極區浮動，該方法進一步包括藉由電容性耦合來提高浮體電晶體的浮體之電位。

[0035] 在至少一個實施例中，該操作是一個寫邏輯-

0 的操作，其中，施加於存取電晶體的電壓是負偏壓，且其中，上述之存取電晶體將該負偏壓傳送至浮體電晶體的汲極區域。

[0036] 在至少一個實施例中，操作是一個低態有效的讀操作。

[0037] 在至少一個實施例中，該操作是一個低態有效的寫邏輯-1 的操作。

[0038] 在至少一個實施例中，該操作是一個讀操作，包括監測通過記憶體單元的電流，以感測浮體電晶體的狀態，且其中，施加來打開存取電晶體之電壓爲 0 電壓。

[0039] 在至少一個實施例中，該操作是一個寫邏輯-1 的操作，其中，施加於存取電晶體的電壓包括施加 0 電壓於存取電晶體的一個字線終端，並且，寫邏輯-1 操作藉由帶到帶隧穿(band-to-band tunneling)機制來予以施行。

[0040] 在至少一個實施例中，該操作是一個寫邏輯-1 的操作，其中，施加於存取電晶體的電壓包括施加 0 電壓到存取電晶體的一個字線終端，而且，上述之寫邏輯-1 操作藉由經由一個碰撞電離機制來予以施行。

[0041] 在至少一個實施例中，該操作是一個寫邏輯-1 的操作，並且上述之施加於存取電晶體的電壓是一個正電壓，該正電壓被偏壓以使得存取電晶體的一個源極區域浮動。該方法還進一步包括藉由電容性耦合來提高浮體電晶體之浮體的電位。

[0042] 在至少一個實施例中，該操作是一個寫邏輯-0 的操作，其中，施加於存取電晶體之電壓是一個施加於存取電晶體之字線終端的正偏壓。

[0043] 在至少一個實施例中，該操作是一個寫邏輯-0 的操作，其中，施加於存取電晶體的一個字線終端的電壓是一個比施加於浮體電晶體之汲極區域更負的負偏壓。

[0044] 對於那些熟悉本技術領域的技術人員在閱讀記憶體裝置及其方法之細節後，本發明的這些和其他特徵將變得顯而易見。更詳盡的描述如下所示：

【圖式簡單說明】

[0045] 圖 1A 是根據本發明的通用實施例，一個儲存單元的示意圖該儲存單元包括記憶體裝置和一個與之串聯連接的存取裝置。

[0046] 圖 1B 爲根據本發明的實施例，圖 1A 之儲存單元的等效電路圖，其中，記憶體裝置爲一個雙穩態浮體裝置。

[0047] 圖 2A 是根據本發明的儲存單元的示意圖。

[0048] 圖 2B 是根據本發明之另一個實施例，一個儲存單元之示意圖，其中，浮體電晶體之汲極區域和存取電晶體之源極區域經由獨立的傳導元件而連接。

[0049] 圖 2C 是根據本發明的實施例，一個儲存單元的示意圖。

[0050] 圖 3A 是根據本發明的實施例，表示圖 2A 或

圖 2B 之儲存單元的一部分的等效電路圖。

[0051] 圖 3B 是根據本發明的實施例，表示圖 2A 或圖 2B 的浮體電晶體的雙極性裝置的等效電路圖，其係由源極線區域、浮體區域和汲極區域所形成。

[0052] 圖 4A 是根據本發明之實施例，一個儲存單元之示意圖。

[0053] 圖 4B 是根據本發明之實施例，一個儲存單元之剖面示意視圖，其中，存取裝置是一個有關圖 4A 所描述之類型的雙極性電晶體。

[0054] 圖 5 是根據本發明之實施例，圖 3A-3B 中所示之類型的多個單元之示意圖，它們被連結起來而組成記憶體陣列。

[0055] 圖 6 是根據本發明之另一實施例，圖 3A-3B 中所示之類型的多個單元的示意圖，它們被連結起來而組成記憶體陣列。

[0056] 圖 7 爲根據本發明之實施例，對記憶體陣列施行維持操作的示意圖。

[0057] 圖 8 繪示施加於圖 7 之陣列的一個記憶體單元之終端的代表性（exemplary）偏壓條件。

[0058] 圖 9A 顯示了一個能帶圖，其表示根據本發明的實施例，當浮體區域被正充電，並且正偏壓被施加於儲存單元的埋井區域時之本徵雙極性裝置的特性。

[0059] 9B 顯示了一個能帶圖，其表示根據本發明的實施例，當浮體區域爲電中性，並且正偏壓被施加於儲存

單元的埋井區域時之本徵雙極性裝置的特性。

[0060] 圖 9C 顯示了根據本發明的實施例，流入或流出浮體區域之淨電流 I 作爲浮體之電位 V 的函數的圖示。

[0061] 根據本發明一個實施例，圖 9D 顯示了一個儲存單元的電位能表面（PES）之示意性曲線圖。

[0062] 該發明的一個實施例，圖 9E 爲一個儲存於記憶體單元的浮體區域中的電荷作爲施加於埋井區之電位的函數，其被連接到 BW 終端。

[0063] 根據本發明之實施例，圖 10 爲一個替代維持操作的示意圖，該操作係執行於記憶體陣列上。

[0064] 圖 11 爲施加於圖 10 陣列之記憶體單元的終端上的典型偏壓條件。

[0065] 根據本發明的實施例，圖 12 爲操作於記憶體陣列的讀操作的示意圖。

[0066] 圖 13 爲施加於儲存單元終端上執行讀操作的偏壓條件示意圖。

[0067] 根據本發明的實施例，圖 14 爲執行於記憶體陣列寫邏輯-1 操作之示意圖。

[0068] 圖 15 爲施加於記憶體單元以執行寫邏輯-1 操作的偏壓條件的示意圖。

[0069] 根據本發明的實施例，圖 16 爲執行於儲存陣列上之的替代寫邏輯-1 操作之示意圖。

[0070] 圖 17 爲施加於記憶體單元上終端以執行替代寫邏輯-1 操作的偏壓條件之示意圖。

[0071] 根據本發明實施例，圖 18 爲替代寫邏輯-1 操作示意圖，該操作透過執行於記憶體陣列的電容性耦合來予以實施。

[0072] 圖 19 爲施加於儲存單元的終端以透過電容性耦合來執行替代寫邏輯-1 操作的偏壓條件之示意圖。

[0073] 根據本發明實施例，圖 20 爲執行於儲存陣列的寫邏輯-0 操作之示意圖。

[0074] 圖 21 爲施加於記憶體單元的終端以執行一個寫邏輯-0 操作之偏壓條件之示意圖。

[0075] 根據本發明的實施例，圖 22 爲執行於記憶體陣列之替代寫邏輯-0 操作之示意圖。

[0076] 圖 23 爲施加於記憶體單元終端以執行替代寫邏輯-0 操作的偏壓條件之圖示。

[0077] 根據本發明的實施例，圖 24 爲執行於記憶體陣列的低態有效讀操作之示意圖。

[0078] 根據本發明的實施例，圖 25 是執行於儲存陣列上低態有效的寫邏輯-1 操作之示意圖。

[0079] 根據本發明的實施例，圖 26 和圖 27 爲鰭型記憶體單元的剖面示意圖。

[0080] 根據本發明的實施例，圖 28 是記憶體單元之示意圖。

[0081] 根據本發明的實施例，圖 29A 和 29B 是記憶體單元之示意性剖面圖示。

[0082] 圖 30 是顯示於圖 29A-29B 之記憶體單元的等

效電路之示意圖。

[0083] 圖 31 爲圖 29A-29B 的固有於記憶體裝置之雙極性裝置的示意圖。

[0084] 圖 32 爲在圖 29A-29B 中顯示類型相同的多單元之示意圖，這些單元被連接起來組成一個記憶體陣列。

[0085] 根據本發明的實施例，圖 33 爲執行於記憶體陣列上的保持操作之示意圖。

[0086] 根據本發明之一個實施例，圖 34 是執行於記憶體陣列上的替代保持操作之示意圖。

[0087] 根據本發明之實施例，圖 35 是執行於儲存陣列上的讀操作之示意圖。

[0088] 根據本發明之實施例，圖 36 是使用帶到帶隧穿機制執行於記憶體陣列上的寫邏輯-1 操作之示意圖。

[0089] 根據本發明之實施例，圖 37 爲使用碰撞電離機制而執行於記憶體陣列上的寫邏輯-1 操作之示意圖。

[0090] 根據本發明之實施例，圖 38 是透過電容性耦合而執行於記憶體陣列上的寫邏輯-1 操作之示意圖。

[0091] 根據本發明之實施例，圖 39 爲在記憶體陣列上執行的寫邏輯-0 操作。

[0092] 根據本發明之實施例，圖 40 爲在記憶體陣列上執行的替代寫邏輯-0 操作。

[0093] 根據本發明之實施例，圖 41 是記憶體單元的示意性剖面圖，該記憶體單元在感測浮體記憶體單元的狀態中可被使用作爲參考單元。

[0094] 圖 42 示意性描述記憶體陣列，其包括圖 2A-2C 中所示類型之多個單元，以及圖 41 中所示類型之參考單元。

[0095] 根據本發明之實施例，圖 43 爲參考單元的頂視圖之示意圖。

[0096] 圖 43B 和 43C 爲圖 43A 之單元分帶 I-I 和 II-II 剪切線之示意性剖面圖示。

[0097] 圖 44 爲記憶體陣列的示意圖，其包括圖 2A-2C 中所示類型之多個單元以及圖 43A-43C 中所示類型之參考單元。

[0098] 根據本發明之實施例，圖 45 爲記憶體單元的示意性剖面示圖。

[0099] 圖 46 爲記憶體陣列之示意圖，該記憶體陣列包括圖 45 中上述之類型的多個單元。

[0100] 根據本發明之實施例，圖 47 是執行於記憶體陣列上的讀操作之示意圖。

[0101] 根據本發明之實施例，圖 48 是使用帶到帶隧穿機制而執行於儲存陣列上的寫邏輯-1 操作之示意圖。

[0102] 根據本發明之實施例，圖 49 是執行於記憶體陳列上的寫邏輯-0 操作之示意圖。

[0103] 根據本發明之實施例，圖 50 是記憶體單元示意性剖面圖示。

[0104] 圖 51 是記憶體陣列之示意圖，該記憶體包括圖 50 中所示類型的多個單元。

[0105] 圖 52 是圖 50 中所示類型的記憶體單元之示意性頂視圖。

[0106] 根據本發明的另一實施例，圖 53 是雙埠記憶體單元的示意圖，在此雙埠記憶體單元上雙埠浮體電晶體被串聯連接到兩個存取電晶體上。

【實施方式】

[0107] 在說明本記憶體裝置和方法之前，應當理解，本發明並不限定於所述之特定的實施例中，因爲就其本身而論當然會改變。同時，也要知悉，本文所使用的術語僅僅是爲了用來描述特定實施例的目的，並且不打算限定於此，因爲本發明的範圍將僅受限於所附的申請專利範圍。

[0108] 當提供數值的範圍時，應當理解，每個中間值，除非上下文清楚地指出，否則，該範圍的上限和下限之間的下限單位的十分之一也被具體地揭示出。在規定範圍內的任何規定值或中間值和在規定範圍內任何其他聲明數值或中間數值之間每一個較小的範圍，均被包含於本發明之中。這些較小範圍的上限和下限可以獨立地包括或不包括於範圍內。而且，在此較小範圍內包含其中之一的限制、或兩者限制均不包含的、或兩者限制均包含的每一個範圍，也均包括於本發明之內，遵循本規定範圍內的任何特別排他限制。在規定的範圍內包括的一個或兩個的限制，不包含這些被納入的限制兩者之一或不包含兩個這些

被納入的限制之範圍亦包括在本發明之內。

[0109] 除非另有定義，本文所用的所有技術和科學術語具有在本發明所屬的本領域的普通技術人員所通常理解的相同的含義。雖然任何類似或等同於本文上述的那些方法和材料可用於本發明的實施或測試，但是優選的方法和材料也在此說明。本文所提到的所有出版物都引入本文作爲參考以提示和描述所引用之出版物相關的方法和/或材料。

[0110] 必須指出，本文所用的，並且在所附的申請專利範圍中，單數形式“一”，“一個”，和“一種”包括複數指示對象，除非另有明文規定。由此，舉例說明如下，所提到的“一單元”包括多元化的此類單元，而提到“一種終端”則會包括一個或多個終端及在本技術領域的技術人員已知的等同物。諸如此類。

[0111] 這裏所討論的出版物僅指本申請的申請日之前所披露的內容。此處任何資訊均不被解釋爲承認本發明無權憑藉以往的發明早於這樣的出版物。另外，實際的出版日期可能有所不同，可能需要另外證實。

[0112] 根據本發明的實施例，圖 1A 是一個記憶體單元 50 的示意圖，該記憶體單元 50 包括記憶體裝置 50M 和存取裝置 50A，這兩種裝置被串聯連接。記憶體單元 50 是一種記憶體單元的通用表示，此種記憶體單元包括上述之記憶體裝置和存取裝置，其一般表示本文中所描述的具體實施例，例如：100，100B，102，104，100R1，

100R2，200，300，和 500。記憶體裝置 50M 其功能爲儲存記憶體單元 50 的狀態，並且經由存取裝置 50A 來進行存取。存取裝置 50A 被連接到終端，例如，顯示於 1A 中的字線終端 72 和位元線終端 76，其被用來在包括記憶體單元 50 的多個列與行之記憶體陣列中選擇記憶體單元 50。在一個串聯連接中，例如：在記憶體裝置 50M 和存取裝置 50A 中，相同的電流流經每個裝置。因此，在讀或寫操作期間，存取裝置 50A 可被用來關閉或取消(deselect)未被選擇到的記憶體單元 50。

[0113]圖 1B 繪示根據本發明的實施例之記憶體單元 50。其中，記憶體裝置 50M 是一個雙穩態浮體裝置。例如，如同 Widjaja 等人於美國專利申請號爲 2010/00246284，標題爲“具有浮體電晶體的半導體記憶體及其操作方法(Semiconductor Memory Having Floating Body Transistor and Method of Operating)”（“Widjaja-1”）中上述的一樣，和美國專利號爲 2010/0034041，標題爲“帶有浮體電晶體使用可控矽整流器原理的半導體記憶體裝置之操作方法(Method of Operating Semiconductor Memory Device with Floating Body Transistor Using Silicon Controlled Rectifier Principle)”(“Widjaja-2”)中上述的一樣，美國專利申請號爲 2012/0217549，標題爲“帶有電浮體電晶體的非對稱半導體記憶體裝置(Asymmetric Semiconductor Memory Device Having Electrically Floating Body Transistor)”(“Widjaja-3”)中所描述一樣，以

及美國申請專利號爲 13/746,523，標題爲“帶電浮體的記憶體裝置(Memory Device Having Electrical Floating Body)”(“Widjaja-4”)中上述內容一樣，它們完整引用於此），其中，存取裝置 50A 是一個金屬-氧化物-半導體（MOS）電晶體。

[0114] 根據本發明實施例之記憶體裝置 100 的示意剖面視圖係顯示於圖 2A 中。記憶體裝置 100 包括兩個電晶體：具有電浮體 24 的電晶體 40 和存取電晶體 42。記憶體單元 100 包括例如，諸如 p-型之初級傳導類型的基板 10。基板 10 典型上係由矽所製成，但是也可包括例如，鍺、矽鍺、砷化鎵、奈米碳管、或其他半導體材料。在本發明的一些實施例中，基板 10 可爲半導體晶圓的基體材料(bulk material)。在其他實施例中，由於設計選擇之故，基板 10 可爲初級傳導類型的井，其被埋入於二級傳導類型的井中，或者在二級傳導類型之半導體晶圓的基體中，而二級傳導類型例如爲 n-型（未在圖中顯示）。爲了簡化說明，基板 10 經常被畫成爲半導體基體材料，如圖 2A 中所示者。

[0115] 浮體電晶體 40 也包括二級傳導類型(例如，諸如 n-型)的埋層區域 30；初級傳導類型(例如，諸如 p-型)的浮體區域；和二級傳導類型(例如，諸如 n-型)的源極/汲極區域 16 和 18。

[0116] 可在基板 10 的材料上藉由離子佈植製程而形成埋層 30。或者，可以在基板 10 的頂部上磊晶生長出埋

層 30。

[0117] 初級傳導類型的浮體區域 24 在頂部上與表面 14、源極線區域 16、汲極區域 18 和絕緣層 62 界接，在側面上與絕緣層 26 界接，並且在底部上與埋層 30 界接。如果埋層 30 被佈植，則浮體 24 可以是原始基板 10 在埋層 30 上方的部分。或者，浮體 24 可被磊晶生長出來。取決於埋層 30 和浮體 24 如何被形成，浮體 24 在一些實施例中可具有與基板 10 相同的摻雜方式，或者在其他實施例中，視需要而採用與基板 10 不同的摻雜方式。

[0118] 閘極 60 係位於源極線區域 16 與汲極區域 18 之間，在浮體區域 24 之上。閘 60 藉由絕緣層 62 而與浮體區域 24 相絕緣。絕緣層 62 可由二氧化矽和/或其他電介質材料所製成，包括高 K 電介質材料，例如，但不限於，過氧化鉭、氧化鈦、氧化鋯、氧化鉿、和/或三氧化二鋁。例如，閘 60 可由多晶矽材料或金屬閘極電極所製成，諸如：鎢、鉭、鈦及其氮化物。

[0119] 儘管可以使用其他絕緣材料，絕緣層 26（例如，像是淺溝槽隔離(STI)）例如可由氧化矽所製成。絕緣層 26 使浮體電晶體 40 與相鄰的浮體電晶體 40 及相鄰的存取電晶體 42 相絕緣。絕緣層 26 的底部可位於埋區 30 之內，從而使得埋區 30 能夠是連續的，如圖 2A 所示。或者，絕緣層 26 的底部可位於埋區 30 之下，如圖 2C 所示。這需要一個較淺的絕緣層 28，其使浮體區域 24 絕緣，但是可使埋層 30 能夠在剖面視圖的垂直方向上是

連續的，如圖 2C 所示。簡單地說，自此僅顯示在所有方向上具有連續的埋區 30 的記憶體單元 100。

[0120] 存取電晶體 42 包括一個初級傳導類型（諸如：p-型）的井區 12、源極區域 20 和二級傳導類型（諸如：n-型）的位元線區域 22。初級傳導類型的井區 12 係電連接到基板區 10，且因此不是浮動的。閘極 64 係位於源極區域 20 與位元線區域 22 之間，閘極 64 藉由絕緣層 66 而與井區 12 相絕緣。絕緣層 66 可由氧化矽和/或其他電介質材料所做成，包括高-K 電介質材料，例如，但不僅限於，過氧化鉭、氧化鈦、氧化鋯、氧化鉿、和/或三氧化二鋁。閘極 64 可由例如多晶矽材料或金屬閘極電極所製成，諸如，鎢、鉭、鈦及其氮化物。

[0121] 浮體電晶體 40 的汲極區域 18 透過一個傳導元件 94 而被連接到存取電晶體 42 的源極區域 20。傳導元件 90 使浮體電晶體 40 的源極線區域 16（它也可互換地被稱爲記憶體裝置 100 的源極線區域 16）連接到源極線（SL）終端 74，而傳導性元件 92 使存取電晶體的位元線區域 22（它也可互換地被稱爲記憶體裝置 100 的位元線區域 22）連接到位元線（BL）終端 76。傳導元件 90、92 和 94 可由鎢或矽化物的矽所形成（但不僅限於此）。

[0122] 除了 SL 終端 74 和 BL 終端 76 以外，記憶體單元 100 也包括字線 1（WL1）終端 70，該終端係電連接到浮體電晶體 40 的閘極 60；字線 2（WL2）終端 72，該終端係電連接到存取電晶體 42 的閘極 64；埋井（BW）

終端 78，該終端係電連接到浮體電晶體 40 的埋井區 30；和基板（SUB）終端 80，該終端係連接到基板區域 10。

[0123] 在圖 2B 中所示的另一個實施例中，浮體電晶體 40 的汲極區域 18 和存取電晶體的源極區域 20 可透過個別的傳導元件 94A 和 94B 而被連接起來，其然後可使用其他傳導材料，例如：鋁或銅金屬而被連接（未顯示於圖 2B）。

[0124] 圖 3A 繪示記憶體裝置 100 的等效電路表示圖，其顯示由源極線區域 16、汲極區域 18、和閘極 60 所形成的浮體電晶體 40 和由源極區域 20、位元線區域 22 和閘極 64 所形成的存取電晶體 42 被串聯連接。在浮體電晶體 40 中固有的裝置爲由埋井區 30、浮體區域 24，和源極線區域 16 所形成的雙極性裝置 44，以及由埋井區 30，浮體區域 24 和汲極區域 18 所形成的雙極性裝置 46。

[0125] 同樣地，固有於浮體電晶體 40 中的裝置是雙極裝置 48，其係由源極線區域 16、浮體區域 24、和汲極區域 18 所形成。爲了圖紙清晰明瞭起見，雙極性裝置 48 係單獨顯示於圖 3B 中。

[0126] 圖 4A 繪示根據本發明之實施例的記憶體單元 50，其中，記憶體裝置 50M 是一個雙穩態浮體裝置，而存取裝置 50A 是一個雙極性電晶體。

[0127] 圖 4B 繪示記憶體單元 100B 的示意剖面視圖，其爲圖 4A 的記憶體單元 50 之示例性實施例。在示例性記憶體單元 100B 中，記憶體單元 100B 的狀態被儲存

在浮體電晶體 40（其對應於圖 4A 中的記憶體裝置 50M）中，而雙極性電晶體 42B 用作爲存取裝置（其對應於圖 4A 中的存取裝置 50A）。雙極性電晶體 42B（圖 4A 中之電晶體 50A 之通用表示圖的特定實施例且更一般表示爲圖 1A 中的存取電晶體 50A），其係由源極區域 20、井區 12、和位元線區域 22 所形成，它用作爲記憶體單元 100B 的存取裝置。閘極電極 64（連接到 WL2 終端 72）並未與井區 12 絕緣，並且用作爲雙極性電晶體 42B 的基極終端。

[0128] 將說明包括多個記憶體單元 100 的記憶體陣列，如圖 3A-3B（作爲圖 1A 所示之記憶體 50 的示例性實施）所示，以及記憶體單元操作。簡單而言，後續的大部分描述將使用 MOS 電晶體作爲存取裝置 50A 的例子。然而，應該理解的是，使用一個雙極性電晶體作爲存取裝置之記憶體單元 50 的操作遵循同樣的原則。

[0129] 圖 5 顯示記憶體單元 100（包括 4 個記憶體單元 100 的示例性例子，標記爲 100a, 100b, 100c, 和 100d）的示例性記憶體陣列 120，該陣列按列和行而排列。在很多但並非全部出現有示例性陣列 120 的圖示中，當說明中之操作有一個（或者在一些實施中有多個）選定的記憶體單元 100 時，代表性記憶體單元 100A 將代表該一個“選定的”記憶體單元 100。在這類圖形中，代表性記憶體單元 100B 將代表與選定的代表性記憶體單元 100A 共用同一列之未被選定的記憶體單元 100，代表性記憶體單元 100C 將代表與選定的代表性記憶體單元 100A 共用

同一行之未被選定的記憶體單元 100，而代表性記憶體單元 100D 將代表未與選定的代表性記憶體單元 100A 共用同一列或同一行之未被選定的記憶體單元 100。

[0130] 圖 5 中所顯示者爲 WL1 終端 70a 到 70n 的、WL2 終端 72a 到 72n、SL 終端 74a 到 74n、BW 終端 78a 到 78n、SUB 終端 80a 到 80n，以及 BL 終端 76a 到 76p。WL1、WL2、SL、和 BW 終端各自被顯示與記憶體單元 100 的單一列相關聯，而且，BL 終端 76 各自與記憶體單元 100 的單一行相關聯。在本技術領域的普通技術人員將會理解，很多其他記憶體陣列 120 的安排和佈局都是可能的，例如，只有一個共同的 SUB 終端 80 出現在記憶體陣列 120 的一整段或者在整個記憶體陣列 120。同樣地，其他終端可以被分段或緩衝(buffered)，而控制電路，諸如：字解碼器、列解碼器、分段裝置、讀出放大器、寫入放大器等等，可被排列在陣列 120 周圍或者被插入於陣列 120 的子陣列之間。因此，所描述的示例性實施例、特徵、設計選項等等並不做任何方式的限制。

[0131] 圖 6 顯示根據本發明之實施例的一個替代陣列 122，其中，記憶體單元 100 以鏡像配置(mirror configuration)來予以展示，其中，一個記憶體單元 100 的源極線區域 16（其連接到 SL 終端 74）與鄰接單元 100 的源極線區域 16 相鄰，且位元線區域 22（其連接到 BL 終端 76）與另一個鄰接單元 100 的位元線區域 22 相鄰，。

[0132] 可對記憶體單元 100 執行幾種操作，例如，

保持(holding)操作、讀操作、寫邏輯-1 和寫邏輯-0 操作。

[0133] 圖 7 和圖 8 分別繪示在記憶體陣列 120 上所實施的保持操作和在一個選定的記憶體單元 100 上所實施的保持操作。保持操作藉由施加正回饋偏壓到 BW 終端 78，在 WL1 終端 70 和 WL2 終端 72 上的零或低負偏壓以關閉浮體電晶體 40 和存取電晶體 42 的通道區，以及 SL 終端 74、SUB 終端 80 和 BL 終端 76 上的零偏壓來予以執行。施加到連接至 BW 終端 78 的埋層區 30 之正回饋偏壓將保持記憶體單元 100 的狀態，該記憶體單元 100 藉由保持儲存於對應浮體電晶體 40 的浮體區 24 之電荷而被連接起來。

[0134] 在一個實施例中，用於記憶體單元 100 之保持操作的偏壓條件是：0.0 伏被施加於 WL1 終端 70、WL2 終端 72、SL 終端 74、BL 終端 76、和 SUB 終端 78，並且像是例如+1.2 伏的正電壓被施加於 BW 終端 78。在其他實施例中，不同電壓可被施加於記憶體單元 100 的各個終端作爲設計選擇。而且，在此所述之示例電壓不做任何方式的限制。

[0135] 從圖 3 中所示之記憶體單元 100 的等效電路表示圖可知，在記憶體單元 100 的浮體電晶體 40 內固有的是雙極性裝置 44 和 46，而雙極性裝置 44 的能帶圖被顯示於圖 9A 和 9B 中。

[0136] 圖 9A 顯示當浮體區 24 被正充電並且施加正偏壓於埋區 30 時的雙極性裝置 44 的能帶圖。雙極性裝置

46 的能帶圖係類似於圖 9A 所示者，且以汲極區域 18 來替代源極線區域 16。虛線表示雙極性裝置 44 的各區域內之費米(Fermi)能階。如眾所周知者，費米能階係位於表示價電帶（帶隙的底部）的頂部之實線 27 與表示導電帶（帶隙的頂部）底部的實線 29 之間的帶隙。如果浮體 24 被正充電，即對應於邏輯-1 的狀態，雙極性電晶體 44 和 46 將被打開，因爲浮體區使流入基極區中的電子之能量勢壘降低。一旦被注入到浮體區 24 域內，電子將因爲正偏壓被施加到埋井區 30 而被掃入到埋井區 30（其連接到 BW 終端 78）中。由於正偏壓的作用，電子透過碰撞電離機制而被加速並產生額外的熱載流子（熱電洞和熱電子對）。產生的熱電子流入 BW 終端 78 內，而產生的熱電洞將隨後流入浮體區域 24 內。當滿足以下的條件：$\beta\times(M-1)\approx 1$ – 其中，β 是雙極性電晶體 44 或 46 的正向共射極電流增益，且 M 是碰撞電離係數時- 注入到浮體區域 24 內的電洞數量補償因爲浮體區域 24 與源極線區域 16 或位元線區域 18 之間的 p-n 接面正向偏壓電流，以及因爲電洞重新結合所導致的電荷損失。由於正向回饋機制的結果，此過程維持儲存於浮體區域 24 中的電荷（亦即：電洞），只要正偏壓透過 BW 終端 78 而被施加於埋井區 30，該浮體區域 24 將使 n-p-n 雙極性電晶體 44 和 46 保持打開狀態。

[0137] 當其中 $\beta\times(M-1)$的乘積接近 1 並且其特徵在於通過電洞電流移入雙極性電晶體的基極區域中的區域有

時候也被稱爲反向基極電流區域，而且已被描述於例如“基於雙極電晶體的反向基極電流（RBC）效應之一個新靜態記憶體單元(A New Static Memory Cell Based on Reverse Base Current (RBC) Effect of Bipolar Transistor)”（K. Sakui 等人，第 44-47 頁，國際電子裝置會議，1988 年(“Sakui-1”)）、“基於雙極電晶體的反向基極電流效應之一個新靜態記憶體單元(A New Static Memory Cell Based on Reverse Base Current Effect of Bipolar Transistor)”(K. Sakui 等人，第 1215-1217 頁，IEEE 電子裝置學報，編號 6 第 36 卷，1989 年 6 月(“Sakui-2”))，“關於在崩塌機制中雙極電晶體的雙穩態行爲和開基極擊穿—建模與應用(On Bistable Behavior and Open-Base Breakdown of Bipolar Transistors in the Avalanche Regime – Modeling and Applications)”（M. Reisch，第 1398 至 1409 頁，IEEE 電子裝置學報，編號 6 第 39 卷，1992 年 6 月(“Reisch”)），它們全部的內容被併入本文中做爲參考資料。

[0138] 基於反向基極電流區域的鎖存(latching)行爲也已經被描述於雙電阻器（例如，雙穩態電阻器）中，例如，在“雙穩態電阻器（雙電阻器）-無閘極矽奈米線記憶體(Gateless Silicon Nanowire Memory)”（J.-W. Han 和 Y.-K. Choi，第 171-172 頁，2010 年 VLSI 技術研討會，技術論文文摘，2010 年，(“J.-W. Han”)），其全部的內容被併入本文中做爲參考資料。在一個雙終端雙電阻器裝置中，

仍然需要刷新操作。J.-W. Han 描述矽奈米線雙電阻器記憶體的 200ms 資料保存。在記憶體單元 100 中，因垂直雙極性電晶體 44 和 46 而保持記憶體單元的狀態，而餘下的單元操作（亦即：讀和寫操作）被橫向雙極性電晶體 48 和 MOS 電晶體 40 所管理。因此，保持操作不需要對任何記憶體單元 100 存取的中斷。

[0139] 如果浮體 24 爲電中性（浮體 24 上的電壓等於接地源極線區域 16 上的電壓），即對應於邏輯-0 的狀態，則將沒有電流流經雙極性電晶體 44 和 46。雙極性裝置 44 和 46 將保持關閉狀態，並且沒有碰撞電離發生。因此，在邏輯-0 狀態中的儲存單元將保持於邏輯-0 狀態。

[0140] 圖 9B 顯示當浮體區域 24 是電中性且偏壓被施加於埋井區 30 時之本徵雙極性裝置 44 的能帶圖。在此狀態下，界定於實線 27A 和 29A 的帶隙之能階在雙極性裝置 44 的各區內是不同的。因爲浮體區域 24 和源極線區域 16 的電位是相等的，所以費米能階是恒定的，其導致源極線區域 16 與浮體區域 24 之間的能量勢壘。爲參考之用，實線 23 表示源極線區域 16 與浮體區域 24 之間的能量勢壘。該能量勢壘防止電子自源極線區域 16（連接到 SL 終端）流至浮體區域 24。因而，雙極性裝置 44 將保持關閉狀態。

[0141] 用於浮體記憶體的自主刷新，其不需要首先讀取記憶體單元的狀態，已經被描述於例如“浮體單元（FBC）的自主刷新(Autonomous Refresh of Floating

Body Cell（FBC）”（Ohsawa 等人，第 801-804 頁，國際電子裝置會議，2008 年,(“Ohsawa”)），美國 7,170,807“資料記憶體裝置和使用此類裝置的刷新方法”（Fazan 等人，(“Fazan”)），其全部的內容被併入本文中做爲參考資料。Ohsawa 和 Fazan 教授藉由使用週期的閘極及汲極電壓脈衝的自動刷新方法，該方法中斷對正在被刷新的記憶體單元的存取。在記憶體單元 100 中，由於垂直雙極性電晶體 44 和 46 而可以達成一個以上的穩態。記憶體單元 100 的讀和寫操作受橫向雙極性電晶體 48 和 MOS 電晶體 40 所控制。因此，保持操作不需要對記憶體單元 100 存取的任何中斷。

[0142] 在圖 7 中所述的保持操作中，沒有個別選定的儲存單元。反而是，藉由埋井終端 78a 到 78n 而被成列地選取，而且可被選取爲獨立的列，也可以是多列，或包括陣列 120 之所有的列。

[0143] 圖 9C 顯示淨電流 I 的圖形，其流入或流出浮體區域 24 作爲浮體 24 之電位 V 的函數（並未按比例繪製）。負電流表示流入浮體區域 24 內的淨電流，而正電流表示流出浮體區域 24 外的淨電流。在低的浮體 24 電位處，其位於圖 9C 所示的 0V 與 V_{FB0} 之間，由於由浮體區域 24 和埋井區 30 所形成的 p-n 接面二極體被反向偏壓，所以淨電流流入浮體區域 24 中。如果浮體區域 24 電位的數值在 V_{FB0} 與 V_{TS} 之間，則電流將會切換方向，其導致淨電流流出浮體區域 24 外。這是因爲隨著浮體區域 24 變

得愈來愈正，由浮體區域 24 和埋井區 30 所形成的 p-n 接面二極體被正向偏壓。結果，如果浮體區域 24 的電位小於 V_{TS}，則在穩態情況下，浮體區域 24 將到達 V_{FB0}。如果浮體區域 24 的電位大於 V_{TS}，則電流將會切換方向，其導致淨電流流入浮體區域 24 內，這是由於流入浮體區域 24 內的基極電流大於 p-n 接面二極體漏電流的結果。當浮體區域 24 電位高於 V_{FB1}，則淨電流將會流出浮體區域 24 外。這是因爲 p-n 接面二極體漏電流再次大於雙極性裝置 44 和 46 的基極電流。

[0144] 保持操作導致浮體儲存單元具有兩個穩態：邏輯-0 狀態和邏輯-1 狀態，這兩種狀態由能量勢壘所區隔開，它們分別用 V_{FB0}, V_{FB1}, 和 V_{TS} 來予以表示。圖 9D 是記憶體單元 100 的電位能表面（PES）的示意曲線圖，其顯示該兩個穩態的另一個表示圖，這兩個穩態源於施加回饋偏壓到 BW 終端 78（其被連接到埋井區 30）所致。

[0145] 電流切換方向於其處的浮體 24 電位之數值，亦即：V_{FB0}, V_{FB1}, 和 V_{TS}，可藉由施加於 BW 終端 78 的電位而被調變。這些數值也取決於溫度。

[0146] 藉由提高可被儲存於浮體 24 中的電荷數量，保持/待機操作也會導致更大的記憶體視窗(memory window)。無保持/待機操作，可被儲存於浮體 24 中的最大電位係受限於平帶電壓 V_{FB}，因爲流入區域 16 和 18 的接面漏電流以大於 V_{FB} 的浮體電位而指數地增加。然而，藉由施加正電壓到 BW 終端 78，雙極性動作導致電洞電

流流入浮體 24 內，補償浮體 24 與區域 16 和 18 之間的接面漏電流。結果，儲存於浮體 24 中的最大電荷 V_{MC} 可藉由施加正偏壓到 BW 終端 78 來予以提高，如圖 9E 所示。儲存於浮體 24 中的最大電荷的提高導致更大的記憶體視窗。

[0147] 描述於 Ranica-1, Ranica-2, Villaret, 和 Pulicani 中的浮體 DRAM 單元只展現一個穩態，其往往被指定爲邏輯-0 狀態。Villaret 描述本徵雙極性電晶體藉由牽引電子來提高邏輯-1 狀態的資料保留，否則，電子將會與儲存於浮體區域中的電洞重新結合。然而，只有一個穩態被觀測到，因爲沒有電洞注入浮體區域內以補償電荷洩漏和重新結合。圖 10 和圖 11 繪示分別執行於記憶體陣列 120 和一個選定的記憶體單元 100 上的替代保持操作。藉由施加正的回饋偏壓到 SUB 終端 80，0 或小的負偏壓於 WL1 終端 70 和 WL2 終端 72 上以關閉浮體電晶體 40 和存取電晶體 42 的通道，0 偏壓於 SL 終端 74、BL 終端 76 上來執行保持操作，且同時留下 BW 終端 78 保持浮動。在這些條件下，如果記憶體單元 100 係處於具有正電荷被儲存於浮體區域 24 中的邏輯-1 狀態，則由基板 10、埋井區 30、浮體區域 24 和源極線區域 16 或汲極區域 18 所形成之記憶體單元 100 的本徵矽可控整流器（SCR）被打開，從而使正電荷保持在浮體區域 24 上。處於邏輯-0 狀態的記憶體單元將保持在阻斷狀態，因爲浮體區域 24 的電壓實質上非爲正的，且因此浮體 24 不打開 SCR 裝置。因

此，電流不流過 SCR 裝置，而且記憶體單元 100 維持邏輯-0 狀態。在此保持操作中，通常被連接到同一個 SUB 終端的所有記憶體單元 100 將會被維持以精確保持其資料狀態。

[0148] 在一個實施例中，爲替代的保持操作施加以下的偏壓條件：0.0 伏被施加於 WL1 終端 70、WL2 終端 72、SL2 終端 74、BL 終端 76；像是例如+1.2 伏的正電壓被施加於 SUB 終端 80，而同時使 BW 終端 78 維持浮動。在另一個實施例中，不同的電壓可被施加於記憶體單元 100 的各個終端作爲設計選擇，並且所描述的示例性電壓不做任何形式的限制。或者，BW 終端 78 可從陣列 120 中被去除，留下埋井區 30 浮動。

[0149] 回饋偏壓的施加，不管是透過顯示於圖 7 和圖 8 的 BW 終端 78，還是顯示於圖 10 和圖 11 的 SUB 終端 80，導致兩個雙穩態浮體 24 狀態（例如，如同 Widjaja-1、Widjaja-2、Widjaja-3、和 Widjaja-4 中所述者）。雙極性電晶體的雙穩態行爲也已經被描述於以下文章中，例如“雙極電晶體的雙態行爲和開基極擊穿(Bistable Behavior and Open-Base Breakdown of Biploar Transistors)”M. Reisch，第 1398-1409 頁，IEEE 電子裝置，編號 6 第 39 卷，1992 年 06 月(“Reisch”)，其全部的內容被併入本文中做爲參考資料。Reisch 和 Sakui 都描述一個雙聚 BiCMOS SRAM 單元，其使用一個雙極性電晶體和一個 MOS 電晶體。這與浮體電晶體操作爲無電容器

的 DRAM 的情況相反，在記憶體單元中只有一個穩態浮體 24（例如，如以下文章所述一樣，“一個無電容 1T-DRAM 單元 (A Capacitor-less 1T-DRAM Cell)”（S. Okhonin 等人，第 85-87 頁，IEEE 電子裝置快報，編號 02 第 23 卷，2002 年 02 月(“Okhonin-1”)），“在 SOI 上使用一個電晶體增益單元的記憶體設計(Memory Design Using One-Transistor Gain Cell on SOI)”（T. Ohsawa 等人，第 152-153 頁，技術文摘，2002 年 IEEE 國際固態電路會議，2002 年 02 月(“Ohsawa-1”)），“進一步瞭解無電容浮體 DRAM 的物理以及建模(Further Insight Into the Physics and Modeling of Floating-Body Capacitorless DRAMs)”，A. Villaret 等人，第 2447-2454 頁，IEEE 電子裝置，編號 11 第 52 卷，2005 年 11 月(“Villaret”)，“用 CMOS90nm 技術建制的縮小 1T-大容量裝置作低成本 eDRAM 應用(Acaled 1T-Bulk Devices Built with CMOS 90nm Technology for Low-cost eDRAM Applications)”（R. Ranica 等人，第 38-41 頁，技術文摘，VLSI 技術研討會，2005 年(“Ranica”)），以及“特徵雙極電晶體機制的模擬用於大基板上未來無電容 eDRAM(Simulation of Intrinsic Biploar Transistor Mechanisms for future capacitor-less eDRAM on bulk substrate)”（R. Pulicani 等人，第 966-969 頁，2010 年，第 17 屆電子，電路和系統 IEEE 國際會議，2010 年 12 月(“Pulicani”)，其全部的內容被併入本文中做爲參考資料。

[0150] 記憶體單元 100 和陣列 120 的讀操作將會配合圖 12 和圖 13 來做描述。任何已知之感測方案可與記憶體單元 100 一起使用。儲存於浮體 24 中的電荷數量可藉由監測記憶體單元 100 的單元電流而被感測到。相較於如果單元 100 是處於一個在浮體區域 24 中沒有電洞的邏輯-0 狀態，如果記憶體單元 100 是一個在浮體區域 24 內有電洞的邏輯-1 狀態，則記憶體單元將具有更高的單元電流（例如，自 BL 終端 76 流至 SL 終端 74 的電流）。典型上被連接到 BL 終端 76 的感測電路然後可被用來確定記憶體單元的資料狀態。

[0151] 例如，藉由應用後續的偏壓條件，可對記憶體單元進行寫操作。正電壓被施加於 WL2 終端 72 上，其打開存取電晶體 42；正電壓被施加於 BL 終端 76 上，零電壓被施加於 SL 終端 74 上，零電壓或正電壓被施加於 BW 終端 78 上，且零電壓被施加於 SUB 終端 80 上。正電壓也可被施加於 WL1 終端 70 上以進一步提高流經記憶體單元 100 的電流，其從 BL 終端 76 流到 SL 終端 74。相較於如果記憶體單元 100 係處於浮體區域 24 內沒有電洞的邏輯-0 狀態，如果記憶體單元 100 係處於一個浮體區域 24 內有電洞的邏輯-1 狀態，則更高的電流將從 BL 終端 76 流至選中的記憶體單元 100 之 SL 終端 74。在一個特別應用實施例中，施加+1.2 伏電壓於 WL1 終端 70、WL2 終端 72、BL 終端 76、BW 終端 78；施加 0.0 伏電壓於 SL 終端 74 和 SUB 終端 80。在其他實施例中，可以施加不同

的電壓於記憶體 100 的各個終端上，以作爲設計選擇，且在此所述之示例性電壓不作任何限制。

[0152] 存取器電晶體 42 被用來在讀操作中幫助選擇記憶體單元 100，因爲在不同列中未被選中之記憶體單元（例如，記憶體 100C 和 100D）的存取電晶體 42 被關閉，所以它將不會傳送任何施加於 BL 終端 76 的正電壓到浮體電晶體 40 的汲極區域 18 上。結果，不同列上之未被選中的記憶體單元的浮體電晶體 40 將沒有電流流過。

[0153] 不同行上之未被選中的記憶體單元（例如，記憶體單元 100B 和 100D）將不會傳導電流，因爲 0 偏壓被施加於 BL 終端 76 和 SL 終端 74。

[0154] 圖 14 和圖 15 爲使用帶到帶隧穿機制(band-to-band tunneling mechanism)的一個示例性寫邏輯-1 操作，其中，使用下列偏壓條件：施加正偏壓於 WL2 終端 74，其打開被選中的記憶體單元 100 之儲存電晶體 42；施加負偏壓到 WL1 終端 70，施加正偏壓到 BL 終端 76；施加零偏壓到 SL 終端 74，施加零偏壓或正偏壓到 BW 終端 78，施加零偏壓到 SUB 終端 80。

[0155] 在一個特別的非限制性實施例中，施加大約+1.2 伏到選定的 WL2 終端 72，施加大約-1.2 伏到選定的 WL1 終端 70；施加大約+1.2 伏到選定的 BL 終端 76，施加大約+1.2 伏到選定的 BW 終端 78，以及施加大約 0.0 伏到 SUB 終端 80。

[0156] 施加於 WL2 終端 72 的正偏壓將打開存取電

晶體 42，其將傳遞施加於 BL 終端 76 的正偏壓到浮體電晶體 40 的汲極區域 18。現在呈現在浮體電晶體 40 的汲極區域 18 上的正偏壓，連同施加於 WL1 終端 70（其連接到閘 60）的負偏壓，一起將在閘極 60 附近之汲極區域 18 的接面區域周圍產生強的電場。此強電場使能帶在閘極 60 和汲極區域 18 的接面重疊區域附近急劇地向上彎曲，其致使電子從浮體區域 24 的價電帶隧穿至汲極區域 18 的導電帶，留下電洞於浮體區域 24 的價電帶中。隧穿經過能帶的電子成爲汲極區域 18 的洩漏電流，而電洞被注入到浮體區 24 中並且成爲產生邏輯-1 的狀態之電洞電荷。

[0157] 圖 16 和圖 17 爲通過一個碰撞電離機制的寫邏輯-1 操作之示例性偏壓條件，其分別執行於記憶體陣列 120 和一個選定的記憶體單元 100 上，其中，使用以下偏壓條件：施加正電壓於選定的 WL2 終端 72，施加正電壓於選定的 WL1 終端 70，施加正電壓於選定的 BL 終端 76，施加零電壓於 SL 終端 74，施加零電壓或正電壓於 BW 終端 78，施加零電壓於 SUB 終端 80。施加於 WL1 終端 70 和 BL 終端 76 的正電壓係組構成透過碰撞電離過程來使電洞的生成最大化，其中，浮體電晶體 40 的汲極區域 18 上的電壓一般大於施加於浮體電晶體 40 之閘極 60（其被連接到 WL1 終端 70）的電壓。

[0158] 在一個特定的非限制性實施例中，施加大約+1.2 伏於選定的 WL2 終端 72，施加大約+0.5 伏於選定的 WL1 終端 70，施加大約+1.2 伏於選定的 BL 終端 76，施

加大約 1.2 伏於選定的 BW 終端 78，施加大約 0.0 伏於 SUB 終端 80。這些電壓位準僅用於示例性，在不同的實施例中可能會有所不同。因此，上述之示例性實施例、特徵、偏壓位準等均不作限制。

[0159] 圖 18 和圖 19 繪示透過從浮體電晶體 40 的閘 60 到浮體區 24 的電容性耦合之示例性寫邏輯-1 操作的偏壓條件。其中，使用如下偏壓條件：施加零或低的正電壓於選定的 WL2 終端 72，施加正偏壓於選定的 BL 終端 76，施加正電壓於 SL 終端 74，施加正電壓於 BW 終端 78，施加零電壓於 SUB 終端 80。WL1 終端最初被接地，接著它的電位被提高到正電壓。被選定的記憶體單元的存取電晶體 42 被偏壓，使得存取電晶體 42 的源極區域 20 浮動，例如透過使得施加於 BL 終端 76 的偏壓大於施加於閘極 64 的偏壓與存取電晶體 42 的閾值電壓兩者之差而實現。因爲浮體電晶體 40 的通道區現在浮動，當閘極區域 60（係連接到 WL1 終端 70）的電位從 0（或負電壓）升高到正電壓，浮體區域 24 的電位將因電容性耦合得以提高。施加於埋井區 30（經由 BW 終端 78）的正偏壓將接著會透過碰撞電離過程而產生電洞，這樣維持了浮體區域 24 的正電荷。

[0160] 在一個特定的非限制性實施例中，施加大約 0.0 伏到 WL2 終端 72，施加於 WL1 終端的電壓從 0.0 伏提高到大約+1.2 伏；施加大約+1.2 伏電壓到 SL 終端 74，施加大約+1.2 伏電壓放 BL 終端 76，施加大約+1.2 伏到

BW 終端 78，施加大約 0.0 伏到 SUB 終端 80。這些電壓位準僅用作示例性目的，對於不同實施例可能其會有所不同。因此，描述的示例性實施例、特徵、偏壓位準等等均不作限制。

[0161] 施加於 WL1 終端 70（其被連接到閘極 60）的正偏壓之傾斜率(ramp rate)可被最佳化以提高從閘極 60 到浮體區域 24 的耦合率。例子描述於以下文章中，“依照一個正線性傾斜電壓的一個浮閘 n-通道 MOS 記憶體單元的基板回應(Substrate Response of a Floating Gate n-channel MOS Memory Cell Subject to a Positive Linear Ramp Voltage)”（H.-S. Lee 和 D. S. Lowrie，固態電子 24，編號 3，第 267 頁到 273 頁，1981 年），其全部的內容被併入本文中做爲參考資料。用更高的傾斜率可達成從閘極 60 到浮體區域 24 的更高耦合。在寫邏輯-1 操作中之施加於閘極 60 的傾斜率也可高於在其他操作(諸如，讀操作)中之施加於閘極 60 的傾斜率，以進一步改善寫邏輯-1 操作時間。

[0162] 根據一個本發明的實施例，圖 20 和圖 21 爲寫邏輯-0 操作的示例性偏壓，所施加的偏壓條件爲：施加負電壓於 SL 終端 74，施加零電壓於 WL1 終端 70、WL2 終端 72、BL 終端 76、和 SUB 終端 80。且施加正偏壓到 BW 終端 78。在這些條件下，浮體 24 與源極線區域 16 之間的 p-n 接面被正向偏壓，其使電洞從浮體 24 中排空。共用同一個終端 74 的所有記憶體單元將被同時寫入。將

任意二進位資料寫入到不同記憶體單元 100 中，一個寫邏輯-0 操作將首先被執行於將被寫入的所有記憶體單元，接著在必須寫入邏輯-1 的記憶體單元上執行一個或多個寫邏輯-1 操作。

[0163] 在一個特定的非限制性實施例中，施加大約-1.2 伏電壓於選定的 SL 終端 74，施加大約 0.0 伏電壓於 WL1 終端 70、WL2 終端 72、BL 終端 76、和 SUB 終端 80；施加大約+1.2 伏電壓於 BW 終端 78。這些電壓位準僅用於示例性，在不同的實施例中可能會有所不同。因此，上述之示例性實施例、特徵、偏壓位準等均不作限制。

[0164] 根據本發明的另一個實施例，圖 22 和圖 23 爲寫邏輯-0 的示例性偏壓條件，使用如下偏壓條件：施加正偏壓於 WL2 終端 72，施加正電壓於 WL1 終端 70，施加負偏壓於 BL 終端 76，施加零電壓於 SL 終端 74，施加正偏壓於 BW 終端 78，施加零電壓於 SUB 終端 80。在這些條件下，存取電晶體 42 將傳遞施加於 BL 終端 76 的負電壓到浮體電晶體 40 的汲極區域 18，正向偏壓在浮體 24 與汲極區域 18 之間的 p-n 接面。也可施加正偏壓到浮體電晶體 40（其係連接到 WL1 終端 70）的閘 60，這將透過電容性耦合來提高浮體 24 的電位，並反過來提高橫跨於浮體 24 與汲極區域 18 之間的 p-n 接面上的電場。施加於 BL 終端 76 的負偏壓和施加於 WL2 終端的偏壓被配置成使得不同列中未被選中的單元 100（例如，記憶體單元

100C 和 100D）的存取電晶體未傳遞負偏壓到浮體電晶體 40 的汲極區域 18。

[0165] 在一個特定的非限制性實施例中，施加大約 +1.2 的電壓於 WL2 終端 72，施加大約+1.2 伏電壓於 WL1 終端 70，施加大約 0.0 伏電壓於 SL 終端 74，施加大約 -0.2 伏電壓於 BL 終端 76，施加+1.2 伏電壓到 BW 終端 78，施加大約 0.0 伏電壓於 USB 終端 80。這些電壓位準僅用於示例性，在不同的實施例中可能會有所不同。因此，上述之示例性實施例、特徵、偏壓位準等均不作限制。

[0166] 一種低態有效的方法 —其中，將選定的 BL 終端 74 偏壓於低電壓，例如：零電壓—也可以在記憶體單元 100 和記憶體陣列 120 上執行操作。

[0167] 根據本發明的實施例，一個低態有效讀操作的示例性偏壓條件被描述於圖 24，其中，如下偏壓條件被施加應用於一個被選定的記憶體單元 100A：施加正電壓到 WL2 終端 72A，施加正電壓到 WL1 終端 70，施加零電壓到 BL 終端 76A，施加正電壓到 SL 終端 74A，施加零電壓或正電壓到 BW 終端 78A，施加零電壓到 SUB 終端 80A。以下的偏壓條件被施加應用於未被選定的終端：施加零電壓到 WL1 終端 70、WL2 終端 72、SL 終端 74，施加正電壓到 BL 終端 76，施加零電壓或正電壓到 BW 終端 78，施加零電壓到 SUB 終端 80。

[0168] 在一個特定的非限制性實施例中，以下條件

被施加應用於選定的終端：施加大約+1.2 伏電壓到 WL2 終端 72，施加大約+1.2 伏電壓到 WL1 終端 70，施加+1.2 伏電壓到 SL 終端 74，施加大約 0.0 伏電壓到 BL 終端 76，施加 0.0 伏電壓到 BW 終端 78，施加大約 0.0 伏電壓到 SUB 終端 80；然而，下列偏壓條件被施加於未被選定的終端：施加大約 0.0 伏電壓到 SL 終端 74，施加大約 +1.2 伏電壓到 BL 終端 76，施加大約+1.2 伏電壓到 BW 終端 78，施加大約 0.0 伏電壓到 SUB 終端 80。描述的示例性實施例、特徵、偏壓位準等等均不作限制。

[0169] 根據本發明的一個實施例，圖 25 描述示例性偏壓條件，該條件被施加於低態有效寫邏輯-1 操作儲存陣列 120 之選定的終端，這些條件爲：施加正電壓到 WL2 終端 72A，施加正電壓到 WL1 終端 70A，施加零電壓到 BL 終端 76A，施加高於施加到 WL1 終端 70A 之正電壓的正電壓到 SL 終端 74A，施加零或正電壓到 BW 終端 78A，施加零電壓到 SUB 終端 80A。下列偏壓條件被施加應用於未被選定的終端：施加零電壓到 WL 終端 70、WL2 終端 72、SL 終端 74，施加正電壓到 BL 終端 76，施加零電壓或正電壓到 BW 終端 78，施加零電壓到 SUB 終端 80。

[0170] 在一個特定的非限制性實施例中，以下條件被施加應用於選定的終端：約 1.2 伏的電壓被施加到 WL2 終端 72，約 0.5 伏的電壓被施加到 WL1 終端 70，大約 1.2 伏的電壓被施加到 SL 終端 74，約 0.0 伏的電壓被施

加到 BL 終端 76，約 0.0 伏的電壓被施加到 BW 終端 78，大約 0.0 伏的電壓被施加到 SUB 終端 80；而下列偏壓條件被施加應用於未被選定的終端：大約 0.0 伏的電壓施加到 WL1 終端 70，WL2 終端 72；大約 0.0 伏的電壓被施加到 SL 終端 74，大約 1.2 伏電壓被施加到 BL 終端 76，大約 1.2 伏電壓被施加到 BW 終端 78，大約 0.0 伏電壓被施加到 SUB 終端 80。描述的示例性實施例、特徵、偏壓位準等等均不作限制。

[0171] 圖 26 和圖 27 顯示了記憶體單元 102 和 104 的替代實施例，包括一個三維記憶體單元結構。在這些實施例中，記憶體 102 和 104 有一個鰭狀結構 52，該結構自基板 10 頂表面垂直伸出。鰭狀結構 52 是可傳導的，它可被建置於埋井層 30 或井區 12 上。記憶體 102 和 104 都包括浮體電晶體 40 和存取電晶體 42。在浮體電晶體 40，浮體區域 24 透過埋井區 30、源極線區域 16、汲極區域 18、絕緣層 62、和絕緣層 26 而被絕緣。在存取電晶體 42 內，井區 12 的傳導類型與基板 10 的傳導類型相同。浮體電晶體 40 的汲極區域 18 透過傳導元件 44 而被連接到存取電晶體 42 的源極區域 20。爲圖紙清晰明瞭之目的，傳導元件 44 並未被顯示於圖 26 和圖 27 中。

[0172] 記憶體單元 102 包括在浮體電晶體 40 的浮體區域 24 之兩個相反側上的閘極 60，和在存取電晶體 42 的井區 12 之兩個相反側上的閘極 64，見圖 26 所示。另外，閘極 60 和閘極 64 可能在記憶體 104 內分別將浮體區

域 24 和井區 12 的三個側邊包圍起來，如圖 27 所示。

[0173] 儲存單元 102 和 104，包括連接到源極線區域 16 的源極線（SL）終端 74，連接到位元線區域 22 的位元線（BL）終端 76，電連接到浮體電晶體 40 的閘極 60 之字線 1（WL1）終端 70，電連接到存取電晶體 42 的閘極 64 之字線 2（WL2）終端 72，電連接到浮體電晶體 40 的埋井區 30 之埋井（BW）終端 78，以及連接到基板區 10 的基板（SUB）終端 80。

[0174] 記憶體單元 100、102、和 104 均有串聯連接起來之具有相同傳導類型的兩個電晶體（在舉例中使用了兩個 n-通道電晶體 40 和 42）。圖 28 描述了儲存單元 200 的另一個實施例，其中，儲存電晶體 40 和存取電晶體 42’是具有不同傳導類型的兩個電晶體。在本儲存單元 200 的示例中，浮體電晶體 40 與儲存單元 100 類似。但是，存取電晶體 42’的傳導類型與儲存單元 100 的存取電晶體 42 之傳導類型相異，並且可以包括一個額外的存取電晶體基板終端 80’。

[0175] 根據本發明的一個實施例，圖 29A 描述記憶體單元 200。存取電晶體 42’包括二級傳導類型，例如：n-型的一個井區 12’；源極區域 20’；和初級傳導類型，例如：p-型的位元線區域 22’。二級傳導類型的井區 12’係電連接到埋井區 30，因此其未浮動。一個閘極 64 被放置於源極區域 20’與位元線區域 22’之間。閘極 64 藉由絕緣層 66 而與井區 12’絕緣。絕緣層 66 可由氧化矽和/或其他電

介質材料所做成，包括高-K 電介質材料，例如（但不僅限於此）過氧化鉭、氧化鈦、氧化鋯、氧化鉿、和/或三氧化二鋁。閘極 64 可由多晶矽材料或金屬閘極電極所做成，例如：鎢、鉭、鈦及其氮化物。絕緣層 26 的底部可位於埋區 30 之下，如圖 29B 所示。這需要一個更淺的絕緣層 28，它使浮體區域 24 絕緣，但是允許埋層 30 在圖 29B 的剖面視圖的正交方向上能夠是連續的。在圖 29A 和 29B 中顯示的記憶體單元 200 中，存取電晶體 40'的井區 12'係連接到埋區 30。因此，在此實施例中，BW 終端 78 也用作爲存取電晶體基板終端 80，該終端被 80 顯示於圖 28 的記憶體單元 200 之等效電路表示圖中。

[0176] 圖 30 和 31 描述記憶體 200 的等效電路表示圖，它顯示：浮體電晶體 40，其係由源極線區域 16、汲極區域 18、和閘極 60 所形成；以及存取電晶體 42'，其係由源極區域 20'、位元線區域 22'、和閘極 64 所形成，它們被串聯連接。固有於浮體電晶體 40 的是：雙極性裝置 44，其係由埋井區 30、浮體區域 24、和源極線區域 16 所形成；以及雙極性裝置 46，其係由埋井區 30、浮體區 24、和汲極區域 18 所形成。

[0177] 同樣地，固有於浮體電晶體 40 的是雙極性裝置 48，其係由源極線區域 16、浮體區域 24、和汲極區域 18 所形成。爲了圖紙清晰明瞭起見，雙極性裝置 48 在圖 31 中被單獨顯示出。

[0178] 圖 32 顯示以列和行排列的記憶體單元 200

（包括記憶體單元 200 的 4 個示例，分別標記爲 200a, 200b, 200c 和 200d，如圖所示）之示例性記憶體陣列 220。在很多但並非全部出現有示例性陣列 220 的圖形中，當上述之操作有一個（或在某些實施例中有多個）被選定的記憶體單元 200，代表性記憶體單元 200a 將是一個“被選中的”記憶體 200 的代表。在此類圖中，代表性記憶體單元 200b 將是與選定的代表性記憶體 200a 共用一列之未被選定的記憶體單元之代表。代表性記憶體單元 200c 將是與選定的代表性記憶體 200a 共用一行之未被選定的記憶體單元之代表。而代表性記憶體單元 200d 將是與被選定的代表性記憶體單元 200a 不共用同一列或同一行的一個記憶體單元 200 之代表。

[0179] 幾種操作可在記憶體單元 200 上執行，例如：保持、讀、寫邏輯-1、和寫邏輯-0 操作。

[0180] 根據本發明的實施例，圖 33 顯示在記憶體陣列 220 上執行的保持操作，其遵循的機制與記憶體陣列 120 相同。保持操作透過施加正的回饋偏壓到 BW 終端 78，施加零偏壓於 WL1 終端 70、WL 終端 72、SL 終端 74、SUB 終端 80，以及 BL 終端 76 來予以進行。施加於連接到 BW 終端 78 的埋層區 30 的正回饋偏壓將維持記憶體單元 200 的狀態。而此記憶體單元 200 透過維持儲存於對應浮體電晶體 40 的浮體區域 24 中之電荷而被連接。

[0181] 在一個實施例中，記憶體單元 200 的保持操作之偏壓條件爲：施加 0.0 伏電壓到 WL1 終端 70、WL2

終端 72、SL 終端 74、BL 終端 76、和 SUB 終端 78；施加例如+1.2 伏的正電壓到 BW 終端 78。在其他實施例中，可以在記憶體單元 200 的不同終端施加不同的電壓來作爲設計選擇，而且在此所描述之示例性電壓並不作任何限制。

[0182] 根據本發明的一個實施例，圖 34 描述在記憶體陣列 220 上執行一個替代的保持操作。透過施加正回饋偏壓到 SUB 終端 80，零偏壓到 WL1 終端 70、WL2 終端 72、SL 終端 74、BL 終端 76，且同時留下 BW 終端浮動來進行保持操作。在這些條件下，如果記憶體 200 係處於具有正電荷被儲存於浮體區域 24 中的邏輯-1 狀態，則記憶體單元 200 的本徵矽控整流器（SCR）被打開，從而維持正電荷在浮體區域 24 上。本徵矽控整流器係由基板 10、埋井區 30、浮體區域 24、和源極線區域 16 或汲極區域 18 所形成。在邏輯-0 狀態的記憶體單元將保持阻斷模式，因爲浮體區域 24 的電壓實質上非爲正的，且因此，浮體 24 並未打開 SCR 裝置。因此，電流沒有流經 SCR 裝置，並且儲存單元 200 保持邏輯-0 的狀態。在此保持操作中，通常被連接到同一個 SUB 終端的所有記憶體單元 200 將被維持以精確保持它們的資料狀態。

[0183] 在一個實施例中，替代保持操作施加下列偏壓條件：施加 0.0 伏電壓到 WL1 終端 70、WL2 終端 72、SL2 終端 74、BL 終端 76，施加例如+1.2 伏的正電壓到 SUB 終端 80，且同時留下 BW 終端 78 浮動。在其他實施

例中，不同的電壓可被施加於記憶體 200 的各個終端上以作爲設計選擇。在此描述的示例性電壓並不作任何限制。另外，BW 終端 78 可以從陣列 220 上被去除，而留下埋井區 30 浮動。

[0184] 根據本發明的一個實施例，圖 35 描述了執行於儲存陣列 220 上的讀操作。任何已有的感測方案均可與記憶體單元 200 一起被使用。在浮體 24 中保存的電荷數量可透過監測記憶體單元 200 的單元電流而被感測到。如果記憶體單元 200 係處於在本體區域 24 中具有電洞的邏輯-1 狀態，則相較於在浮體區域 24 中沒有任何電洞的邏輯-0 狀態的單元 200，它將有更高的單元電流（例如，從 BL 終端 76 流到 SL 終端 74 的電流）。一般連接到 BL 終端 76 的感測電路然後可以被用來確定儲存單元的資料狀態。

[0185] 例如，寫操作可藉由應用下列偏壓條件，在記憶體單元 200 上執行操作：施加 0 電壓到 WL2 終端 72，其打開存取電晶體 42；施加正電壓到 BL 終端 76；施加零電壓到 SL 終端 74；施加零或正電壓到 BW 終端 78；施加零電壓到 SUB 終端 80。也可以施加正電壓到 WL1 終端 70 以進一步提高從 BL 終端 76 到 SL 終端 74 流經儲存單元 200 的電流。如果儲存單元 200 係處於且在浮體區域 24 中具有電洞的邏輯-1 狀態，則相較於且在浮體 24 中沒有任何電洞的邏輯-1 狀態的儲存單元 200，將有更高的電流從被選的儲存單元 200 的 BL 終端 76 流至 SL 終

端 74。在一個特殊實施例中，施加+1.2 伏電壓到 WL1 終端 70、BL 終端 76、BW 終端 78；施加 0.0 伏電壓到 WL2 終端 72、SL 終端 74、和 SUB 終端 80。在其他實施例中，可施加不同的電壓到儲存單元 200 的各個終端以作爲設計選擇，在此所述的示例性電壓不作任何限制。

[0186] 存取電晶體 42 被用來在讀操作中輔助選擇儲存單元 200。因爲在不同列中未被選定的在記憶體單元（例如：儲存單元 200c 和 200d）的存取電晶體 42 被關閉（透過施加於 WL2 終端 72 的正電壓的應用而實現），它將不會傳遞施加於 BL 終端 76 的正電壓到浮體電晶體 40 的汲極區域 18。結果，沒有電流流經在不同列中未被選定的儲存單元之浮體電晶體 40。

[0187] 在不同的行，未被選定的儲存單元（例如，儲存單元 200b 和 200d）將不傳導電流，因爲零電壓被施加於 BL 終端 76 和 SL 終端 74。

[0188] 根據本發明的實施例，圖 36 描述了使用帶到帶隧穿機制的寫邏輯-1 操作，其中，施加如下偏壓條件：施加零電壓到 WL2 終端 72，其打開被選定的儲存單元 200 的存取電晶體 42；施加負偏壓到 WL1 終端 70，施加正偏壓到 BL 終端 76，施加零偏壓到 SL 終端 74，施加零偏壓或正偏壓到 BW 終端 78，施加零偏壓到 SUB 終端 80。

[0189] 在一個特定的非限制性實施例中，施加大約 0.0 伏電壓到選定的 WL2 終端 72，施加大約-1.2 伏電壓到

選定的 WL1 終端 70，施加大約+1.2 伏電壓到選定的 BL 終端 76，施加大約+1.2 伏電壓到選定的 BW 終端 78，施加大約 0.0 伏電壓到 SUB 終端 80。

[0190] 施加到 WL 終端 72 的零電壓將打開 p-型存取電晶體 42，這將傳遞施加到 BL 終端 76 的正偏壓到浮體電晶體 40 的汲極區域 18。現在呈現於浮體電晶體 40 的汲極區域 18 上的正偏壓，連同施加於 WL1 終端 70（其連接到閘極 60）的負電壓一起，將在閘極 60 附近之汲極區域 18 的接面區域周圍產生強電場。強電場使能帶在閘極和位線的接面重疊區附近急劇向上彎曲，其導致電子從價電帶隧穿至導電帶，而留下電洞於價電帶。隧穿經過能帶的電子變成洩漏電流，而同時電洞被注入浮體區域 24 中並且變成產生邏輯-1 的狀態之電洞電荷。

[0191] 圖 37 描述透過碰撞電離機制的寫邏輯-1 操作之示例性偏壓條件，根據本發明的實施例，其執行於記憶體陣列 220，其中，使用以下偏壓條件：施加零電壓於選定的 WL2 終端 72，施加正電壓於選定的 WL1 終端 70，施加正電壓於選定的 BL 終端 76，施加零電壓於 SL 終端 74，施加零電壓或正電壓於 BW 終端 78，施加零電壓於 SUB 終端 80。施加於 WL1 終端 70 和 BL 終端 76 的正電壓透過碰撞電離過程用以使電洞的產生最大化，其中，浮體電晶體 40 的汲極區域 18 上的電壓一般大於施加於浮體電晶體 40 之閘極 60（其連接到 WL1 終端 70）的電壓。

[0192] 在一個特定的非限制性實施例中，施加大約

0.0 伏於選定的 WL2 終端 72，施加大約+0.5 伏於選定的 WL1 終端 70，施加大約+1.2 伏於選定的 BL 終端 76，施加大約 1.2 伏於選定的 BW 終端 78，施加大約 0.0 伏於 SUB 終端 80。這些電壓位準僅用於示例性，在不同的實施例中可能會有所不同。因此，所述之示例性實施例、特徵、偏壓位準等等均不作限制。

[0193] 根據本發明的實施例，圖 38 爲透過從浮體電晶體 40 的閘極 60 到浮體區域 24 的電容性耦合之示例性寫邏輯-1 操作的偏壓條件。其中，使用如下偏壓條件：施加正電壓於選定的 WL2 終端 72，施加正偏壓於選定的 BL 終端 76，施加正電壓於 SL 終端 74，施加正電壓於 BW 終端 78，施加零電壓於 SUB 終端 80。WL1 終端 70 最初被接地，然後它的電位被提高到正電壓。被選定的記憶體單元的存取電晶體 42 被偏壓而使得存取電晶體 42 的源極區域 20 浮動，例如：透過使得施加於 BL 終端 76 的偏壓大於施加於閘極 64 的偏壓與存取電晶體 42 的閾值電壓兩者之差而實現。因爲浮體電晶體 40 的通道區現在浮動，當閘極區域 60（連接到 WL1 終端 70）的電位從 0（或負電壓）升高到正電壓，浮體區域 24 的電位將因電容性耦合得以提高。施加於埋井區 30（透過 BW 終端 78）的正偏壓然後將透過碰撞電離過程而產生電洞，其維持了浮體區域 24 的正電荷。

[0194] 在一個特定的非限制性實施例中，施加大約+1.2 伏到 WL2 終端 72，施加於 WL1 終端的電壓從 0.0 伏

提高到大約+1.2 伏；施加大約+1.2 伏電壓到 SL 終端 74，施加大約+1.2 伏電壓放 BL 終端 76，施加大約+1.2 伏到 BW 終端 78，施加大約 0.0 伏到 SUB 終端 80。這些電壓位準僅用作示例性目的，對於不同實施例可能其會有所不同。因此，描述的示例性實施例、特徵、偏壓位準等等均不作限制。

[0195] 根據本發明的實施例，圖 39 爲示例性寫邏輯-0 操作的偏壓條件。其中，使用如下偏壓條件：施加負電壓到 SL 終端 74，施加零電壓到 WL1 終端 70、BL 終端 76 和 SUB 終端 80，施加零電壓或正電壓到 WL2 終端 72，施加正偏壓到 BW 終端 78。在這些條件下，浮體 24 與源極線區域 16 之間的 p-n 接面被正向偏壓，其將電洞從浮體 24 中排空。共用同一個 SL 終端 74 的所有記憶體單元將被同時寫入。將任意二進位資料寫入到不同記憶體單元 200 中，寫邏輯-0 操作將首先被執行於將被寫入的所有記憶體單元，然後在必須寫入邏輯-1 的記憶體單元上執行一個或多個寫邏輯-1 操作。

[0196] 在一個特定的非限制性實施例中，施加大約-1.2 伏電壓於選定的 SL 終端 74，施加大約 0.0 伏電壓於 WL1 終端 70、BL 終端 76、和 SUB 終端 80；施加大約+1.2 伏電壓施加於 WL2 終端 72，施加大約+1.2 伏電壓到 BW 終端 78。這些電壓位準僅用於示例性，在不同的實施例中可能會有所不同。因此，所述之示例性實施例、特徵、偏壓位準等等均不作限制。

[0197] 根據本發明的另一實施例，圖 40 爲示例性寫邏輯-0 操作的偏壓條件。其中，使用如下偏壓條件：施加較應用於 BL 終端 76 之電壓更小的負電壓到 WL2 終端 72，施加正電壓到 WL1 終端 70，施加負偏壓到 BL 終端 76，施加零電壓到 SL 終端 74，施加正偏壓到 BW 終端 78，施加零電壓到 SUB 終端 80。在這些條件下，存取電晶體 42 將傳遞施加於 BL 終端 76 上的負電壓到浮體電晶體 40 的汲極區域 18，使浮體 24 與汲極區域 18 之間的 p-n 接面正向偏壓。也可施加正偏壓於浮體電晶體 40（其連接到 WL1 終端 70）的閘極 60 上，其將透過電容性耦合來提高浮體 24 的電位，並反過來提高橫跨於浮體 24 與汲極區域 18 之間的 p-n 接面上的電場。施加於 BL 終端 76 的負偏壓和施加於 WL2 終端 72 的偏壓被配置成使得不同列中未被選中的單元 200（例如，記憶體單元 200c 和 200d）的存取電晶體並未傳遞負偏壓到浮體電晶體 40 的汲極區域 18。

[0198] 在一個特定的非限制性實施例中，施加大約-1.2 的電壓於 WL2 終端 72，施加大約+1.2 伏電壓於 WL1 終端 70，施加大約 0.0 伏電壓於 SL 終端 74，施加大約-0.2 伏電壓於 BL 終端 76，施加大約+1.2 伏電壓到 BW 終端 78，施加大約 0.0 伏電壓於 USB 終端 80。這些電壓位準僅用於示例性，在不同的實施例中可能會有所不同。因此，所述之示例性實施例、特徵、偏壓位準等等均不作限制。

[0199] 一個參考單元可被使用於上述之儲存單元 100 和儲存單元 200 的感測操作中。該參考單元的特性（例如：單元電流）可被用來比較被感測的儲存單元之特性，以確定其邏輯狀態。圖 41 描述了一個參考單元 100R1 的示意性剖面視圖。儲存單元 200 對應的參考可透過配置具有不同傳導類型的存取電晶體作爲浮體電晶體而被建構。其在此未顯示。

[0200] 參考單元 100R1 包括具有與浮體區域 24 相同傳導類型的感測線區域 32，其允許電連接至浮體電晶體 40 的浮體區域 24。感測線區域 32 係位於與浮體電晶體 40 和存取電晶體之源極和汲極區域 16、18、20、22 之相同的平面上。感測線區域 32 被連接到感測線終端 82，如圖 42 所示。其中，參考單元 100R1 被顯示位於鄰近儲存單元 100 之一列的列上。

[0201] 根據本發明的一個應用實施例，圖 43A-43C 描述參考單元 100R2。圖 43A 描述參考單元 100R2 的示意頂視圖，而圖 43B 和 43C 描述圖 43A 之 I-I'和 II-II'切線的示意剖面圖。在實施中的感測區域 32 相鄰於儲存單元 100 的浮體電晶體 40，其所在的平面與源極區域和汲極區域 16、18、20、和 22 所在的平面不同，而且其允許歐姆接觸於浮體區域 24。

[0202] 圖 44 描述一個儲存陣列 120，該陣列包含參考單元 100R2，其係位於鄰近於儲存單元 100 之一行的行上。

[0203] 根據本發明的另一實施例，圖 45 描述了儲存單元 300。儲存單元 300 包括浮體電晶體 340 和存取電晶體 342。儲存單元 300 包括初級傳導類型，例如：p-型的基板 310。基板 310 一般由矽所製作而成，但是也可以包括諸如：鍺、矽鍺、砷化鎵、碳奈米管、或其他半導體材料。在本發明的一些實施例中，基板 310 可爲半導體晶圓的基體材料。在其他實施例中，基板 310 可作爲初級傳導類型的一個井，其嵌入於二級傳導類型的某一個井中，或者，也可嵌入於二級傳導類型(例如：n-型)的半導體基體材料中，作爲設計選擇（其未被顯示於圖中）。爲了簡化說明，基板 310 通常被繪製爲半導體基體材料，如圖 45 所示。

[0204] 浮體電晶體 340 也包括一個二級傳導類型（例如：n-型）的一個埋層區 330；初級傳導類型（例如：p-型）的一個浮體區 324；二級傳導類型（例如：n-型）的源極區域和汲極區域 316；初級傳導類型（例如：p-型，此傳導類型與浮體區域 324 的傳導類型相同）的感測線區域 318。

[0205] 可透過在基板 310 材料上進行離子佈植製程從而形成埋層 330。另外，也可以在基板 310 的表面磊晶生長出埋層 330。

[0206] 初級傳導的浮體區域 324 與表面 314、源極線區域 316、感測線域區 318、和絕緣層 362 進行接界；在側面與絕緣層 326 接界，在底部與埋層 330 接界。如果埋

層 330 被佈植入的話，浮體 324 可以是埋層 330 上面之原始基板 310 的一部分。另外，浮體 324 也可以被磊晶生長而得。取決於埋層 330 和浮體 324 如何被形成，浮體 324 在一些實施例中可以視需要而具有與基板 310 相同或不同的摻雜。

[0207] 閘極 360 係位於源極線區域 316 與感測區域 318 之間，在浮體區域 324 之上。閘極 360 透過絕緣層 362 而與浮體區域 324 絕緣。絕緣層 362 可由二氧化矽和/或其他電介質材料，包括高 K 電介質材料，例如，但不限於，過氧化鉭、氧化鈦、氧化鋯、氧化鉿、和/或三氧化二鋁。例如，閘極 360 可由多晶矽材料或金屬閘極電極所製成，例如：鎢、鉭、鈦及其氮化物。

[0208] 儘管可以使用其他絕緣材料，絕緣層 326（例如，像是淺溝槽隔離（STI））可由氧化矽所製成。絕緣層 326 使浮體電晶體 340 與相鄰的浮體電晶體 340 及相鄰的存取電晶體 342 絕緣。絕緣層 326 的底部可位於埋區 330 之內，從而讓埋區 330 能夠是連續的，如圖 45 所示。另外，絕緣層 326 的底部可位於埋區 330 之下(類似於絕緣層 26 可位於儲存單元 100 的埋區 30 之下一樣，如圖 2C 所示)。這需要一個較淺的絕緣層（如圖 2 中所示的 28 一樣），其使浮體區域 324 絕緣，但是可使埋層 330 在剖面視圖的垂直方向上是連續的，如圖 45 所示。簡單地說，只有在所有方向上具有連續埋區 330 的記憶體單元 300 自此顯示。

[0209] 存取電晶體 342 包括一個初級傳導類型（例如：p-型）的井區 312、源極區域 320 和二級傳導類型（例如：n-型）的位元線區域 322。初級傳導類型的井區 312 係電連接到基板區域 310，因此不會浮動。浮動閘極 364 係位於源極 320 與位元線區域 322 之間。閘極 364 藉由絕緣層 366 而與井區 312 相絕緣，且其未與任何終端相連接。浮動閘極 364 被連接到感測線區域 318 上，其最終被連接到浮體區域 324。

[0210] 絕緣層 366 可由氧化矽和/或其他電介質材料所做成，包括高-K 電介質材料，例如，但不僅限於，過氧化鉭、氧化鈦、氧化鋯、氧化鉿、和/或三氧化二鋁。閘極 364 可由多晶矽材料或金屬閘極電極所製成，例如，鎢、鉭、鈦及其氮化物。

[0211] 浮體電晶體 340 的感測區域 318 透過傳導元件 98 而被連接到存取電晶體 342 的浮動閘極 364。傳導元件 90 使浮體電晶體 340（它也可被稱爲記憶體裝置 300 的源極/汲極區域 16）的源極/汲極區域 316 連接到位元線 1（BL1）終端 374。傳導元件 92 使存取電晶體（它也可被稱爲記憶體裝置 300 的位元線區域 322）的位元線區域 322 連接到位元線 2（BL2）終端 376，而傳導元件 94 使存取電晶體 342 的源極區域 320 連接到源極線（SL）終端。傳導元件 90、92、94、和 98 可由鎢或矽化物的矽所形成，但不僅限於此。

[0212] 除了 SL 終端 372、BL1 終端 374、和 BL2 終

端 376 外，記憶體單元 300 還包括：字線（WL）終端 370，其被電連接到浮體電晶體 340 的閘極 360；埋井（BW）終端 378，其被電連接到浮體電晶體 340 的埋井區 330；以及基板（SUB）終端 380，其被連接到基板區域 310。

[0213] 根據本發明的一個實施例（包括記憶體單元 300 的四個示例，標記爲 300a、300b、300c、和 300d），圖 46 顯示記憶體單元 300 的示例性記憶體陣列 320，這些陣列係排列成列和行。在許多，但並非所有出現有示例性陣列 320 的圖形中，在上述之操作有一個選定的記憶體單元 300 時，代表性記憶體單元 300A 將爲一個（或在一些實施中有多個）“選定的”記憶體單元 300。在這類圖形中，代表性記憶體單元 300B 將是與選定的代表性記憶體單元 300A 共用同一列之未被選中的記憶體單元 300 的代表，代表性記憶體單元 300C 將是與選定的代表記憶體單元 300A 共用同一行之未被選中的記憶體單元 300 的代表，而代表性記憶體單元 300D 將是未與選定的代表性記憶體單元 300A 共用同一列或同一行之未被選中的記憶體單元 300 的代表。

[0214] 圖 46 爲 370a 到 370n 的 WL 終端、372a 到 372n 的 SL 終端、374a 到 374p 的 BL1 終端、376a 到 376p 的 BL2 終端、378a 到 378n 的 BW 終端、380a 到 380n 的 SUB 終端。WL、SL、和 BW 終端各自被顯示與記憶體單元 300 的一個單獨列相關聯，而且，BL1 和 BL2 終

端各自被顯示與記憶體單元 300 的一個單獨行相關聯。在本技術領域的普通技術人員將會理解，很多其他記憶體陣列 320 的排列和佈局都是可能的。例如，只有一個共同的 SUB 終端 380 是透過記憶體陣列 320 的一段或透過整個記憶體陣列 320 來予以呈現。同樣地，其他終端可以被分段或緩衝，而控制電路，例如：字解碼器、行解碼器、分段裝置、感測放大器、寫入放大器等等，可在陣列 320 周圍排列或插入於陣列 320 的子陣列中。描述的示例性實施例、特徵、設計選項等等不作任何限制。

[0215] Lu 等人描述一個雙電晶體浮體閘極 DRAM 單元於“低功耗納米嵌入式 DRAM 的新式雙電晶體浮體/閘極單元(A Novel Two-Transistor Floating-Body/Gate Cell for Low-Power Nanoscale Embedded DRAM)”，Z. Lu 等人，第 1511-1518 頁，IEEE 電子裝置，編號 6 第 55 卷，2008 年 6 月(“Lu-1”)，以及“一個簡化的超級浮體/閘極 DRAM 單元 (A Simplified Superior Floating-Body/Gate DRAM Cell)”，Z. Lu 等人，第 282-284 頁，IEEE 電子裝置快報，編號 03 第 30 卷，2009 年 03 月(“Lu-2”)，其全部的內容被併入本文中做爲參考資料。

[0216] 描述於 Lu-1 和 Lu-2 的雙電晶體記憶體單元使用浮體區域作爲電荷儲存區域，且其操作類似於無電容 DRAM，如 Okhonin-1 和 Ohsawa-1 中所述。結果，描述於 Lu-1 和 Lu-2 的雙電晶體記憶體單元有一個受限的資料保留時間，並且需要一個刷新操作。

[0217] 在記憶體單元 300 中的浮體電晶體 340 是一個雙穩態記憶體單元，其中，雙穩態透過施加正偏壓到回饋偏壓區 330（連接到終端 378）的應用而實現，其遵循與記憶體單元 100 和 200 的原則一樣。浮體電晶體 340 的狀態可透過存取電晶體 342 的特性而被感測到，例如，單元電流從 BL2 終端 376 流至存取電晶體 342 的 SL 終端 372。一個正充電浮體區域 324（例如：邏輯-1 狀態）將打開存取電晶體 342，結果，存取電晶體 342 將傳導一個較浮體區域 324 爲電中性的情況（或低的正電荷）更高的電流。

[0218] 根據本發明的實施例，圖 47 描述執行於在記憶體陣列 320 內記憶體單元 300a 上的一個讀操作：施加零電壓於 WL 終端 370a，施加零電壓於 BL1 終端 374a，施加正電壓到 BL2 終端 376a，施加零電壓到 SL 終端 372a，施加零電壓或正電壓到 BW 的終端 378，施加零電壓到 SUB 終端 380a；而下列的偏壓條件被施加應用於未被選中的終端：施加零電壓到 WL 終端 370，施加零電壓到 BL1 終端 374，施加零電壓到 BL2 終端 376，施加等於應用到被選定的 BL2 終端 376a 上大小一樣的正電壓到 SL 終端 372（也可以使未被選定的 SL 終端 372 保持懸空）；施加零電壓或正電壓到 BW 終端 378，施加零電壓到 SUB 終端 380。

[0219] 在一個特定的非限制性實施例中，應用下列偏壓條件於選定的終端：施加大約 0.0 伏電壓到 WL 終端

370，施加大約 0.0 伏電壓到 SL 終端 372，施加大約 0.0 伏電壓到 BL1 終端 374，施加大約+0.4 伏電壓到 BL2 終端 376，施加大約+1.2 伏電壓到 BW 終端 378，施加大約 0.0 伏電壓到 SUB 終端 380。而下列偏壓條件被應用於未被選定的終端：施加大約 0.0 伏電壓施加到 WL 終端 370，施加大約+0.4 伏電壓到 SL 終端 372，施加大約 0.0 伏電壓到 BL1 終端 374，施加大約 0.0 伏電壓到 BL 終端 376，施加大約+1.2 伏電壓到 BW 終端 378，施加大約 0.0 伏電壓到 SUB 終端 380。描述的示例性實施例、特徵、設計選項等等不作任何限制。

[0220] 浮體電晶體 340 的寫操作與描述於下列文章的操作類似："半電晶體儲存單元(half transistor memory cell)"，Y. Widjaja 和 Z. Or-Bach；美國申請號爲 12/897,516 的"有電浮體電晶體的半導體記憶體裝置(A Semiconductor Memory Device Having an Electrically Floating Body Transistor)"；美國申請號爲 12/897,538 的"有電浮體電晶體的半導體記憶體裝置(A Semiconductor Memory Device Having an Electrically Floating Body Transistor)"，其全部的內容被併入本文中做爲參考資料。

[0221] 根據本發明實施例，圖 48 爲使用帶到帶隧穿機制的一個示例性寫邏輯-1 操作的示例性偏壓條件，其操作執行於在記憶體陣列 320 內的選定的記憶體單元 300a，使用下列偏壓條件：施加負電壓到 WL 終端 370a，施加正電壓到 BL1 終端 374a，施加零電壓到 BL2 終端

376a，施加零電壓到 SL 終端 372a，施加零電壓或正電壓到 BW 終端 378，施加零電壓到 SUB 終端 380a；而下列偏壓條件被施加到未被選定的終端：施加零電壓到 WL 終端 370，施加零電壓到 BL1 終端 374，施加零電壓到 BL2 終端 376，施加零電壓 SL 終端 374，施加零電壓或正電壓到 BW 終端 378，施加零電壓到 SUB 終端 380。

[0222] 在一個特定的非限制性實施例中，施加下列偏壓條件於選定的終端：施加大約-1.2 伏電壓於 WL 終端 370，施加大約 0.0 伏電壓到 SL 終端 372，施加大約+1.2 伏電壓到 BL1 終端 374，施加大約 0.0 伏電壓到 BL2 終端 376，施加大約+1.2 伏電壓到 BW 終端 378，施加大約 0.0 伏電壓到 SUB 終端 380；而下列偏壓條件被施加於未選定的終端：施加大約 0.0 伏電壓於 WL 終端 370，施加大約 0.0 伏電壓於 SL 終端 372，施加大約 0.0 伏電壓到 BL1 終端 374，施加大約 0.0 伏電壓到 BL 終端 376，施加大約+1.2 伏電壓到 BW 終端 378，施加大約 0.0 伏電壓到 SUB 終端 380。因此，描述的示例性實施例、特徵、設計選項等等不作任何限制。

[0223] 根據本發明實施例，圖 49 爲一個示例性寫邏輯-0 操作的示例性偏壓條件，其操作係執行於在記憶體陣列 320 內的選定的記憶體單元 300a，使用下列偏壓條件：施加正電壓到 WL 終端 370a，施加負電壓到 BL1 終端 374a，施加零電壓到 BL2 終端 376a，施加零電壓到 SL 終端 372a，施加零電壓或正電壓到 BW 終端 378，施加零

電壓到 SUB 終端 380a；而下列偏壓條件被施加到未被選定的終端：施加零電壓到 WL 終端 370，施加零電壓到 BL1 終端 374，施加零電壓到 BL2 終端 376，施加零電壓 SL 終端 374，施加零電壓或正電壓到 BW 終端 378，施加零電壓到 SUB 終端 380。

[0224] 在一個特定的非限制性實施例中，施加下列偏壓條件於選定的終端：施加大約+1.2 伏電壓於 WL 終端 370，施加大約 0.0 伏電壓到 SL 終端 372，施加大約-0.2 伏電壓到 BL1 終端 374，施加大約 0.0 伏電壓到 BL2 終端 376，施加大約+1.2 伏電壓到 BW 終端 378，施加大約 0.0 伏電壓到 SUB 終端 380；而下列偏壓條件被施加於未選定的終端：施加大約 0.0 伏電壓於 WL 終端 370，施加大約 0.0 伏電壓於 SL 終端 372，施加大約 0.0 伏電壓到 BL1 終端 374，施加大約 0.0 伏電壓到 BL 終端 376，施加大約 +1.2 伏電壓到 BW 終端 378，施加大約 0.0 伏電壓到 SUB 終端 380。這些電壓僅作實施例中示例目的。因此，描述的示例性實施例、特徵、設計選項等等不作任何限制。

[0225] 根據本發明的另一個實施例，圖 50 描述了記憶體單元 400。記憶體單元 400 包括兩個雙穩態浮體電晶體 440 和 440'，其儲存補償電荷於對應的浮體區域 424 和 424'。因此，如果浮體電晶體 440 係處於邏輯-0 的狀態，浮體電晶體 440'則處於邏輯-1 的狀態，反之亦然。補償性浮體電荷將導致 BL 終端 474 和 $\overline{\text{BL}}$ 終端 474'的互補狀態。BL 和 $\overline{\text{BL}}$ 終端對可接著被用來確定記憶體單元 400 的

狀態。浮體電晶體 440 和 440'均爲雙穩態浮體電晶體，其透過施加正的回饋偏壓到埋井區 430（連接到 BW 終端 478）而實現，而且遵循的原則與記憶體單元 100 和 200 一樣。

[0226] 根據本發明的一個實施例，圖 51 描述了記憶體單元 420 的示例，包括有記憶體單元 400。圖 51 是 470a 到 470n 連接到閘區 60 的 WL1 終端、472a 到 472n 連接到閘區 64 的 WL2 終端、476a 到 476n 連接到浮體電晶體 440 和 440'之源極線區 18 和 18'的 SL 終端、474a 到 474p 連接到浮體電晶體 440 的汲極區域 16 之 BL 終端、$\overline{\text{BL}}$ 終端 474'a 到 474'b 連接到浮體電晶體 440'的汲極區域、480a 到 480n 的 SUB 終端。在顯示於圖 51 的示例記憶體陣列 420 中，浮體電晶體 440 和 440'的源極線區域 18 和 18'被連接到相同的 SL 終端 372。但是，源極線區域 18 和 18'兩者之一可以被連接到獨立的終端，例如：SL 終端 476 和 $\overline{\text{SL}}$ 終端 476'。同樣地，示例儲存陣列 420 顯示閘極區域 60 和 64 被連接到獨立的 WL 終端 470 和 472。在另外的實施例中，閘極區域 60 和 64 可以被連接到相同的 WL 終端。圖 52 描述了記憶體單元 400 的示意頂視圖，其中，浮體電晶體 440 和 440'的閘極區域被連接在一起。其中，傳導材料 90 和 90'到 BL 終端 474 和 $\overline{\text{BL}}$ 終端 474'之間的連接可透過金屬線來予以連接；例如：鋁線或銅線。同樣地，傳導材料 92 和 92'到 SL 終端 476 之間的連接，可使用金屬線來予以連接，例如：鋁線或銅

線。

[0227] 根據本發明的另一個實施例中，圖 53 描述了一個雙埠記憶體單元 500，其中，記憶體單元 500 的狀態被儲存於雙埠浮體電晶體 40D；電晶體 42A 和 42B 則用作爲雙埠記憶體單元 500 的存取電晶體。雙埠浮體電晶體 40D 的操作和結構已經有所描述，例如，其描述於：美國專利申請號爲 2012/0120752，標題爲“帶電浮體電晶體的雙埠半導體記憶體和先進先出（FIFO）記憶體(Dual-Port Semiconductor Memory and First-In First-Out (FIFO) Memory Having Electrically Floating Body Transistor)”(“Widjaja-5”)，其全部的內容被併入本文中做爲參考資料。記憶體單元 500 的狀態被儲存於雙埠浮體電晶體 40D 的浮體區域中 24。

[0228] 記憶體單元 500 還包括：一個字線#1A (WL1A)終端 70A，其電連接到閘極 60A；一個字線#1B (WL1B)終端 70B，其電連接到閘極 60B；一個字線#2A (WL2A)72A，其電連接到閘極 64A；一個字線#2B (WL2B) 72B，其電連接到閘極 64B；一個源極線(SL)74 其電連接到區域 22A；一個位元線#2 (BL2) 終端 76B，其電連接到區域 22B；一個埋井(BW) 終端 78，其電連接到雙埠浮體電晶體 40D 的埋井區 30；以及基板(SUB) 終端 80，其連接到基板區域 10。WL1A 終端 70A、WL2A 終端 72A、和 BL1 終端 76A 也可被稱爲“埠#1”，而 WL1B 終端 70B、WL2B 終端 72B、和 BL2 終端 76B 也可被稱爲“埠#2”。

[0229] 雙埠浮體電晶體 40D 係串聯連接到存取電晶體 42A 和 42B。浮體電晶體 40D 的汲極區域 18A 透過傳導元件 94A 而被連接到埠#1 之存取電晶體 42A 的源極區域 20A。同樣地，浮體電晶體 40D 的汲極區域 18B 透過傳導元件 94B 而被連接到埠#2 之存取電晶體 42B 的源極區域 20B。

[0230] 訪問儲存單元 500，例如在儲存單元 500 上的讀取和寫操作，不管何時，可以透過埠#1 和/或埠#2 來予以獨立執行。

[0231] 如 Widjaja-5 中所述，一個多埠浮體電晶體也可以代替雙埠浮體電晶體 40D，透過形成額外的源極區域或汲極區域，並且將附加的閘極放置於表面之上和在源極區域與汲極區域之間而實現操作。對於一個 n-埠記憶體單元，浮體電晶體的閘極的數量和位元線的數量等於 n，而浮體電晶體的二級傳導類型（例如：源極或汲極區域）之區域數量等於(n+1)。一個二級傳導類型的所有區域和在一個多埠記憶體單元中的閘極都將被耦合到相同的浮體區域 24 中。相應地，對於一個 n-埠記憶體單元，存取電晶體的數量等於 n。

[0232] 從上文可以看出，儲存單元包括兩個電晶體，例如一個浮體電晶體和一個存取電晶體，它們被串聯連接，一個浮體電晶體和一個浮閘電晶體，或者用來儲存補償電荷的兩個浮體電晶體。雖然前面的書面描述，本發明可使一個本領域的普通技術人員能夠製造和使用目前被

認爲是其最佳模式，因此，那些本領域普通技術人員將理解和知悉的具體實施例的變化、組合的存在，以及具體實施例的等同物、方法及例子。本發明應不局限於上述實施例、方法和例子。但是，本發明範圍和精神內的所有實施和方法，均依聲明範圍所述。

[0233] 雖然本發明參照其具體實施例進行了描述，但本技術領域的熟練技術人員應理解，在不脫離本發明的真實精神和範圍的情況下，可以作出各種改變，並且等同物可被取代。此外，根據本發明的目的、精神和範圍，可進行許多修改，以適應特定的情況、材料、物質組合、工藝和工藝步驟。所有這樣的修改均在所附的申請專利範圍的範疇之內。

【符號說明】

[0234]

10：基板區域

12：井區

12’：井區

14：表面

16：源極線區域

18：汲極區域

20：源極區域

20’：源極區域

22：位元線區域

22’：位元線區域

23：能量勢壘

24：電浮體

26：絕緣層

27：導電帶

27A：導電帶

28：絕緣層

29：價電帶

29A：價電帶

30：埋井區

32：感測線區域

40：浮體電晶體

40D：浮體電晶體

42：存取電晶體

42’：存取電晶體

42B：雙極性電晶體

44：雙極裝置

46：雙極裝置

48：雙極裝置

50：記憶體單元

50A：存取裝置

50M：記憶體裝置

52：鰭狀結構

60：閘極

62：絕緣層

64：閘極

66：絕緣層

70：字線 1 終端

72：字線 2 終端

74：源極線終端

76：位元線終端

78：埋井終端

80：基板終端

80'：基板終端

90：傳導元件

92：傳導元件

94：傳導元件

94a：傳導元件

94b：傳導元件

100：記憶體單元

100B：記憶體單元

100R1：參考單元

100R2：參考單元

102：記憶體單元

104：記憶體單元

120：記憶體陣列

122：記憶體陣列

200：記憶體單元

220：記憶體單元

300：記憶體單元

310：基板區域

312：井區

316：源極線區域

318：汲極區域

320：源極區域

322：位元線區域

324：電浮體

326：絕緣層

330：埋井區

340：浮體電晶體

342：存取電晶體

360：閘極

362：絕緣層

364：閘極

366：絕緣層

370：字線 1 終端

372：字線 2 終端

374：源極線終端

376：位元線終端

378：埋井終端

380：基板終端

400：記憶體單元

420：記憶體單元

424：電浮體

424’：電浮體

440：浮體電晶體

440’：浮體電晶體

470：字線 1 終端

472：字線 2 終端

474：源極線終端

474’：源極線終端

476：位元線終端

476’：位線終端

478：埋井終端

480：基板終端

500：記憶體單元

申請專利範圍

【請求項 1】一種半導體儲存單元，該半導體儲存單元包括：

具有浮體區域的雙極性裝置，其中，儲存在該浮體區域中的電荷量表示該儲存單元的狀態；以及

存取裝置；

其中，該雙極性裝置和該存取裝置被串聯電連接，並且

其中，該雙極性裝置包括埋井區域。

【請求項 2】如請求項 1 所述的半導體儲存單元，其中，該存取裝置包括金屬氧化物半導體電晶體。

【請求項 3】如請求項 1 所述的半導體儲存單元，其中，該存取裝置包括雙極性電晶體。

【請求項 4】如請求項 1 所述的半導體儲存單元，其中，該雙極性裝置包括至少兩個穩定的狀態。

【請求項 5】如請求項 1 所述的半導體儲存單元，其中，流經該儲存單元的電流量係由儲存在該浮體區域中的該電荷量所決定的。

【請求項 6】如請求項 1 所述的半導體儲存單元，其中，該半導體儲存單元係形成於鰭狀結構中。

【請求項 7】如請求項 1 所述的半導體儲存單元，其中，該雙極性裝置包括閘極區域。

【請求項 8】一種半導體記憶體陣列，該半導體記憶體陣列包括排列成列和行之矩陣的複數個半導體儲存單

元，其中，該等半導體儲存單元各自包括：

具有浮體區域的雙極性裝置，其中，儲存在該浮體區域中的電荷量表示該儲存單元的狀態；以及

存取裝置；

其中，該雙極性裝置和該存取裝置被串聯電連接，並且

其中，該雙極性裝置包括埋井區域。

【請求項 9】如請求項 8 所述的半導體記憶體陣列，其中，該存取裝置包括金屬氧化物半導體電晶體。

【請求項 10】如請求項 8 所述的半導體記憶體陣列，其中，該存取裝置包括雙極性電晶體。

【請求項 11】如請求項 8 所述的半導體記憶體陣列，其中，該雙極性裝置包括至少兩個穩定的狀態。

【請求項 12】如請求項 8 所述的半導體記憶體陣列，其中，流經該儲存單元的電流量係由儲存在該浮體區域中的該電荷量所決定的。

【請求項 13】如請求項 8 所述的半導體記憶體陣列，其中，該半導體儲存單元係形成於鰭狀結構中。

【請求項 14】如請求項 8 所述的半導體記憶體陣列，其中，該雙極性裝置包括閘極區域。

圖 式

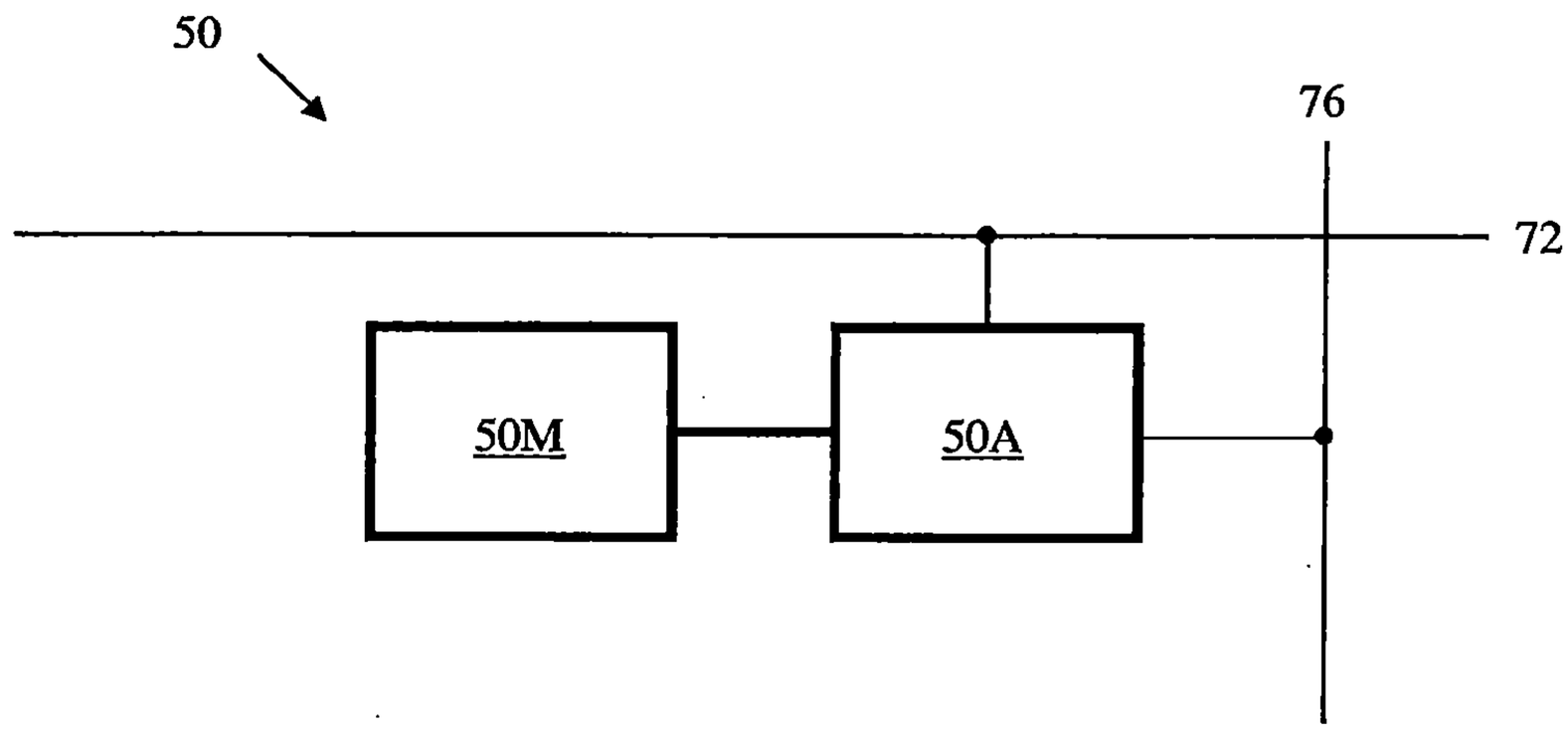

圖 1A

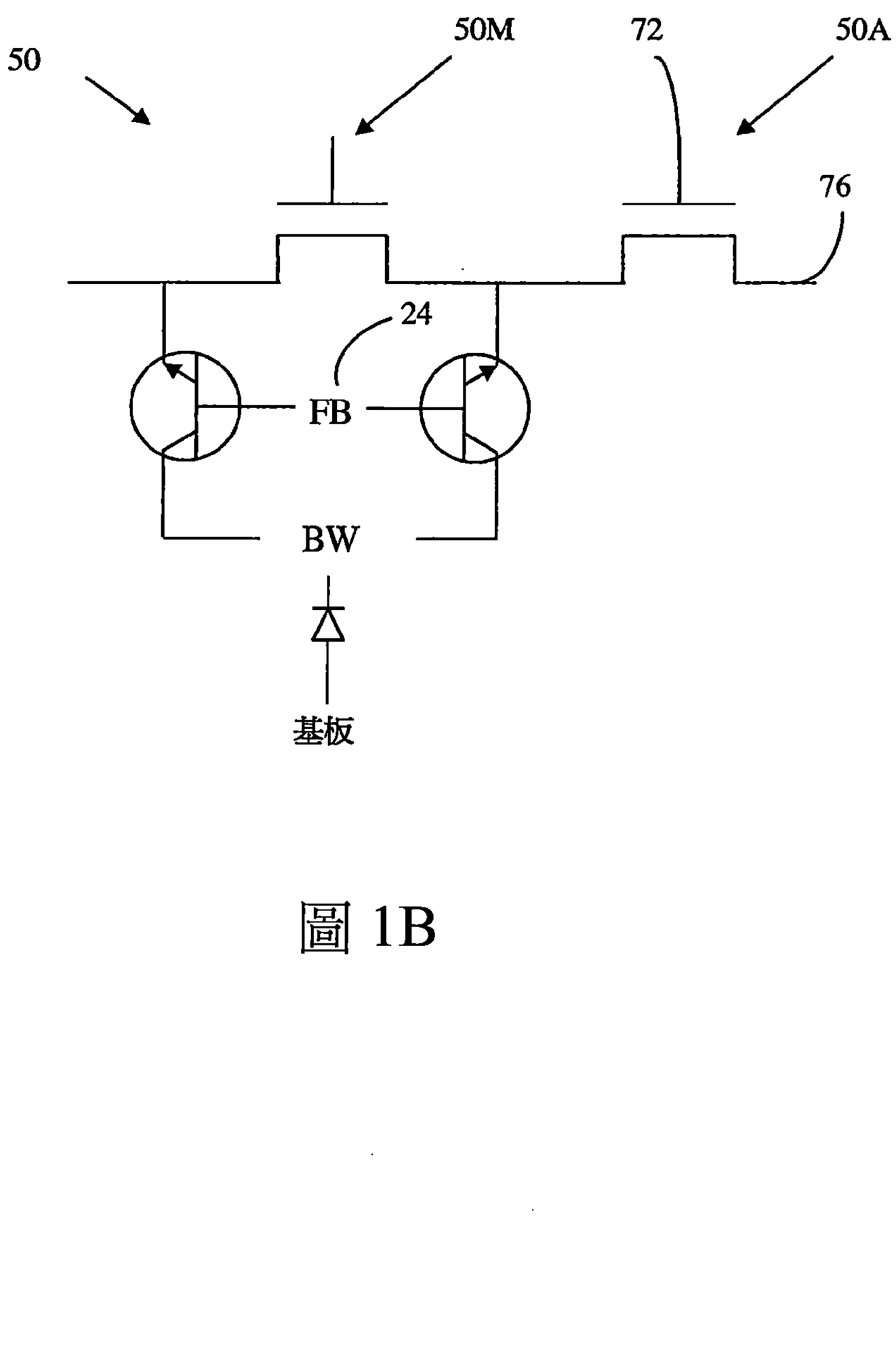

圖 1B

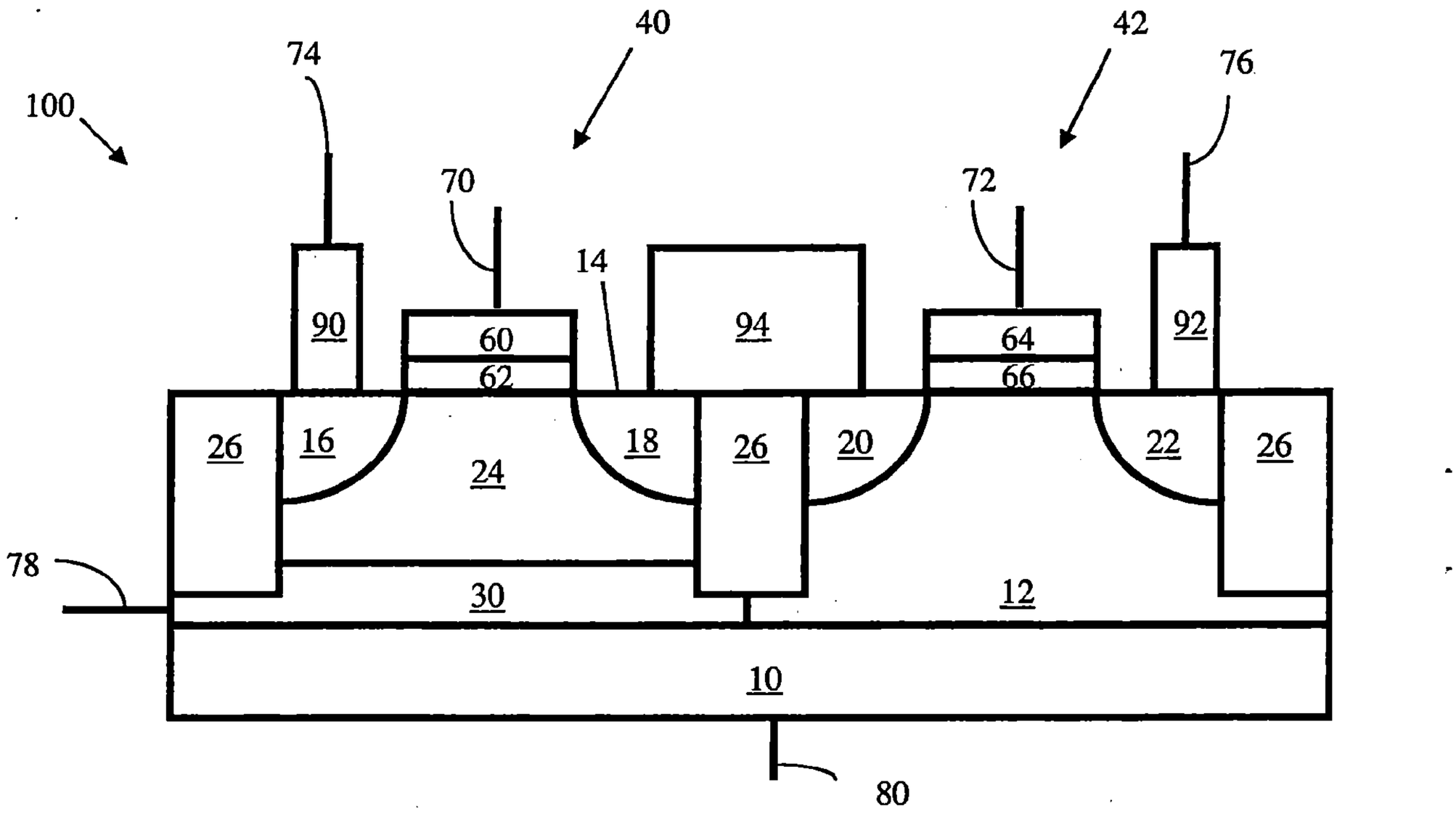
100
74
40
42
76
70
72
14
90
60
62
94
64
66
92
26
16
24
18
26
20
22
26
78
30
12
10
80

圖 2A

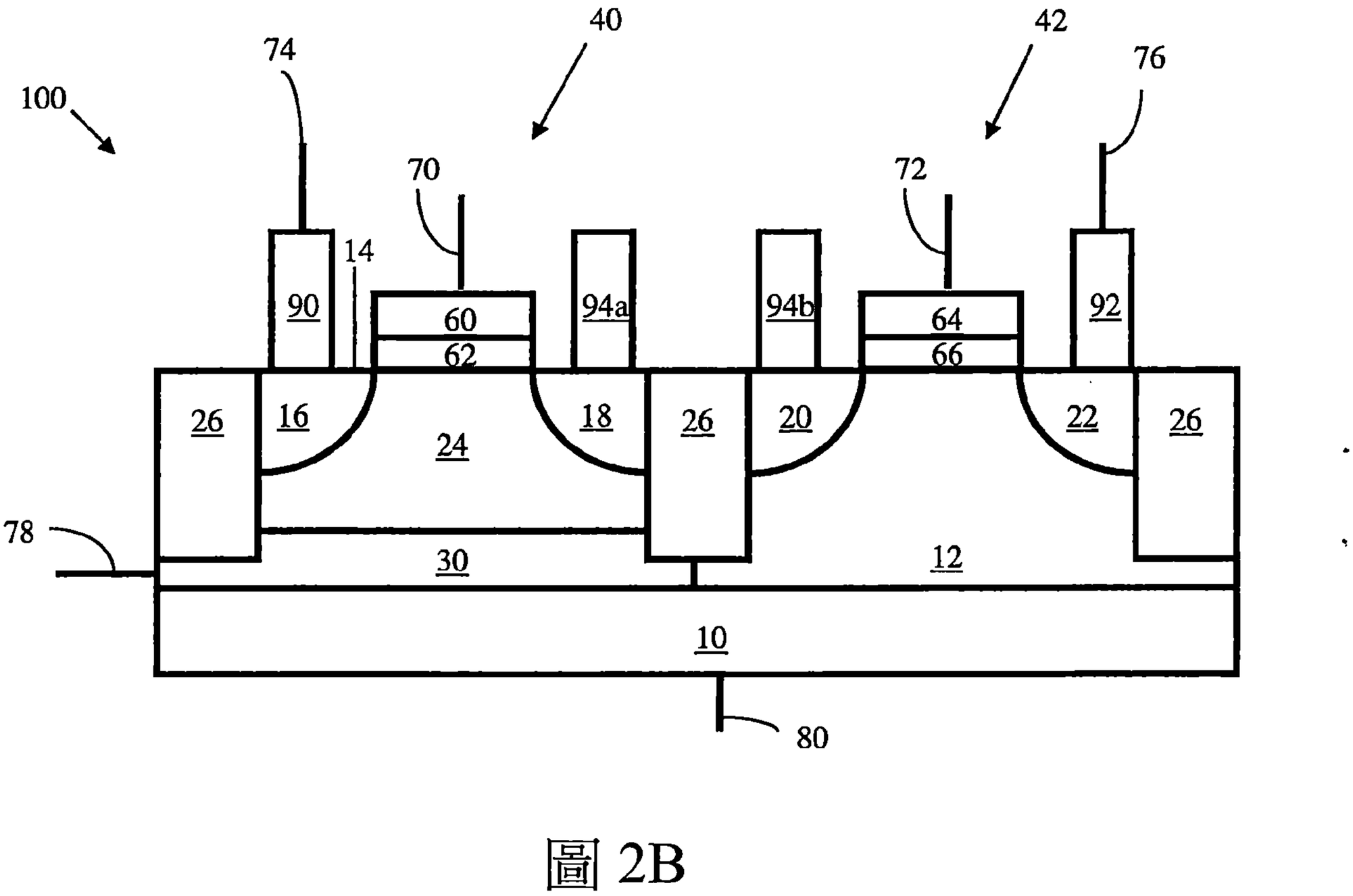
40
42
74
76
100
70
72
14
90
60
62
94a
94b
64
66
92
26
16
24
18
26
20
22
26
78
30
12
10
80

圖 2B

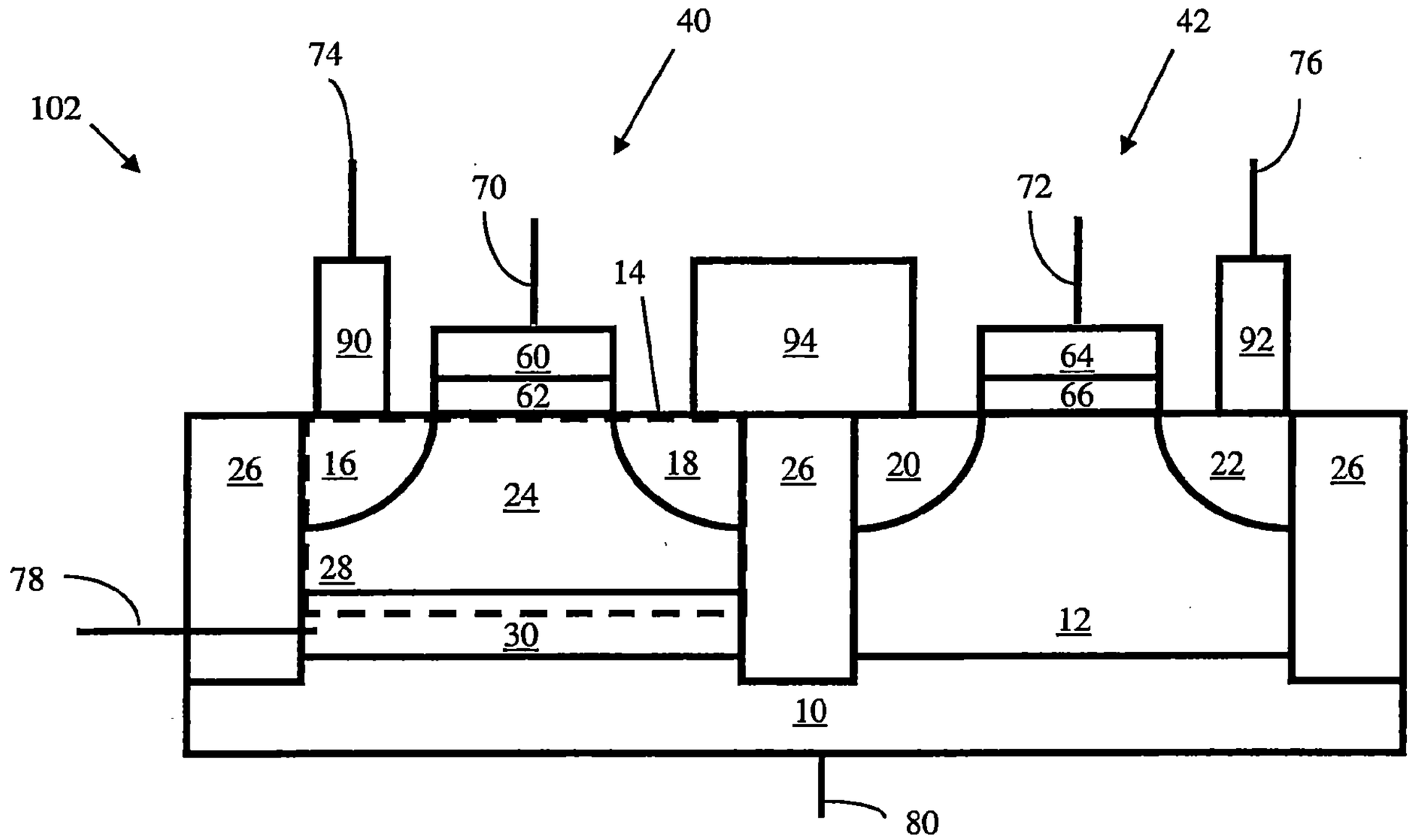
102
74
40
42
76
70
72
14
90
60
62
94
64
66
92
26
16
18
26
20
22
26
24
78
28
30
12
10
80

圖 2C

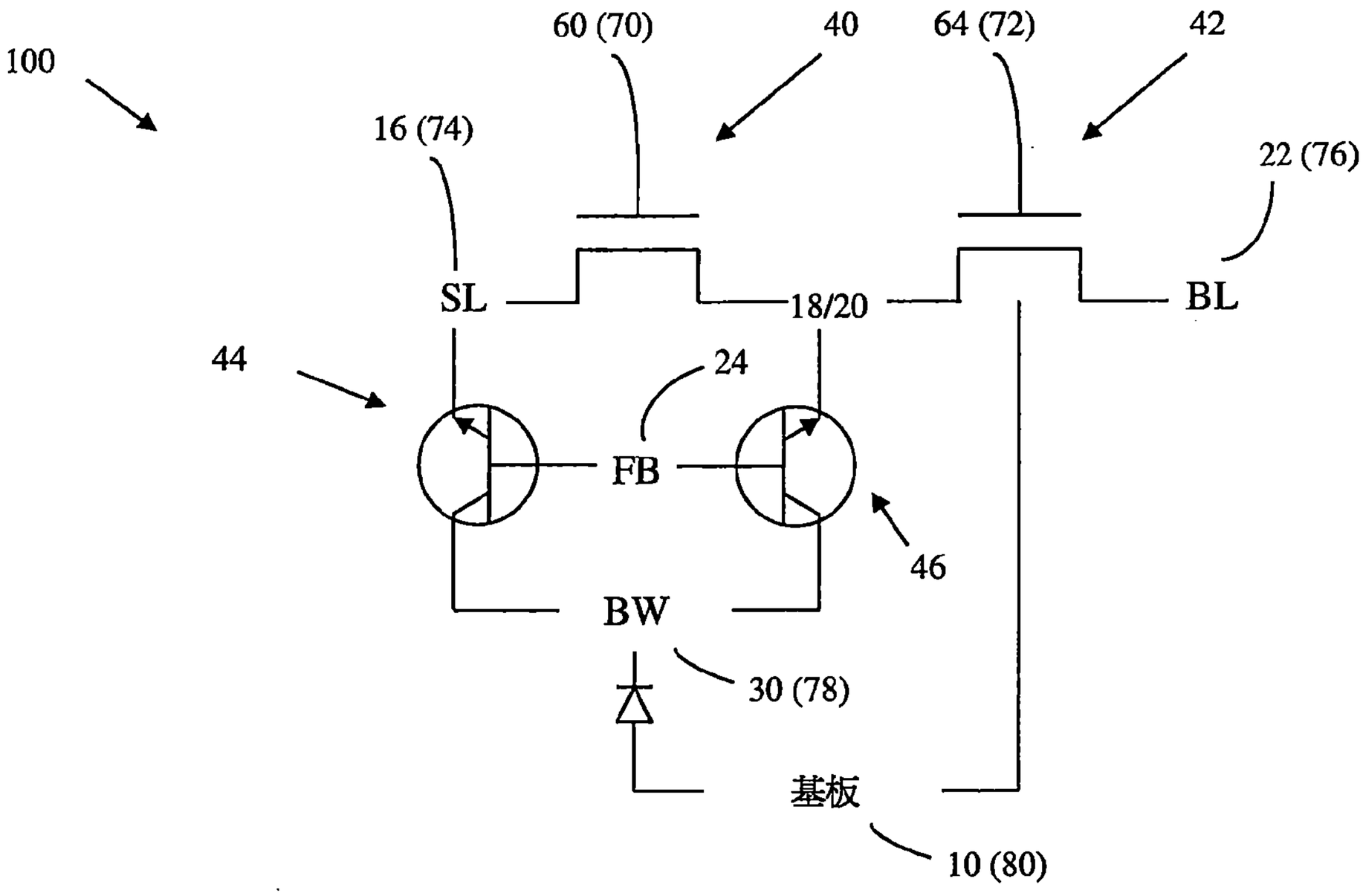
100
60 (70)
40
64 (72)
42
16 (74)
22 (76)
SL
18/20
BL
44
24
FB
46
BW
30 (78)
基板
10 (80)

圖 3A

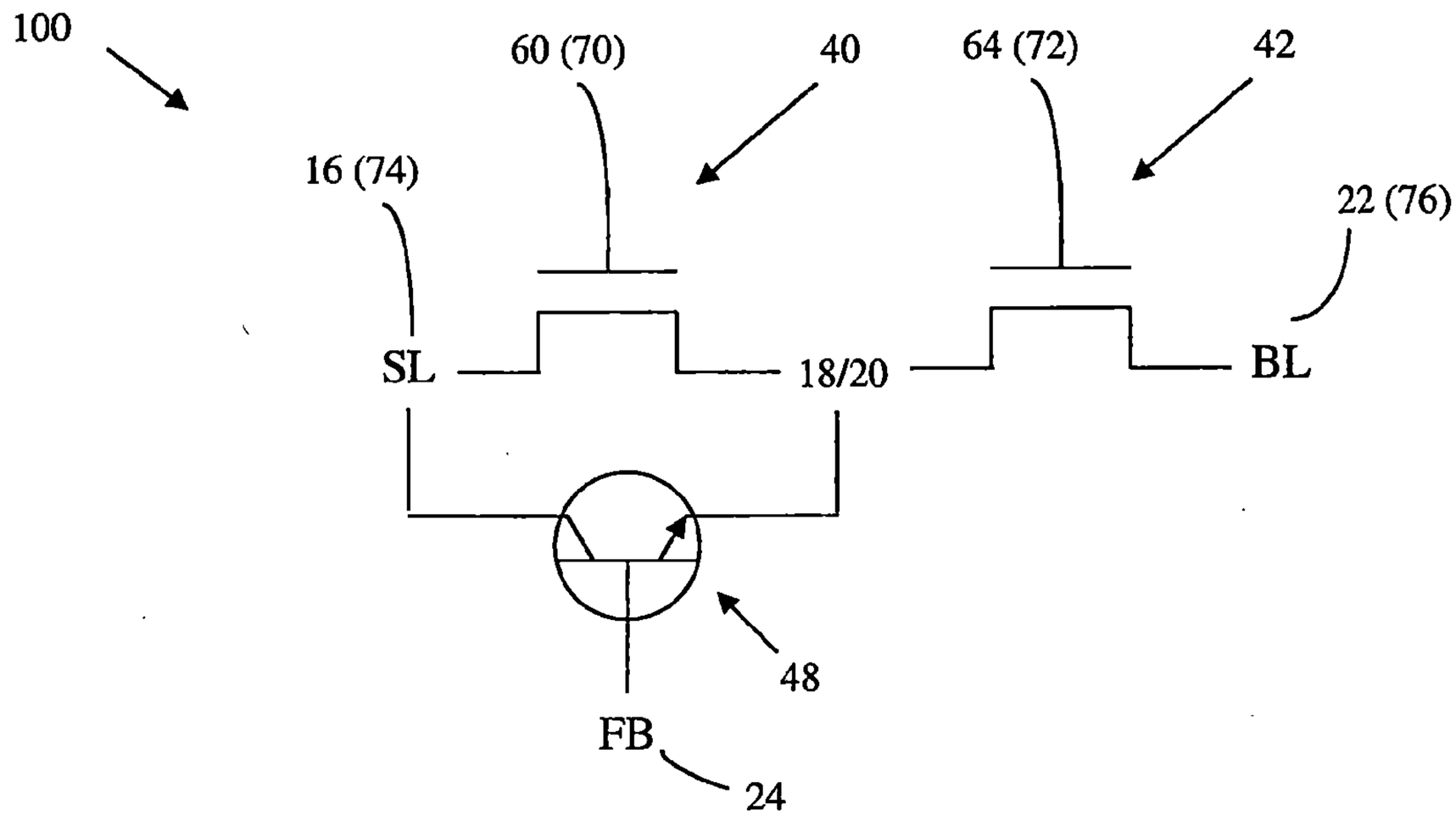
100
60 (70)
40
64 (72)
42
16 (74)
22 (76)
SL
18/20
BL
48
FB
24

圖 3B

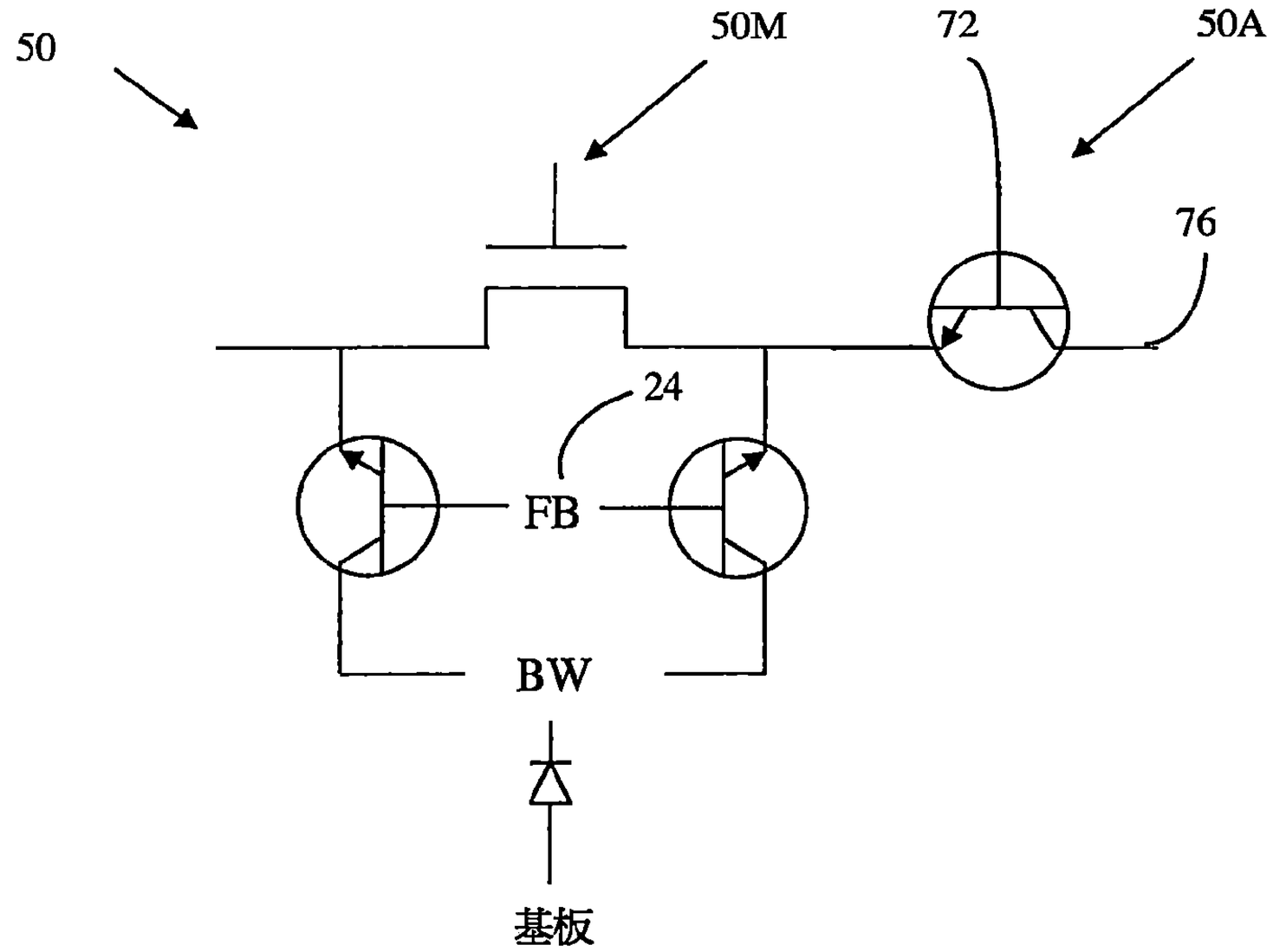
50
50M
72
50A
76
24
FB
BW
基板

圖 4A

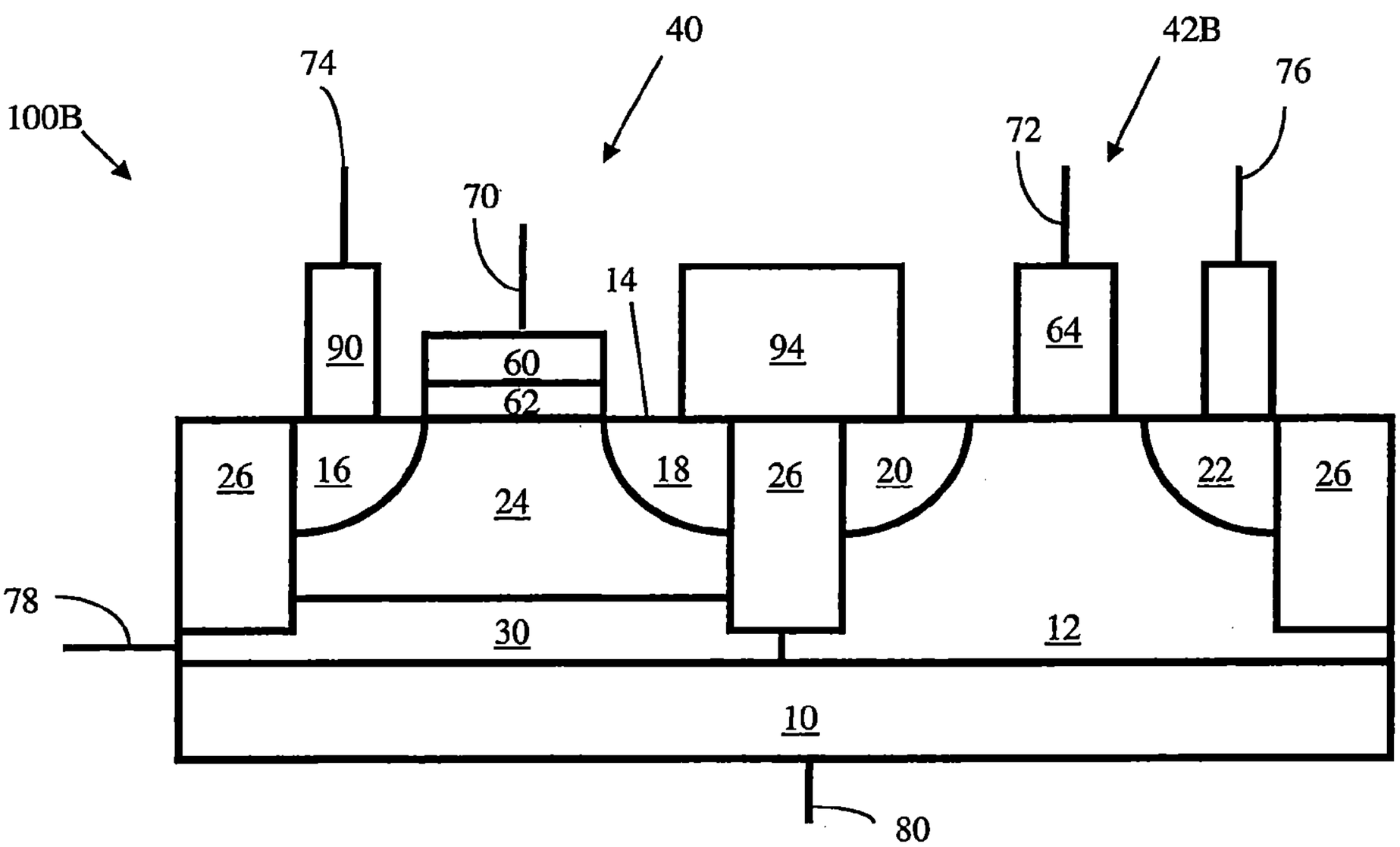
40
42B
100B
74
70
14
72
76
90
60
62
94
64
26
16
24
18
26
20
22
26
78
30
12
10
80

圖 4B

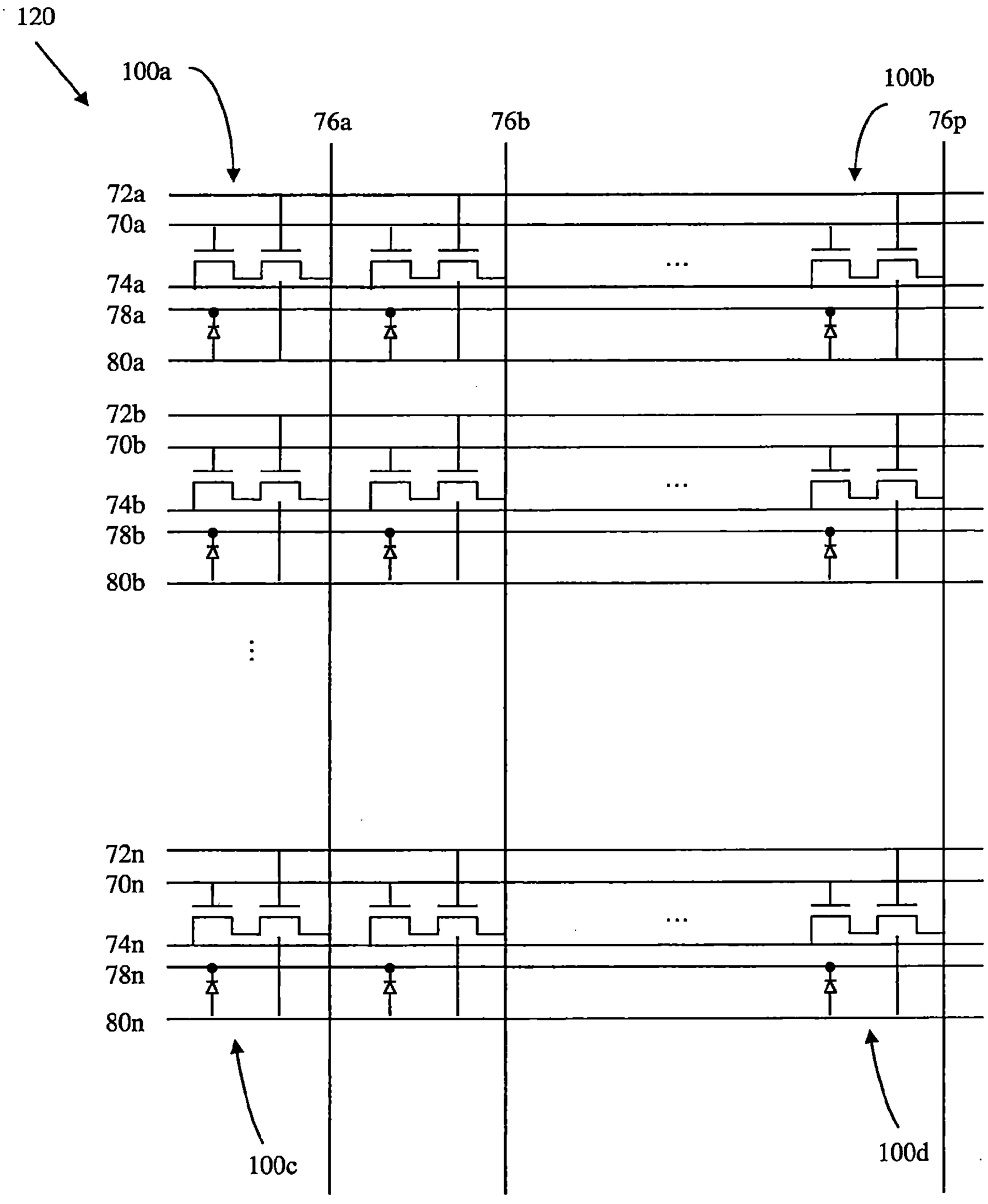
120
100a
76a
76b
100b
76p
72a
70a
74a
78a
80a
72b
70b
74b
78b
80b
72n
70n
74n
78n
80n
100c
100d

圖 5

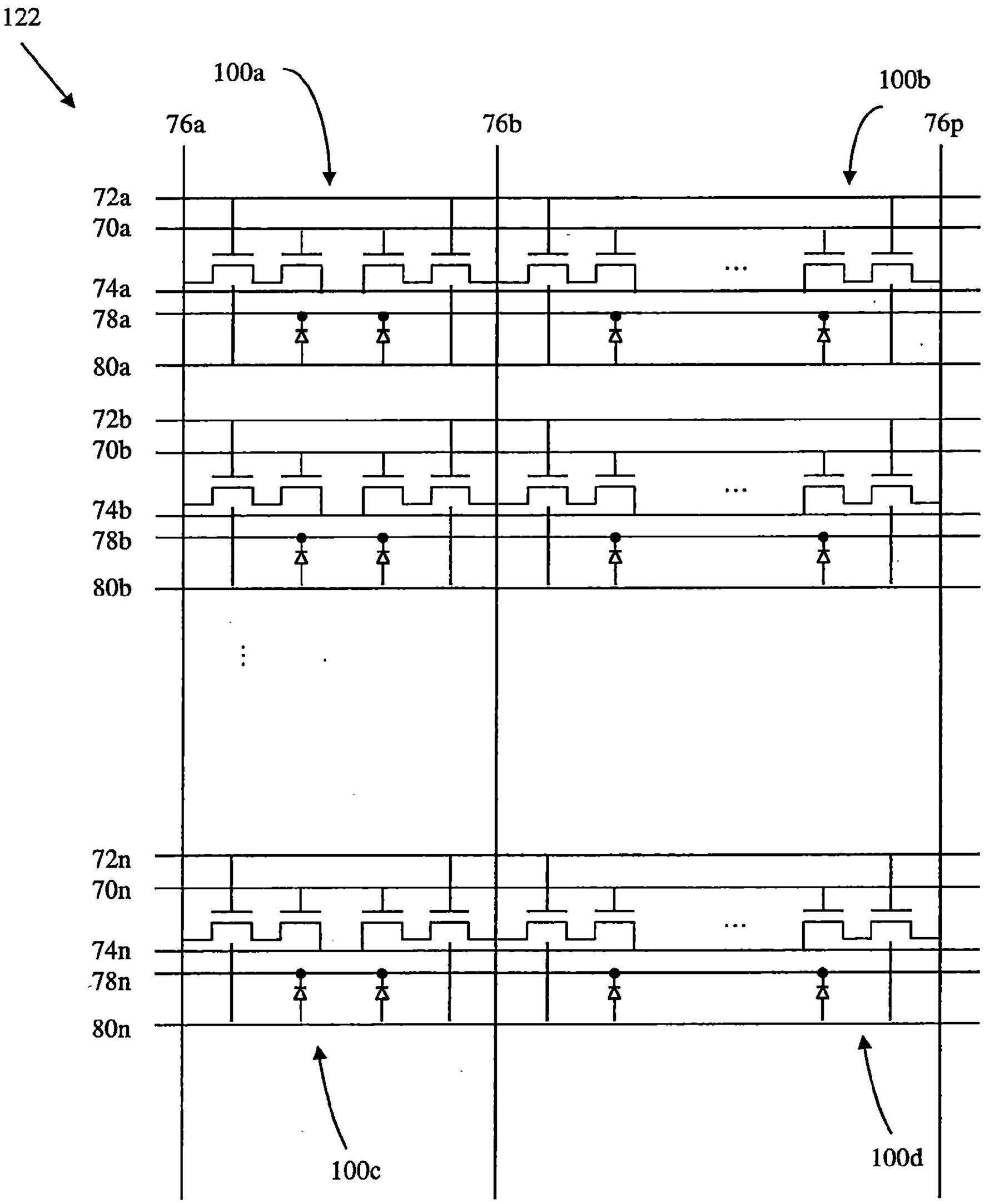
122
100a
76a
76b
100b
76p
72a
70a
74a
78a
80a
72b
70b
74b
78b
80b
72n
70n
74n
78n
80n
100c
100d

圖 6

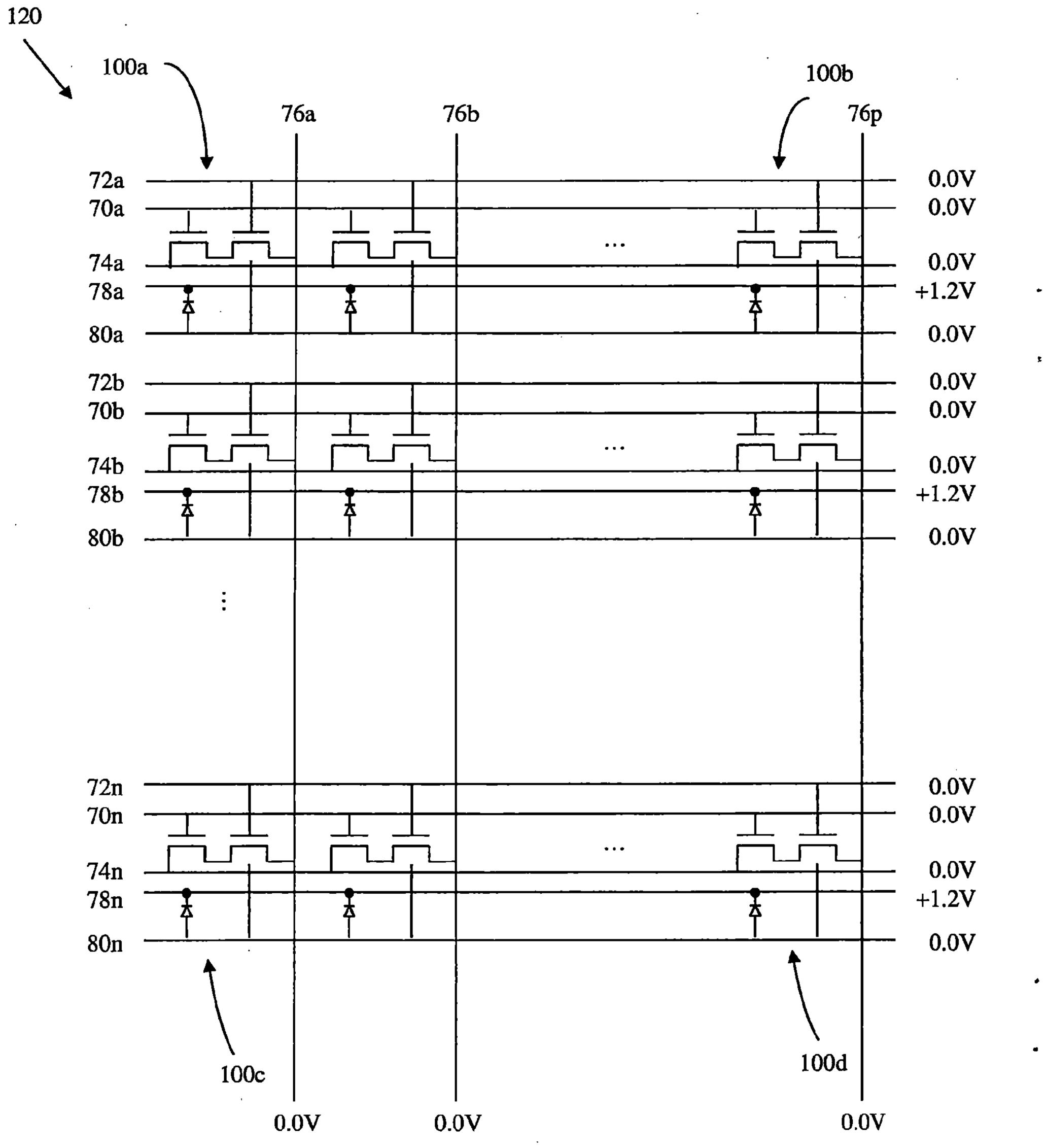
120
100a
100b
76a
76b
76p
72a
70a
74a
78a
80a
72b
70b
74b
78b
80b
72n
70n
74n
78n
80n
0.0V
+1.2V
100c
100d

圖 7

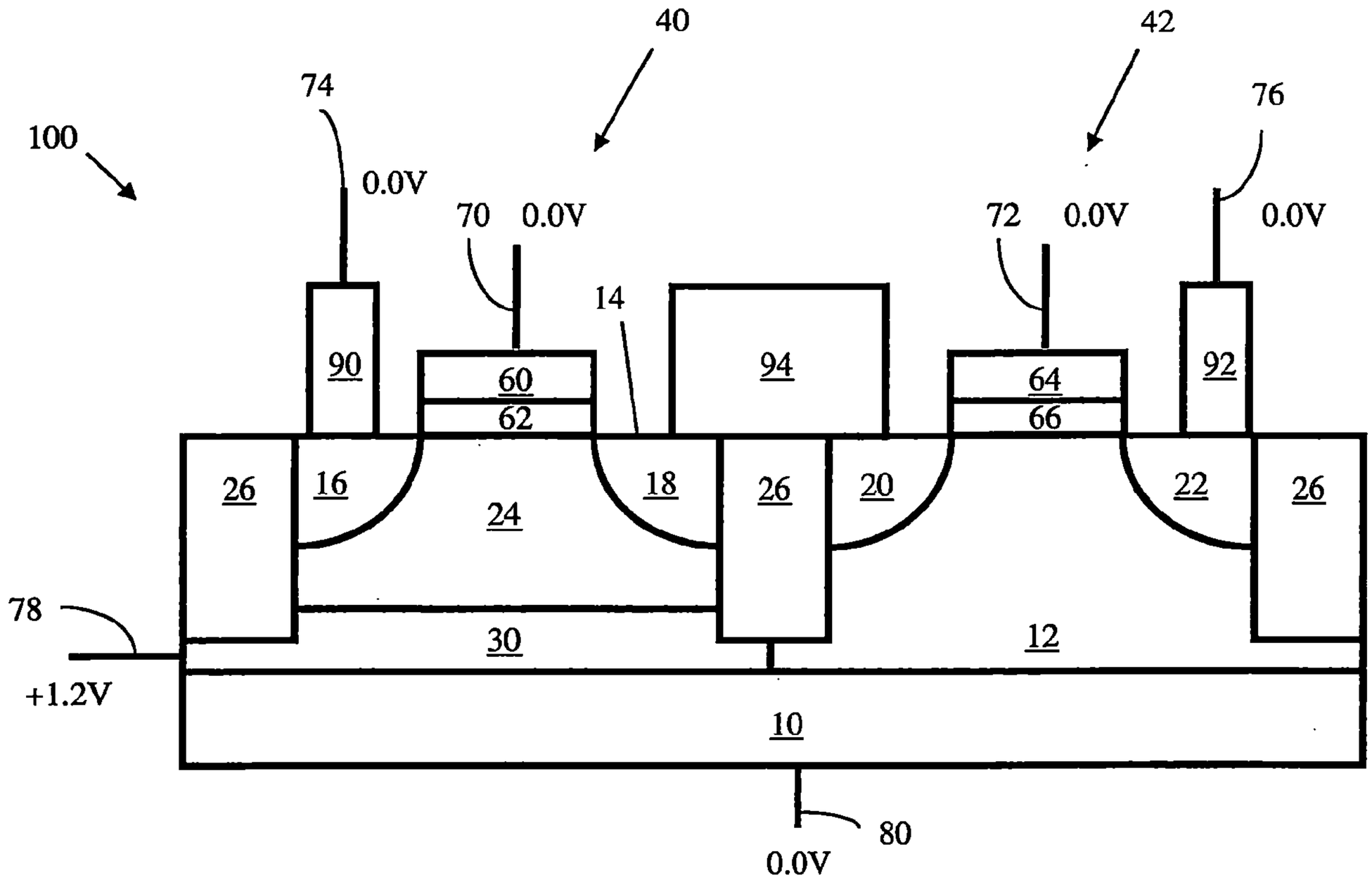
100
74
0.0V
40
70
0.0V
42
72
0.0V
76
0.0V
14
90
60
62
94
64
66
92
26
16
24
18
26
20
22
26
78
30
12
+1.2V
10
80
0.0V

圖 8

浮體 24 是正向充電及電壓 V(SL 16) = 0.0V

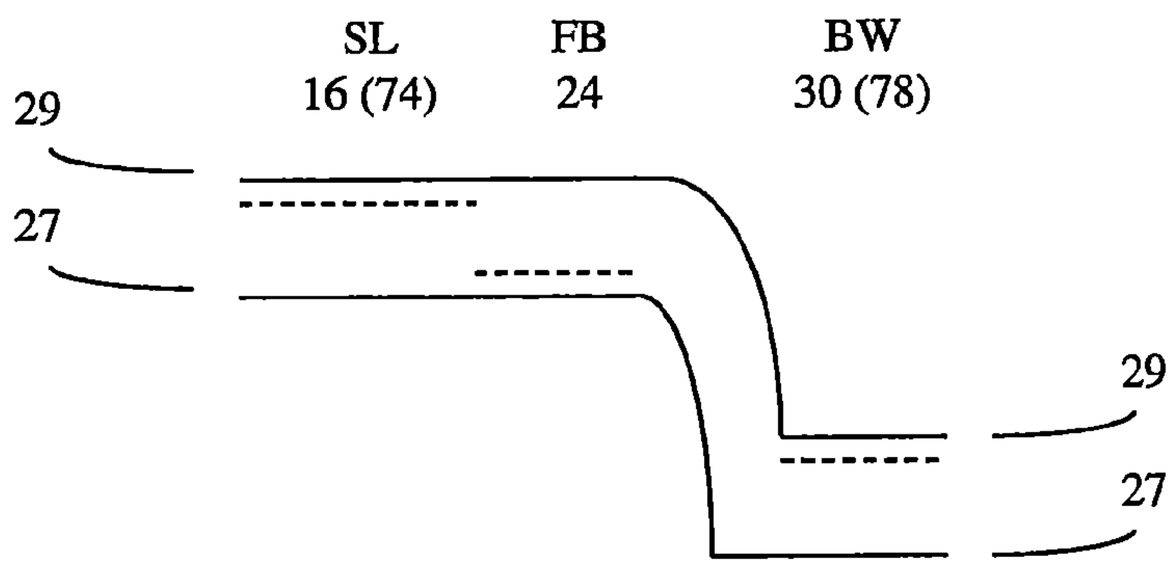

圖 9A

FB 是中性電：以及 V(SL 16) = V(FB 24) = 0V

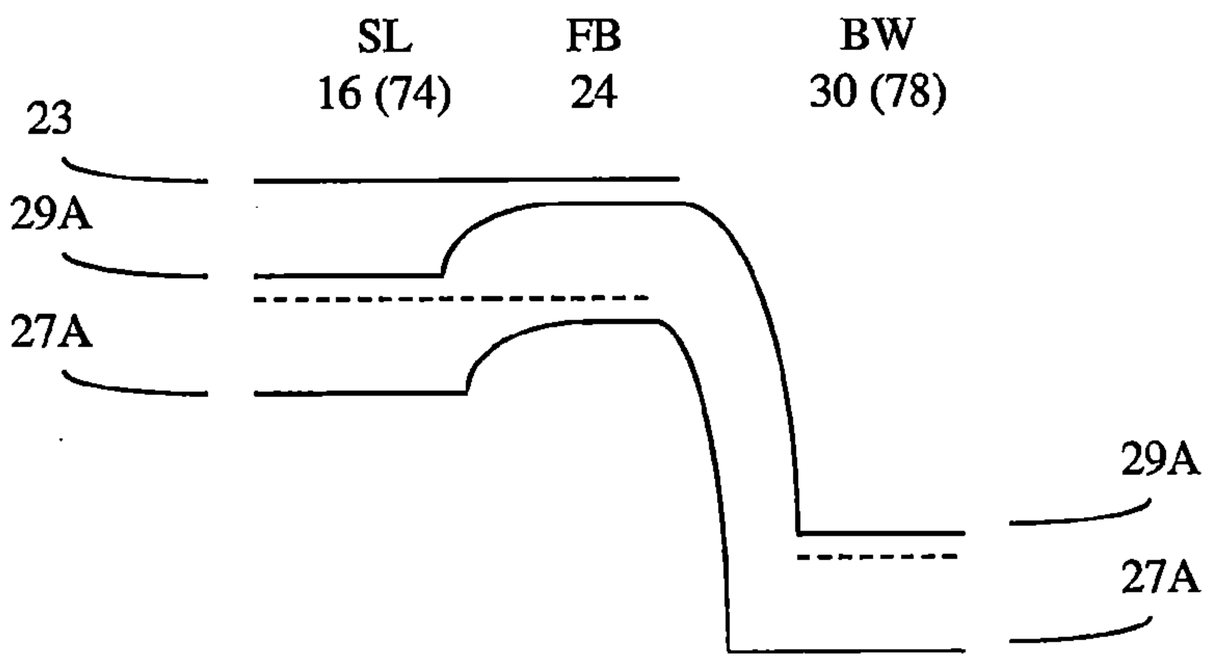

圖 9B

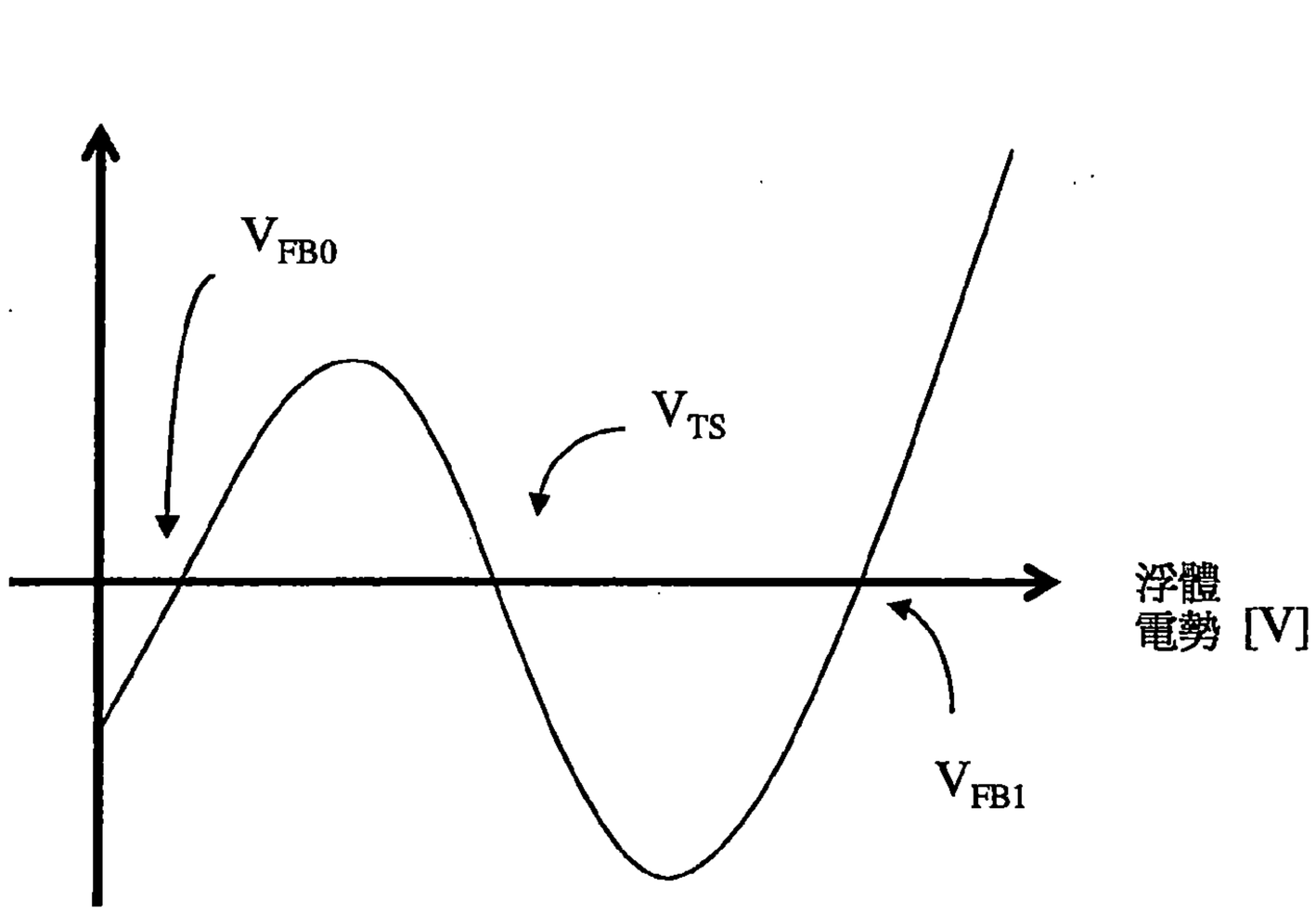

圖 9C

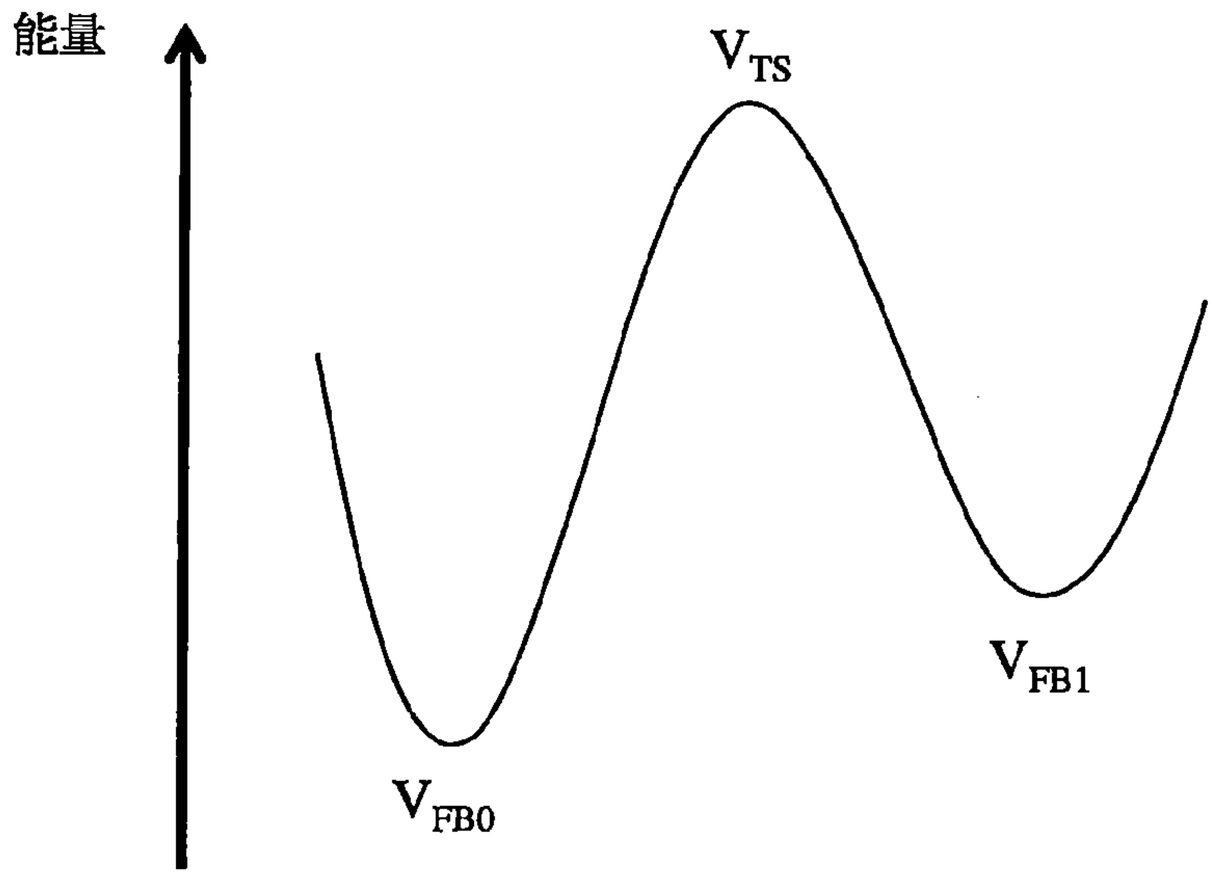

圖 9D

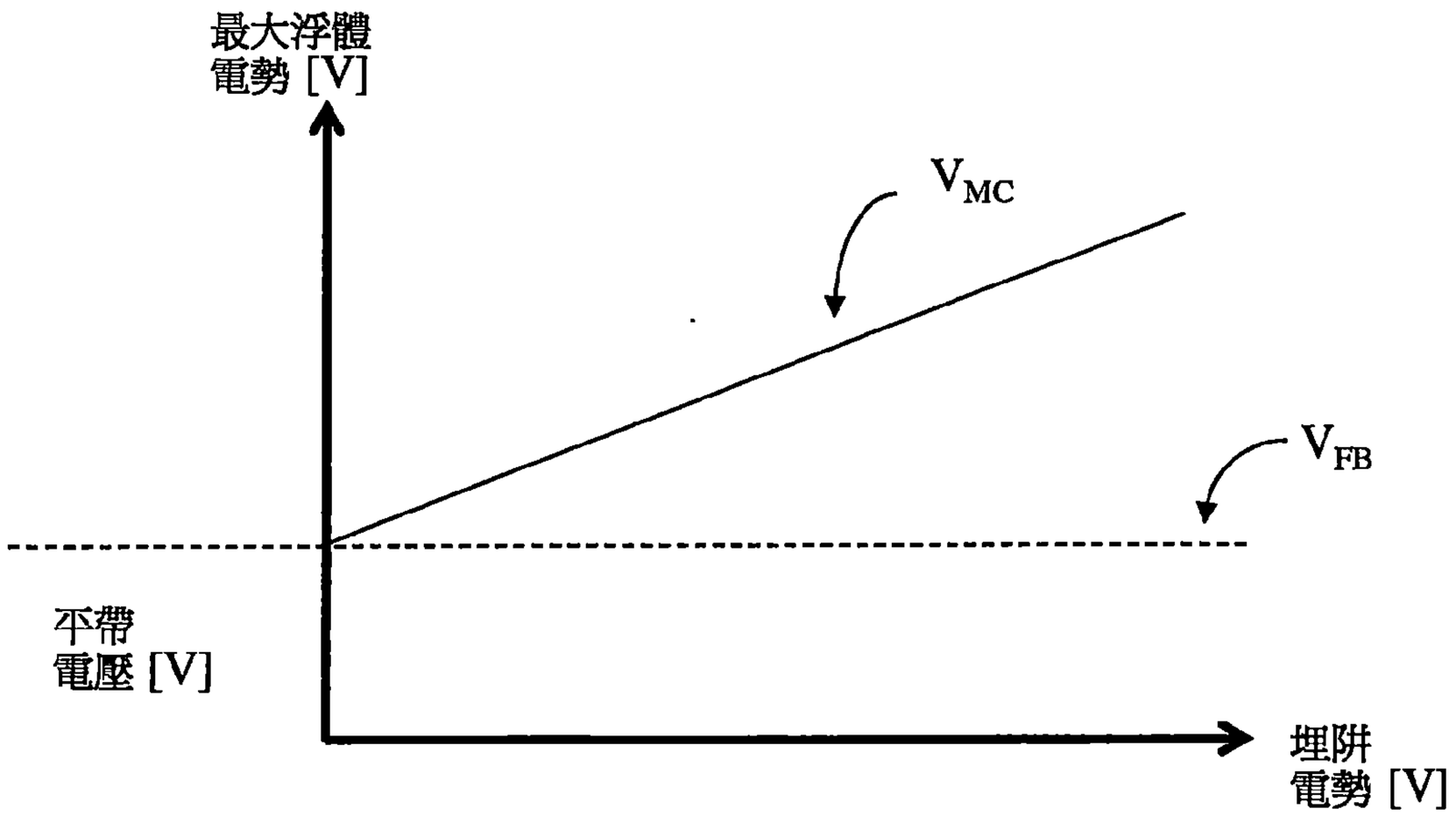

圖 9E

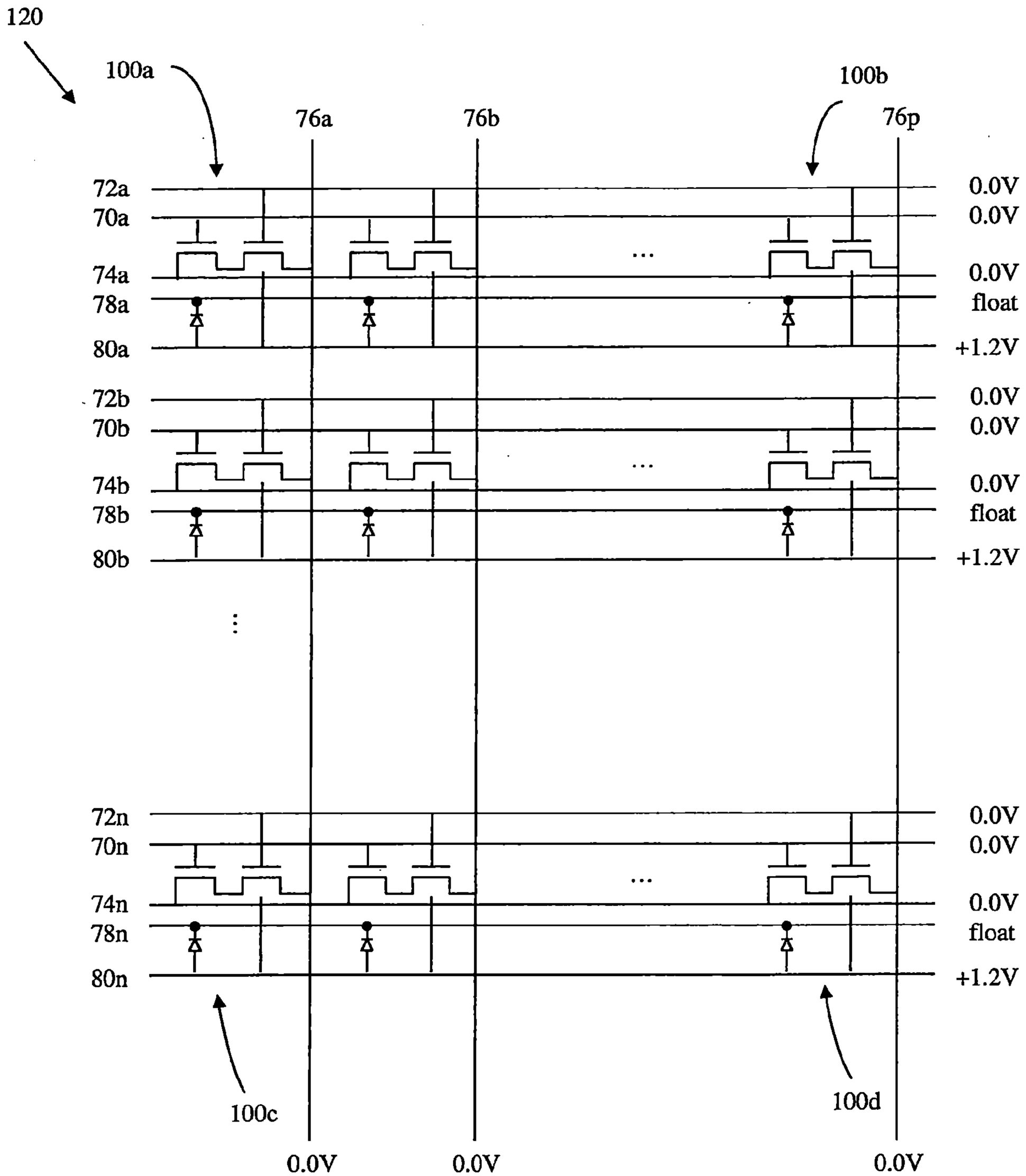
120
100a
100b
76a
76b
76p
72a
70a
74a
78a
80a
72b
70b
74b
78b
80b
72n
70n
74n
78n
80n
0.0V
0.0V
0.0V
float
+1.2V
0.0V
0.0V
0.0V
float
+1.2V
0.0V
0.0V
0.0V
float
+1.2V
100c
100d
0.0V
0.0V
0.0V

圖 10

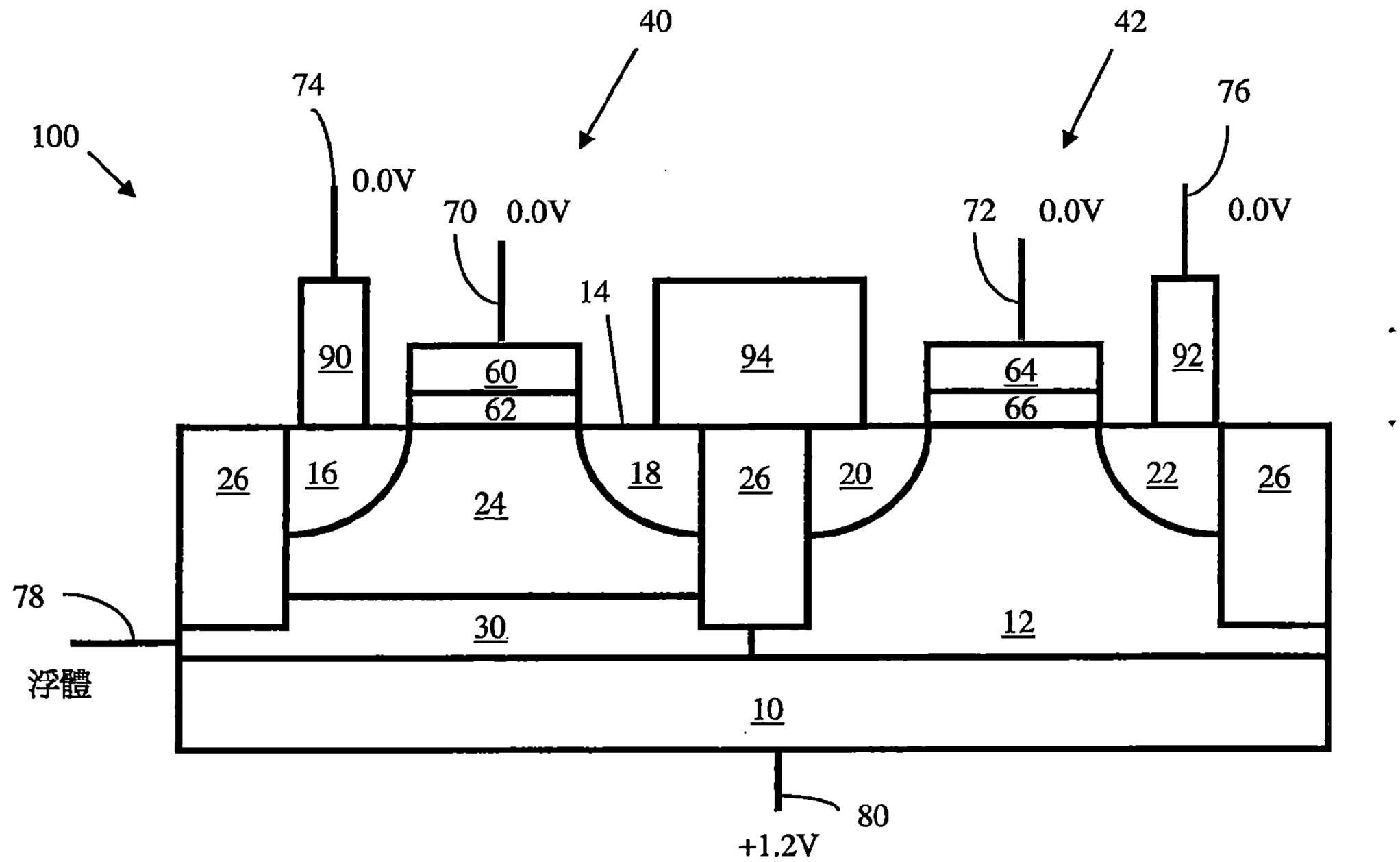
100
74
0.0V
40
70
0.0V
14
42
72
0.0V
76
0.0V
90
60
62
94
64
66
92
26
16
24
18
26
20
22
26
78
30
12
浮體
10
80
+1.2V

圖 11

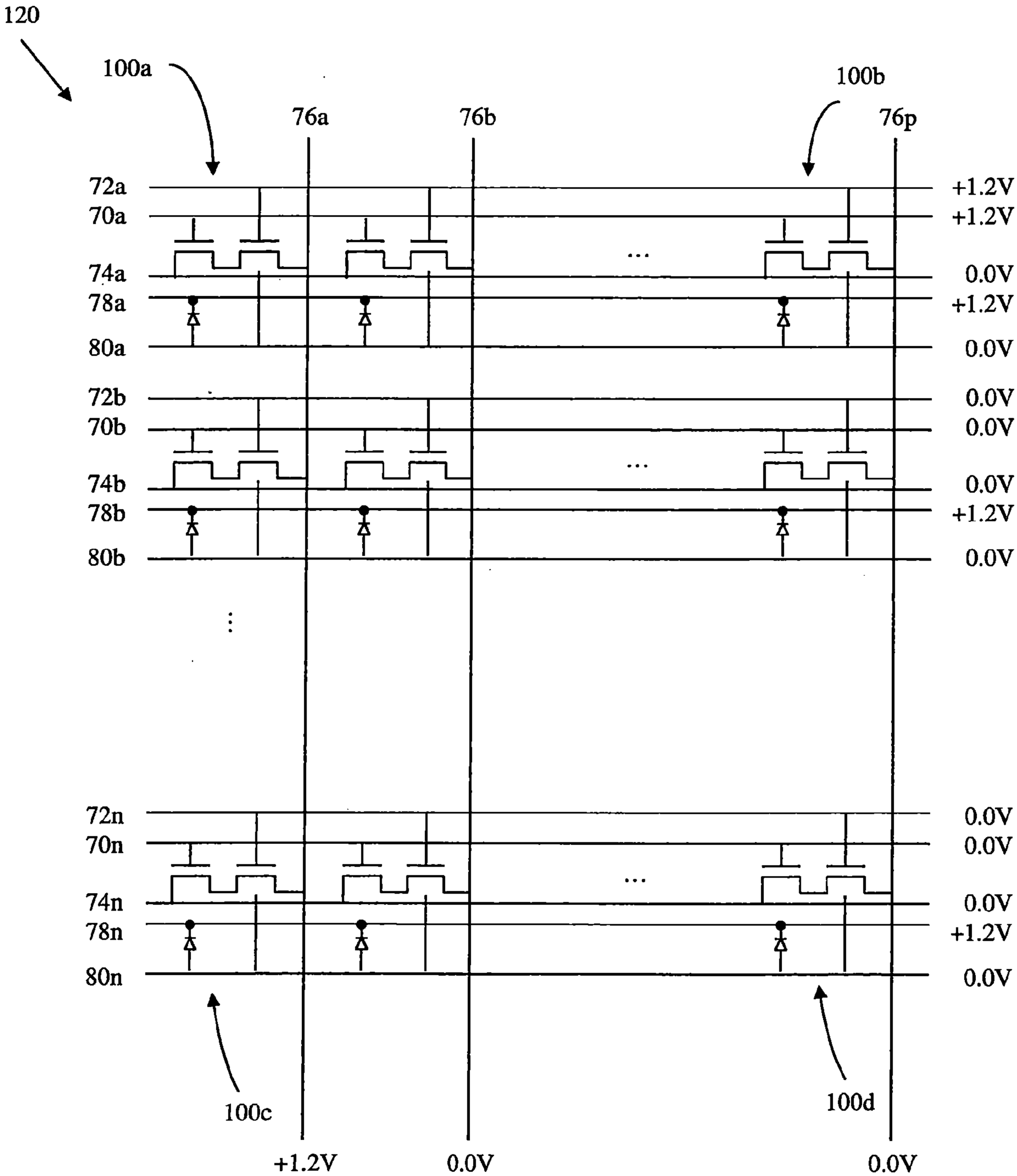
120
100a
100b
76a
76b
76p
72a
70a
74a
78a
80a
72b
70b
74b
78b
80b
72n
70n
74n
78n
80n
+1.2V
0.0V
100c
100d
+1.2V
0.0V
0.0V

圖 12

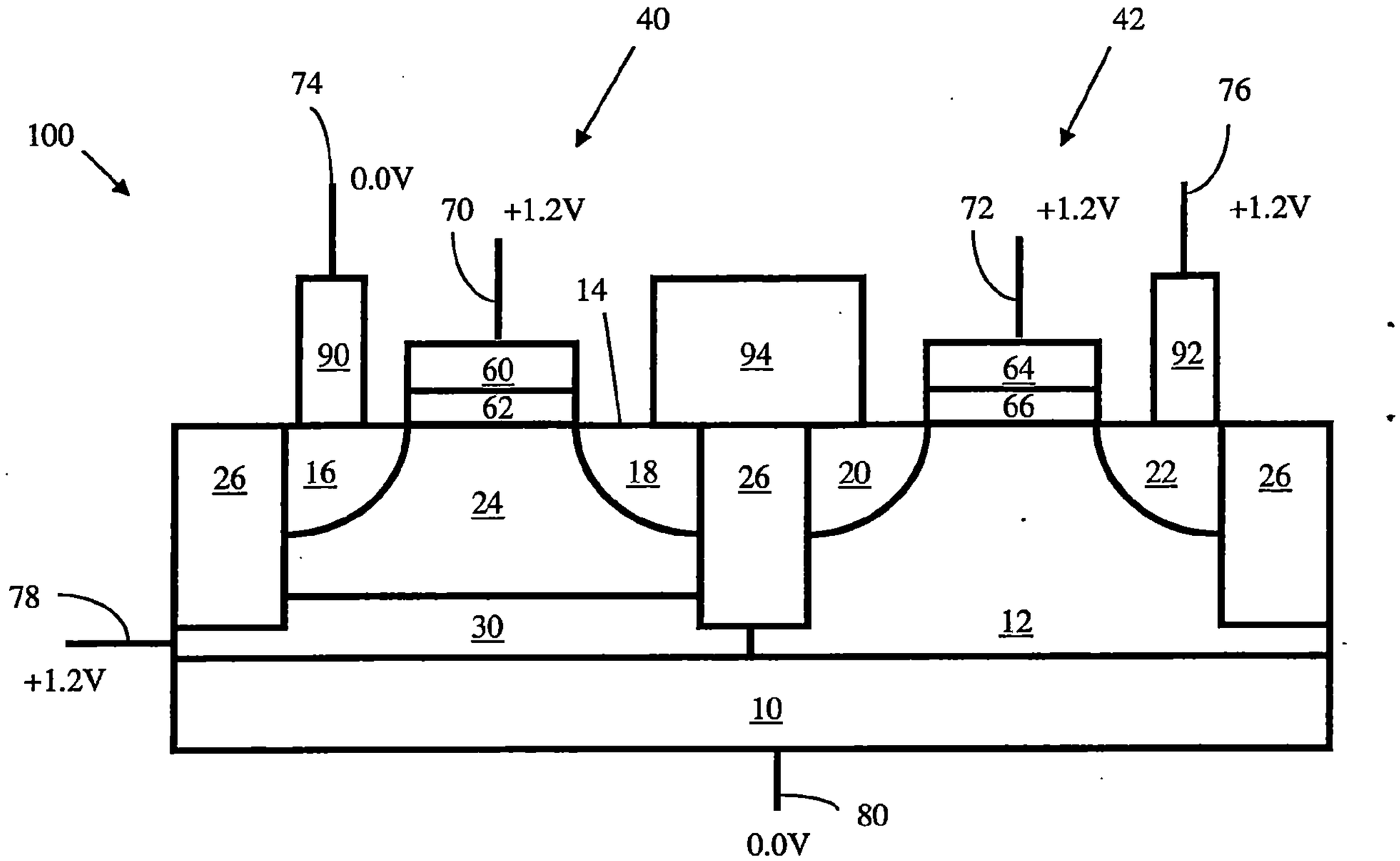
100
74
0.0V
40
70 +1.2V
42
72 +1.2V
76
+1.2V
14
90
60
62
94
64
66
92
26
16
24
18
26
20
22
26
78
+1.2V
30
12
10
80
0.0V

圖 13

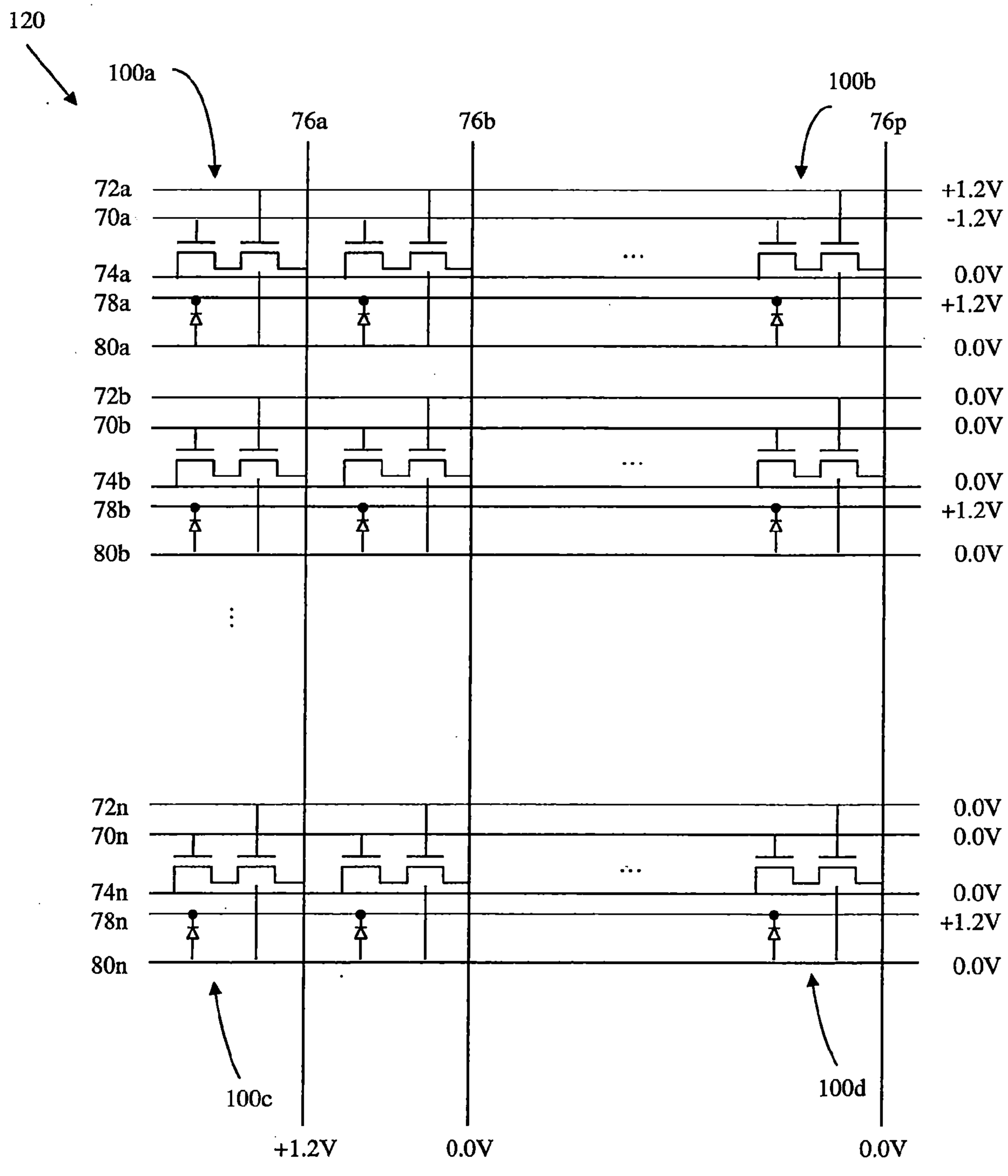
120
100a
100b
76a
76b
76p
72a
70a
74a
78a
80a
72b
70b
74b
78b
80b
72n
70n
74n
78n
80n
+1.2V
-1.2V
0.0V
0.0V
0.0V
0.0V
0.0V
0.0V
0.0V
0.0V
0.0V
0.0V
0.0V
0.0V
100c
100d
+1.2V
0.0V
0.0V

圖 14

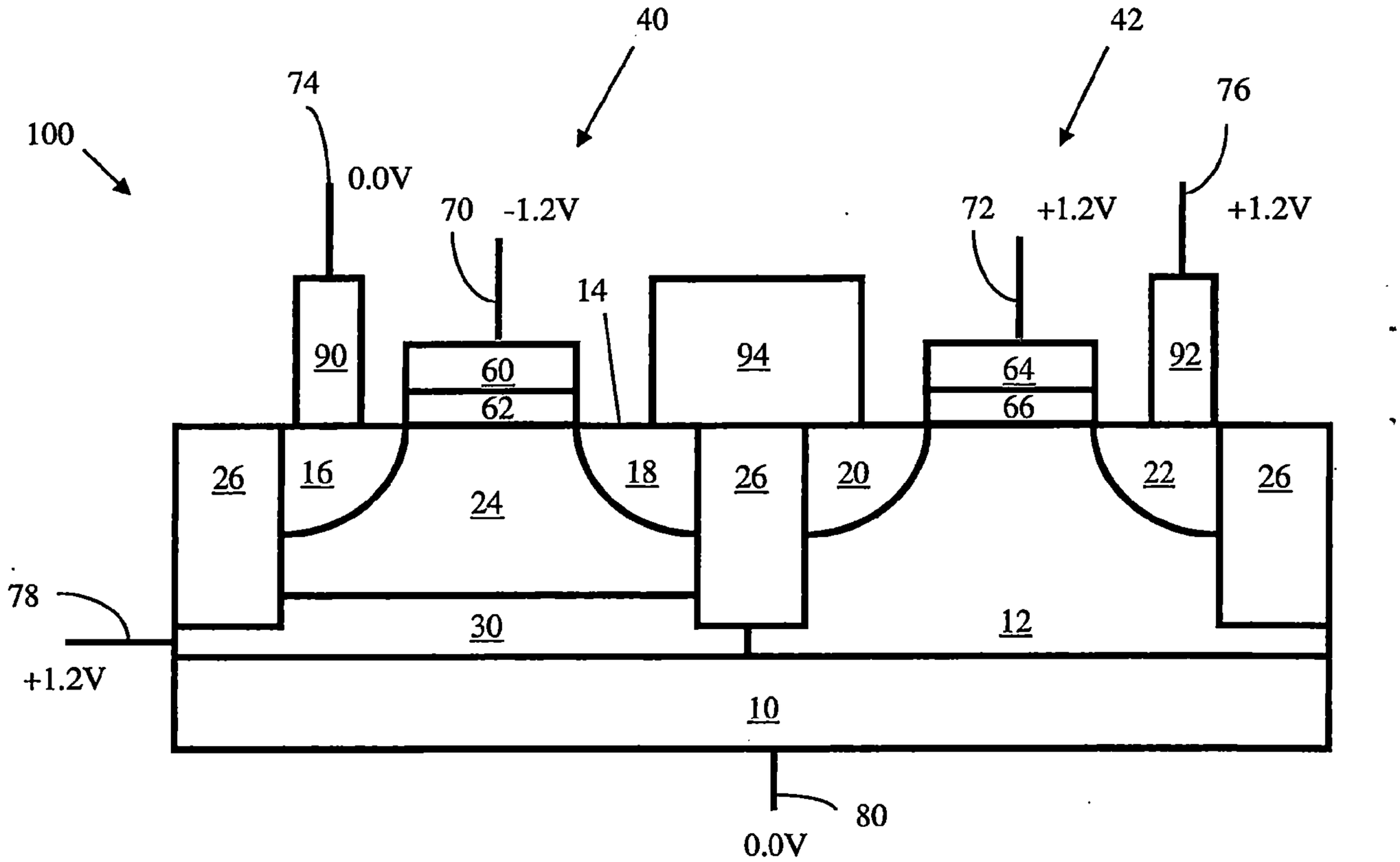
100
74
0.0V
40
42
76
+1.2V
70
-1.2V
72
+1.2V
+1.2V
14
90
94
92
60
62
64
66
26
16
24
18
26
20
22
26
78
30
12
+1.2V
10
80
0.0V

圖 15

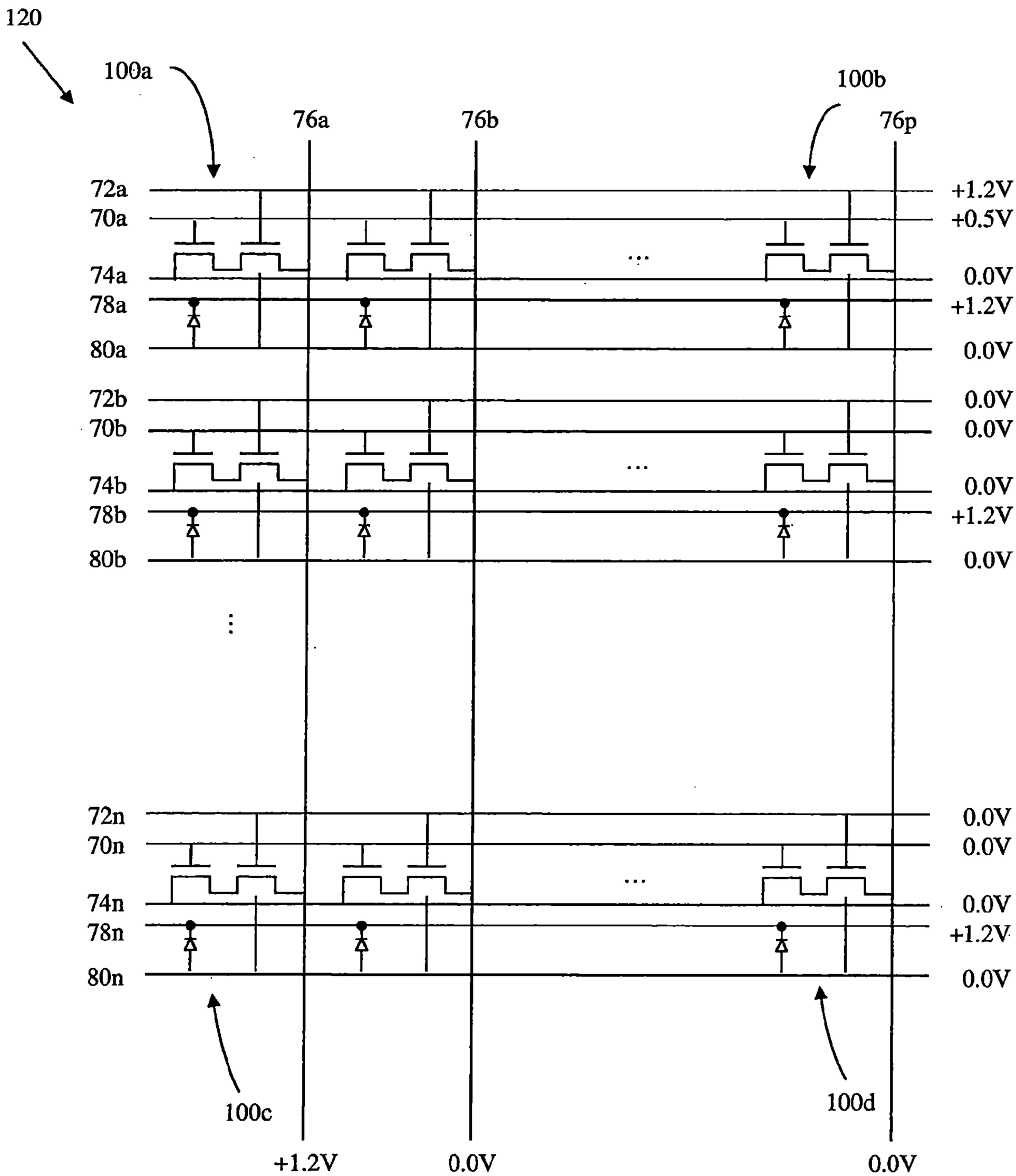
120
100a
100b
76a
76b
76p
72a
70a
74a
78a
80a
72b
70b
74b
78b
80b
72n
70n
74n
78n
80n
+1.2V
+0.5V
0.0V
+1.2V
0.0V
0.0V
0.0V
0.0V
+1.2V
0.0V
0.0V
0.0V
0.0V
+1.2V
0.0V
100c
100d
+1.2V
0.0V
0.0V

圖 16

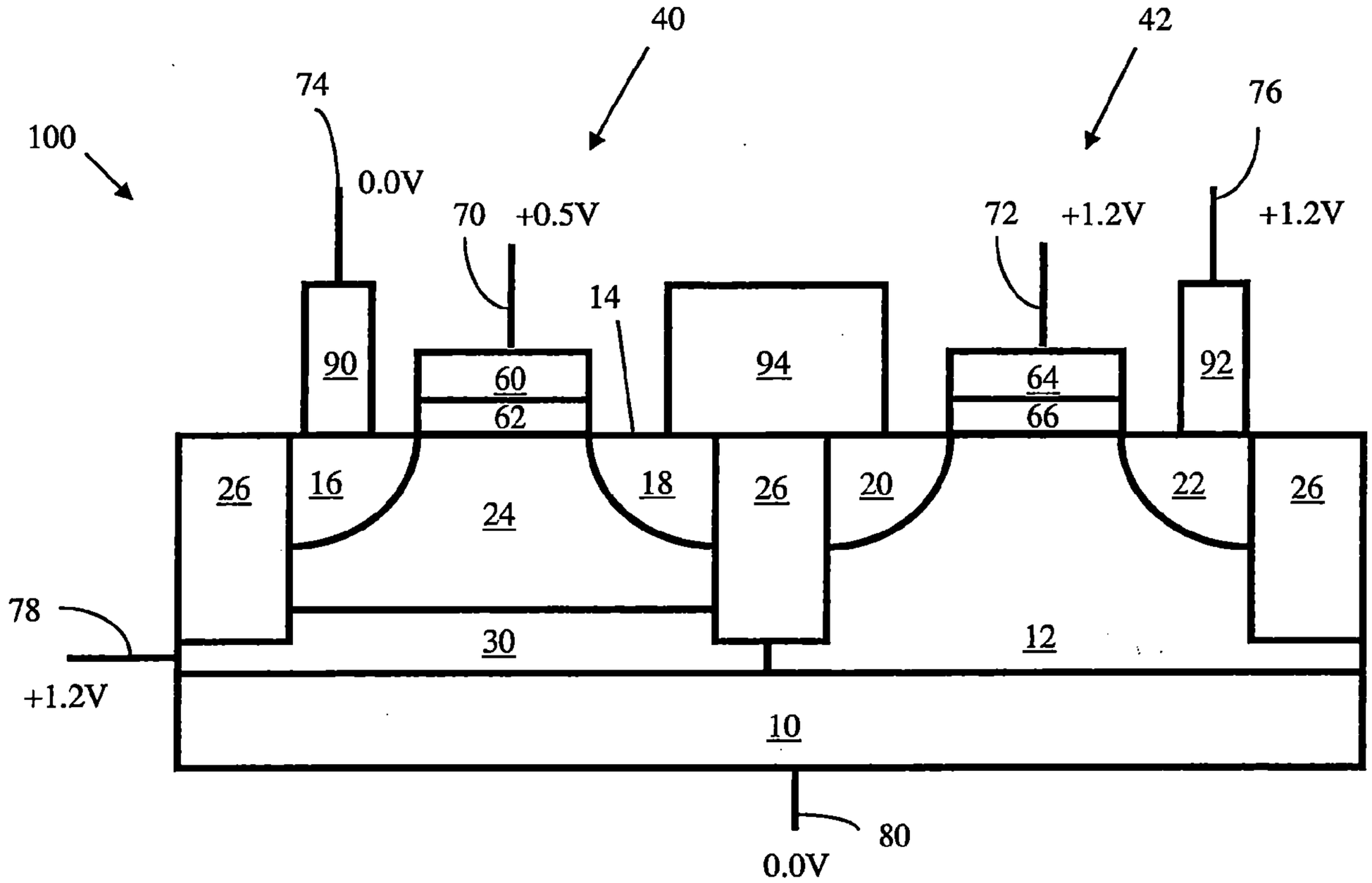
100
74
0.0V
40
42
76
+1.2V
70
+0.5V
72
+1.2V
+1.2V
14
90
60
62
94
64
66
92
26
16
24
18
26
20
22
26
78
30
12
+1.2V
10
80
0.0V

圖 17

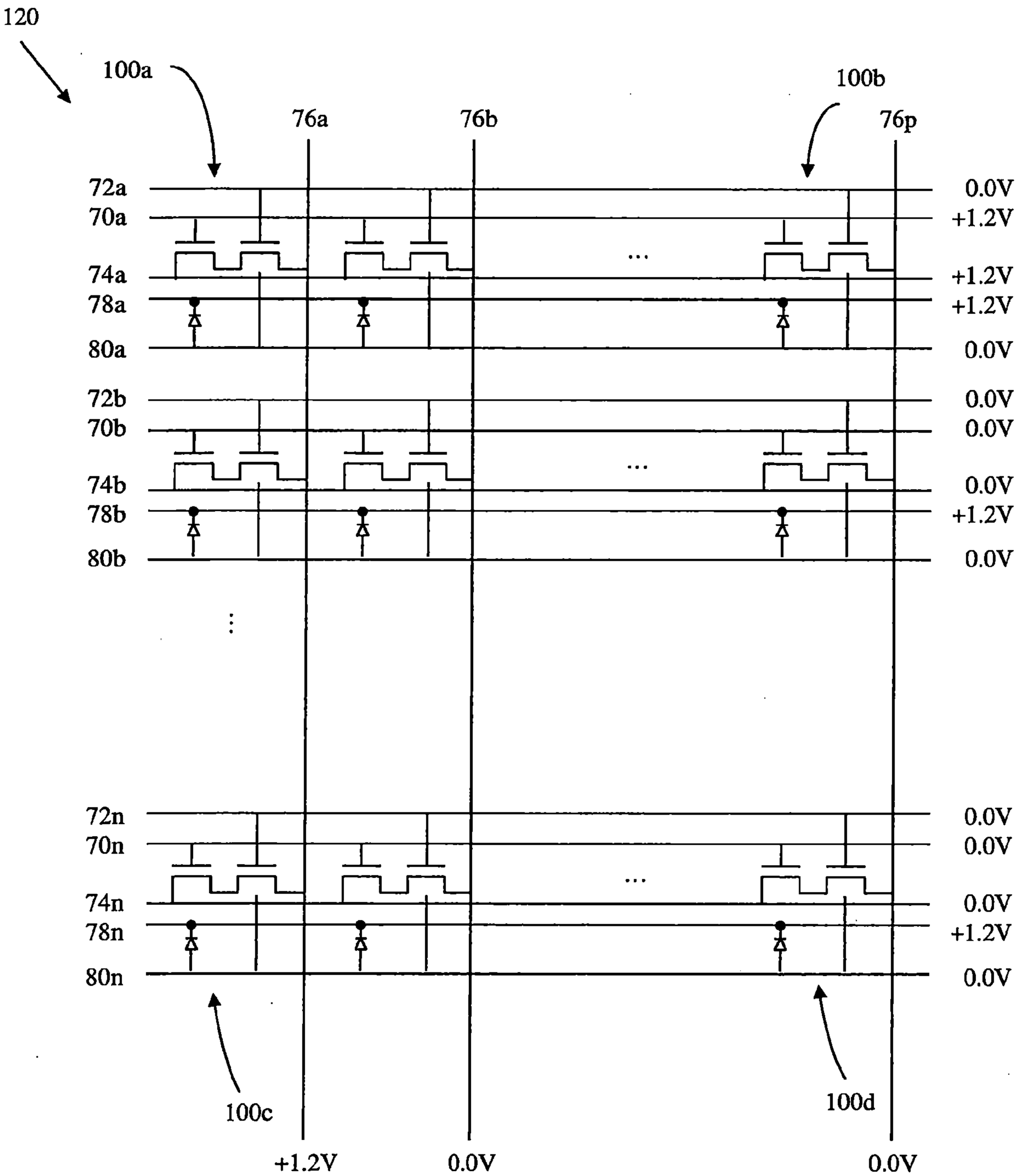
120
100a
100b
76a
76b
76p
72a
70a
74a
78a
80a
72b
70b
74b
78b
80b
72n
70n
74n
78n
80n
0.0V
+1.2V
+1.2V
+1.2V
0.0V
0.0V
0.0V
0.0V
0.0V
+1.2V
0.0V
0.0V
0.0V
+1.2V
0.0V
100c
100d
+1.2V
0.0V
0.0V

圖 18

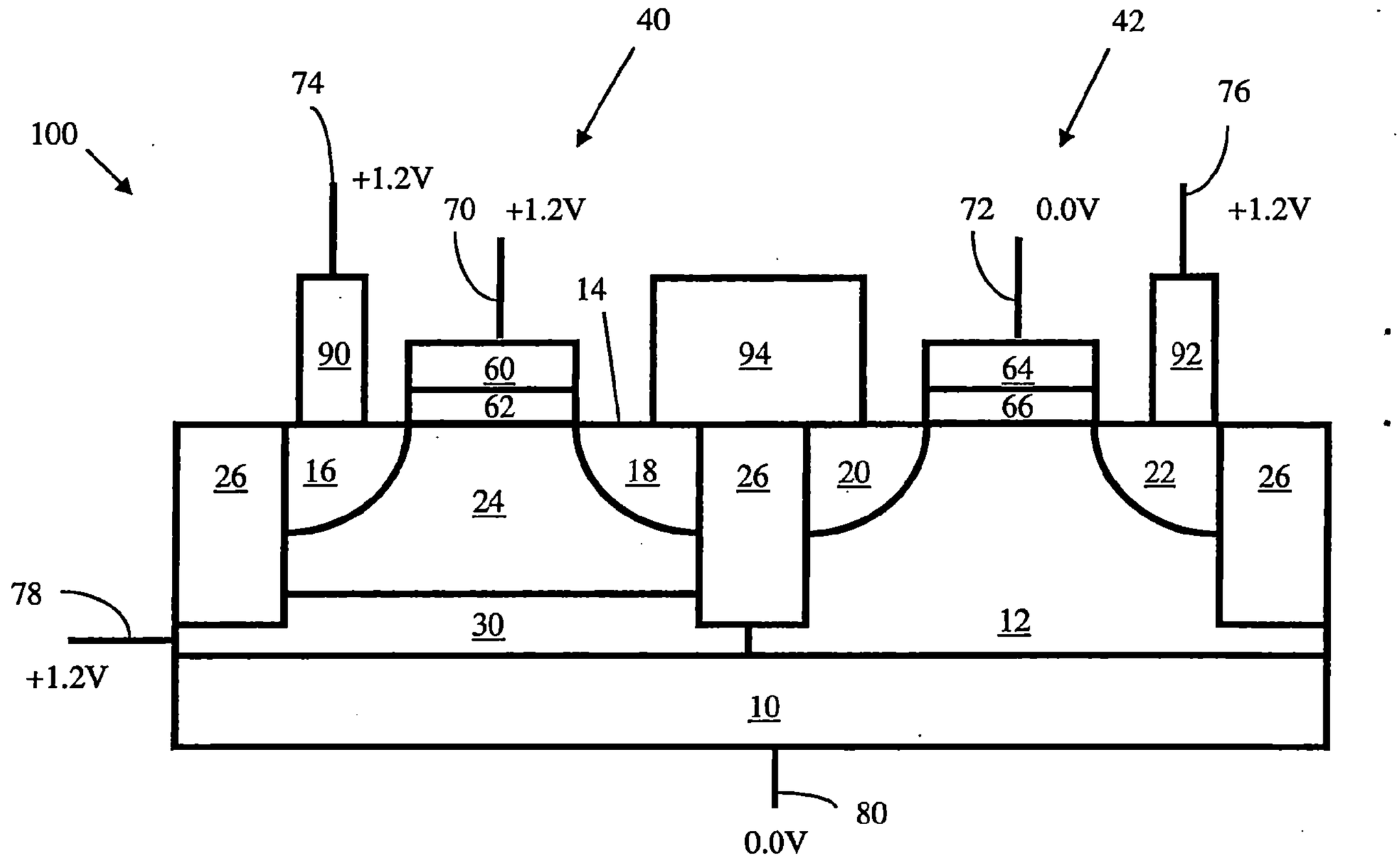
100
74
+1.2V
40
70
+1.2V
14
42
72
0.0V
76
+1.2V
90
60
62
94
64
66
92
26
16
24
18
26
20
22
26
78
30
12
+1.2V
10
80
0.0V

圖 19

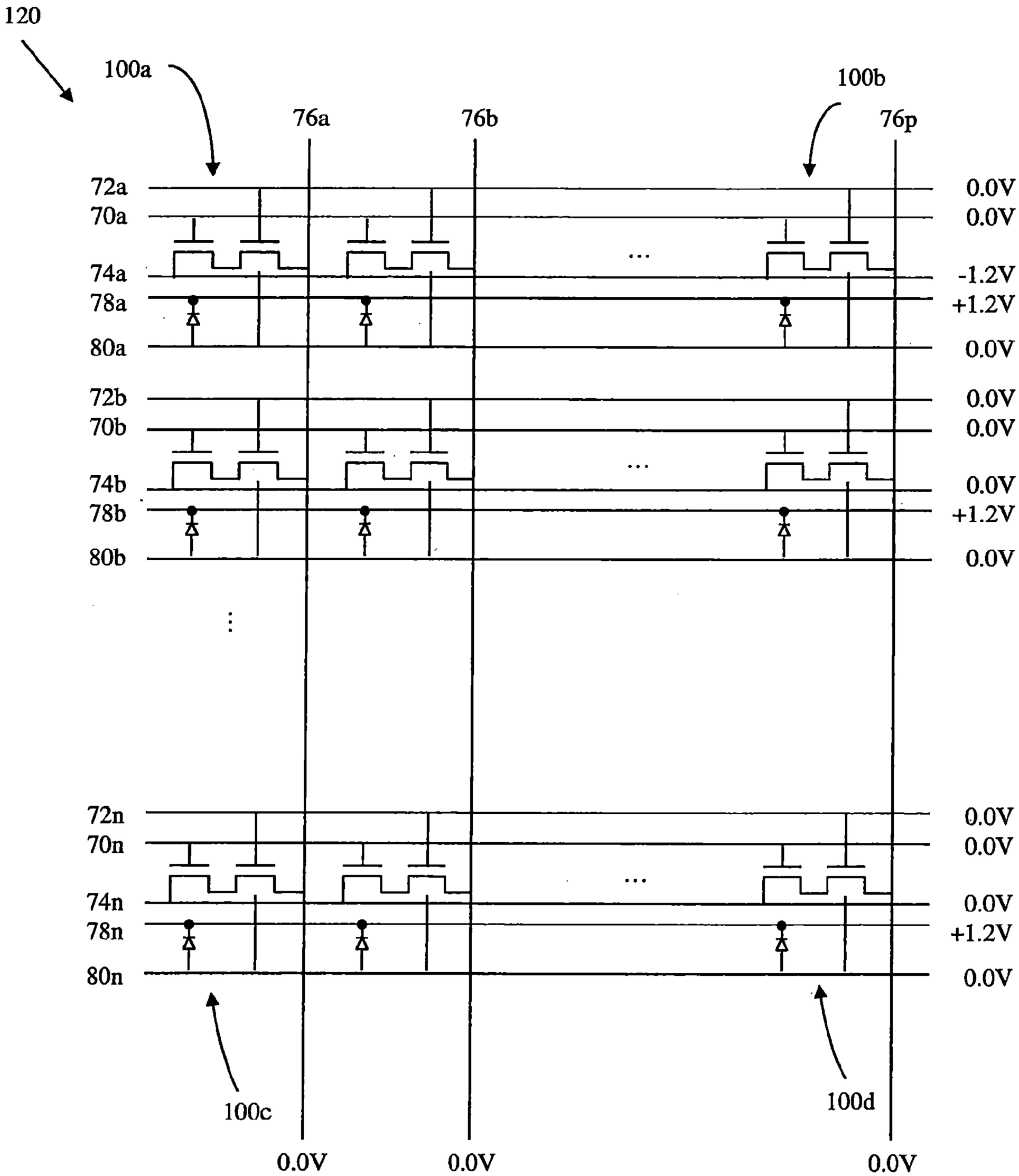
120
100a
100b
76a
76b
76p
72a
70a
74a
78a
80a
72b
70b
74b
78b
80b
72n
70n
74n
78n
80n
0.0V
0.0V
-1.2V
+1.2V
0.0V
0.0V
0.0V
0.0V
+1.2V
0.0V
0.0V
0.0V
+1.2V
0.0V
100c
100d
0.0V
0.0V
0.0V

圖 20

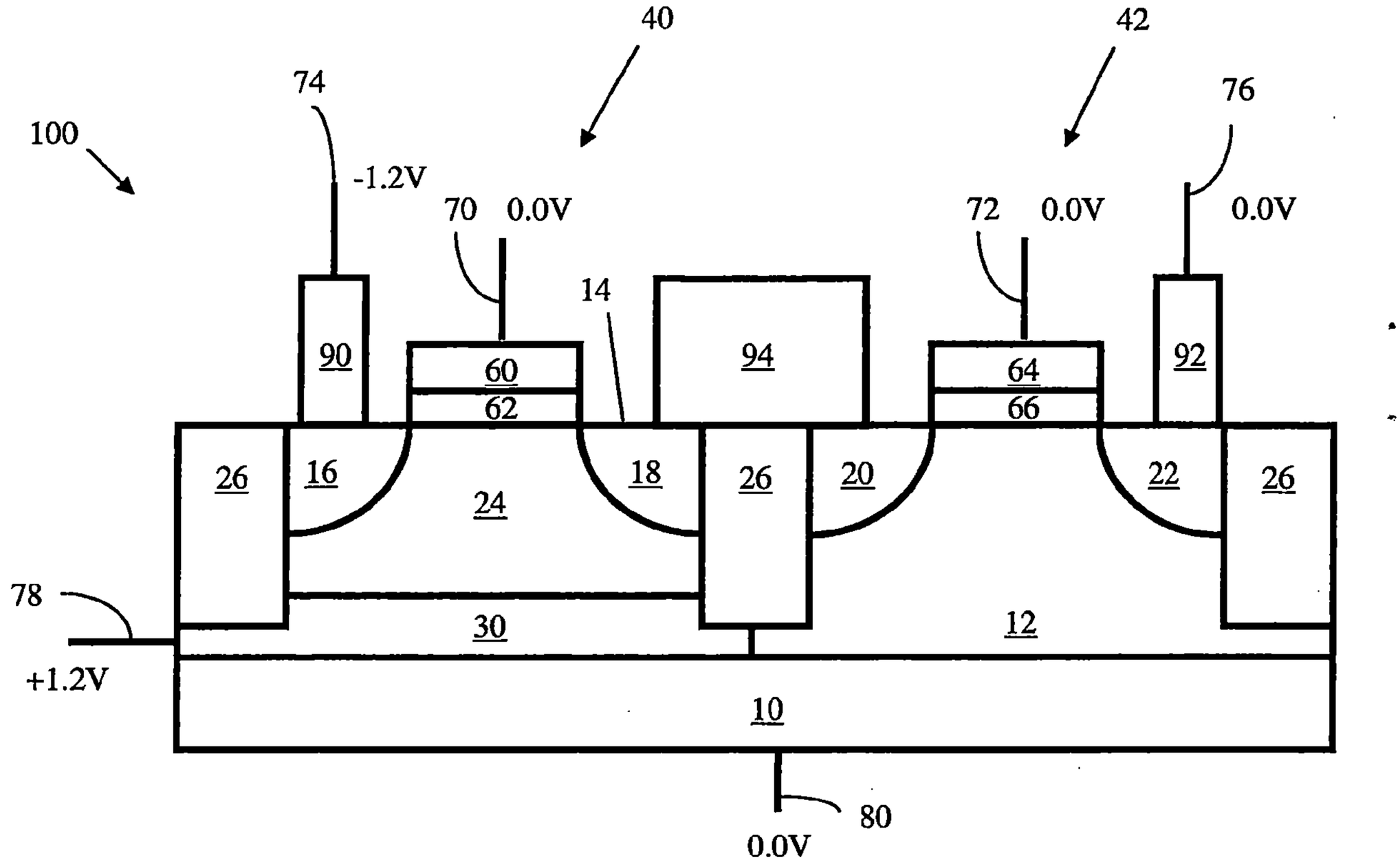
100
74
-1.2V
40
70
0.0V
42
72
0.0V
76
0.0V
14
90
60
62
94
64
66
92
26
16
24
18
26
20
22
26
78
+1.2V
30
12
10
80
0.0V

圖 21

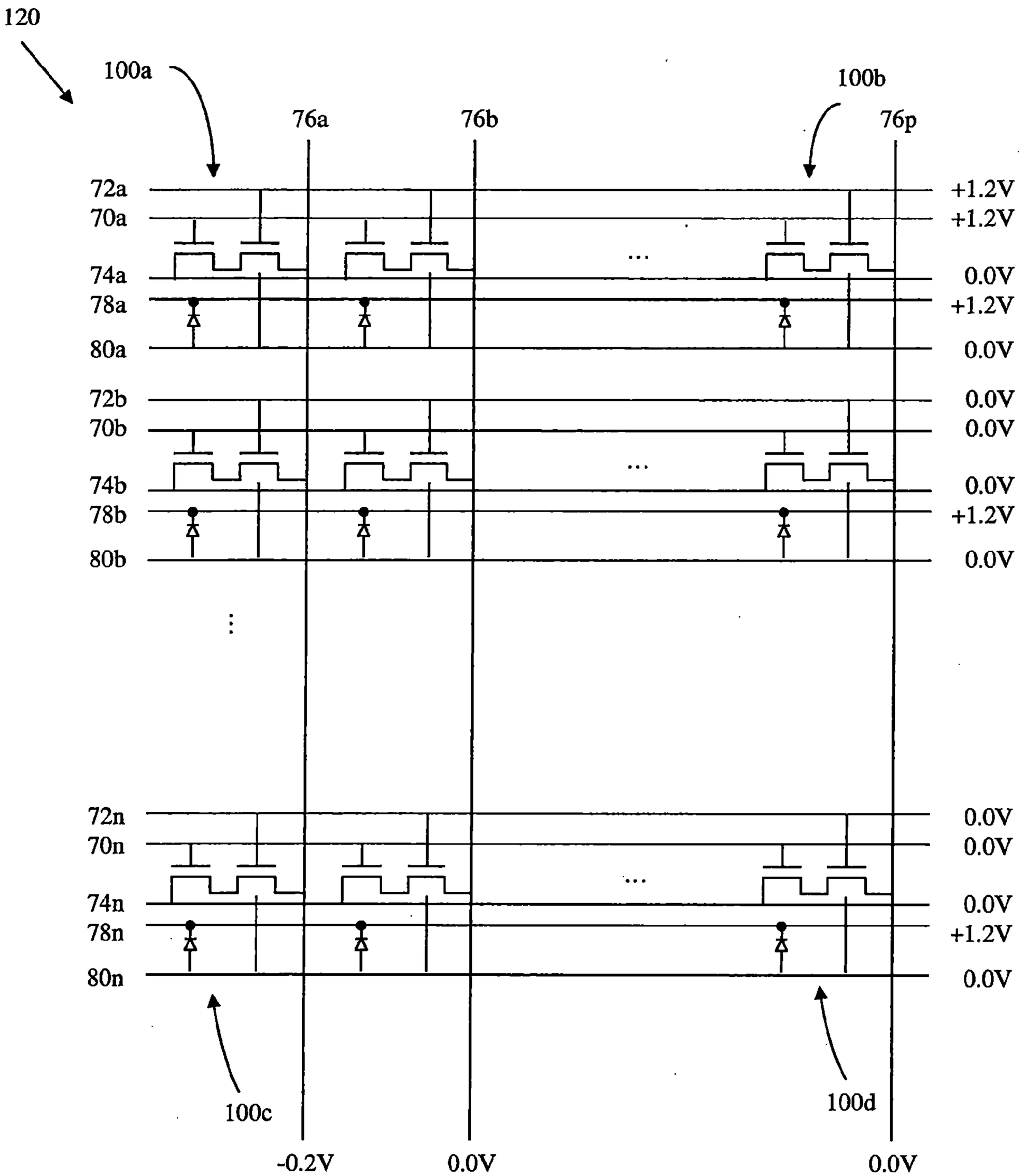
120
100a
100b
76a
76b
76p
72a
70a
74a
78a
80a
72b
70b
74b
78b
80b
72n
70n
74n
78n
80n
+1.2V
+1.2V
0.0V
+1.2V
0.0V
0.0V
0.0V
0.0V
+1.2V
0.0V
0.0V
0.0V
+1.2V
0.0V
100c
100d
-0.2V
0.0V
0.0V

圖 22

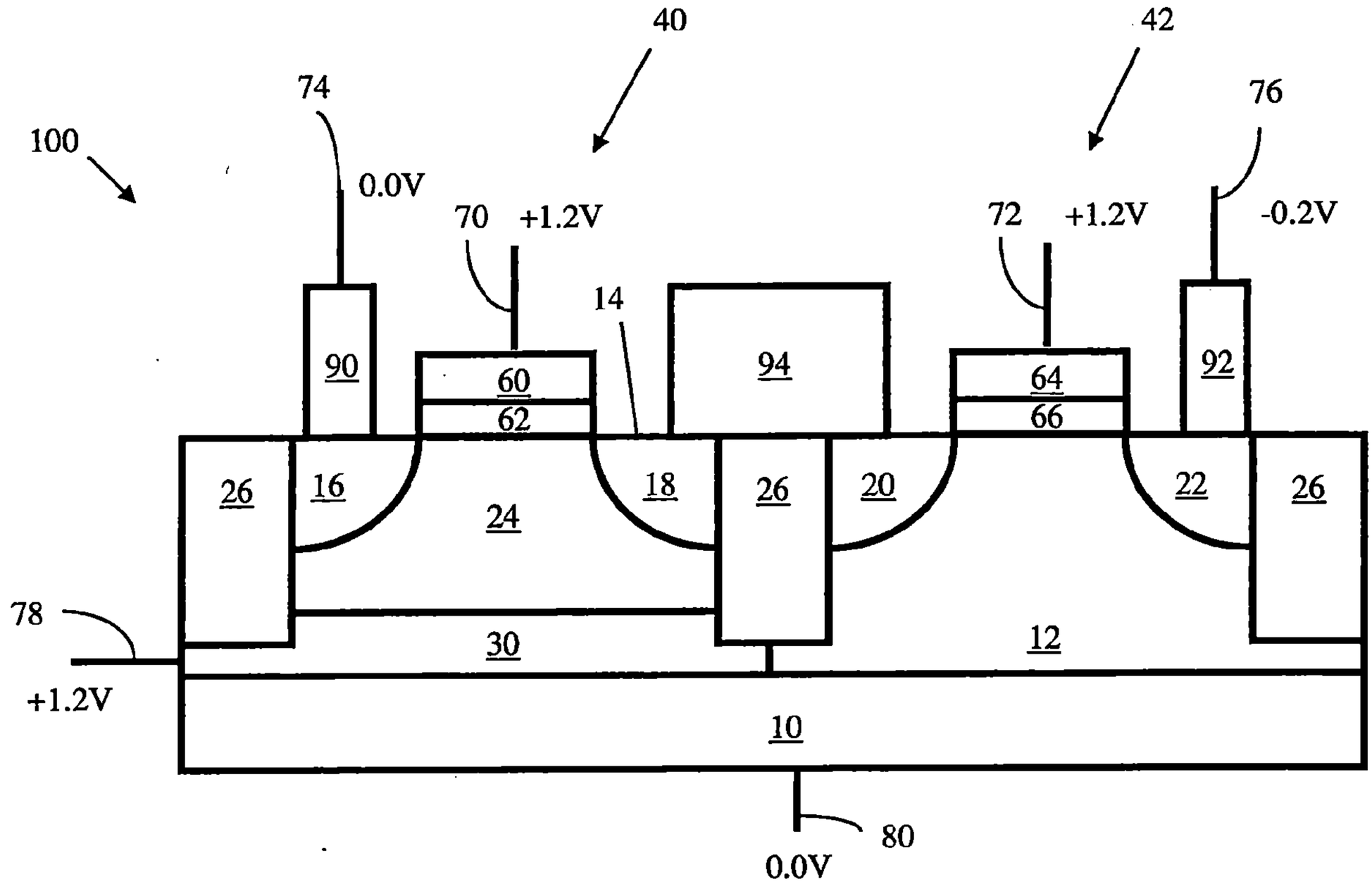
100
74
0.0V
40
70 +1.2V
42
72 +1.2V
76
-0.2V
14
90
60
62
94
64
66
92
26
16
24
18
26
20
22
26
78
+1.2V
30
12
10
80
0.0V

圖 23

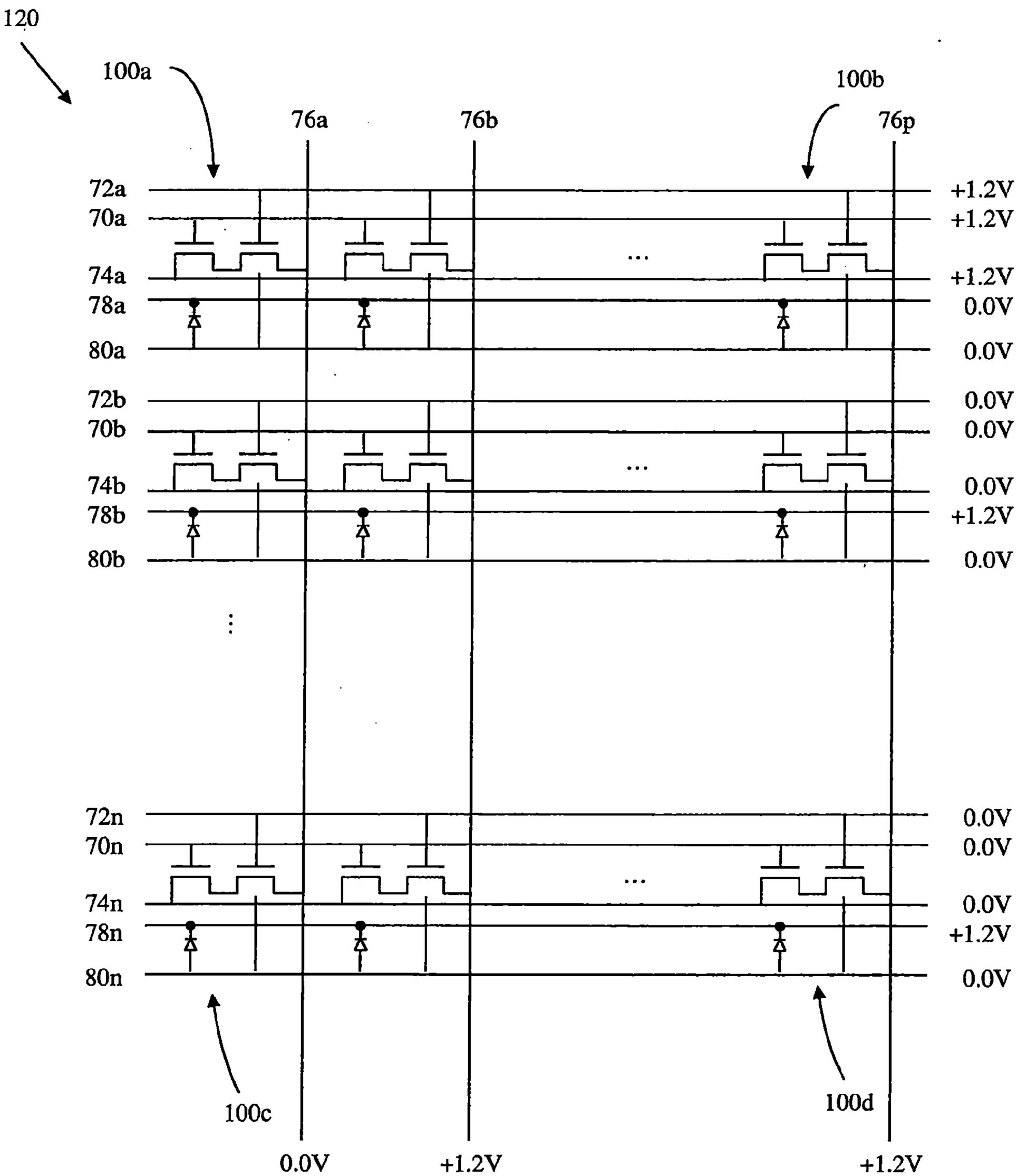
120
100a
100b
76a
76b
76p
72a
70a
74a
78a
80a
72b
70b
74b
78b
80b
72n
70n
74n
78n
80n
+1.2V
+1.2V
+1.2V
0.0V
0.0V
0.0V
0.0V
0.0V
0.0V
+1.2V
0.0V
0.0V
0.0V
+1.2V
0.0V
100c
100d
0.0V
+1.2V
+1.2V

圖 24

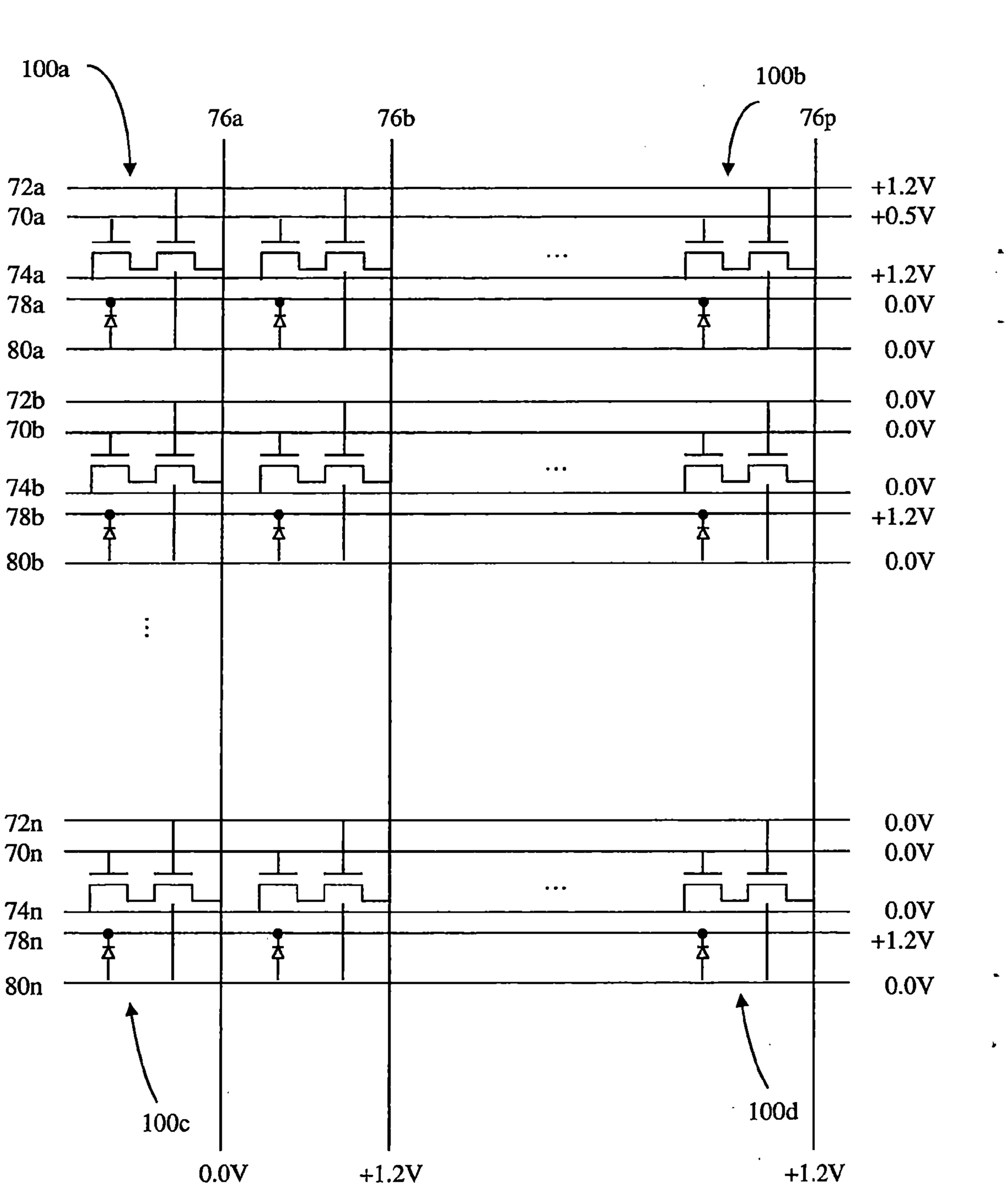
120
100a
100b
76a
76b
76p
72a
70a
74a
78a
80a
72b
70b
74b
78b
80b
72n
70n
74n
78n
80n
+1.2V
+0.5V
+1.2V
0.0V
0.0V
0.0V
0.0V
0.0V
0.0V
+1.2V
0.0V
0.0V
0.0V
+1.2V
0.0V
100c
100d
0.0V
+1.2V
+1.2V

圖 25

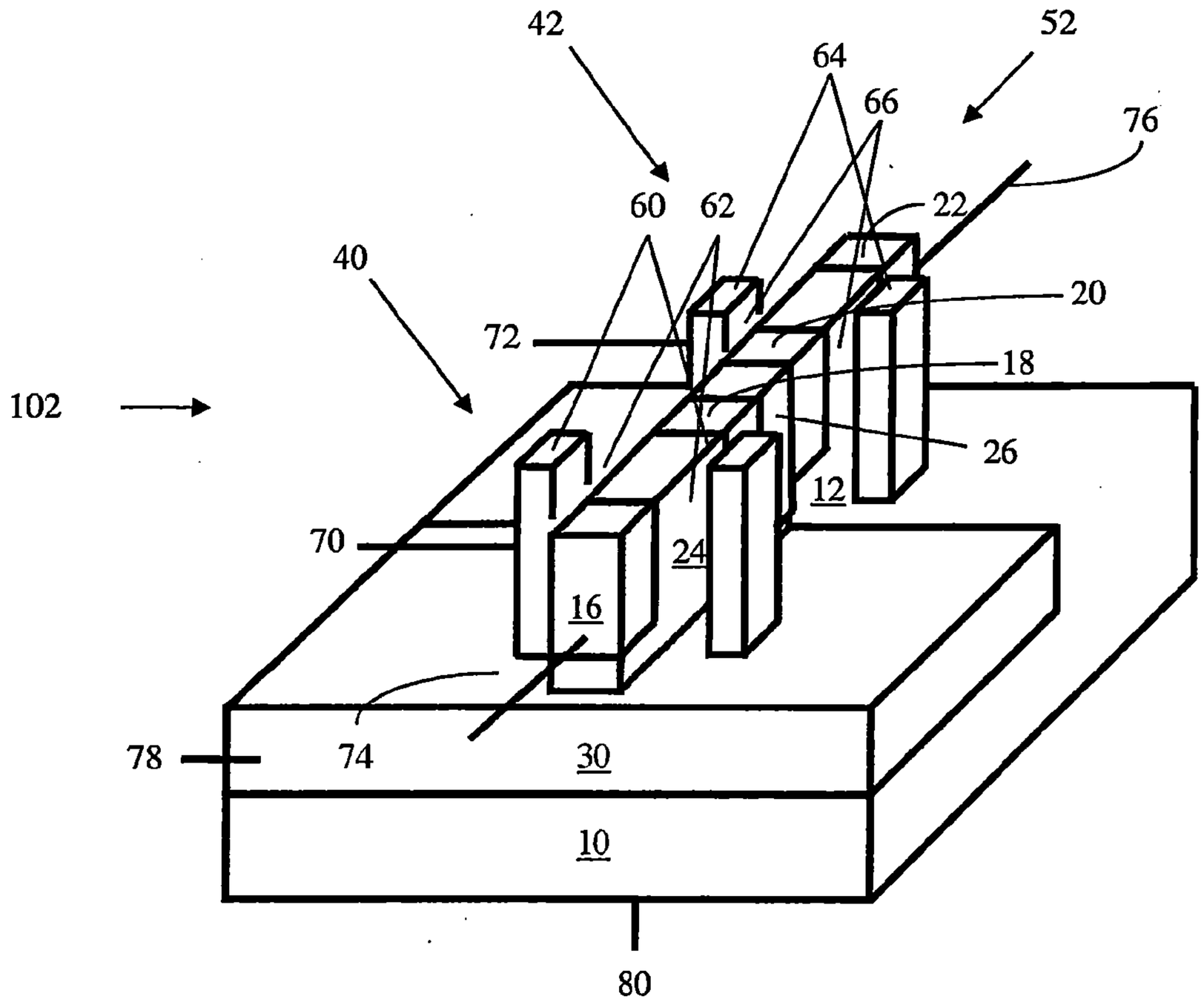

圖 26

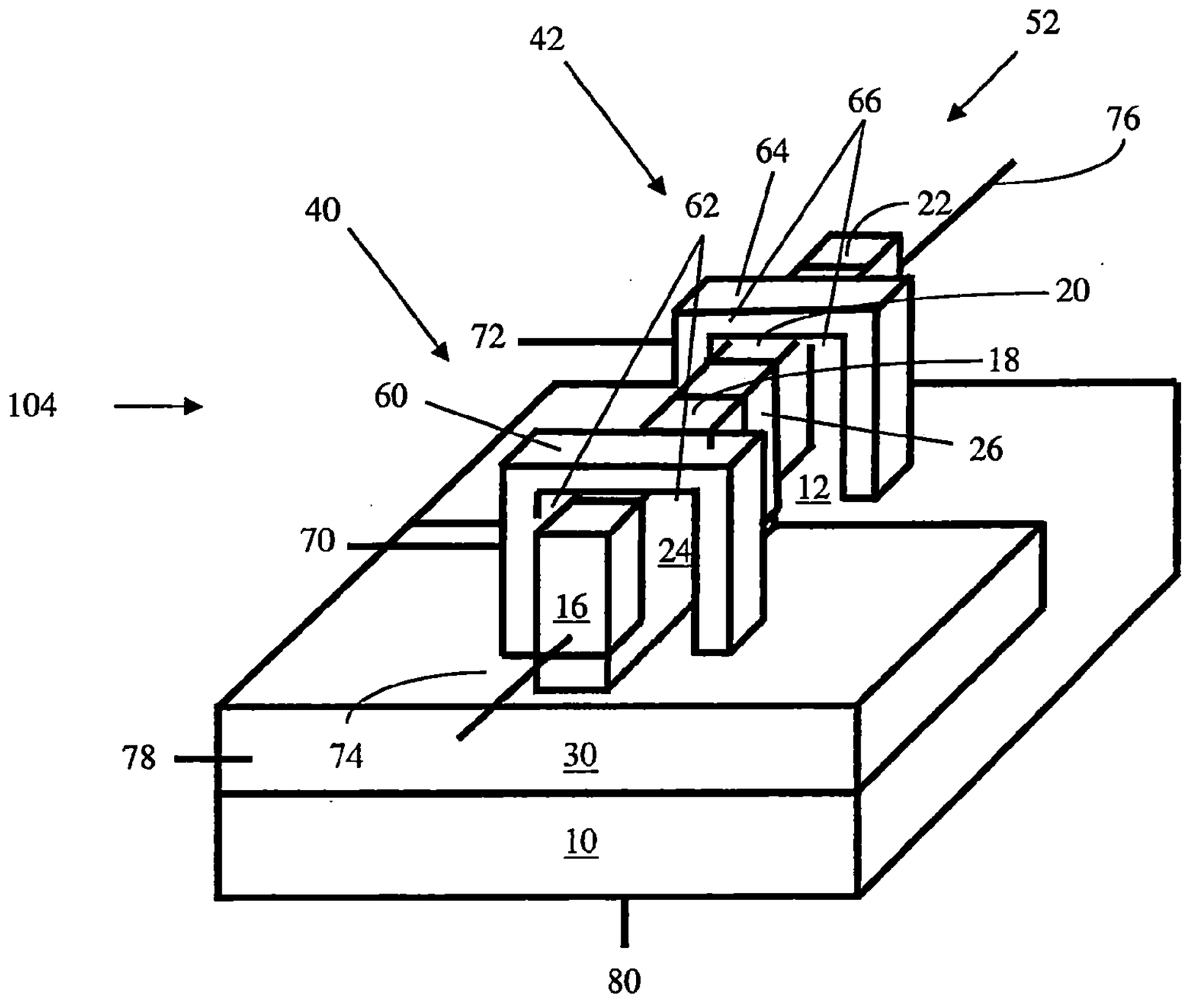

圖 27

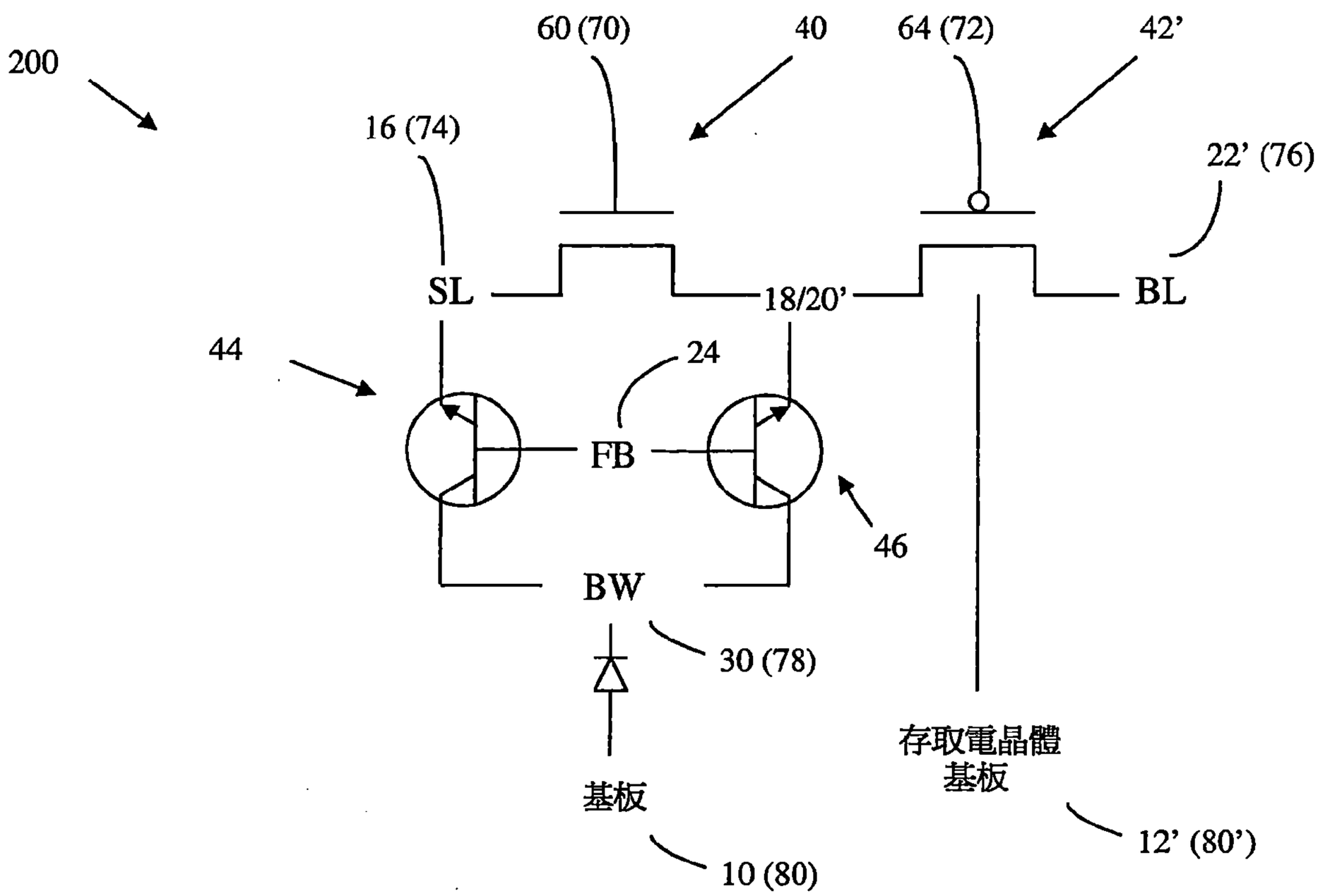
200
60 (70)
40
64 (72)
42'
16 (74)
22' (76)
SL
18/20'
BL
44
24
FB
46
BW
30 (78)
基板
10 (80)
存取電晶體
基板
12' (80')

圖 28

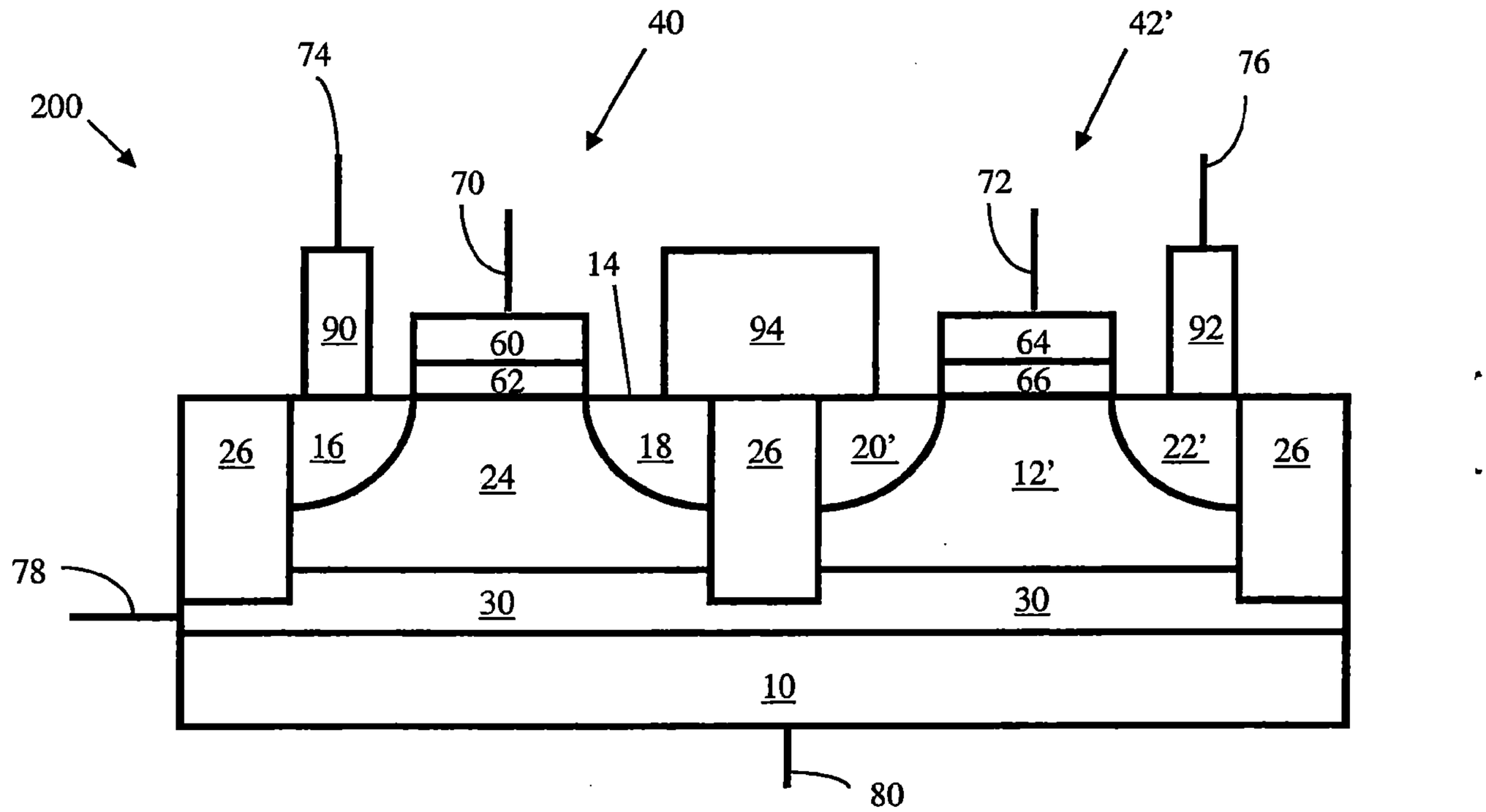
200
74
40
42'
76
70
72
14
90
60
62
94
64
66
92
26
16
24
18
26
20'
12'
22'
26
78
30
30
10
80

圖 29A

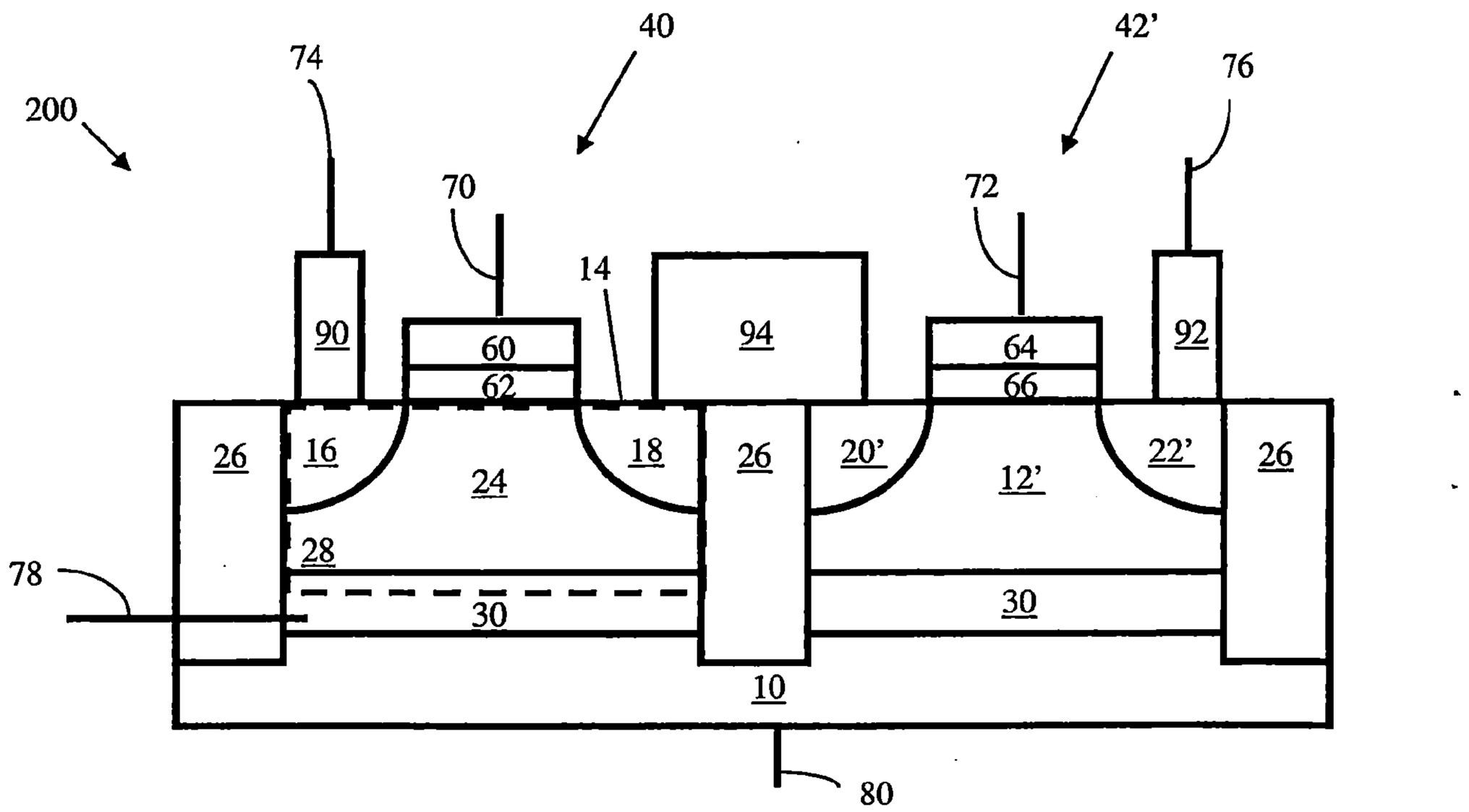
200
74
40
42'
76
70
72
14
90
60
62
94
64
66
92
26
16
24
18
26
20'
12'
22'
26
28
78
30
30
10
80

圖 29B

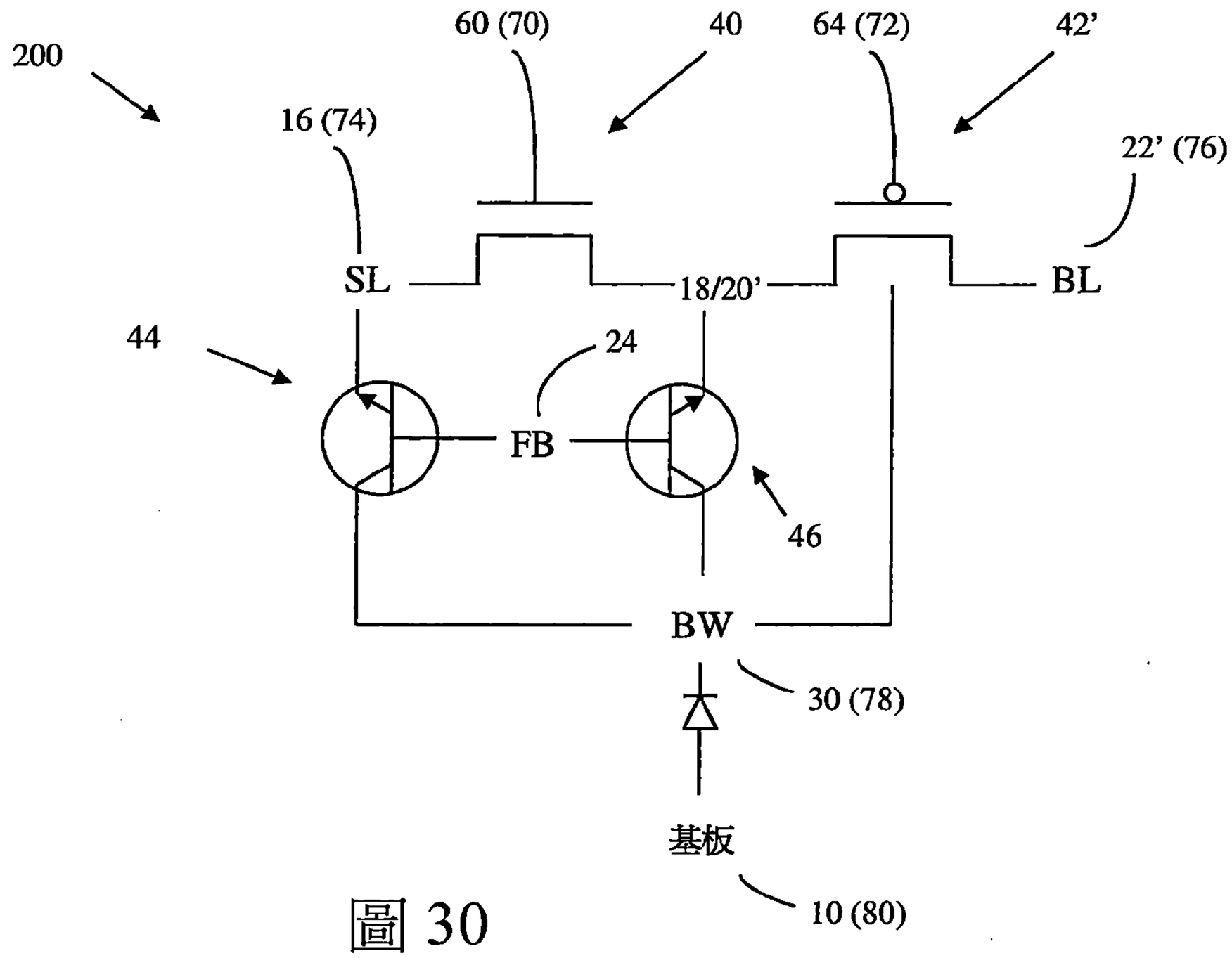
200
60 (70)
40
64 (72)
42'
16 (74)
22' (76)
SL
18/20'
BL
44
24
FB
46
BW
30 (78)
基板
10 (80)

圖 30

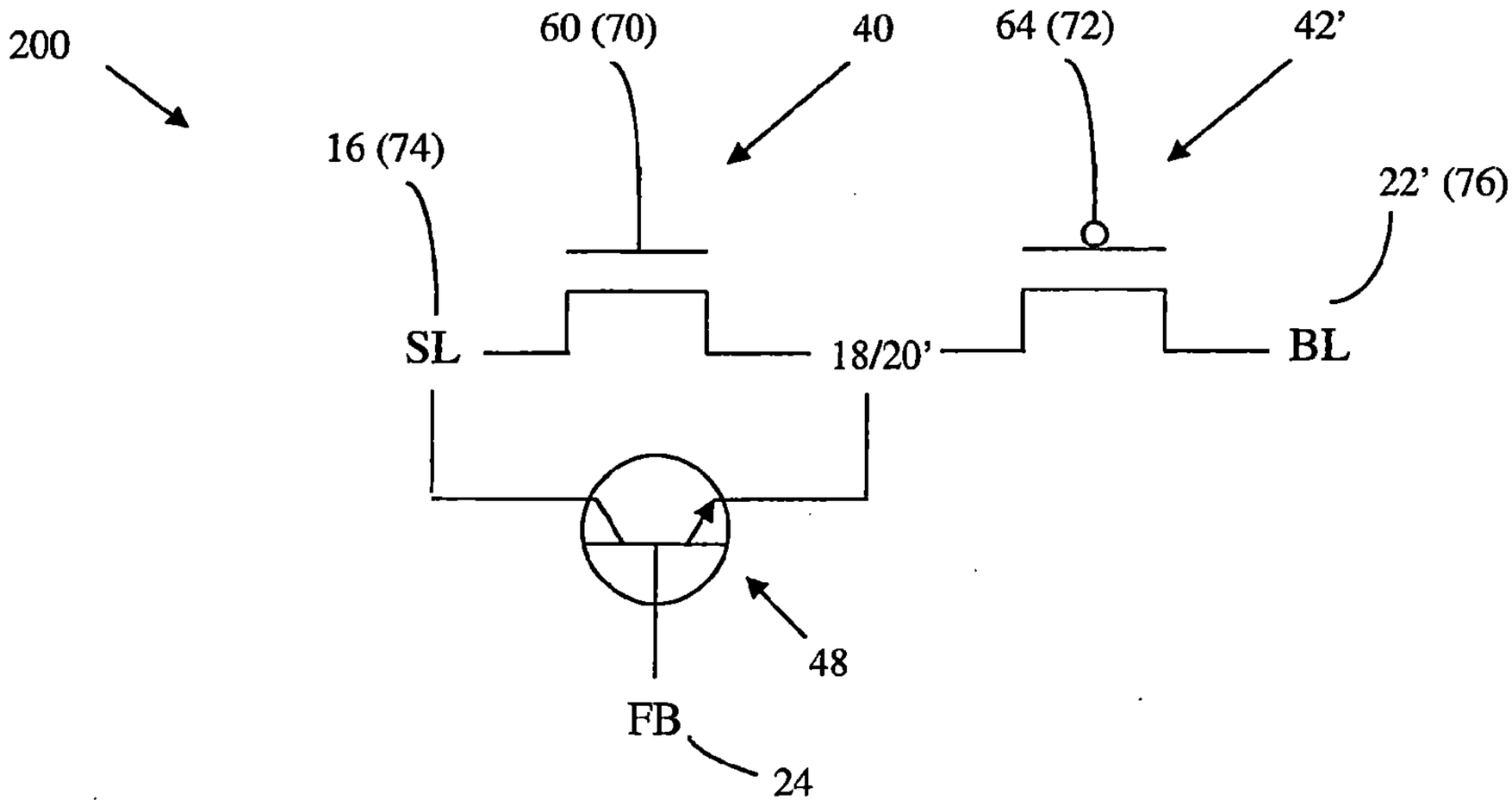
200
60 (70)
40
64 (72)
42'
16 (74)
22' (76)
SL
18/20'
BL
48
FB
24

圖 31

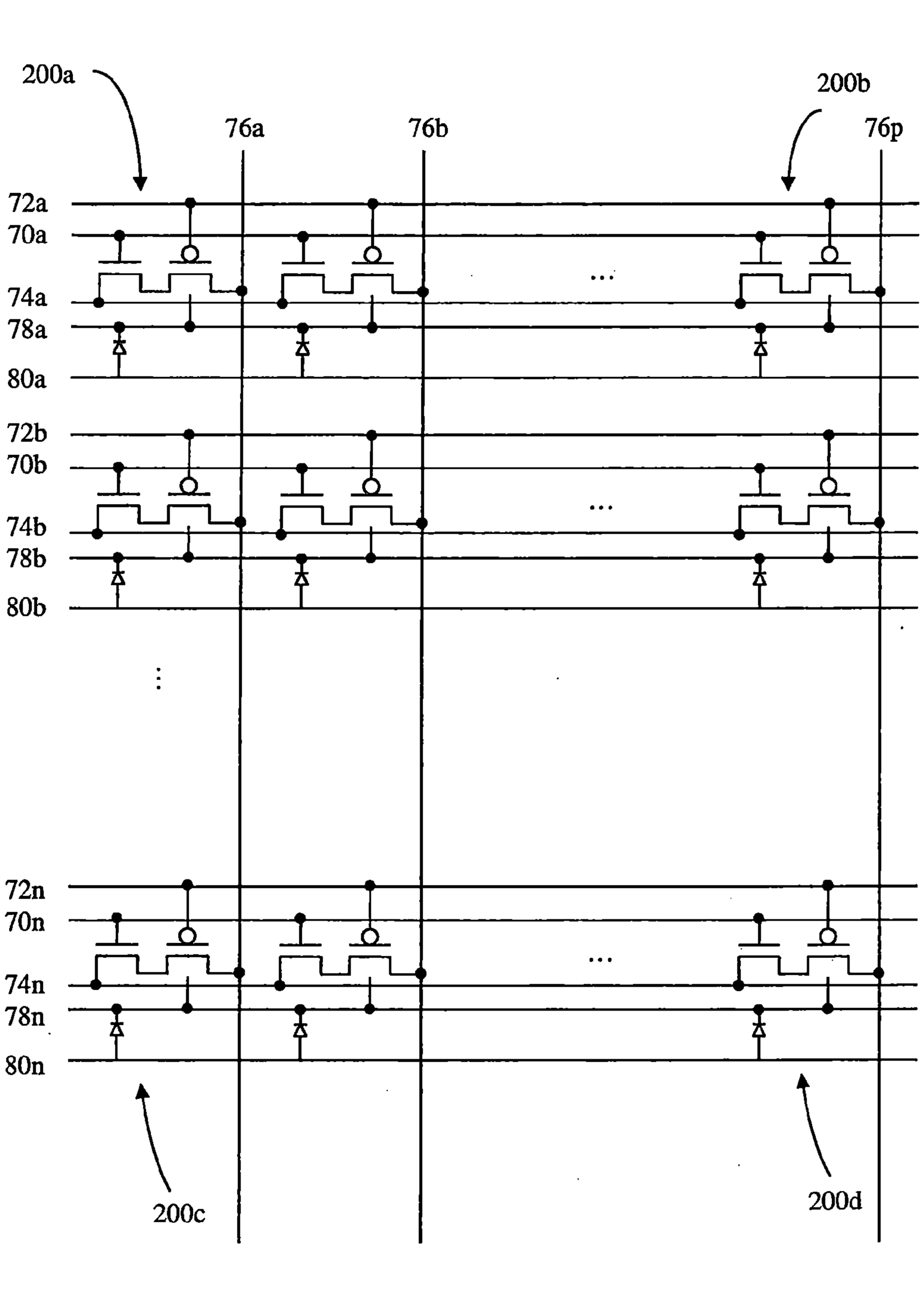
220
200a
76a
76b
200b
76p
72a
70a
74a
78a
80a
72b
70b
74b
78b
80b
72n
70n
74n
78n
80n
200c
200d

圖 32

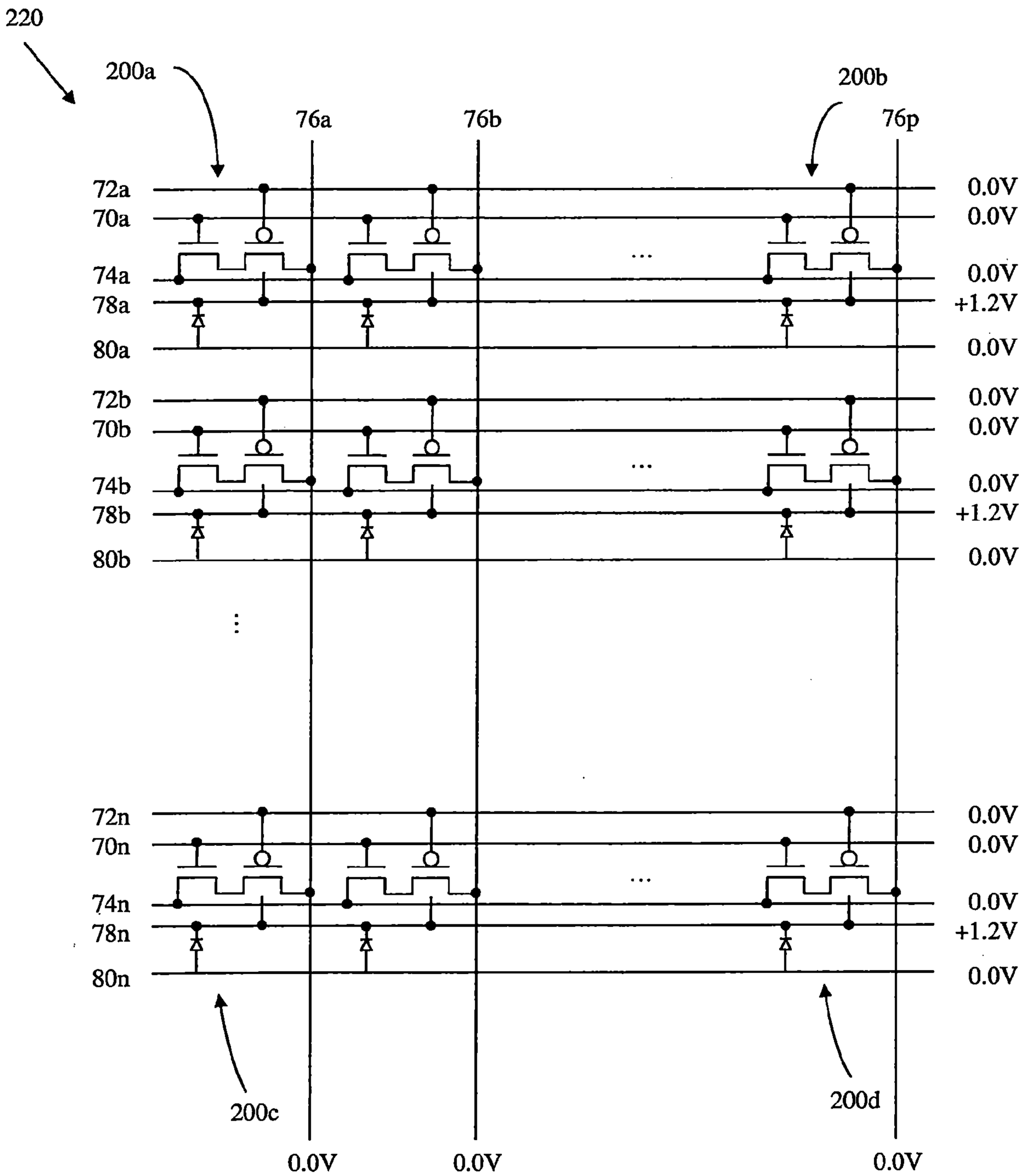
220
200a
200b
76a
76b
76p
72a
70a
74a
78a
80a
72b
70b
74b
78b
80b
72n
70n
74n
78n
80n
0.0V
+1.2V
200c
200d

圖 33

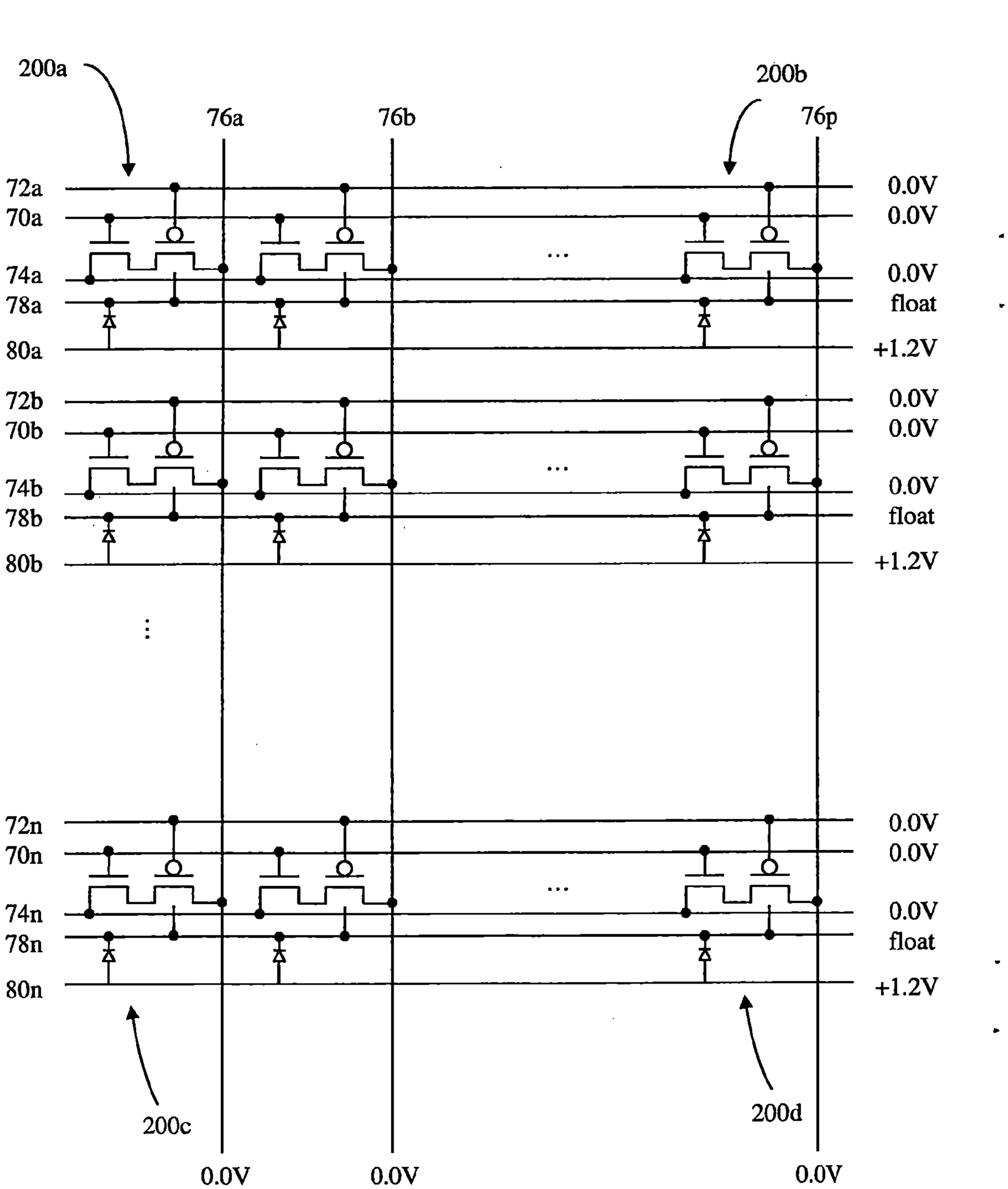
220
200a
200b
76a
76b
76p
72a
70a
74a
78a
80a
72b
70b
74b
78b
80b
72n
70n
74n
78n
80n
0.0V
0.0V
0.0V
float
+1.2V
0.0V
0.0V
0.0V
float
+1.2V
0.0V
0.0V
0.0V
200c
200d

圖 34

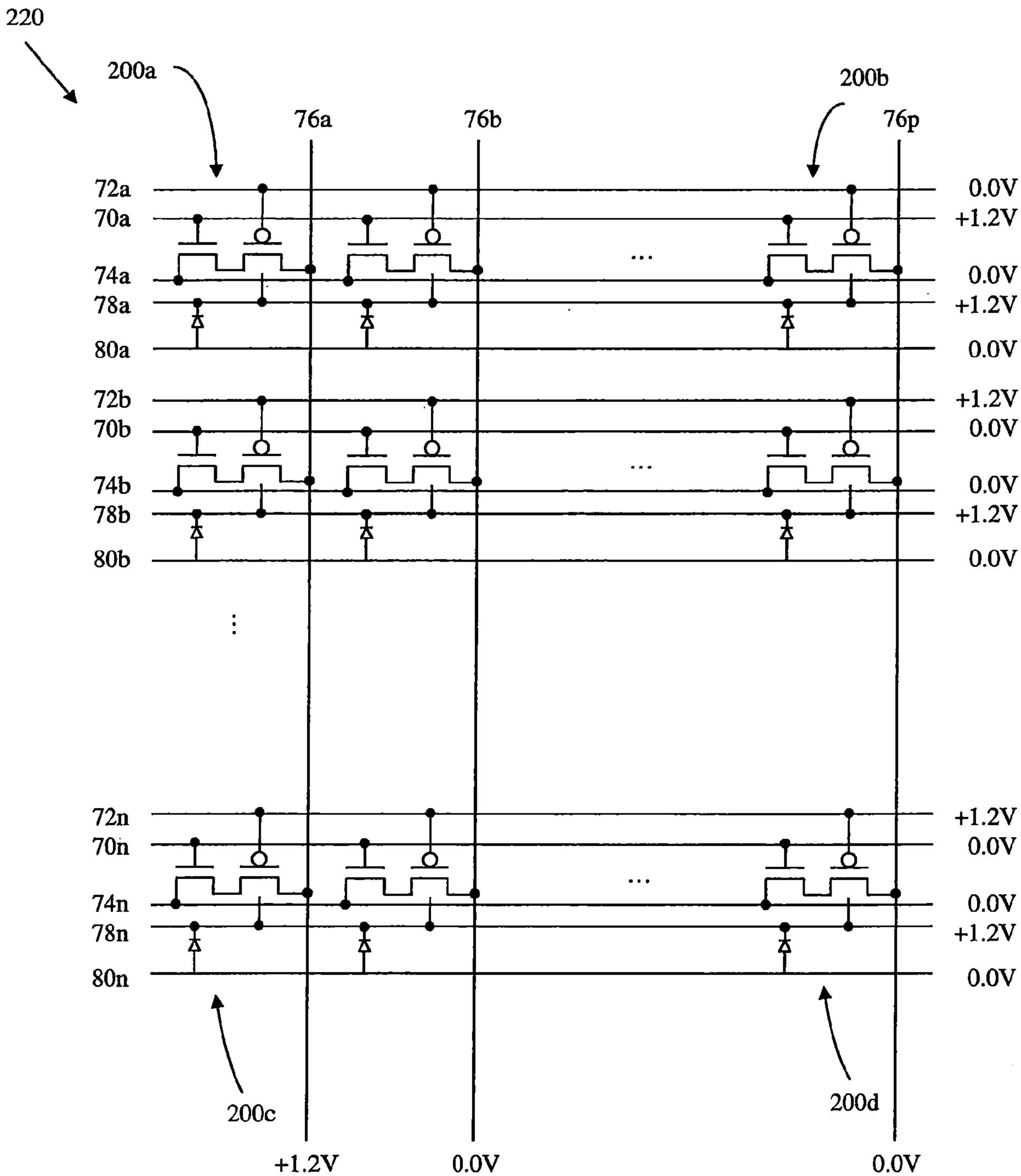
220
200a
200b
76a
76b
76p
72a
70a
74a
78a
80a
72b
70b
74b
78b
80b
72n
70n
74n
78n
80n
0.0V
+1.2V
0.0V
+1.2V
0.0V
+1.2V
0.0V
0.0V
+1.2V
0.0V
+1.2V
0.0V
200c
200d
+1.2V
0.0V
0.0V

圖 35

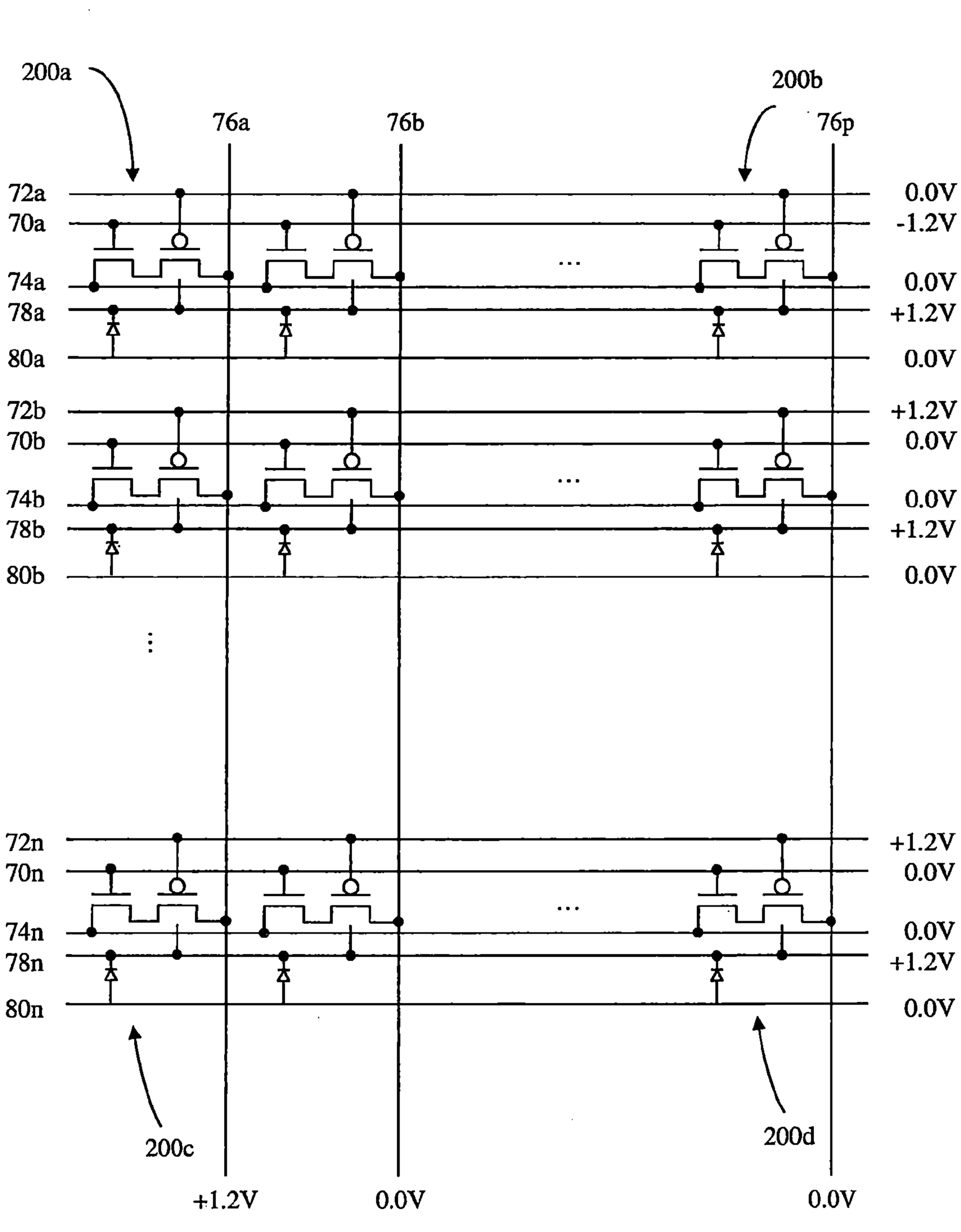
220
200a
76a
76b
200b
76p
72a
70a
74a
78a
80a
72b
70b
74b
78b
80b
72n
70n
74n
78n
80n
0.0V
-1.2V
0.0V
+1.2V
0.0V
+1.2V
0.0V
0.0V
+1.2V
0.0V
+1.2V
0.0V
200c
200d
+1.2V
0.0V
0.0V

圖 36

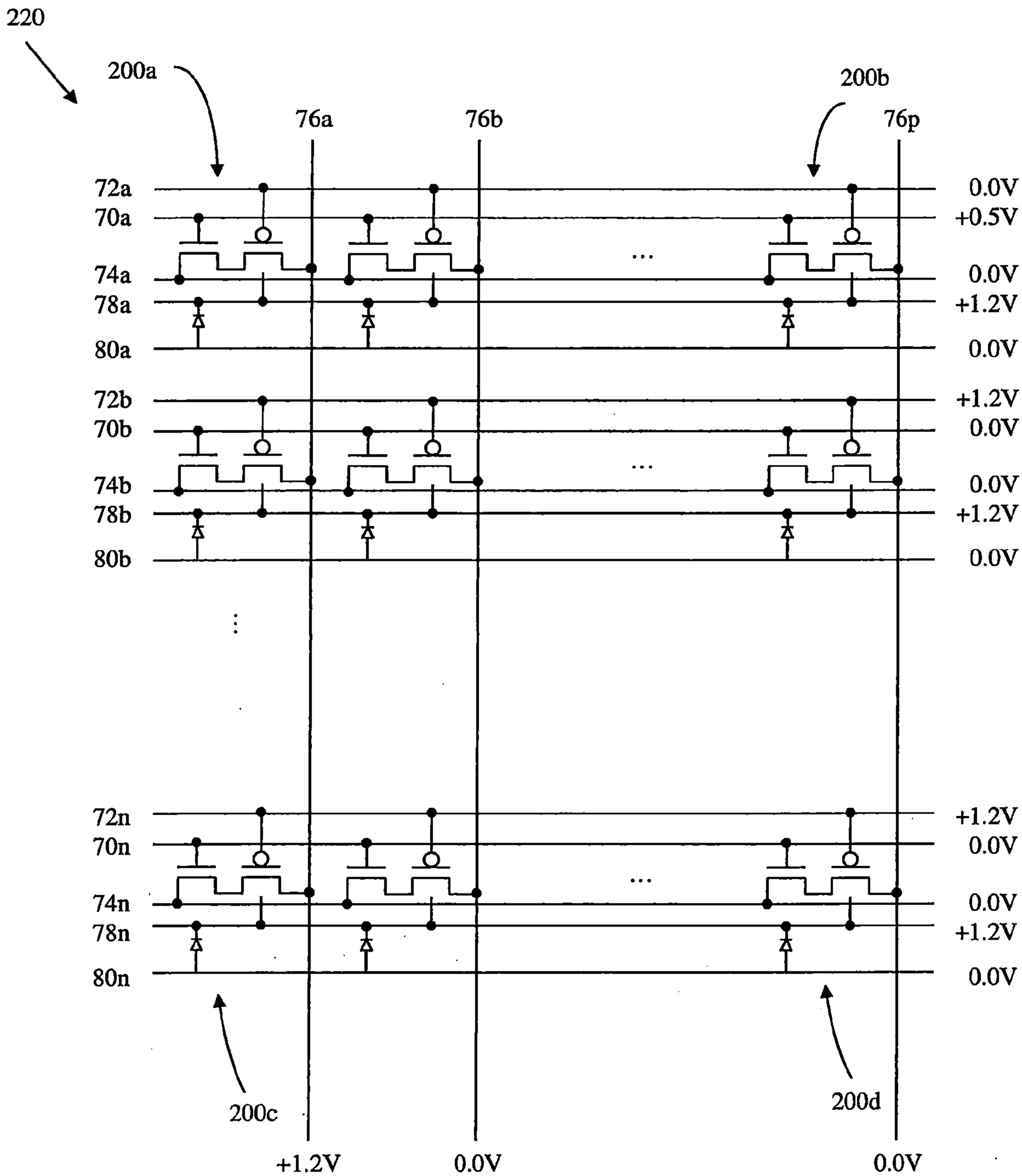
220
200a
200b
76a
76b
76p
72a
70a
74a
78a
80a
72b
70b
74b
78b
80b
72n
70n
74n
78n
80n
0.0V
+0.5V
0.0V
+1.2V
0.0V
+1.2V
0.0V
0.0V
+1.2V
0.0V
+1.2V
0.0V
200c
200d
+1.2V
0.0V
0.0V

圖 37

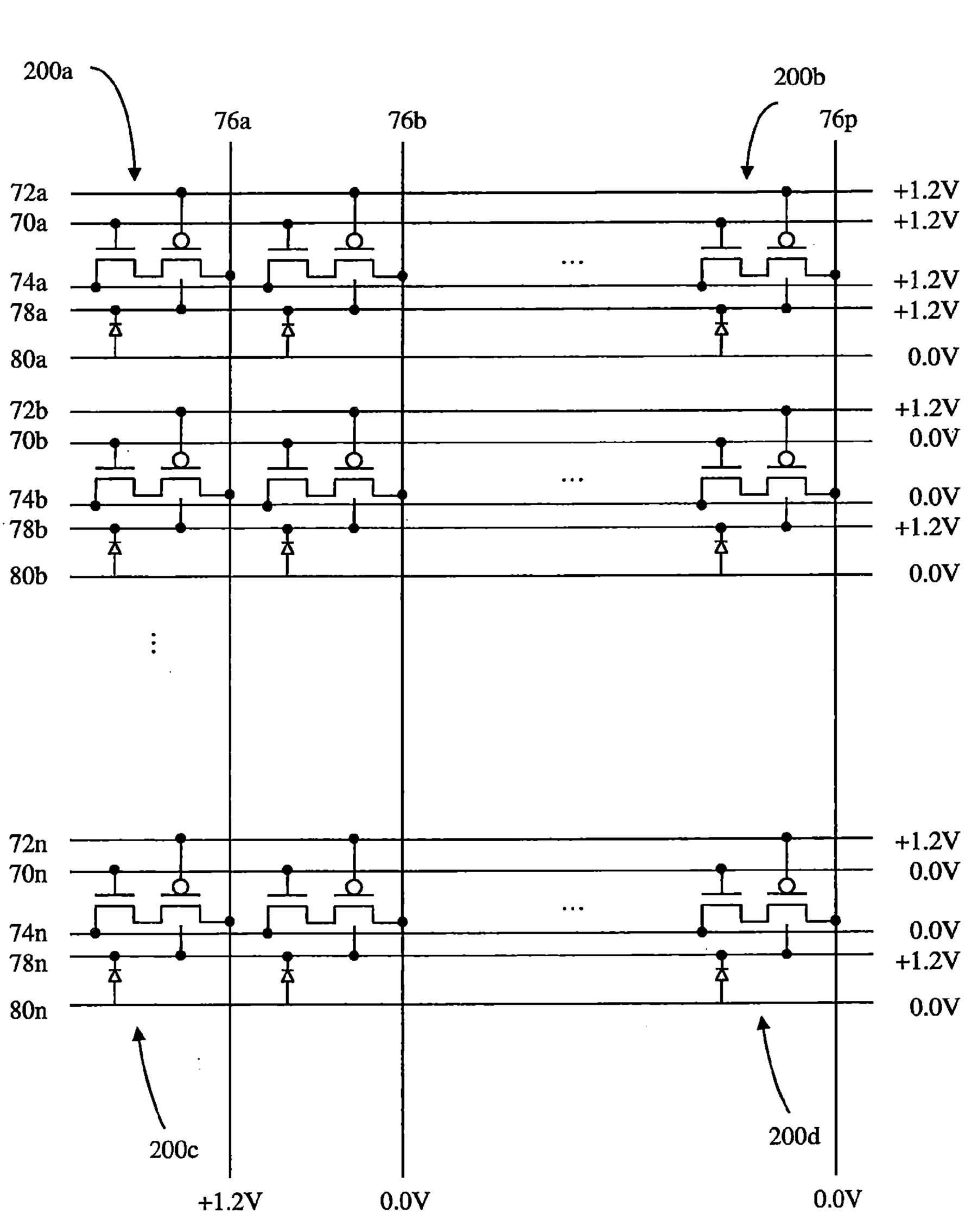
220
200a
200b
76a
76b
76p
72a
70a
74a
78a
80a
72b
70b
74b
78b
80b
72n
70n
74n
78n
80n
+1.2V
+1.2V
+1.2V
+1.2V
0.0V
+1.2V
0.0V
0.0V
+1.2V
0.0V
+1.2V
0.0V
0.0V
200c
200d
+1.2V
0.0V
0.0V

圖 38

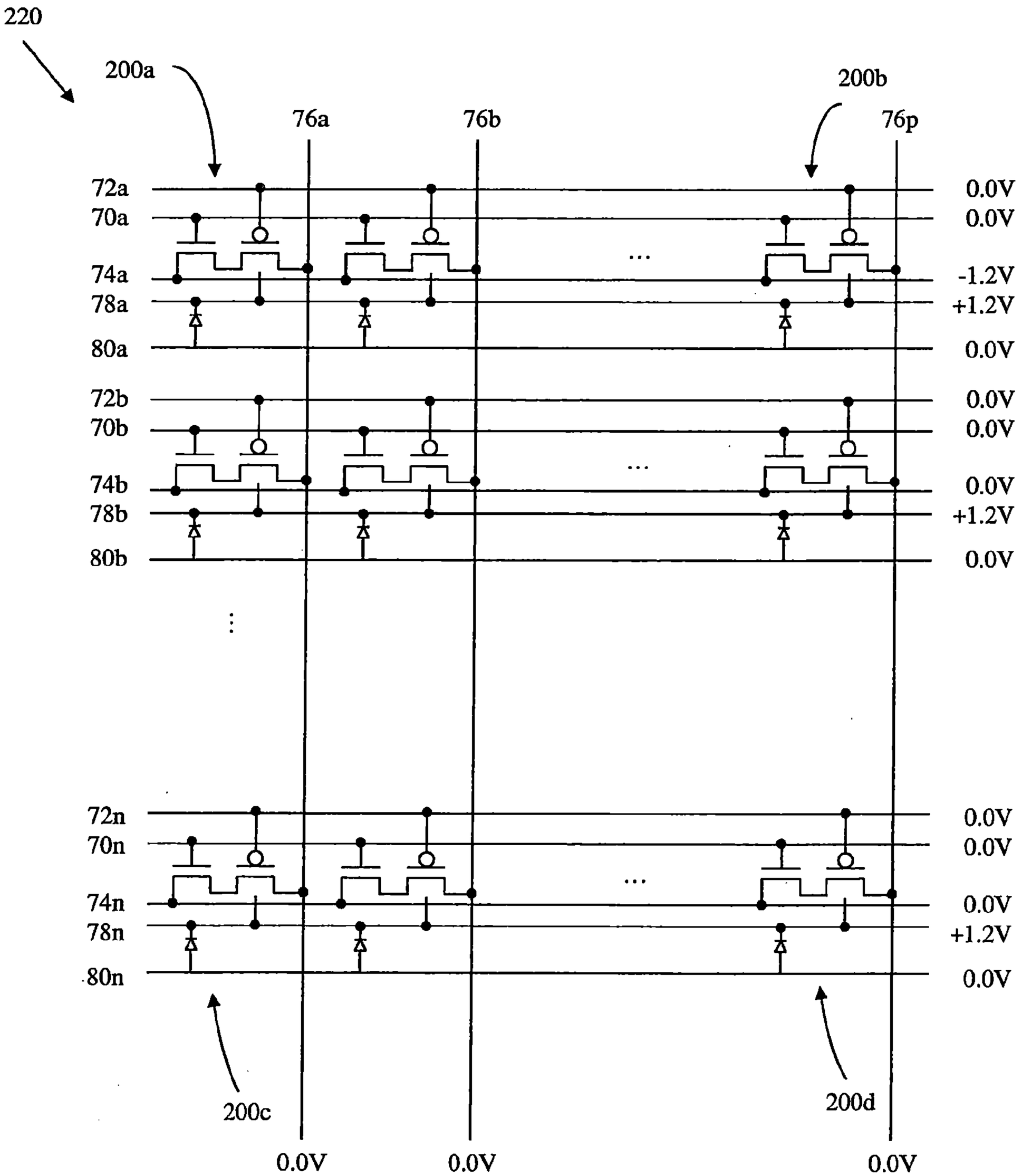
220
200a
200b
76a
76b
76p
72a
70a
74a
78a
80a
72b
70b
74b
78b
80b
72n
70n
74n
78n
80n
0.0V
0.0V
-1.2V
+1.2V
0.0V
0.0V
0.0V
0.0V
+1.2V
0.0V
0.0V
0.0V
+1.2V
0.0V
200c
200d
0.0V
0.0V
0.0V

圖 39

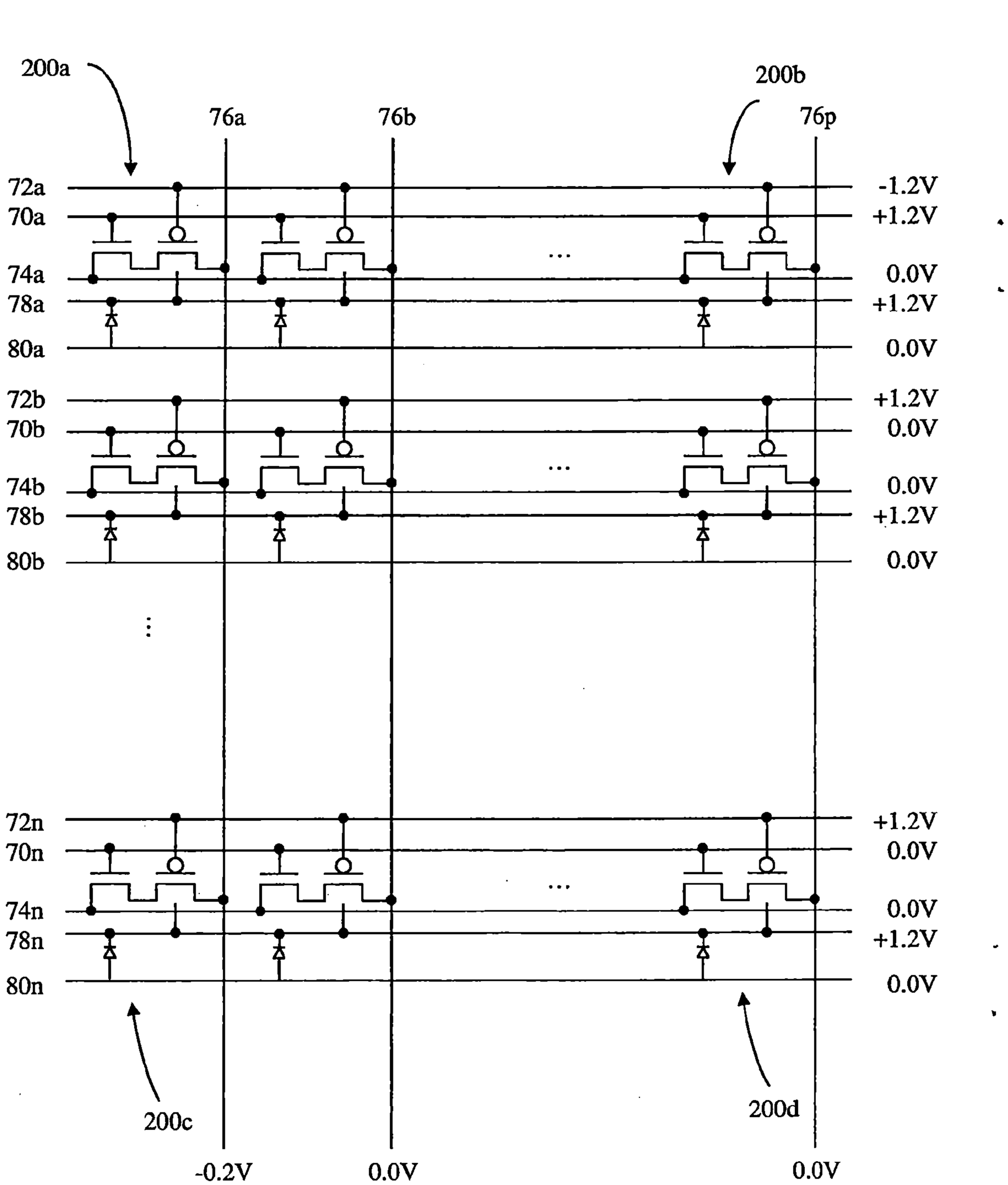
220
200a
200b
76a
76b
76p
72a
70a
74a
78a
80a
72b
70b
74b
78b
80b
72n
70n
74n
78n
80n
-1.2V
+1.2V
0.0V
+1.2V
0.0V
+1.2V
0.0V
0.0V
+1.2V
0.0V
+1.2V
0.0V
200c
200d
-0.2V
0.0V
0.0V

圖 40

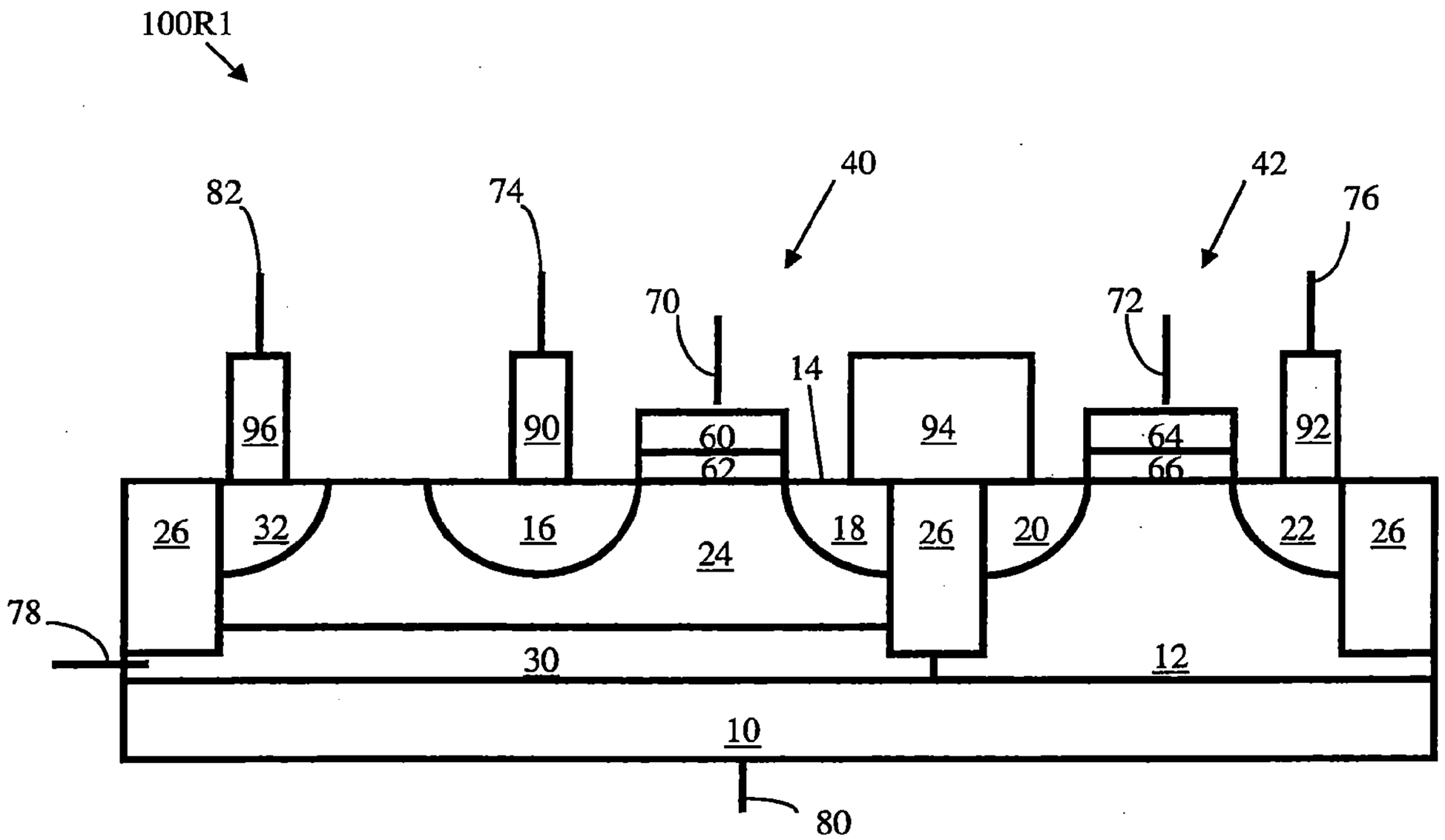
100R1
40
42
82
74
76
70
72
14
96
90
60
62
94
64
66
92
26
32
16
24
18
26
20
22
26
78
30
12
10
80

圖 41

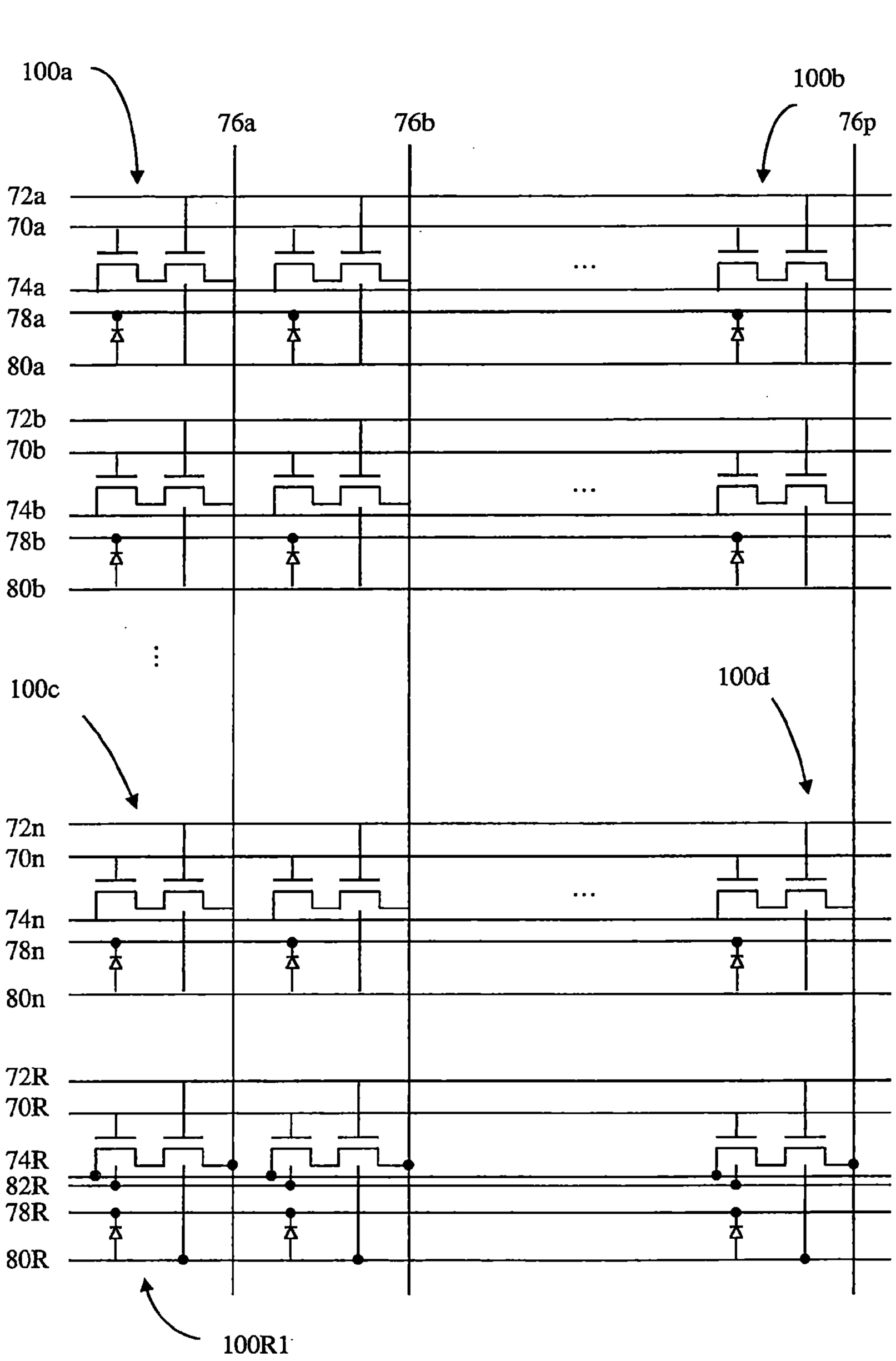
120
100a
76a
76b
100b
76p
72a
70a
74a
78a
80a
72b
70b
74b
78b
80b
100c
100d
72n
70n
74n
78n
80n
72R
70R
74R
82R
78R
80R
100R1

圖 42

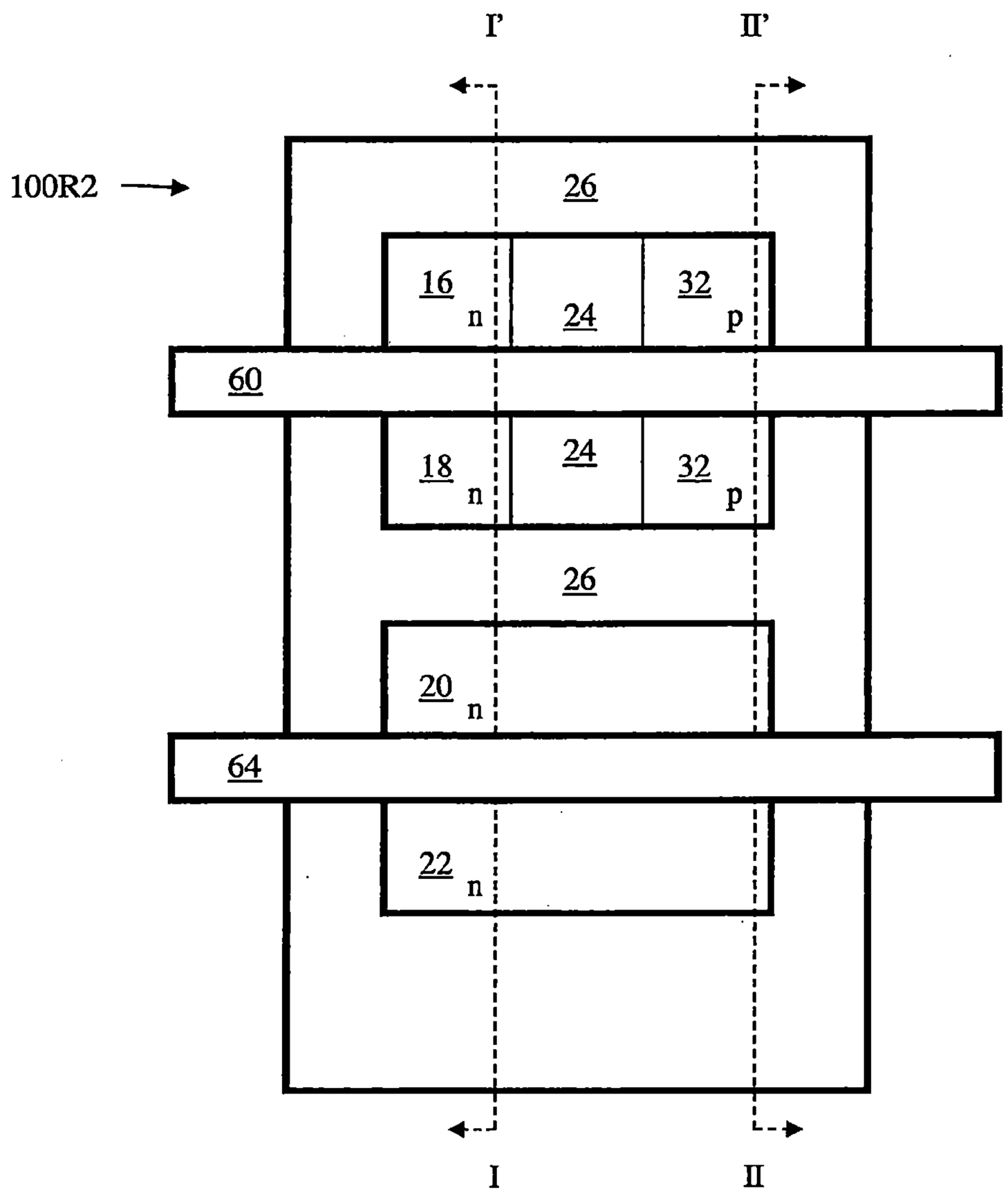

圖 43A

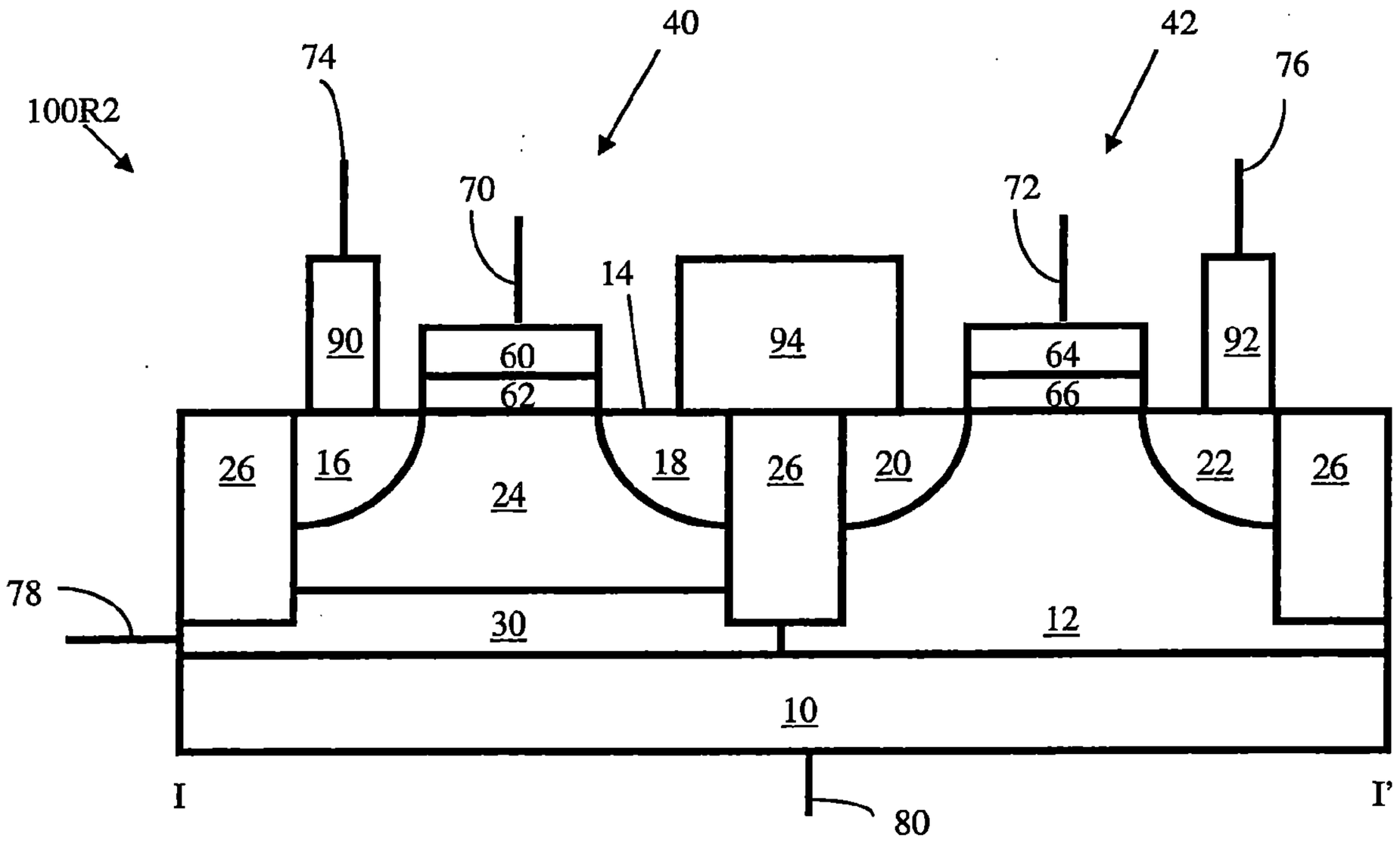
100R2
74
40
42
76
70
72
14
90
94
92
60
62
64
66
26
16
24
18
26
20
22
26
78
30
12
10
I
I'
80

圖 43B

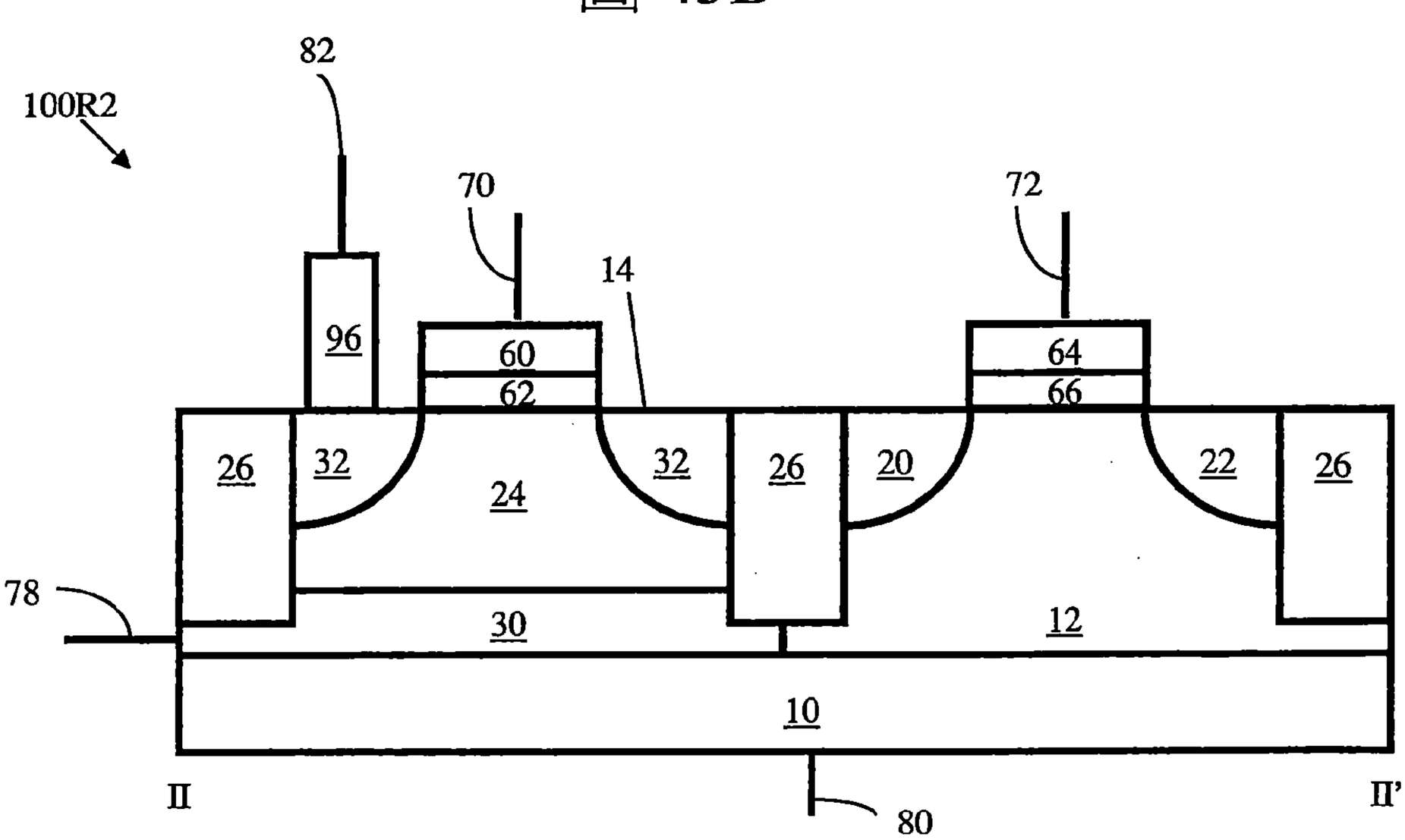
82
100R2
70
72
14
96
60
62
64
66
26
32
24
32
26
20
22
26
78
30
12
10
II
II'
80

圖 43C

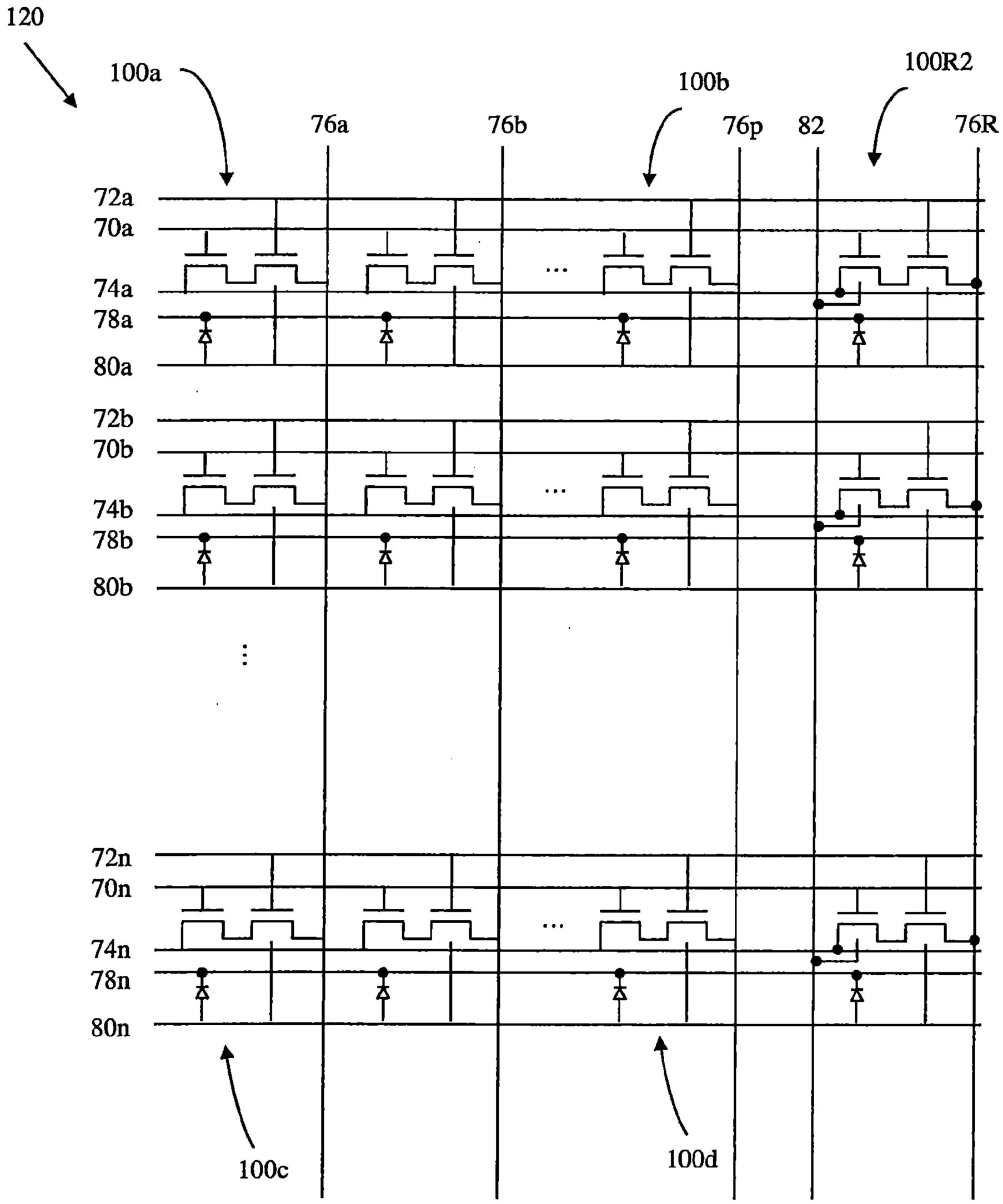
120
100a
76a
76b
100b
76p
82
100R2
76R
72a
70a
74a
78a
80a
72b
70b
74b
78b
80b
72n
70n
74n
78n
80n
100c
100d

圖 44

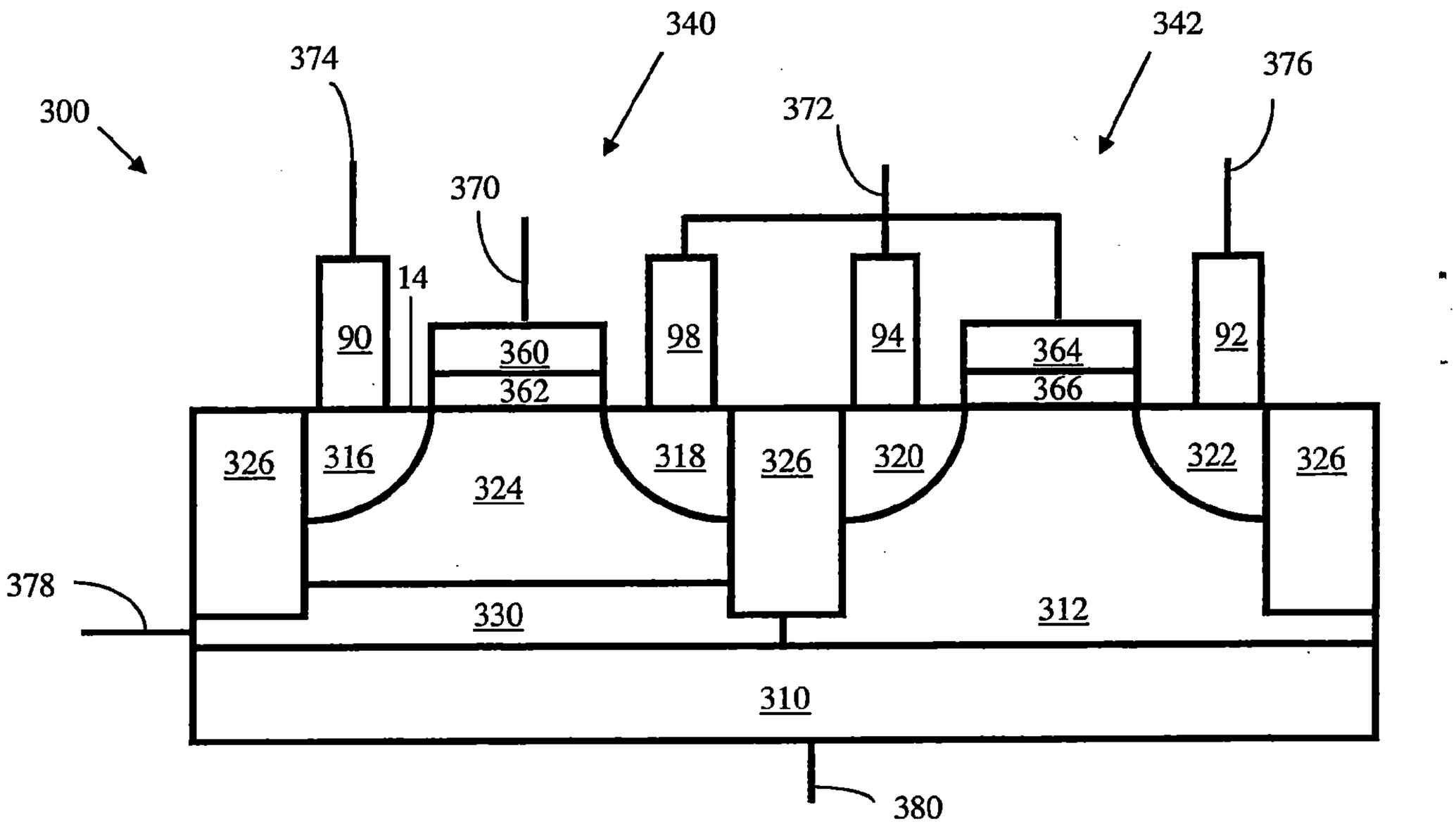
300
374
340
342
376
372
370
14
90
98
94
92
360
362
364
366
326
316
324
318
326
320
322
326
378
330
312
310
380

圖 45

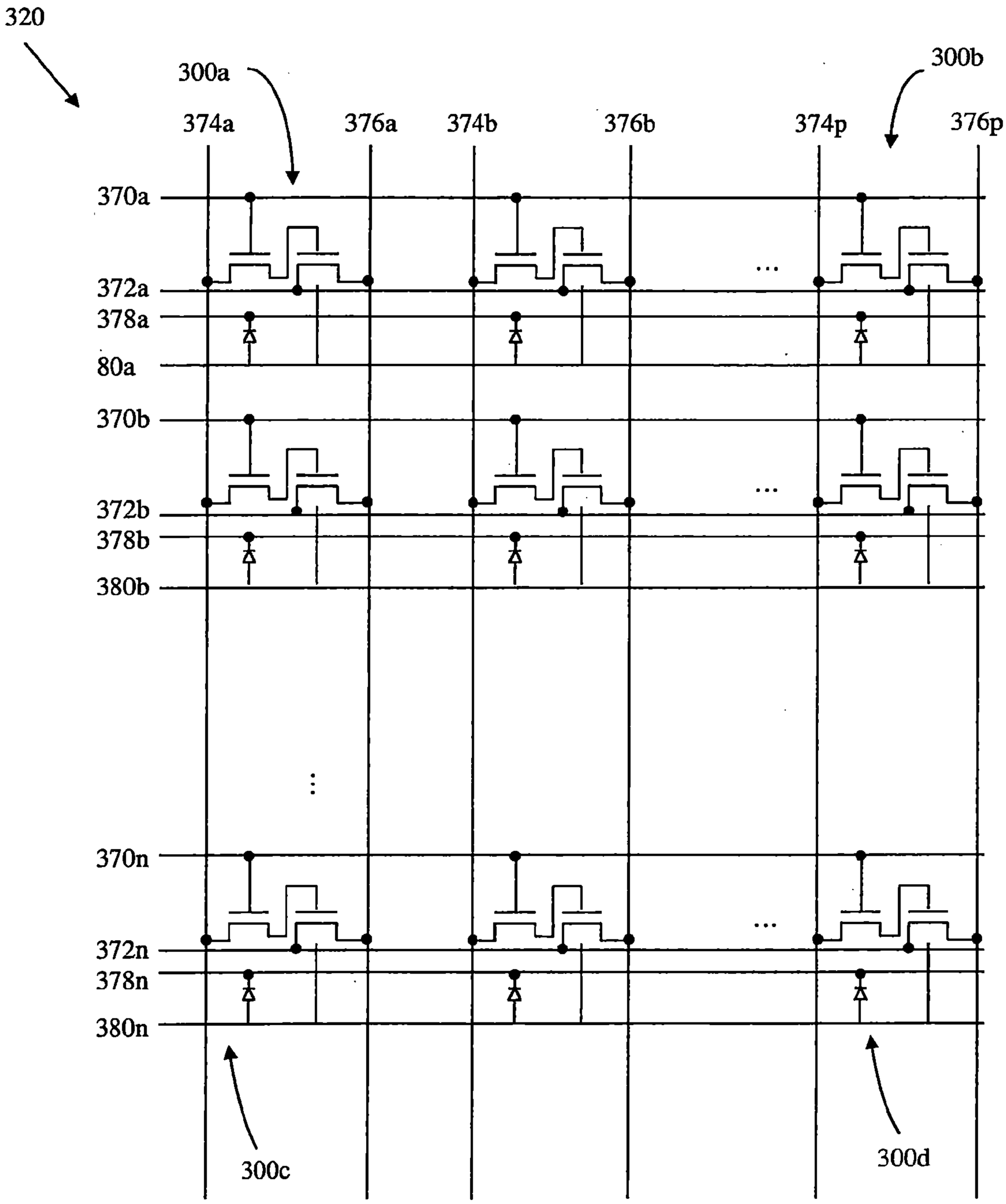
320
300a
300b
374a
376a
374b
376b
374p
376p
370a
372a
378a
80a
370b
372b
378b
380b
370n
372n
378n
380n
300c
300d

圖 46

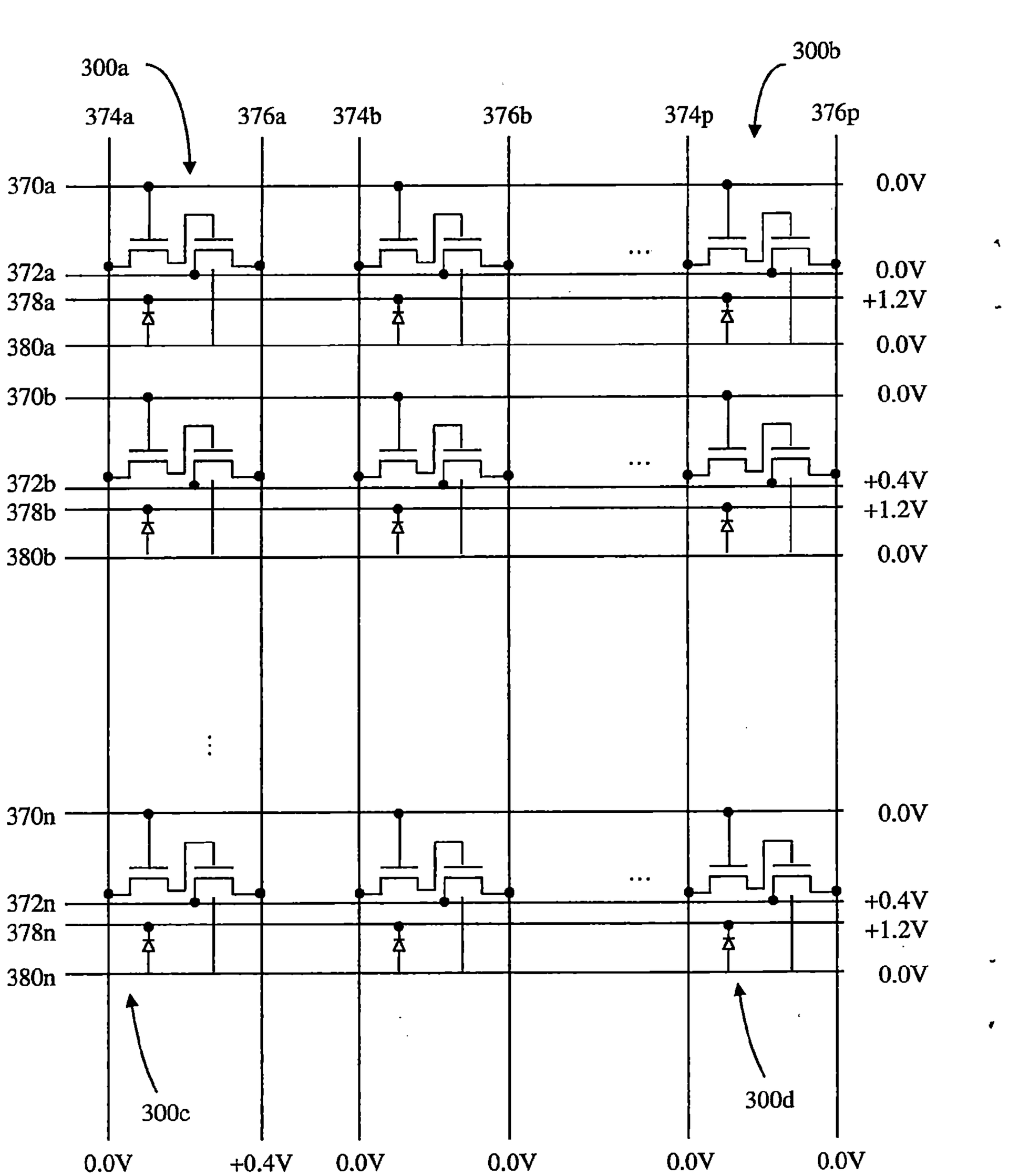
320
300a
300b
374a
376a
374b
376b
374p
376p
370a
372a
378a
380a
370b
372b
378b
380b
370n
372n
378n
380n
0.0V
0.0V
+1.2V
0.0V
0.0V
+0.4V
+1.2V
0.0V
0.0V
+0.4V
+1.2V
0.0V
300c
300d
0.0V
+0.4V
0.0V
0.0V
0.0V
0.0V

圖 47

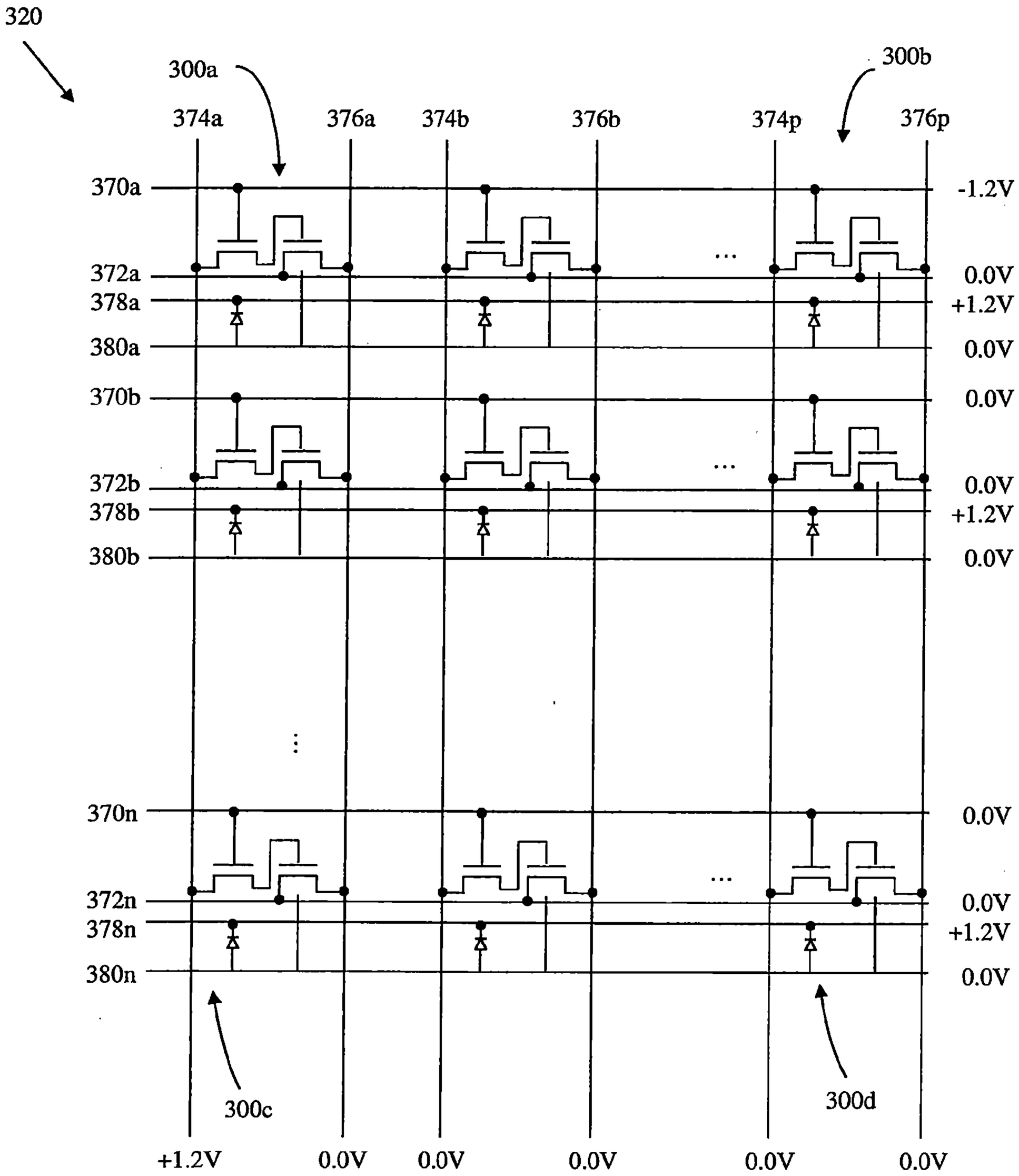
320
300a
300b
374a
376a
374b
376b
374p
376p
370a
372a
378a
380a
370b
372b
378b
380b
370n
372n
378n
380n
-1.2V
0.0V
+1.2V
0.0V
0.0V
0.0V
0.0V
+1.2V
0.0V
0.0V
+1.2V
0.0V
300c
300d
+1.2V
0.0V
0.0V
0.0V
0.0V
0.0V

圖 48

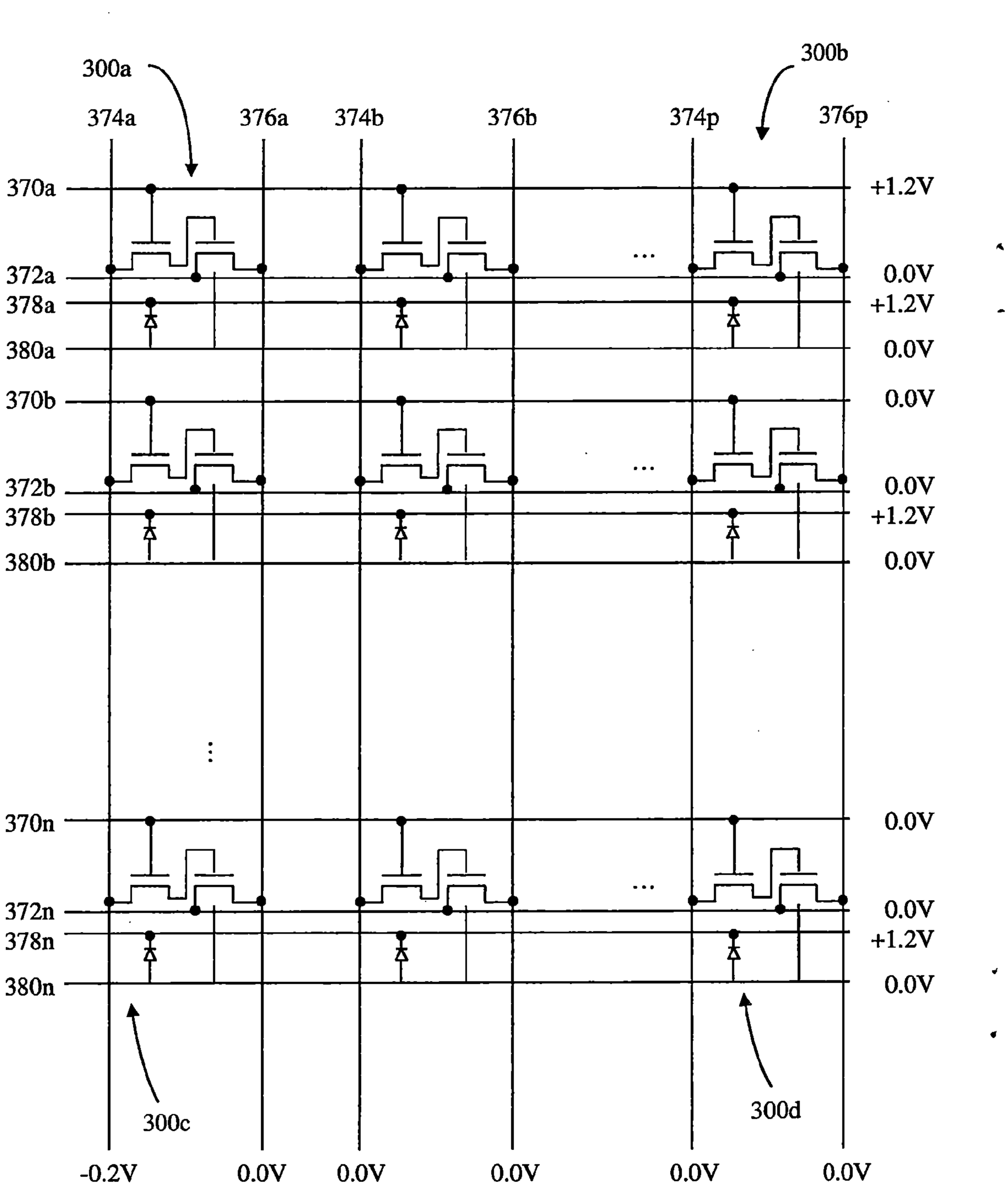
320
300a
300b
374a
376a
374b
376b
374p
376p
370a
372a
378a
380a
370b
372b
378b
380b
370n
372n
378n
380n
+1.2V
0.0V
+1.2V
0.0V
0.0V
0.0V
+1.2V
0.0V
0.0V
+1.2V
0.0V
300c
300d
-0.2V
0.0V
0.0V
0.0V
0.0V
0.0V

圖 49

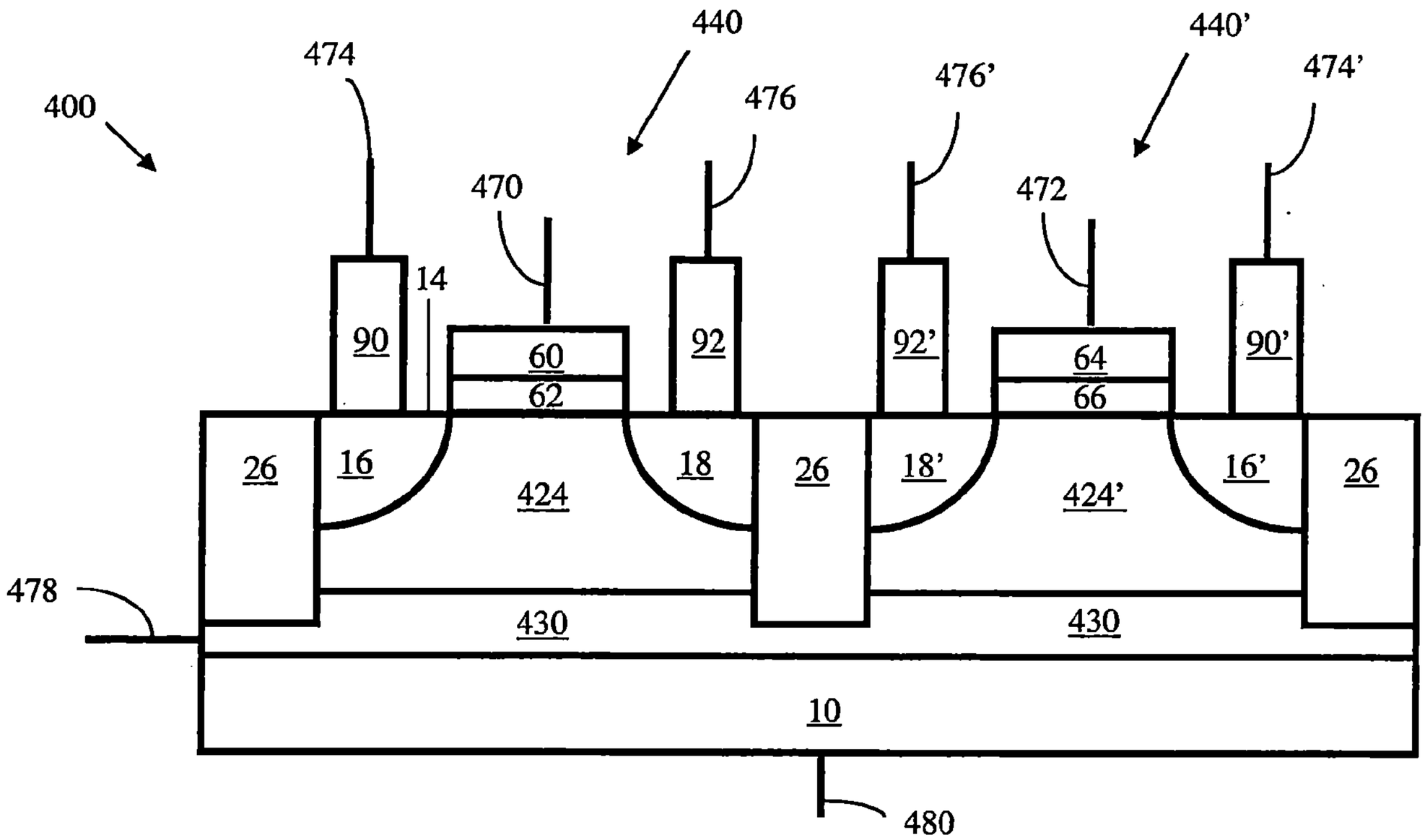
400
474
440
476
476'
440'
474'
470
472
14
90
60
62
92
92'
64
66
90'
26
16
424
18
26
18'
424'
16'
26
478
430
430
10
480

圖 50

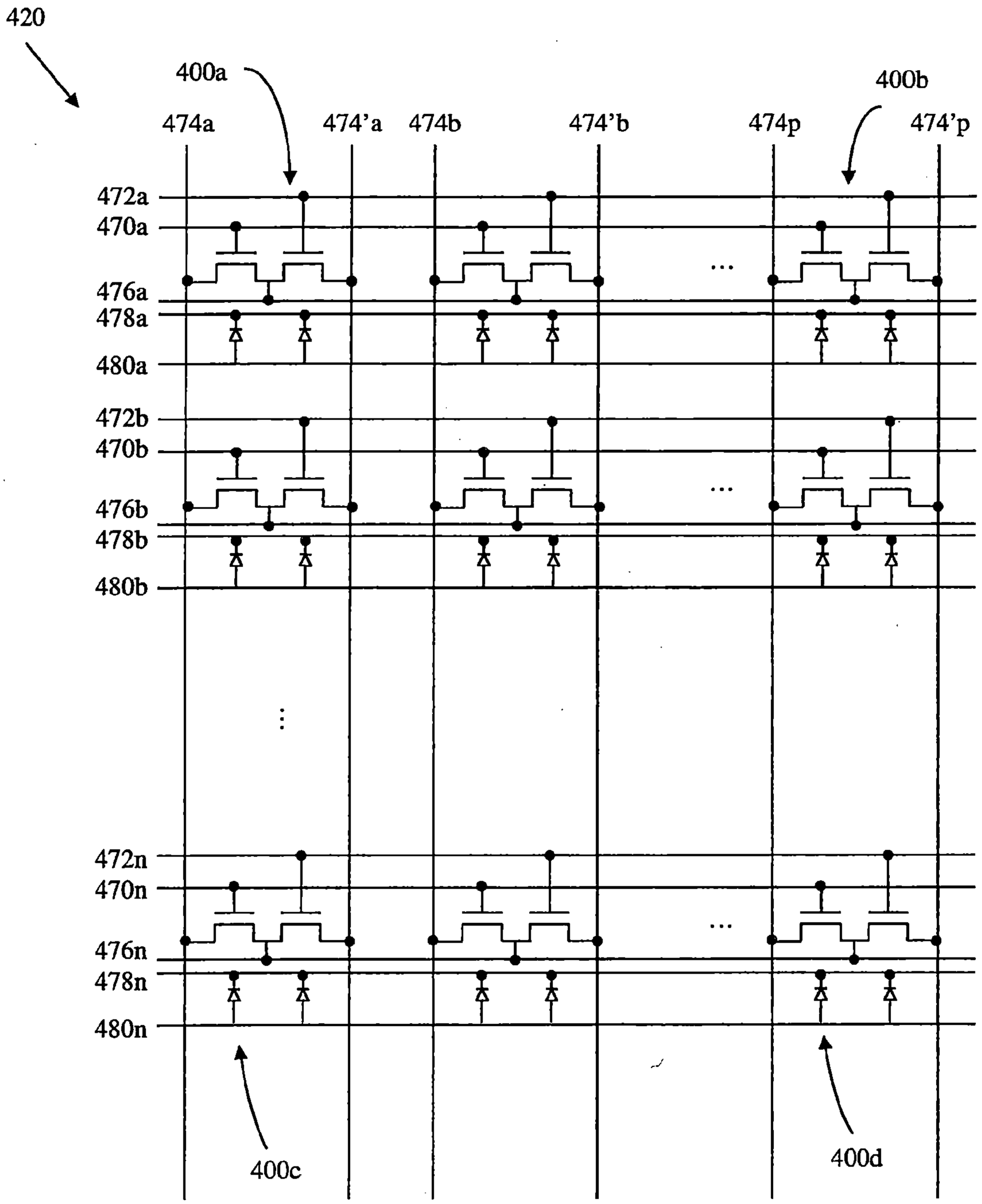
420
400a
400b
474a
474'a
474b
474'b
474p
474'p
472a
470a
476a
478a
480a
472b
470b
476b
478b
480b
472n
470n
476n
478n
480n
400c
400d

圖 51

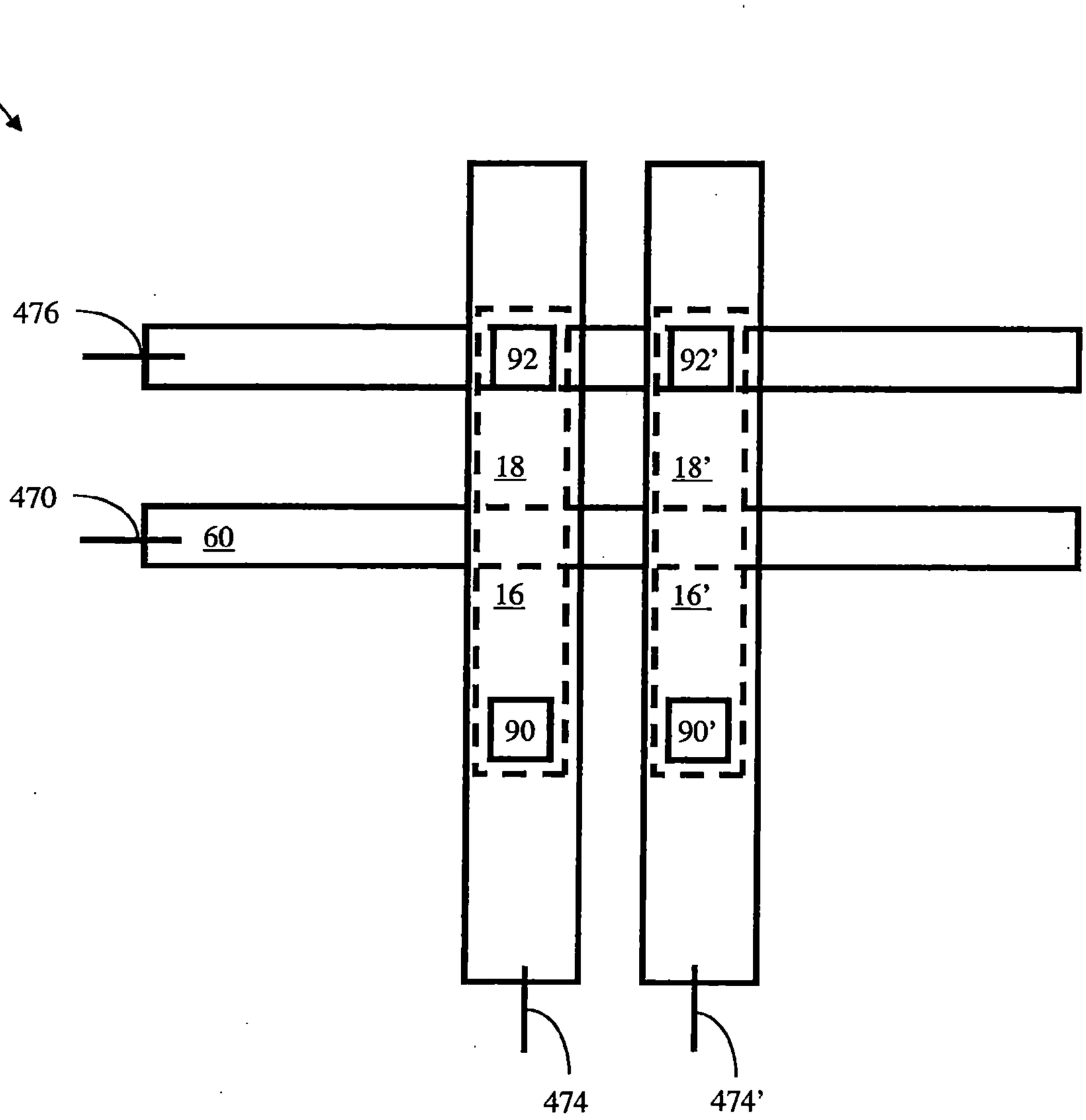

圖 52

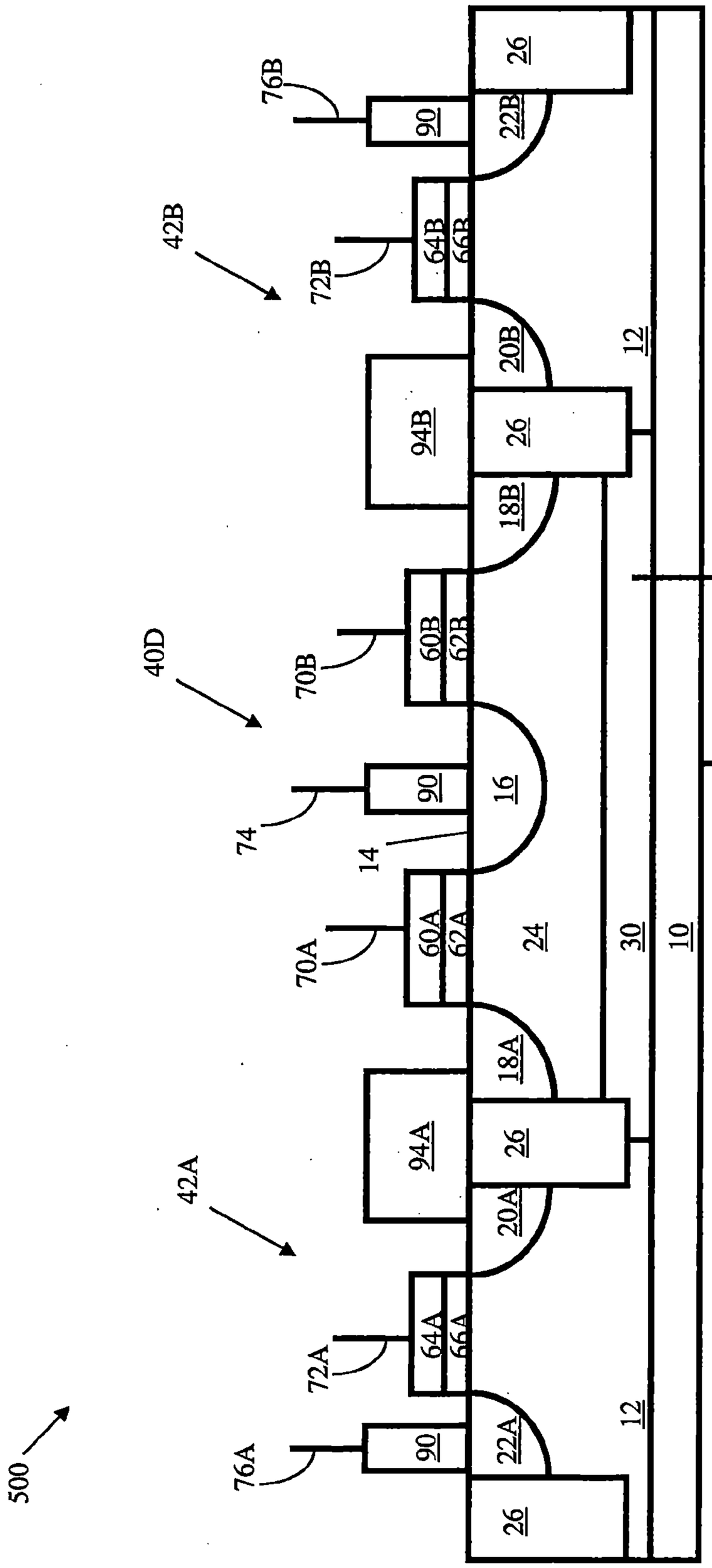
500
42A
40D
76A
74
72A
70A
14
90
16
60A
62A
64A
66A
24
94A
18A
26
20A
22A
30
10
12
76B
72B
70B
90
22B
60B
62B
64B
66B
94B
18B
20B
78
80

圖 53