

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5193050号  
(P5193050)

(45) 発行日 平成25年5月8日(2013.5.8)

(24) 登録日 平成25年2月8日(2013.2.8)

(51) Int.Cl.

F I

G 1 1 C 11/403 (2006.01)

G 1 1 C 11/34 3 6 3 M

G 1 1 C 11/4076 (2006.01)

G 1 1 C 11/34 3 5 4 C

請求項の数 22 (全 21 頁)

(21) 出願番号 特願2008-536889 (P2008-536889)  
 (86) (22) 出願日 平成18年10月12日(2006.10.12)  
 (65) 公表番号 特表2009-514128 (P2009-514128A)  
 (43) 公表日 平成21年4月2日(2009.4.2)  
 (86) 国際出願番号 PCT/CA2006/001688  
 (87) 国際公開番号 W02007/051285  
 (87) 国際公開日 平成19年5月10日(2007.5.10)  
 審査請求日 平成21年7月9日(2009.7.9)  
 (31) 優先権主張番号 11/261,493  
 (32) 優先日 平成17年10月31日(2005.10.31)  
 (33) 優先権主張国 米国 (US)

(73) 特許権者 508034325  
 モサイド・テクノロジーズ・インコーポレ  
 ーテッド  
 カナダ・オンタリオ・K 2 K・2 X 1・オ  
 タワ・ハインズ・ロード・1 1・スイート  
 ・2 0 3  
 (74) 代理人 100064908  
 弁理士 志賀 正武  
 (74) 代理人 100089037  
 弁理士 渡邊 隆  
 (74) 代理人 100108453  
 弁理士 村山 靖彦  
 (74) 代理人 100140534  
 弁理士 木内 敬二

最終頁に続く

(54) 【発明の名称】 セルフリフレッシュ・メモリセルのためのダイナミックランダムアクセスメモリデバイスおよび方法

(57) 【特許請求の範囲】

【請求項 1】

セルフリフレッシュモードと非セルフリフレッシュモードとで選択的に動作するダイナミックランダムアクセスメモリ(DRAM)デバイスであって、

前記リフレッシュモードの選択に対応してセルフリフレッシュモード信号を出力する検出回路と、

パワーアップ信号に対応して発振信号を生成する発振回路と、

前記セルフリフレッシュモード信号および前記発振信号に対応してセルフリフレッシュ要求信号を出力するセルフリフレッシュ要求回路と、

前記セルフリフレッシュ要求信号に対応してリフレッシュされるようにDRAMセルのリフレッシュアドレスを出力するリフレッシュアドレス回路と

を有し、

前記セルフリフレッシュ要求回路は、前記セルフリフレッシュ要求信号のパルス幅が予め設定された幅になるようにするためのパルス幅確保手段として機能することを特徴とするDRAMデバイス。

【請求項 2】

前記発振回路は、前記発振信号を生成する自励発振器を有し、

前記自励発振器は、電力信号に対応して前記発振信号の生成を開始する請求項 1 に記載のDRAMデバイス。

【請求項 3】

10

20

検出回路は、前記セルフリフレッシュモードに入ることとそこから出ることのそれぞれに対応してセルフリフレッシュモード信号をイネーブルおよび非イネーブルにするものであり、

セルフリフレッシュ要求回路は、前記セルフリフレッシュモードに入ることと前記セルフリフレッシュモードから出ることのそれぞれに対応してセルフリフレッシュ要求信号をイネーブルおよび非イネーブルにするものである請求項 2 に記載の D R A M デバイス。

【請求項 4】

前記検出回路は、セルフリフレッシュモードと非セルフリフレッシュモードのそれぞれに対応して、前記セルフリフレッシュモード信号が「ハイ」および「ロー」論理状態になることを可能にする請求項 3 に記載の D R A M デバイス。

10

【請求項 5】

前記発振回路は、前記発振信号として「ハイ」および「ロー」論理状態を持つパルス信号を生成し、

前記発振信号の論理状態の変化は、前記セルフリフレッシュモード信号の論理状態にかかわらずに行われる請求項 4 に記載の D R A M デバイス。

【請求項 6】

前記セルフリフレッシュ要求回路は、

前記セルフリフレッシュ要求信号として論理的に組み合わせられた出力信号を出力するために、前記セルフリフレッシュモード信号と前記発振信号とを論理的に組み合わせる論理回路を有する請求項 5 に記載の D R A M デバイス。

20

【請求項 7】

前記論理回路は、前記セルフリフレッシュモード信号の論理状態が「ハイ」のとき、前記発振信号の「ロー」論理状態から「ハイ」論理状態への変化に対応して前記セルフリフレッシュ要求信号を出力する請求項 6 に記載の D R A M デバイス。

【請求項 8】

前記論理回路は、前記セルフリフレッシュモード信号の論理状態が「ロー」のとき、前記セルフリフレッシュ要求信号の出力を停止する請求項 7 に記載の D R A M デバイス。

【請求項 9】

前記論理回路は、

前記セルフリフレッシュモード信号および前記発振信号の「ハイ」論理状態がオーバーラップしているとき、前記セルフリフレッシュモード信号と前記発振信号との間の信号タイミングの競合を調停する調停回路を有する請求項 6 に記載の D R A M デバイス。

30

【請求項 10】

前記セルフリフレッシュモード信号および前記発振信号の「ハイ」論理状態がオーバーラップしているとき、前記論理回路は、前記セルフリフレッシュモード信号の「ロー」論理状態から「ハイ」論理状態へ変化に続く次の前記発振信号の「ロー」論理状態から「ハイ」論理状態への変化に対応して、前記セルフリフレッシュ要求信号を出力する請求項 9 に記載の D R A M デバイス。

【請求項 11】

前記セルフリフレッシュモード信号および前記発振信号の「ハイ」論理状態がオーバーラップしているとき、前記論理回路は、前記セルフリフレッシュモード信号の「ハイ」論理状態から「ロー」論理状態へ変化に続く次の前記発振信号の「ハイ」論理状態から「ロー」論理状態への変化に対応して、前記セルフリフレッシュ要求信号の出力を停止する請求項 10 に記載の D R A M デバイス。

40

【請求項 12】

前記調停回路は、

カスケード接続された第 1 および第 2 フリップフロップ回路を有するラッチ回路を有し、

前記第 1 および第 2 フリップフロップ回路のそれぞれは、セット入力およびリセット入力を持ち、

50

前記第 1 フリップフロップ回路のセット入力およびリセット入力は、それぞれ、前記セルフリフレッシュモード信号および前記発振信号を受け、

前記第 2 フリップフロップ回路のセット入力およびリセット入力は、それぞれ、前記第 1 フリップフロップ回路の出力および前記発振信号を受け、

前記第 2 フリップフロップ回路の出力は、提供される前記セルフリフレッシュ要求信号を出力する請求項 9 に記載の D R A M デバイス。

【請求項 1 3】

前記論理回路は、

前記セルフリフレッシュ要求信号として論理的に組み合わせられた信号を生成するために、前記第 2 フリップフロップ回路の出力信号と前記発振信号とを論理的に組み合わせる A N D ゲートをさらに有する請求項 1 2 に記載の D R A M デバイス。

【請求項 1 4】

セルフリフレッシュモードと非セルフリフレッシュモードとで動作するメモリセルを持つダイナミックランダムアクセスメモリ ( D R A M ) デバイスをセルフリフレッシュするための方法であって、

前記セルフリフレッシュモードと非セルフリフレッシュモードとで、それぞれイネーブルおよび非イネーブルにされるセルフリフレッシュモード信号を出力するステップと、

前記セルフリフレッシュモード信号の状態にかかわらずに発振信号を生成するステップと、

前記セルフリフレッシュモード信号および前記発振信号に対応してセルフリフレッシュ要求信号を出力するステップと、

アドレス信号によって選択されたワードラインに関連するメモリセルをリフレッシュするために、前記セルフリフレッシュ要求信号に対応して前記アドレス信号を出力するステップとを有し、

前記セルフリフレッシュ要求信号を出力するステップは、前記セルフリフレッシュ要求信号のパルス幅が予め設定された幅になるようにするステップを有することを特徴とする方法。

【請求項 1 5】

前記セルフリフレッシュモード信号および前記発振信号に対応してセルフリフレッシュ要求信号の出力を停止するステップをさらに有する請求項 1 4 に記載の方法。

【請求項 1 6】

前記発振信号を生成するステップは、

前記 D R A M デバイスの動作状態に対応して提供される電力信号に対応して自励発振信号を生成するステップを有する請求項 1 5 に記載の方法。

【請求項 1 7】

前記セルフリフレッシュモード信号を出力するステップは、「ハイ」および「ロー」論理状態を持つセルフリフレッシュモード信号を出力するステップを有し、

前記発振信号を生成するステップは、「ハイ」および「ロー」論理状態を持つ発振信号を生成するステップを有し、

前記セルフリフレッシュ要求信号を出力するステップは、前記セルフリフレッシュモード信号および前記発振信号の論理状態に対応してセルフリフレッシュ要求信号を出力するステップを有する請求項 1 6 に記載の方法。

【請求項 1 8】

前記セルフリフレッシュ要求信号を出力するステップは、

前記セルフリフレッシュモード信号および前記発振信号が「ハイ」論理状態である状況における前記論理状態に基づいて、前記セルフリフレッシュ要求信号を出力するタイミングを調停するステップを有する請求項 1 7 に記載の方法。

【請求項 1 9】

前記タイミングを調停するステップは、

前記発信信号の上昇変化が前記セルフリフレッシュモード信号の上昇変化よりも早期で

10

20

30

40

50

ある状況では、前記セルフリフレッシュモード信号の上昇変化に続く次の前記発振信号の上昇変化に対応して前記セルフリフレッシュ要求信号を出力するステップを有する請求項 18 に記載の方法。

【請求項 20】

前記タイミングを調停するステップは、

前記セルフリフレッシュモード信号の降下変化が前記発振信号の降下変化よりも早期である状況では、前記セルフリフレッシュモード信号の降下変化に続く次の前記発振信号の降下変化に対応して、前記セルフリフレッシュ要求信号の出力を停止するステップを有する請求項 18 に記載の方法。

【請求項 21】

セルフリフレッシュモードと非セルフリフレッシュモードとで選択的に動作するダイナミックランダムアクセスメモリ (DRAM) デバイスに使用されるセルフリフレッシュ制御装置であって、

前記リフレッシュモードの選択に対応してセルフリフレッシュモード信号を出力する検出回路と、

パワーアップ信号に対応して発振信号を生成する発振回路と、

前記セルフリフレッシュモード信号および前記発振信号に対応してセルフリフレッシュ要求信号を出力するセルフリフレッシュ要求回路と、  
を有し、

前記セルフリフレッシュ制御装置は、

前記セルフリフレッシュ要求信号に対応して、前記 DRAM のワードラインに関連するメモリセルをリフレッシュするために、アドレス信号を出力し、

前記セルフリフレッシュ要求回路は、前記セルフリフレッシュ要求信号のパルス幅が予め設定された幅になるようにするためのパルス幅確保手段として機能することを特徴とするセルフリフレッシュ制御装置。

【請求項 22】

前記発振回路は、セルフリフレッシュモードおよび非セルフリフレッシュモードの期間に前記発振信号を生成するものであり、

前記検出回路は、前記発振信号と並行にセルフリフレッシュモード信号を出力するものであり、

前記セルフリフレッシュモード信号は、前記セルフリフレッシュモードにおいてイネーブルにされる請求項 21 に記載のセルフリフレッシュ制御装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般に半導体集積回路に関し、特に、ダイナミックランダムアクセスメモリのデータ記憶セルをセルフリフレッシュするためのセルフリフレッシュ機能および方法を備えたダイナミックランダムアクセスメモリデバイスに関するものである。

【背景技術】

【0002】

ダイナミックランダムアクセスメモリ (DRAM) 集積回路デバイスでは、配列の中で行および列を特定することによって特定の DRAM セルがアドレス指定されているように、DRAM セルアレイは、行および列に通常配置されている。ワードラインは、セルの中からデータを検出する 1 セットのビットラインセンスアンプにセルの行を接続する。読取り動作では、出力のために、センスアンプの中のデータのサブセットがその時選択されるか、または「列が選択される」。DRAM セルは、通常、比較的短時間の経過後に消散するとともに充放電される記憶容量の形で記憶されたデータという意味で「ダイナミック」である。したがって、情報を維持するために、DRAM セルの容量をリフレッシュしなければならない。前記記憶容量の充電または放電状態は、反復性のある手法で個々のメモリセルについて再び使用される必要がある。リフレッシュ動作の間で許容される最大の時

10

20

30

40

50

間は、DRAMセルアレイを構成するコンデンサの電荷蓄積能力によって決定される。DRAMメーカーは、通常、DRAMセルの中でデータ保持を保証するためのリフレッシュ時間を規定する。

#### 【0003】

リフレッシュ動作は、読取り動作と同様であるが、データ出力はしない。センスアンプによるセル内でのデータ検出は、セルにデータが書き直されることが生じる復元動作をもたらす。このようにして、データが「リフレッシュ」される。リフレッシュ動作は、行アドレスにしたがってワードラインをイネーブルにするとともに、センスアンプをイネーブルにすることによって、実行される。さらに、リフレッシュ動作は、外部リフレッシュアドレスを受信することなくセンスアンプを動作させることによって実行されてもよい。この場合、DRAMチップ内に集積されているリフレッシュアドレスカウンタが外部開始アドレスを受信して引き続き行アドレスを生成する。

10

#### 【0004】

リフレッシュ動作は、「自動リフレッシュ」と「セルフリフレッシュ」に分類されている。自動リフレッシュ動作は、リフレッシュ・コマンドが定期的に生成されて受信されるチップ動作中に行われる。自動リフレッシュ中、チップでの他のコマンドの受け取りでは割り込みがかけられるとともに、リフレッシュが実行される。そこで、チップは、受信が可能にされて、他のコマンドに基づいて実行する。セルフリフレッシュ機能は、メモリセルに書き込まれたデータを保持するための待ち受けモードのとき、DRAMの中でリフレッシュ動作を実行するためのものである。

20

#### 【0005】

チップがいわゆる「スリープ」モードで動作しているときのデータ損失を防ぐために、セルフリフレッシュ動作を実行するためのセルデータの定期的な内部読取りおよび再書き込みにより、データが定着される。内部タイマは、セルフリフレッシュの周波数を制御する。セルフリフレッシュ制御回路は、内部発振器と、分周器と、リフレッシュ・カウント要求ブロックとを有する。温度モニタおよび可変リフレッシュ・レート制御回路が具備される場合もある。セルフリフレッシュ機能を持っている既知のダイナミックDRAM集積回路では、必要とされるときにセルフリフレッシュを実行するために、動作モードがセルフリフレッシュモードに自動的に切り換えられる。

#### 【0006】

1987年1月13日に「Ikuzaki」に付与された米国特許第4,636,989号明細書は、自動リフレッシュ回路を持つダイナミックMOSランダムアクセスメモリを開示している。前記メモリでは、アドレス・ストロブ信号が生成されなかったとき、クロック発生器がリフレッシュ・クロックパルスを生成する。1994年11月15日に「Pate1」その他に付与された米国特許第5,365,487号明細書は、セルフリフレッシュを管理するDRAMを開示している。1999年1月19日に「Sakakibara」に付与された米国特許第5,862,093号明細書は、セルフリフレッシュを実行するための関連時間を検出するために生成されたリフレッシュタイミング信号を使用するダイナミックメモリデバイスを開示している。

30

#### 【0007】

高速動作で且つ高密度な集積回路を獲得するために、90nm、65nm、45nmのようなディープサブミクロンCMOSプロセスが多くの半導体集積回路デバイスで導入されているとともに実用化されている。それらのディープサブミクロンプロセスでは、MOSトランジスタが縮小されている（すなわち、トランジスタの大きさを最小に縮小させている）とともに、トランジスタのしきい値電圧 $V_{th}$ が低められている。しかしながら、前記低められたしきい値電圧は、重大なサブしきい値漏れをもたらす（すなわち、しきい値電圧より低いトランジスタ・ゲート電圧でリーク電流が生じる）ので、そのようなしきい値電圧が低められたものに基づく半導体集積回路は、省電力モードにおいても通常動作においても消費電力がより大きくなる。DRAMセルが記憶容量をビットラインに結合する微小アクセストランジスタを有しているので、蓄積電荷は記憶容量から高速に漏れてしま

40

50

う。したがって、より頻繁な「セルフリフレッシュ」動作が必要とされる。

【 0 0 0 8 】

半導体集積回路（ＩＣ）は、単一チップの中により多くのトランジスタを内蔵するとともに、動作速度をより高速化するために、より小型化されてきている。しかしながら、より小さくて高速なＣＭＯＳ形トランジスタはリーク電流がより多いとともに、このリーク電流問題はナノメートル技術デバイスにおいて重大な設計問題となっている。ＤＲＡＭデバイスの待機時消費電力を抑えるために、「スリープ」モードが外部ＤＲＡＭ制御ロジックから提供される。「スリープ」モードでは、ＤＲＡＭセルはセルデータを保持するために定期的に「リフレッシュ」される必要がある。これは「セルフリフレッシュ」を使用することで実行される。しかしながら、より小さくて高速なＣＭＯＳトランジスタは、重大なリーク問題を持っており、リーク電流問題がより小さい古いＤＲＡＭ技術のものよりも頻繁な「セルフリフレッシュ」動作の必要性をもたらしている。さらに重大なことに、ほとんどのＤＲＡＭ組込みマクロ（大規模なシステムオンチップ・アプリケーションで使用されるＤＲＡＭメモリ回路ブロック）は、高温、極めて高速なトランジスタプロセスおよび非常に高い電源レベルのような、ある最悪な条件の中で微小セル容量値となっているために、非常に頻繁な「セルフリフレッシュ」を必要とするサブ１００ｎｍロジックプロセスで作られている。このプロセスは、電圧と温度（ＰＶＴ）の組合せが製造中および／またはデバイス動作期間で容易に変化する。したがって、セルフリフレッシュ信号を生成するための内部自己発振器は、ＰＶＴの変動に起因するまざまなＤＲＡＭセル保有時間をカバー可能なものであるべきである。

【 0 0 0 9 】

ＤＲＡＭセル保有時間の可変範囲は、プロセス技術が４５ｎｍ以下に移行した場合、数マイクロ秒と数ミリ秒との間になる可能性がある。したがって、セルフリフレッシュモード・エントリ要求を受け取りしだい、セルフリフレッシュのための内部発振器は、極めて短時間に、セルフリフレッシュ信号の生成のために始動されなければならない。セルフリフレッシュ信号は、長期間にわたる確実な発振特性で、可能な限り短いセル保有時間（例えば、マイクロ秒オーダー）のものに対してセルフリフレッシュを適切に実行するとともに、可能な限り長いセル保有時間（例えば、ミリ秒オーダー）のものに対してもまた前記適切な実行が維持されるように、生成される必要がある。したがって、セル保有時間が広範囲に渡って変化するにもかかわらず、確実なセルフリフレッシュを実行するとともに達成するＤＲＡＭデバイスが求められている。

【特許文献１】米国特許第４６３６９８９号明細書

【特許文献２】米国特許第５３６５４８７号明細書

【特許文献３】米国特許第５５６６１１７号明細書

【特許文献４】米国特許第６８３４０２１号明細書

【特許文献５】米国特許第７３６９４５１号明細書

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 0 】

本発明の目的は、ＤＲＡＭデバイスのメモリセルをセルフリフレッシュするためのセルフリフレッシュ機能および改良方法を持つ改良されたダイナミックランダムアクセスメモリ（ＤＲＡＭ）を提供することである。

【課題を解決するための手段】

【 0 0 1 1 】

本発明の一つの特徴によれば、セルフリフレッシュモードと非セルフリフレッシュモードとで選択的に動作するダイナミックランダムアクセスメモリ（ＤＲＡＭ）デバイスが提供される。前記ＤＲＡＭデバイスは、前記リフレッシュモードの選択に対応してセルフリフレッシュモード信号を出力する検出回路を有している。前記ＤＲＡＭデバイスでは、発振回路がＤＲＡＭ電力表示信号に対応して発振信号を生成する。セルフリフレッシュ要求回路は、前記セルフリフレッシュモード信号および前記発振信号に対応してセルフリフレ

ッシュ要求信号を出力する。リフレッシュアドレス回路は、前記セルフリフレッシュ要求信号に対応してリフレッシュされるようにＤＲＡＭセルのリフレッシュアドレスを出力する。

【００１２】

例えば、前記セルフリフレッシュ要求回路は、前記セルフリフレッシュモードに入ることと前記セルフリフレッシュモードから出ることのそれぞれに対応してセルフリフレッシュ要求信号をイネーブルおよび非イネーブルにする。また、発振回路の実施形態は、前記発振信号を生成する自励発振器である。前記自励発振器は、電力信号に対応して前記発振信号の生成を開始する。その自励発振は、不要になるまで続行される。前記セルフリフレッシュ要求回路は、セルフリフレッシュ要求信号を出力するように、ＡＮＤ回路と同様に、セルフリフレッシュモード信号に基づいて発振信号の流れを開閉する。前記発振信号は自励セルフリフレッシュ発振器から生成されるので、セルフリフレッシュモード信号の如何にかかわらず、前記発振器は前記セルフリフレッシュモード信号によって始動される必要はない。したがって、ＤＲＡＭデバイスのセル保有時間は、発振器の始動時間に制限されない。そこで、非常に広範囲なセル保有時間で、ＤＲＡＭセルをセルフリフレッシュことが可能である。自励発振信号はセルフリフレッシュの入口および出口に同期せずに生成されるので、発振信号とセルフリフレッシュモード信号との間で競合が起こり得る。

10

【００１３】

好都合に、セルフリフレッシュ要求回路は、発振信号とセルフリフレッシュモード信号との間のクリティカルタイミング状態について調停機能を実行する。例えば、調停機能は、ラッチ回路を持つ論理回路によって達成される。前記ラッチ回路は、信号競合を検出するとともに、セルフリフレッシュ要求信号を出力するために、１パルス論理状態だけ次の関連変化までそれを保持する。前記ラッチ回路によって提供される前記調停機能は、セルフリフレッシュモードの入口の後での最初のセルフリフレッシュ試行の誤動作とセルフリフレッシュモードを出口の後での最後のセルフリフレッシュ試行の誤動作との両方を防ぐ。

20

【００１４】

本発明の他の特徴によれば、セルフリフレッシュモードと非セルフリフレッシュモードとで動作するメモリセルを持つＤＲＡＭデバイスをセルフリフレッシュするための方法が提供される。前記方法では、セルフリフレッシュモード信号が使用される。前記セルフリフレッシュモード信号は、前記セルフリフレッシュモードと非セルフリフレッシュモードとで、それぞれイネーブルおよび非イネーブルにされる。前記セルフリフレッシュモード信号の状態にかかわらず、発振信号が生成される。セルフリフレッシュ要求信号は、前記セルフリフレッシュモード信号と前記発振信号とに対応して出力される。前記セルフリフレッシュ要求信号に対応して、アドレス信号が出力される。前記アドレス信号によって、ワードラインが選択され、選択されたワードラインの関連メモリセルがリフレッシュされる。

30

【００１５】

例えば、発振信号を生成するステップは、電力信号に対応して自励発振信号を生成するステップを有する。前記セルフリフレッシュモード信号は、「ハイ」論理状態および「ロー」論理状態を持っている。同様に、前記発振信号は、「ハイ」論理状態および「ロー」論理状態を持っている。前記セルフリフレッシュ要求信号は、セルフリフレッシュモード信号および発振信号の論理状態に対応して出力される。また、前記セルフリフレッシュ要求信号の出力は、セルフリフレッシュモード信号および発振信号の論理状態に対応して止められる。

40

【００１６】

好都合に、前記セルフリフレッシュ要求信号の出力および停止についてのタイミングは、セルフリフレッシュモード信号および発振信号の論理状態が「ハイ」の場合に、その論理状態に基づいて調停される。例えば、前記セルフリフレッシュモード信号の上昇変化が前記発振信号の上昇変化よりも早期である状況では、前記発振信号のその後の上昇変化に

50

対応して前記セルフリフレッシュ信号が出力される。前記発振信号の上昇変化が前記セルフリフレッシュモード信号の上昇変化よりも早期である状況では、前記発振信号のその後の上昇変化に対応して、前記セルフリフレッシュ信号の生成が止められる。

【 0 0 1 7 】

本発明の他の特徴によれば、セルフリフレッシュモードと非セルフリフレッシュモードとで選択的に動作するダイナミックランダムアクセスメモリ（ＤＲＡＭ）デバイスに使用されるセルフリフレッシュ制御装置が提供される。前記セルフリフレッシュ制御装置では、検出回路が前記リフレッシュモードの選択に対応してセルフリフレッシュモード信号を出力する。発振回路は、ＤＲＡＭ電力表示信号に対応して発振信号を生成する。セルフリフレッシュ要求信号に対応して、前記ＤＲＡＭのワードラインに関連するメモリセルをリフレッシュするために、アドレス信号が出力される。

10

【 0 0 1 8 】

本発明の実施形態によれば、予測できない狭い幅のセルフリフレッシュ要求パルスの生成が防止される。自励発振信号によってサポートすることに起因する様々なセル保有時間に対して信頼性が高いセルフリフレッシュ要求信号が提供される。さらに、自励発振器に伴う温度変化にしたがってセルフリフレッシュ期間を制御または調整するために、温度補償回路が追加されることとしてもよい。

【 0 0 1 9 】

本発明の他の形態および特徴は、添付図面と伴に、本発明の具体的な実施形態である以下の記載を精査することによって、当業者に明らかになる。

20

【発明を実施するための最良の形態】

【 0 0 2 0 】

本発明の実施形態は、添付の図面を参照して、単なる一例として、ここから説明される。

【 0 0 2 1 】

本発明の一例実施形態についての以下の詳細な説明では、本願の一部を形成する添付図面について参照しており、本発明が実施される具体的な一例実施形態が図面を介して示されている。これらの実施形態では、当業者に対して本発明を実施可能にするために十分詳細に説明されており、他の実施形態が利用できるとともに、論理的、電氣的その他の変更が本発明の適用範囲から逸脱せずに行うことができる、と理解される。したがって、以下の詳細な説明はこれに限定する意味ではなく、本発明の適用範囲は添付された特許請求の範囲によって決定される。

30

【 0 0 2 2 】

図１Ａは従来のダイナミックランダムアクセスメモリ（ＤＲＡＭ）デバイスに具備されているセルフリフレッシュ制御回路を示しているとともに、図１Ｂは図１Ａに示されたＤＲＡＭデバイスのための信号の相対的なタイミングシーケンスを示している。図１Ａおよび図１Ｂについて参照すると、「セルフリフレッシュ」モードは、「スリープ」モードの別名でも知られており、コマンド信号１１１によって活性化される。セルフリフレッシュ・エントリコマンド「SELF- REF ENTRY」を持つコマンド信号１１１に対応して、セルフリフレッシュモード検出回路１１３は、活性状態「ハイ」（すなわち「ハイ」の論理レベル電圧ＶＤＤ）になるようにセルフリフレッシュモード信号１１５をイネーブルにする。「ハイ」のセルフリフレッシュモード信号１１５に対応して、内部発振器１１７は、所定時間幅および周波数を持つセルフリフレッシュ発振信号１１９の発生を始めるために始動される。発振信号１１９は、セルフリフレッシュ要求発振信号１２３を順次生成するセルフリフレッシュ要求生成器１２１によって他の信号と組み合わせられる。要求信号１２３は、適切な内部行アドレスを持つ信号１２７の生成するために内部行アドレスカウンタ１２５をイネーブルにする。行アドレスデコーダ１２９は、セルフリフレッシュ要求信号１２３によって制御されるとともに、復号化アドレス信号１３１を出力するために内部行アドレスを復号し、その結果、選択されたワードラインが活性化される。セルフリフレッシュモード検出回路１１３がコマンド信号１１１によってセルフリフレッシュ出口コマンド「

40

50



SELF-REF EXIT」を受けると、セルフリフレッシュモード信号115が「ロー」（すなわち「ロー」の論理レベル電圧VSS）になるとともに、内部発振器117が停止され、その結果、発振信号119の生成が停止される。その後、セルフリフレッシュ要求信号123がDRAMメモリセルをリフレッシュするために出力されることはもはやない。

#### 【0023】

従来のDRAMデバイスでは、セル保有時間を考慮すると、セルフリフレッシュモード信号115の受信直後の内部発振器117の始動時間は、適切なDRAMセルのリフレッシュには重要ではない。しかしながら、サブ100nm技術で製造された高速動作および高密度CMOS ICであるDRAMでは、例えば、適切にそれらのDRAMセルをリフレッシュするためにより短い始動時間が必要となる。例えば、90nmDRAMマクロプロセスの場合、概算されるセル保有時間は、4Kの行をリフレッシュするためには0.5msとなる。したがって、適切なリフレッシュ動作を次にもたらすために、125ns（ $= 0.5\text{ms} / 4000$ ）よりも短い始動時間が発振を開始するために必要とされる。しかしながら、従来の発振器の始動時間は0.5msから32msの間であるので、サブ100nm技術で製造されたDRAMデバイスについて発振器を初期化するための125nsの要求条件に適合しない。

#### 【0024】

図2は、本発明の一実施形態に係るダイナミックランダムアクセスメモリ（DRAM）デバイスのセルフリフレッシュ回路のブロック図を示している。DRAMデバイスは、セルフリフレッシュモードと通常モード（非セルフリフレッシュモード）とで選択的に動作する。図2を参照すると、セルフリフレッシュCOMMANDに対応して、検出回路211はセルフリフレッシュ制御装置215に信号213を出力する。発振器217は、パワーアップ信号221によって始動されて、セルフリフレッシュのための発振信号219を生成する。発振信号219は、制御装置215に出力される。制御装置215は、セルフリフレッシュのためにアドレスデコーダ225へ要求信号223を順次出力する。アドレスデコーダ225は、セルフリフレッシュのために復号化アドレス信号227を出力する。検出回路211は、セルフリフレッシュコマンドに基づくセルフリフレッシュモードおよび非セルフリフレッシュモードにそれぞれ対応して、信号213をイネーブルおよび非イネーブルにする。信号213と発振信号219のパルス間でタイミング競合が生じるとき、制御装置215は調停する。

#### 【0025】

例えば、発振器217は、セルフリフレッシュのための信号213の生成の如何にかかわらず、パワーアップ信号221によって作動される自励発振器を有している。前記自励発振器は、不要になるか、またはDRAMデバイスの電源が切られるまで、動作を続行する。したがって、本発明の実施形態に係るDRAMデバイスでは、セルフリフレッシュのための発振の外部始動が必要ではない。また、制御装置215の調停機能によって、発振信号219が信号213よりも早期に「ハイ」になるとき、要求信号223は発振信号219のその後の変化に対応して出力される。また、発振信号219がセルフリフレッシュ信号213よりも遅れて「ロー」になるとき、要求信号223は発振信号219のその後の降下変化に対応して停止される。このように、制御装置215は、発振信号219とセルフリフレッシュ信号213との間のタイミング競合を調停する。

#### 【0026】

図3は、本発明の一実施形態に係るDRAMデバイスを示している。図3に示されたDRAMデバイスの回路は、「ハイ」および「ロー」論理レベル電圧にそれぞれ対応するハイおよびロー電源電圧VDDおよびVSSを使用して動作する。DRAMデバイスは、セルフリフレッシュモードと通常モード（非セルフリフレッシュモード）に対応する。

#### 【0027】

図3を参照すると、コマンド信号「COMMAND」311は、セルフリフレッシュモード検出回路313に入力される。セルフリフレッシュモード検出回路313は、セルフ

10

20

30

40

50

リフレッシュモードへの入口とそこからの出口とのそれぞれでセルフリフレッシュモード信号「SREF\_\_MODE」315をイネーブルおよび非イネーブルにする。セルフリフレッシュモード信号315は、セルフリフレッシュ制御装置317に出力される。セルフリフレッシュモード信号315は、「セルフリフレッシュ・エントリ」コマンドに対応して「ロー」論理状態から「ハイ」論理状態に変化(すなわち、上昇変化)するとともに、「セルフリフレッシュ・イグジット(exit)」コマンドに対応して「ハイ」論理状態から「ロー」論理状態に変化(すなわち、下降変化)する。セルフリフレッシュ制御装置317は、論理的AND回路として機能する。

#### 【0028】

パワーアップ信号「PWRUP」319は、パワーアップ駆動発振器320に入力される。パワーアップ駆動発振器320は、セルフリフレッシュ制御装置317へセルフリフレッシュ発振信号「SREF\_\_OSC」325を順次出力する。パワーアップ駆動発振器320は、セルフリフレッシュモード信号315の如何にかかわらずにパルスの発振信号を生成する自励発振器321を有している。自励発振器321は、所定の周期および幅を持つパルスを生成する。DRAMデバイスが電源オンされたときに、パワーアップ信号319が出力されて、作動スイッチ323が「オン」状態に設定され、その結果、自励発振器がVDDに接続される。したがって、「ハイ」および「ロー」論理レベル電圧VDDおよびVSSに対応する電源電圧が発振を開始するために自励発振器321に供給される。自励発振器321は、パワーアップ信号319の消失によってスイッチ323がオフにされるまで動作を続行する。前記パワーアップ信号319が欠落するときは、DRAMデバイスの電源が切られるか、またはDRAMデバイスが「ディープパワーダウンモード」に入るときであって、DRAMセルのデータがリフレッシュされる必要がないときである。

#### 【0029】

セルフリフレッシュモード信号315およびセルフリフレッシュ発振信号325に対応して、セルフリフレッシュ制御装置317は、内部行アドレスカウンタ329および行アドレスデコーダ331に出力されるセルフリフレッシュ要求発振信号(SREF\_\_REQ)327をイネーブルおよび非イネーブルにする。内部行アドレスカウンタ329は、復号化アドレス信号335を出力するために復号する行アドレスデコーダ331に、内部行アドレス信号333、RFA[0:n]を出力し、その結果、選択されたワードライン(図示せず)が活性化される。活性化されたワードラインに接続されたDRAMデバイスのメモリセルは、リフレッシュされる。自励発振器321は、セルフリフレッシュモードの入口であるか否かにかかわらず発振を開始するとともに、その発振は自励発振であるので、セルフリフレッシュ要求発振信号327の生成は、セルフリフレッシュモード信号315と厳密な同期はしない。本質的に、SREF\_\_MODE信号315の変化は、SREF\_\_OSC信号325と相互関係がない。これは、以下で詳細に説明するような特定の状況下でSREF\_\_REQ信号の中に好ましくないパルスをもたらす。しかしながら、図3のパワーアップ駆動自励発振器320は、集積回路がセルフリフレッシュコマンド信号を受信するまで待機していることと対照的に集積回路がパワーアップされるとすぐに、セルフリフレッシュアドレス信号を生成するために有効な発振信号を確保するので、図3に示された実施形態では、セルフリフレッシュアドレス信号の生成に必要な時間が図1Aに示された従来の手法のものよりも短い、ことに留意すべきである。

#### 【0030】

図4Aは、図3に示されたDRAMデバイスの信号についての相対的タイミングシーケンスを示している。図3および図4Aを参照すると、パワーアップ駆動発振器320(自励発振器321)は、時間 $t_{pw}$ で、DRAMデバイスがパワーアップ信号319に対応してオン(パワーアップ)されると、すぐに始動される。その後、セルフリフレッシュ発振信号325は、セルフリフレッシュモード信号315の論理状態にかかわらず、セルフリフレッシュ制御装置317への入力として絶え間なく出力される。発振信号325は、温度補償のない所定のかつ一定のパルス時間 $T_{osc}$ と、所定のかつ一定のパルス幅 $T_{oscw}$ を持つ発振信号である。パルス時間 $T_{osc}$ は、例えば、メモリコントローラ(

10

20

30

40

50

図示せず)によってパワーアップの時に決定される。

【0031】

セルフリフレッシュ要求発振信号327の生成は、内部行アドレスカウンタ329と行アドレスデコーダ331とに対してセルフリフレッシュ要求信号327を生成するために、セルフリフレッシュモード信号315とセルフリフレッシュ発振信号325との両方によって制御される。図3に示された実施形態に係るセルフリフレッシュ制御装置317は論理AND回路として機能するので、セルフリフレッシュ発振信号325のパルスはセルフリフレッシュモード信号315の「ハイ」論理状態の間に限定される。しかしながら、セルフリフレッシュ発振信号325はセルフリフレッシュモード信号315と厳密な同期はしないので、セルフリフレッシュ要求信号327はセルフリフレッシュモードへの入口とそこからの出口とで予測できないパルス幅となる。したがって、幅の狭いパルスは、ともすれば不十分な時間だけ活性状態となり、行アドレス復号化を誤動作させる。その結果、所望のワイドラインが動作しないとともデータが失われる場合が生じる。そのような幅の狭いパルスから引き起こされた誤動作は、図4を参照して後述される。

10

【0032】

セルフリフレッシュ要求発振信号のパルスタイミングに関して、セルフリフレッシュモード信号315とセルフリフレッシュ発振信号325の間には、2つの起こり得る状況がある。1つの状況は、セルフリフレッシュモード信号315の論理状態変化(「ロー」から「ハイ」論理状態への上昇変化、および/または、「ハイ」から「ロー」論理状態への下降変化)がセルフリフレッシュ発振信号325の「ハイ」論理状態の間起こらない状況である。これは「非オーバーラップ状態」と呼ばれる。もう一方の状況は、セルフリフレッシュモード信号315の論理状態変化(「ロー」から「ハイ」論理状態への上昇変化、および/または、「ハイ」から「ロー」論理状態への下降変化)がセルフリフレッシュ発振信号325の「ハイ」論理状態の間に生じる、クリティカル状況である。これは「オーバーラップ状態」と呼ばれる。

20

【0033】

非オーバーラップ状態について次に述べる。セルフリフレッシュモード信号315は、セルフリフレッシュ発振信号325が「ハイ」論理状態の間、論理状態を変えない。この状況では、図4Aに示されているように、セルフリフレッシュモード信号315の「ロー」から「ハイ」への論理状態変化は、時間間隔(セットアップ時間)  $T_1$  だけ、セルフリフレッシュ発振信号325のものよりも早い。また、セルフリフレッシュモード信号315の「ハイ」から「ロー」への論理状態変化(すなわち下降変化)は、時間間隔  $T_2$  だけ、セルフリフレッシュ発振信号325の「ハイ」から「ロー」への論理状態変化よりも早い。この場合、セルフリフレッシュ発振信号325のパルスは、論理AND回路として機能するセルフリフレッシュ制御装置317によってゲート制御される。したがって、セルフリフレッシュ制御装置317は、セルフリフレッシュモード信号315が「ハイ」論理状態である間だけ、セルフリフレッシュ発振信号325に直接対応して、セルフリフレッシュ要求発振信号327を出力する。このようにして、セルフリフレッシュ要求発振信号327の出力および停止は、上述の短時間の遅れ  $T_1$  および  $T_2$  をもってセルフリフレッシュモード信号315に追従するように、制御される。

30

40

【0034】

図4Bは、セルフリフレッシュモード信号315がセルフリフレッシュ発振信号325の「ハイ」論理状態の間に論理状態を変えるオーバーラップ状態におけるDRAMデバイスの信号についての相対的タイミングシーケンスを示している。図4Bおよび図3を参照すると、セルフリフレッシュ発振信号325は、セルフリフレッシュモード信号315の上昇変化よりも時間間隔  $T_3$  だけ前に「ハイ」に変化する。また、セルフリフレッシュ発振信号325は、セルフリフレッシュモード信号315の下降変化から時間間隔  $T_4$  だけ後に「ロー」に変化する。セルフリフレッシュ制御装置317が論理的AND回路として機能する場合、図4Bに示されているように、セルフリフレッシュモードの発端と終端と(すなわち、入口と出口と)でパルス幅  $T_{pw1}$  と  $T_{pw2}$  とを持つセルフリフレッ

50

シュ要求発振信号 327 を生成する。パルス幅  $T_{pw1}$  と  $T_{pw2}$  とは、発振信号 325 のパルス幅  $T_{oscw}$  よりも幅が狭い。そのようなセルフリフレッシュ要求信号 327 の狭いパルス幅は、行アドレスデコーダ 331 における行アドレス復号化で誤動作を引き起こす場合がある。これは、データレベルが復帰するのに不十分な時間だけしかワードラインを活性化しないという結果をもたらす場合がある。クリティカル状況での「オーバラップ状態」からともすれば引き起こされるそのような誤動作問題は、図 5 に示すように、セルフリフレッシュ制御装置 317 の中にタイミング調停回路を実装することによって解決することができる。

#### 【0035】

図 5 は、本発明の他の実施形態に係る DRAM デバイスを示している。図 5 に示された DRAM デバイスは、上述のクリティカル状況での問題を解決する。したがって、図 5 に示されたセルフリフレッシュ制御装置は、図 3 のものとは異なるとともに、その他の構成は図 3 のものと同様である。

#### 【0036】

図 5 を参照すると、コマンド信号「COMMAND」511 は、セルフリフレッシュモード検出回路 513 に入力される。セルフリフレッシュモード検出回路 513 は、セルフリフレッシュ制御装置 520 にセルフリフレッシュモード信号「SREF\_MODE」515 を順次出力する。パワーアップ信号「PWRUP」521 は、セルフリフレッシュ発振器 530 に入力される。セルフリフレッシュ発振器 530 は、セルフリフレッシュ発振信号「SREF\_OSC」533 をセルフリフレッシュ制御装置 520 へ順次出力する。セルフリフレッシュ発振器 530 の構造は、図 3 に示されたパワーアップ駆動発振器 320 と同一であるとともに、発振信号を生成する自励発振器を有している。セルフリフレッシュ発振器 530 は、DRAM デバイスが電源 ON されたとき、パワーアップ信号 521 によって始動される。セルフリフレッシュモード信号 515 およびセルフリフレッシュ発振信号 533 に対応して、セルフリフレッシュ制御装置 520 は、セルフリフレッシュ要求発振信号「SREF\_REQ」535 を内部行アドレスカウンタ 537 へ出力する。セルフリフレッシュ要求発振信号「SREF\_REQ」535 は、信号のタイミング遅延を考慮して、行アドレスデコーダ 539 にも出力される。内部行アドレスカウンタ 537 は、復号化アドレス信号 543 を出力するために復号する行アドレスデコーダ 539 に、内部行アドレス信号 541、RFA[0:n] を出力し、その結果、選択されたワードライン（図示せず）が活性化される。活性化されたワードラインに接続された DRAM デバイスのメモリセルは、リフレッシュされる。

#### 【0037】

セルフリフレッシュ制御装置 520 は、図 3 に示されたセルフリフレッシュ制御装置 317 と同様のものであるが、調停回路として機能する。図 5 を参照すると、セルフリフレッシュ制御装置 520 は、カスケード接続された第 1 および第 2 RS 型ラッチ 551 および 553 と、クリティカルタイミング状態について調停する AND 回路 555 とを持つ論理回路を有している。第 1 および第 2 RS 型ラッチ 551 および 553 のそれぞれは、セットおよびリセット入力端子「S」および「R」を持っているフリップフロップを形成するようにたすきがけされた 2 入力 NAND ゲートを有している。セルフリフレッシュモード信号 515 とセルフリフレッシュ発振信号 533 は、第 1 RS ラッチ 551 に入力される。第 1 RS ラッチ 551 は、2 つの NAND ゲート 561 および 563 を有している。RS ラッチ 551 の出力信号「N1」（すなわち NAND ゲート 561 の出力）とセルフリフレッシュ発振信号 533 とは、第 2 RS ラッチ 553 に入力される。第 2 RS ラッチ 553 は、2 つの NAND ゲート 571 および 573 を有している。RS ラッチ 553 の出力信号「N2」（すなわち NAND ゲート 571 の出力）とセルフリフレッシュ発振信号 533 とは、AND 回路 555 に入力される。AND 回路 555 は、NAND ゲート 581 およびインバータ 583 を有している。NAND ゲート 581 の出力論理信号は、セルフリフレッシュ要求発振信号 535 を出力するためにインバータ 583 によって反転される。図 5 に示された DRAM デバイスの回路は、「ハイ」および「ロー」の論理レベル

10

20

30

40

50

電圧にそれぞれ対応するハイおよびローの電源電圧  $V_{DD}$  および  $V_{SS}$  で動作する。

【 0 0 3 8 】

図 6 は、セルフリフレッシュモード信号と発振信号とがオーバーラップ状態にあるときの図 5 に示された信号についての相対的なタイミングシーケンスを示している。図 6 に示すように、セルフリフレッシュの入口では、セルフリフレッシュモード信号 5 1 5 の上昇変化がセルフリフレッシュ発振信号 5 3 3 の「ハイ」論理状態の期間中に生じる場合、狭いパルス  $T_{pw1}$  (図 4 B 参照) が生成されることを避けるために、セルフリフレッシュ要求発振信号 5 3 5 は、オーバーラップ状態において生成されない。そのような狭いパルスは、不十分なセル再記憶レベルを引き起こす。同様に、セルフリフレッシュの出口では、セルフリフレッシュモード信号 5 1 1 の降下変化がセルフリフレッシュ発振信号 5 3 3 の「ハイ」論理状態の期間中に生じる場合、狭いパルス  $T_{pw2}$  (図 4 B 参照) の生成を避けるために、セルフリフレッシュ要求発振信号 5 3 5 は、オーバーラップ状態において停止されない。そのような狭いパルスは、適切なセル充電レベルとしてセル再記憶を完了させるのに十分でない場合がある。

【 0 0 3 9 】

セルフリフレッシュの入口において、セルフリフレッシュモード信号 5 1 5 は、「ロー」論理状態から「ハイ」論理状態に時間  $t_{12}$  で変化する。時間  $t_{11}$  (時間  $t_{12}$  よりも時間間隔  $T_3$  だけ前) では、セルフリフレッシュ発振信号 5 3 3 は、「ロー」論理状態から「ハイ」論理状態に変化する。時間  $t_{13}$  (時間  $t_{12}$  から幅  $T_{pw1}$  だけ後) でのセルフリフレッシュ発振信号 5 3 3 の降下変化に対応して、RS ラッチ 5 5 1 の NAND ゲート 5 6 1 および 5 6 3 は自身の論理状態を変えるとともに、RS ラッチ 5 6 3 の NAND ゲート 5 7 1 の出力 N 2 は「ロー」から「ハイ」に論理状態を変える。しかしながら、セルフリフレッシュ発振信号 5 3 3 の論理状態が「ロー」のとき、AND 回路 5 5 5 (インバータ 5 8 3) は、出力の論理状態を変えない。時間  $t_{14}$  (時間  $t_{11}$  からパルス期間  $T_{osc}$  だけ後) において、セルフリフレッシュ発振信号 5 3 3 の上昇変化に対応して、AND 回路 5 5 5 は「ロー」から「ハイ」に出力論理状態を変える。時間  $t_{15}$  (時間  $t_{14}$  からパルス幅  $T_{oscw}$  だけ後) でのセルフリフレッシュ発振信号 5 3 3 の次の降下変化に対応して、AND 回路 5 5 5 の出力は「ロー」になる。したがって、第 1 パルスは、セルフリフレッシュ要求発振信号 5 3 5 として出力される。このようにして、セルフリフレッシュ発振信号 5 3 3 とセルフリフレッシュモード信号 5 1 5 との間での第 1 オーバラップ「ハイ」論理状態では、セルフリフレッシュ要求発振信号 5 3 5 の生成が行われな

【 0 0 4 0 】

セルフリフレッシュの出口では、セルフリフレッシュモード信号 5 1 5 は、時間  $t_{22}$  で、「ハイ」論理状態から「ロー」論理状態へ変化する。時間  $t_{21}$  の後から時間  $t_{22}$  の前まで、RS ラッチ 5 5 3 の出力 (NAND ゲート 5 7 1 の出力 N 2) は、「ハイ」論理状態となっている。セルフリフレッシュ発振信号 5 3 3 の上昇変化に対応して、AND 回路 5 5 5 の出力は、「ロー」論理状態から「ハイ」論理状態に変化する。時間  $t_{22}$  のとき、セルフリフレッシュモード信号 5 1 5 の論理状態は「ハイ」から「ロー」状態に変化するとともに、NAND ゲート 5 6 1 の出力 N 1 は「ロー」論理状態から「ハイ」論理状態に変化する。しかしながら、NAND ゲート 5 7 3 の出力 N 2 b は「ロー」論理状態を維持するので、NAND ゲート 5 7 1 の出力 N 2 は論理状態 (「ハイ」) を変化させない。したがって、AND 回路 5 5 5 (セルフリフレッシュ制御装置 5 2 0) は、「ハイ」論理状態を維持する。その後、セルフリフレッシュ発振信号 5 3 3 は、時間  $t_{23}$  で (時間  $t_{22}$  から時間間隔  $T_4$  だけ後)、「ハイ」論理状態から「ロー」論理状態に変化する。次に、NAND ゲート 5 7 1 の出力 N 2 は「ハイ」から「ロー」に論理状態を変え、その結果、AND 回路 5 5 5 の出力 (セルフリフレッシュ制御装置 5 2 0 の出力) は「ロー」になる。その

後、RSラッチ553の出力N2は「ロー」論理状態を維持するので、セルフリフレッシュ発振信号533は「ロー」論理状態から「ハイ」論理状態に変化するが、セルフリフレッシュ制御装置520は「ロー」論理状態を維持する。したがって、最後のパルスがセルフリフレッシュ要求発振信号535として出力される。このようにして、セルフリフレッシュ発振信号533とセルフリフレッシュモード信号515との間での最後のオーバーラップ「ハイ」論理状態では、セルフリフレッシュ要求発振信号535の停止が行われない。時間 $t_{23}$ でのセルフリフレッシュ発振信号533のその後の降下変化は、セルフリフレッシュ要求発振信号535の生成を停止させる。したがって、RSラッチ551および553は、時間 $t_{22}$ での「オーバーラップ」降下変化を検出して、その後のセルフリフレッシュ発振信号533の降下変化まで、セルフリフレッシュ要求発振信号535のパルスの停止を保留する。

10

#### 【0041】

図7は、図5に示されたセルフリフレッシュ制御装置520によって実行される調停動作を示している。図5、6および7を参照すると、パワーアップ信号521に対応して、セルフリフレッシュ発振器530が自励発振を開始して、セルフリフレッシュ発振信号533が絶え間なく生成される。調停動作は、セルフリフレッシュモード信号515とセルフリフレッシュ発振信号533との相対的なタイミングに基づいて実行される。

#### 【0042】

セルフリフレッシュ制御装置520は、セルフリフレッシュの入口においてセルフリフレッシュモード信号515の論理状態が「ハイ」は否か判断する(ステップ711)。前記論理状態が「ロー」(NO)の場合は、このステップが繰り返される。前記論理状態が「ハイ」(YES)になった場合、すなわちセルフリフレッシュに入った場合(図6の時間 $T_{11}$ での動作参照)、次に、セルフリフレッシュ制御装置520はセルフリフレッシュ発振信号533の論理状態を判断する(ステップ712)。前記論理状態が「ロー」(NO)の場合は、セルフリフレッシュモード信号515とセルフリフレッシュ発振信号533との間のタイミング関係が「非オーバーラップ状態」であるとともに、セルフリフレッシュモードの入口についてのクリティカル状況ではない。したがって、セルフリフレッシュ発振信号533はセルフリフレッシュモード信号515に基づいてゲート制御される(ステップ713)とともに、セルフリフレッシュ要求発振信号535が生成される(図4Aに示されたセルフリフレッシュ要求発振信号327参照)。

20

30

#### 【0043】

一方、セルフリフレッシュ発振信号533の論理状態が「ハイ」(ステップ712でYES)の状況では、セルフリフレッシュモード信号515とセルフリフレッシュ発振信号533との間のタイミング関係が「オーバーラップ状態」である。これはセルフリフレッシュモードの入口についてのクリティカル状況である。セルフリフレッシュ発振信号533のその後の上昇変化に対応して、セルフリフレッシュ要求発振信号535が生成される(ステップ714)(図6に示された時間 $t_{11}$ - $t_{14}$ の間での動作参照)。

#### 【0044】

セルフリフレッシュ要求発振信号535が生成された後(ステップ713または714)、セルフリフレッシュモード信号515の論理状態がセルフリフレッシュの出口で再び判断される(ステップ715)。前記論理状態が「ハイ」(NO)の状況では、セルフリフレッシュモード信号515に基づくセルフリフレッシュ発振信号533のゲート制御が繰り返される(ステップ713)。前記論理状態が「ロー」(YES)になった場合(図6における時間 $t_{22}$ での動作参照)、セルフリフレッシュの出口について、次に、セルフリフレッシュ制御装置520は、セルフリフレッシュ発振信号533の論理状態を判断する(ステップ716)。前記論理状態が「ロー」(YES)である状況では、セルフリフレッシュモード信号515とセルフリフレッシュ発振信号533とのタイミング状態が「非オーバーラップ状態」であるとともに、セルフリフレッシュモードの出口についてのクリティカル状況ではない。セルフリフレッシュ要求発振信号535のそれ以上のパルス生成をせずに、セルフリフレッシュ要求発振信号535の生成は終了する(図4Aに示された

40

50

セルフリフレッシュ要求発振信号 3 2 7 参照)。

【 0 0 4 5 】

一方、セルフリフレッシュ発振信号 5 3 3 の論理状態が「ハイ」(ステップ 7 1 6 で N O ) である状況では、セルフリフレッシュモード信号 5 1 5 とセルフリフレッシュ発振信号 5 3 3 のタイミング条件が「オーバラップ状態」であり、クリティカル状況になっている。セルフリフレッシュ発振信号 5 3 3 のその後の降下変化は、セルフリフレッシュ要求発振信号 5 3 5 のパルス生成を停止させる(ステップ 7 1 7 )(図 6 で示された時間  $t_{21}$  -  $t_{23}$  の間での動作参照)。

【 0 0 4 6 】

セルフリフレッシュ制御装置 5 2 0 は、様々なパルス幅の出力信号を引き起こすクリティカルタイミング状態を検出するとともに、より適切なタイミング状態になるまで待つための調停回路を有し、適切な信号の生成に先立って、パルス幅について変動性を確実に排除する。調停回路の 2 つの R S ラッチ 5 5 1 および 5 5 3 では、セルフリフレッシュの入口および/またはセルフリフレッシュの出口で、セルフリフレッシュ発振信号 5 3 3 の「ハイ」論理状態がセルフリフレッシュモード信号 5 1 1 の「ハイ」論理状態とオーバラップしている間、セルフリフレッシュ発振信号 5 3 3 のオーバラップ・パルスは、セルフリフレッシュ要求発振信号 5 3 5 として伝送されない。したがって、セルフリフレッシュモードの発端(入口)および/またはセルフリフレッシュモードの終端(出口)において、狭すぎる幅を持つパルス(例えば、図 6 において点線で示されたパルス幅  $T_{pw1}$  および  $T_{pw2}$ )は、生成されたセルフリフレッシュ要求発振信号 5 3 5 として出力されることはない。

【 0 0 4 7 】

上述の本発明の実施形態に係る D R A M デバイスは、セルフリフレッシュのために自励発振をさせる。したがって、発振器の始動時間およびセル保持時間が下記の数式によって与えられるものである限り、D R A M セルは、事実上セルフリフレッシュされる。

【 0 0 4 8 】

【数 1】

$$T_{SREF} > t_{REF} / N_{ROW} \quad (1)$$

【 0 0 4 9 】

ここで、 $T_{SREF}$  は発振器の始動時間であり、 $t_{REF}$  は D R A M セル保持時間であり、 $N_{ROW}$  は、D R A M デバイスの行の数である。

【 0 0 5 0 】

さらに、自励発振パルスとセルフリフレッシュモード信号との間でのクリティカル「オーバラップ」状態では、本発明の実施形態に係る D R A M デバイスは、「ハイ」論理状態のオーバラップを検出する機能と維持されたオーバラップ論理状態を保つ機能とを実行する。したがって、発振器は、パワーアップの後に独自に動作するとともに、内部リフレッシュ要求信号は、オーバラップ状態において論理状態変化をゲート制御されるとともにバッファリングされることによって適切に出力され、その論理状態変化は、D R A M セルリフレッシュ動作の目的に主に使用される。例えば、サブ 1 0 0 n m 技術仕様のサイズにおいて、将来の D R A M デバイスまたはマクロは、微小サイズトランジスタと、温度変化と、電圧変化と、プロセス変化とのために、広範囲なリフレッシュ特性を持つ場合がある。本発明の実施形態に係る D R A M デバイスでは、セルフリフレッシュの入口および出口のタイミングにかかわらず、セルがセルフリフレッシュされることが可能である。

【 0 0 5 1 】

図 8 は、本発明の他の実施形態に係る D R A M デバイスを示している。図 8 を参照すると、コマンド信号「C O M M A N D」8 1 1 は、セルフリフレッシュモード検出回路 8 1 3 に入力される。セルフリフレッシュモード検出回路 8 1 3 は、セルフリフレッシュ制御

装置 8 1 7 にセルフリフレッシュモード信号「S R E F \_ M O D E」8 1 5 を順次出力する。パワーアップ信号「P W R U P」8 1 9 は、セルフリフレッシュ発振器 8 2 0 に入力される。セルフリフレッシュ発振器 8 2 0 は、セルフリフレッシュ発振信号「S R E F \_ O S C」8 2 5 をセルフリフレッシュ制御装置 8 1 7 へ順次出力する。セルフリフレッシュ発振器 8 2 0 は、セルフリフレッシュ発振信号 8 2 5 を生成するために発振信号を出力する自励発振器 8 2 1 を有している。セルフリフレッシュ発振器 8 2 0 は、D R A M デバイスが電源 O N されたとき、パワーアップ信号 8 1 9 によって始動される。セルフリフレッシュモード信号 8 1 5 およびセルフリフレッシュ発振信号 8 2 5 に対応して、セルフリフレッシュ制御装置 8 1 7 は、セルフリフレッシュ要求信号「S R E F \_ R E Q」8 2 7 を内部行アドレスカウンタ 8 2 9 へ出力する。また、本実施形態では、セルフリフレッシュ要求信号「S R E F \_ R E Q」8 2 7 は、信号のタイミング遅延を考慮するために行アドレスデコーダ 8 3 1 にも出力される。内部行アドレスカウンタ 8 2 9 は、復号化アドレス信号 8 3 5 を出力するために復号する行アドレスデコーダ 8 3 1 に、内部行アドレス信号 8 3 3、R F A [ 0 : n ] を出力し、その結果、選択されたワードライン（図示せず）が活性化される。

10

#### 【 0 0 5 2 】

図 8 に示された D R A M デバイスは、図 5 に示された D R A M デバイスに基づいており、追加特徴を有している。図 8 を参照すると、補償信号 8 4 3 を受信する補償制御装置 8 4 1 が追加されている。補償制御装置 8 4 1 は、トランジスタプロセス、電源レベル、温度など、によって変化したさまざまな D R A M セル保有時間をカバーするために、発振パルス時間  $T_{OSC}$  を調整するための制御信号 8 4 5 をセルフリフレッシュ発振器 8 2 0 に出力する。

20

#### 【 0 0 5 3 】

補償信号 8 4 3 がデバイス温度の変化に関する情報を有している場合、補償制御装置 8 4 1 は温度変化の制御値を有する制御信号 8 4 5 を出力する。自励発振器 8 2 1 は、パルス時間  $T_{OSC}$  を、またはパルス時間  $T_{OSC}$  およびパルス幅  $T_{OSC W}$  の両方を、調整するかまたは変化させる。デバイス温度にしたがって、セルフリフレッシュ周期（パルス時間  $T_{OSC}$  に直接関係する）またはセルフリフレッシュ周期およびセルフリフレッシュ時間間隔（パルス幅  $T_{OSC W}$  に直接関係する）の両方は、可変制御される（「温度制御セルフリフレッシュ（T C S R）」）。その結果、デバイスの温度にリーク電流が依存するため、セルフリフレッシュ周期は、デバイス温度が基準値よりも下がったとき、より長い周期に変えられ、デバイス温度が基準値よりも上がったとき、より短い周期に変えられることができる。

30

#### 【 0 0 5 4 】

同様に、補償信号 8 4 3 の制御情報が電源電圧（例えば、「ハイ」レベル電圧 V D D）の変化に関するものである場合、補償制御装置 8 4 1 による制御によって、セルフリフレッシュ周期またはセルフリフレッシュ周期およびセルフリフレッシュ時間間隔の両方が可変制御される。さらに、他の形態の制御情報は、セルフリフレッシュを可変制御するためにメモリコントローラ（図示せず）から出力される補償信号 8 4 3 に具備されていることとしてもよい。したがって、本発明の実施形態に係る D R A M デバイスは、セルが様々なセル保有時間でセルフリフレッシュされることが可能である。

40

#### 【 0 0 5 5 】

上記実施形態では、簡素化のために、アクティブ「ハイ」信号に基づく動作が説明されている。前記回路は、所望の設計にしたがって、アクティブ「ロー」信号に基づく動作を実行するように設計されていることとしても良い。さらに、前記セルフリフレッシュ発振器は、自励発振器からの発振信号の周波数ダウンを実行する分周器を有することとしてもよい。図 8 に示されたセルフリフレッシュ回路の温度制御補償の状況では、セルフリフレッシュを可変制御するために、補償制御装置からの制御信号は、発振周波数と周波数分割比との両方またはいずれかについて、変更または調整をすることができる。セルフリフレッシュ要求発振信号「S R E F \_ R E Q」は、行アドレスデコーダに出力されずに、内部

50



行アドレスカウンタに出力されることとしてもよい。

【0056】

上述の実施形態では、簡素化のために、デバイス要素および回路が図面に示されているように相互に接続されている。DRAMデバイスおよび半導体集積回路への本発明の実用化では、回路、素子、デバイスなどが相互に直接接続されていることとしてもよい。また、回路、素子、デバイスなどは、DRAMデバイスおよび半導体集積回路の動作に必要な、他の回路、素子、デバイスなどを介して相互に間接的に接続されていることとしてもよい。したがって、DRAMデバイスおよび半導体集積回路の実際の構成では、回路、素子、デバイスなどが相互に（直接または間接的に接続されて）結合されている。

【0057】

本発明の上述の実施形態は、単なる例示であることが意図されている。本願に添付された特許請求の範囲によって専ら定義された本発明の範囲から逸脱することのない変更、変形およびバリエーションが当業者によって特定の実施形態として生成されることができ

【図面の簡単な説明】

【0058】

【図1A】従来のダイナミックランダムアクセスメモリ（DRAM）デバイスに具備されているセルフリフレッシュ制御回路のブロック図を示している。

【図1B】図1Aに示されたDRAMデバイスのための信号のタイミングシーケンスを示している。

【図2】本発明の一実施形態に係るDRAMデバイスセルフリフレッシュ制御装置のブロック図である。

【図3】本発明の一実施形態に係るDRAMデバイスセルフリフレッシュ制御装置を示すブロック図である。

【図4A】セルフリフレッシュモードに入る時とそこから出る時とで、セルフリフレッシュモード信号とセルフリフレッシュ発振信号とがオーバーラップしないように動作する、図3に示されたDRAMデバイスのための信号のタイミングシーケンスである。

【図4B】セルフリフレッシュモードに入る時とそこから出る時とで、セルフリフレッシュモード信号とセルフリフレッシュ発振信号とがオーバーラップするように動作する、図3に示されたDRAMデバイスのための信号のタイミングシーケンスである。

【図5】本発明の他の実施形態に係るDRAMデバイスセルフリフレッシュ制御装置を示すブロック図である。

【図6】セルフリフレッシュモードに入る時とそこから出る時とで、セルフリフレッシュモード信号とセルフリフレッシュ発振信号とがオーバーラップするように動作する、図5に示されたDRAMデバイスのための信号のタイミングシーケンスである。

【図7】図5に示されたDRAMデバイスに具備されているセルフリフレッシュ要求発生器の調停動作を示すフローチャートである。

【図8】本発明の一実施形態に係るDRAMデバイスセルフリフレッシュ制御装置を示すブロック図である。

【符号の説明】

【0059】

- 211 検出回路
- 215 セルフリフレッシュ制御装置
- 217 発振器
- 225 アドレスデコーダ

10

20

30

40

【図 1 A】

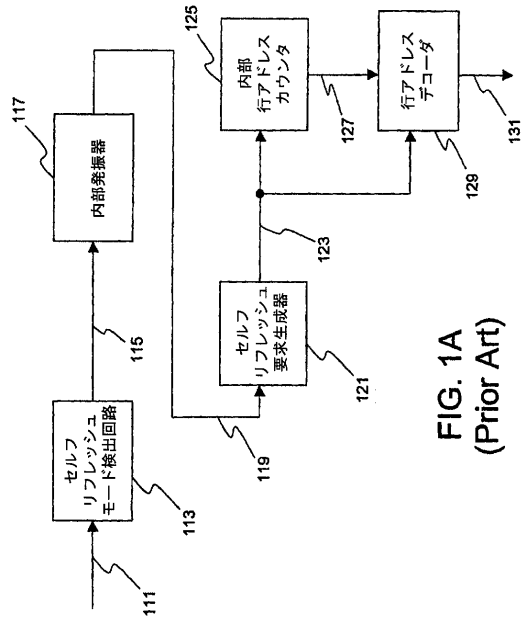


FIG. 1A  
(Prior Art)

【図 1 B】

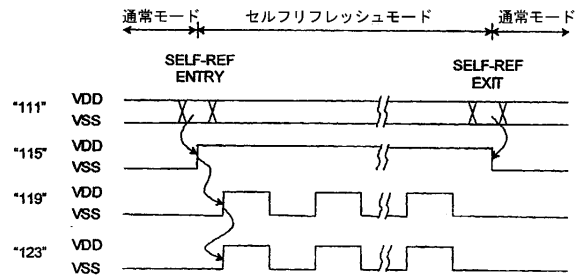


FIG. 1B  
(Prior Art)

【図 2】

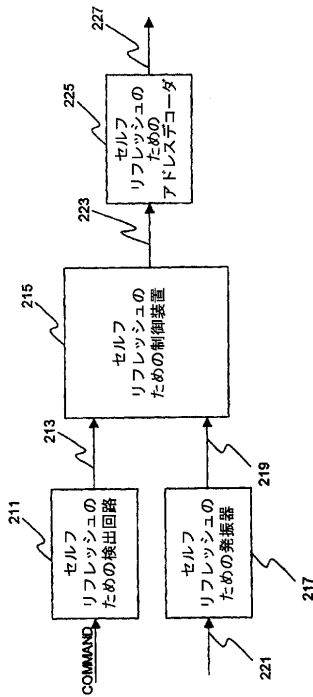


FIG. 2

【図 3】

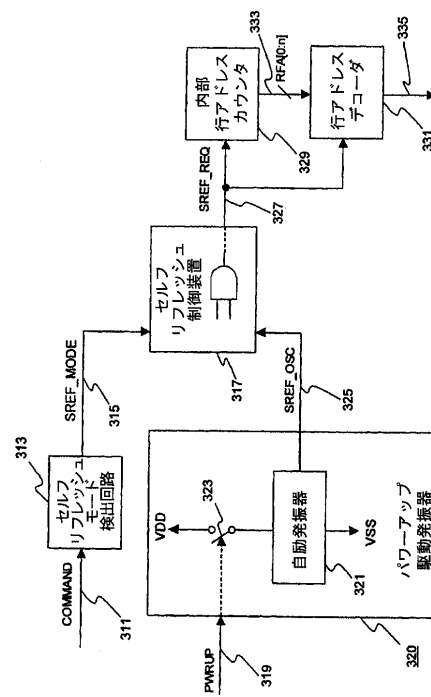
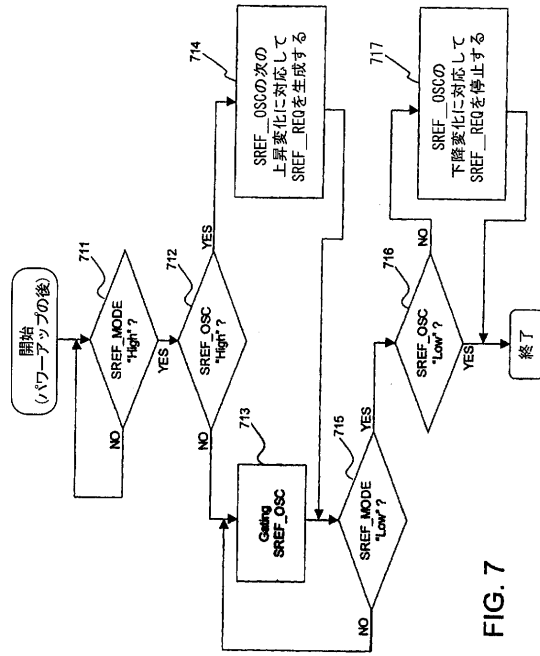


FIG. 3



【図 7】



【図 8】

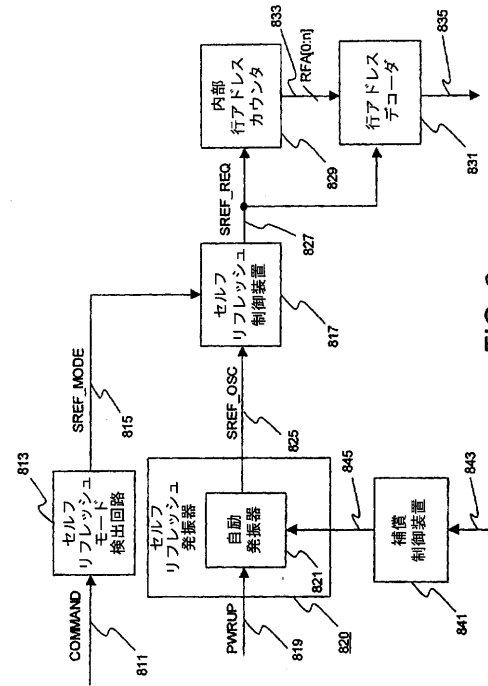


FIG. 8

---

フロントページの続き

(72)発明者 ハクジュン・オ

カナダ・オンタリオ・K 2 T ・ 1 J 3 ・カナタ・カンピオー・クレッセント・2 1

審査官 堀 拓也

(56)参考文献 特開平 0 7 - 2 6 2 7 7 2 ( J P , A )

特開 2 0 0 5 - 0 2 5 9 0 3 ( J P , A )

特開平 0 5 - 1 1 0 3 9 8 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

G11C 11/403

G11C 11/4076