

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-39645

(P2010-39645A)

(43) 公開日 平成22年2月18日(2010.2.18)

(51) Int.Cl. F I テーマコード (参考)
G 0 6 F 12/06 (2006.01) G 0 6 F 12/06 5 1 0 B 5 B 0 6 0
G 0 6 F 12/00 (2006.01) G 0 6 F 12/00 5 5 0 A

審査請求 未請求 請求項の数 10 O L (全 20 頁)

(21) 出願番号	特願2008-200051 (P2008-200051)	(71) 出願人	000005223
(22) 出願日	平成20年8月1日(2008.8.1)		富士通株式会社
			神奈川県川崎市中原区上小田中4丁目1番1号
		(74) 代理人	100099759
			弁理士 青木 篤
		(74) 代理人	100119987
			弁理士 伊坪 公一
		(74) 代理人	100081330
			弁理士 樋口 外治
		(74) 代理人	100141254
			弁理士 榎原 正巳
		(74) 代理人	100113826
			弁理士 倉地 保幸

最終頁に続く

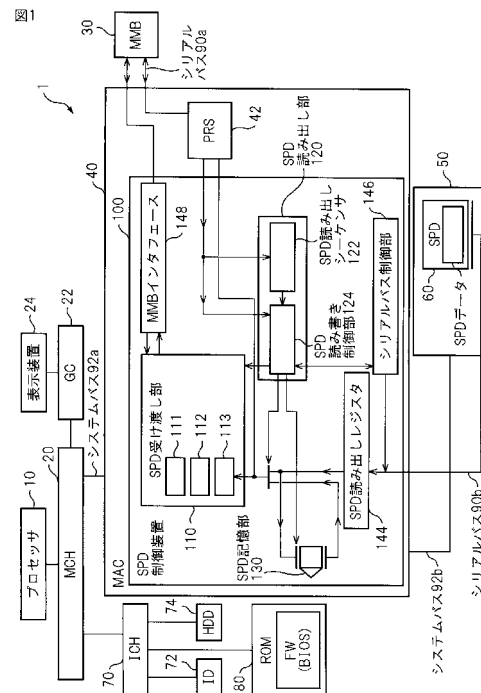
(54) 【発明の名称】 制御装置、情報処理装置、及びメモリモジュール認識方法

(57) 【要約】

【課題】SPD制御装置で、メモリ初期化処理の時間を短縮化する。

【解決手段】プロセッサ10、メモリモジュール50、及び該メモリモジュールの仕様を示す仕様情報を記憶する仕様情報記憶メモリ60に接続される制御装置100であって、制御装置100への電源投入により、仕様情報記憶メモリ60から仕様情報を読み出す読み出し部と120、仕様情報記憶メモリから読み出された仕様情報を格納する記憶部130と、プロセッサから仕様情報の読み出し指示を受信して、記憶部130に格納された仕様情報をプロセッサに受け渡す受け渡し部110と、を有する。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

プロセッサ、メモリモジュール、及び該メモリモジュールの仕様を示す仕様情報を記憶する仕様情報記憶メモリに接続される制御装置であって、

前記制御装置への電源投入により、前記仕様情報記憶メモリから前記仕様情報を読み出す読み出し部と、

前記仕様情報記憶メモリから読み出された仕様情報を格納する記憶部と、

前記プロセッサから前記仕様情報の読み出し指示を受信して、前記記憶部に格納された前記仕様情報を前記プロセッサに受け渡す受け渡し部と、

を有することを特徴とする制御装置。

10

【請求項 2】

前記制御装置は、複数のメモリモジュールと、該複数のメモリモジュールにそれぞれ対応する複数の前記仕様情報記憶メモリとに接続され、

前記記憶部は、前記複数の仕様情報記憶メモリに格納される複数の前記仕様情報のうち、重複部分を取り除いた仕様情報を格納し、

前記制御装置は、前記記憶部のアドレスを指示するポインタ情報を、前記メモリモジュールの位置情報と関連付けて格納するポインタ記憶部をさらに有し、

前記 S P D 読み出し部は、読み出し対象となるメモリモジュールの位置情報を含む仕様情報の読み出し指示を受信して、該メモリモジュールの位置情報に関連付けられる前記ポインタ情報を前記ポインタ記憶部から取得し、且つ、該取得した前記ポインタ情報によって指示される前記記憶部のアドレスから、前記仕様情報を取得することを特徴とする、請求項 1 に記載の制御装置。

20

【請求項 3】

前記読み出し部は、前記仕様情報をバースト転送で前記プロセッサに受け渡すことを特徴とする、請求項 1 又は 2 に記載の制御装置。

【請求項 4】

プロセッサと、

メモリモジュールと、

制御装置と、を備え、

前記メモリモジュールは、

第一のメモリと、

前記メモリモジュールの仕様を示す仕様情報を記憶する第二のメモリとを有し、

前記制御装置は、

前記制御装置への電源投入により、前記第二のメモリから前記仕様情報を読み出す読み出し部と、

前記読み出し部が読みだした仕様情報を格納する記憶部と、

前記プロセッサからの読み出し指示を受信して、前記記憶部に格納された仕様情報を前記プロセッサに受け渡す受け渡し部と、

を有することを特徴とする情報処理装置。

30

【請求項 5】

前記制御装置は、前記メモリモジュールへのアクセスを制御するメモリ制御装置であることを特徴とする、請求項 4 に記載の情報処理装置。

40

【請求項 6】

前記制御装置は、複数のメモリモジュールと、該複数のメモリモジュールにそれぞれ対応する複数の前記仕様情報記憶メモリとに接続され、

前記記憶部は、前記複数の仕様情報記憶メモリに格納される複数の前記仕様情報のうち、重複部分を取り除いた仕様情報を格納し、

前記制御装置は、前記記憶部のアドレスを指示するポインタ情報を、前記メモリモジュールの位置情報と関連付けて格納するポインタ記憶部をさらに有し、

前記 S P D 読み出し部は、読み出し対象となるメモリモジュールの位置情報を含む仕様

50

情報の読み出し指示を受信して、該メモリモジュールの位置情報に関連付けられる前記ポインタ情報を前記ポインタ記憶部から取得し、且つ、該取得した前記ポインタ情報によって指示される前記記憶部のアドレスから、前記仕様情報を取得することを特徴とする、請求項 4 又は 5 に記載の情報処理装置。

【請求項 7】

前記読み出し部は、前記仕様情報をバースト転送で前記プロセッサに受け渡すことを特徴とする、請求項 4 ～ 6 のいずれか 1 項に記載の情報処理装置。

【請求項 8】

プロセッサ、メモリモジュール、及び該メモリモジュールの仕様を示す仕様情報を記憶する仕様情報記憶メモリに接続され、且つ記憶部を有する制御装置により前記プロセッサに前記メモリモジュールを認識させるメモリモジュール認識方法であって、

前記プロセッサが、前記制御装置への電源投入により、立ち上げ処理を開始し、

前記制御装置は、前記制御装置への電源投入により、前記仕様情報記憶メモリから前記仕様情報の読み出しを開始し、

前記制御装置は、前記仕様情報を前記記憶部に格納し、

前記制御装置は、前記立ち上げ処理を終了したプロセッサから前記仕様情報の読み出し指示を受信して、前記記憶部に格納された前記仕様情報を前記プロセッサに受け渡すことを特徴とするメモリモジュール認識方法。

【請求項 9】

前記制御装置は、複数のメモリモジュールと、該複数のメモリモジュールにそれぞれ対応する複数の前記仕様情報記憶メモリとに接続され、且つ、ポインタ記憶部をさらに有すると共に、

前記複数の仕様情報記憶メモリに格納される複数の前記仕様情報のうち、重複部分を取り除いた仕様情報を前記記憶部に格納し、

前記記憶部のアドレスを指示するポインタ情報を、前記メモリモジュールの位置情報と関連付けて前記ポインタ記憶部に格納し、

読み出し対象となるメモリモジュールの位置情報を含む仕様情報の読み出し指示を受信して、該メモリモジュールの位置情報に関連付けられる前記ポインタ情報を前記ポインタ記憶部から取得し、且つ、該取得した前記ポインタ情報によって指示される前記記憶部のアドレスから、前記仕様情報を取得することを特徴とする、請求項 8 に記載のメモリモジュール認識方法。

【請求項 10】

前記仕様情報をバースト転送で前記プロセッサに受け渡すステップをさらに有することを特徴とする、請求項 8 又は 9 に記載のメモリモジュール認識方法。

【発明の詳細な説明】

【技術分野】

【0001】

本出願は、制御装置、情報処理装置、及びメモリモジュール認識方法に関する。

【背景技術】

【0002】

コンピュータシステムに電源が投入されると、ブート処理と呼ばれるオペレーティングシステム（OS）の立ち上げ処理（「パワーオン・リセット・シーケンス」とも称す）が開始される。この立ち上げ処理には、BIOS（Basic Input Output System）等のファームウェア（FW）やOSによる各種ハードウェアの初期化と診断、コンピュータシステムへの各種ハードウェアの組み込み処理等が含まれる。

【0003】

また、メモリの初期化処理では、CPU（Central Processing Unit）により実行されるBIOSが、メモリコントローラに読み込み処理を指示することで、メモリモジュールに搭載される不揮発性メモリ（以下、「SPD（Serial Presence Detect）メモリ」と称す）に格納されているメモリモジュールの仕様情報（以下「SPDデータ」と言う）を読

10

20

30

40

50

み出すメモリ認識処理が行われる。

種類、容量、エラーチェックの種類や有無、アクセスタイミング等を規定した、S P D データをもとに、B I O S はメモリモジュールに搭載されたR A M (Random Access Memory) の初期化処理を行い、メモリモジュールの制御方法を決定する。

【0004】

S P Dメモリとメモリコントローラとの接続は、伝送速度の遅いシリアルバスで接続されるのが一般的である。シリアルバスの一例として、I²Cバスがあげられる。伝送速度の遅いシリアルが用いられるのは、メモリ認識処理は、頻度が少なく又はS P Dデータのデータ量も少ないため、シンプルで低価格のバスが選択されるためである。しかしながら、シリアルバスの遅い伝送速度により、メモリ初期化処理が遅くなるという問題がある。

10

【0005】

従来、メモリ認識処理をより高速化するために、C P Uからシリアルバスを介して最初に読み出したS P Dデータを、システムバスを介してアクセス可能なメモリに保存することで、2度目のS P Dデータの読み出し時には、S P Dデータの読み出し速度を高速化する技術が提案されている(下記特許文献1)。

【0006】

【特許文献1】特開2007-122627号

【発明の開示】

【発明が解決しようとする課題】

【0007】

20

しかし、従来技術では、S P Dデータの読み出しは、プロセッサが実行するB I O Sにより行われるため、S P Dデータの読み出しを開始するために、プロセッサの初期化処理の終了を待つ必要があった。そして、プロセッサ起動後も、最初のS P Dデータの読み出しがシリアルバスを介して行われるため、このようなメモリ認識処理がコンピュータシステム立ち上げ時間に加算され、立ち上げ処理時間の短縮化が図られていない。

本発明は、プロセッサ初期化処理前に、S P Dデータの読み出しを行うことで、コンピュータシステムの立ち上げ処理時間を短縮化するメモリ初期化処理を提供することを目的とする。

【課題を解決するための手段】

【0008】

30

上記課題を解決するために、プロセッサ、メモリモジュール、及びメモリモジュールの仕様を示す仕様情報を記憶する仕様情報記憶メモリに接続される制御装置が提供される。

上記制御装置は、上記制御装置への電源投入により、上記仕様情報記憶メモリから上記仕様情報を読み出す読み出し部と、上記仕様情報記憶メモリから読み出された仕様情報を格納する記憶部と、上記プロセッサから上記仕様情報の読み出し指示を受信して、上記記憶部に格納された上記仕様情報を上記プロセッサに受け渡す受け渡し部と、を有する。

【0009】

また、上記課題を解決するために、プロセッサと、メモリモジュールと、制御装置と、を備える情報処理装置が提供される。

上記メモリモジュールは、第一のメモリと、上記メモリモジュールの仕様を示す仕様情報を記憶する第二のメモリとを有し、上記制御装置は、上記制御装置への電源投入により、上記第二のメモリから上記仕様情報を読み出す読み出し部と、上記読み出し部が読み出した仕様情報を格納する記憶部と、上記プロセッサからの読み出し指示を受信して、上記記憶部に格納された仕様情報を上記プロセッサに受け渡す受け渡し部と、を有する。

40

【0010】

さらに、上記課題を解決するために、プロセッサ、メモリモジュール、及び該メモリモジュールの仕様を示す仕様情報を記憶する仕様情報記憶メモリに接続され、且つ記憶部を有する制御装置により上記プロセッサに上記メモリモジュールを認識させるメモリモジュール認識方法が提供される。

上記メモリモジュール認識方法は、上記プロセッサが、上記制御装置への電源投入によ

50

り、立ち上げ処理を開始し、上記制御装置は、上記制御装置への電源投入により、上記仕様情報記憶メモリから上記仕様情報の読み出しを開始し、上記制御装置は、上記仕様情報を上記記憶部に格納し、上記制御装置は、上記立ち上げ処理を終了したプロセッサから上記仕様情報の読み出し指示を受信して、上記記憶部に格納された上記仕様情報を上記プロセッサに受け渡す。

【発明の効果】

【0011】

S P D 制御装置は、プロセッサの初期化処理完了を待つことなく、S P D 制御装置への電源投入により S P D メモリからの S P D データの読み出しを開始することにより、メモリ初期化処理の時間、並びに、コンピュータシステムの立ち上げ処理時間を短縮化することができる。

10

【発明を実施するための最良の形態】

【0012】

以下、図面を参照して、実施形態を説明する。

図 1 を用いて、情報処理装置の構成の一例について説明する。情報処理装置 1 は、例えば、サーバ、パーソナルコンピュータ等のコンピュータとして実装できる。情報処理装置 1 は、プロセッサ 10、メモリコントローラハブ (M C H) 20、マネージメントボード (M M B) 30、メモリアクセスコントローラ (M A C) 40、メモリモジュール 50、S P D メモリ 60、I O 制御ハブ (I C H) 70、入力装置 72、外部記憶装置 74、リードオンリーメモリ (R O M) 80 を有する。

20

【0013】

プロセッサ 10 は、情報処理装置 1 の動作を制御するために設けられたプロセッサであり、中央処理装置 (C P U) やデジタルシグナルプロセッサ (D S P) として実装され得る。プロセッサ 10 は、コンピュータのハードウェア資源及びソフトウェア資源の割り当てを統合的に管理するオペレーティングシステム (O S)、及び他のソフトウェアを実行する。また、プロセッサ 10 は、R O M 80 に格納された B I O S も実行する。B I O S は、バスに接続されたハードウェア機器の制御用プログラムであり、S P D データをもとに、メモリモジュール 50 に搭載された R A M の初期化処理等を行う。B I O S による制御処理は、プロセッサ 10 が B I O S を実行することにより行われる。

なお、図 1 には、1 つのプロセッサのみを表しているが、情報処理装置 1 は、複数のプロセッサを有しても良い。

30

【0014】

M C H 20 は、プロセッサ 10 と I C H 70 との間を接続するブリッジデバイスである。M C H 20 と接続される各ハードウェアは、I S A バス (Industrial Standard Architecture bus) や P C I バス (Peripheral Components Interconnect bus) 等の高速なシステムバスで接続される。M C H 20 は、A G P (Accelerated Graphics Port) バスなどを介してグラフィックコントローラ (G C) 22 との通信を実行する機能を有する。

【0015】

メモリモジュール 50 は、例えば、D I M M (Dual Inline Memory Module) 等の R A M (Random Access Memory) を搭載する。メモリモジュール 50 はまた、S P D メモリ 60 を有する。S P D メモリ 60 は S P D データを格納するメモリであり、不揮発性メモリ、例えば、E E P R O M (Electrically Erasable and Programmable Read Only Memory) である。なお、図 1 には、1 つのメモリモジュールのみを表しているが、情報処理装置 1 は、複数のメモリモジュールを有しても良い。

40

S P D データは、メモリモジュール 50 の容量、メモリモジュールの動作クロック周波数、アクセス速度、アクセス方法、メモリ構成情報等、メモリモジュール 50 の仕様を表す情報である。

【0016】

グラフィックコントローラ 22 は、情報処理装置 1 のディスプレイモニタとして使用される表示装置 24 を制御する表示コントローラである。

50

I C H 7 0 は、I D E (Integrated Drive Electronics)、P C I (Peripheral Component Interconnect) バス等に接続される入力装置 (I D) 7 2、外部記憶装置 (H D D) 7 4 及び R O M 8 0 へのアクセスを制御する。外部記憶装置 (H D D) 7 4 には、プロセッサ 1 0 で実行される O S や各種プログラムが格納される。

R O M 8 0 は、書き換え可能な不揮発性メモリであっても良く、B I O S 等のファームウェア (F W) を格納する。

【 0 0 1 7 】

M A C 4 0 は、メモリモジュール 5 0 を制御するための装置であり、S P D 制御装置 1 0 0、及びパワーオンリセットシーケンサ (P R S) 4 2 を含む。M A C 4 0 は、チップセットとして実装できる。

P R S 4 2 は、S P D データの読み出し処理を開始するために必要な処理を実行するシーケンス回路である。例えば、P R S 4 2 は、M A C 4 0 への電源投入、又は、シリアルバス 9 0 a に接続される M M B 3 0 からの起動指示に従って、S P D 読み出し処理を開始する。そして、P R S 4 2 は、S P D 読み出し部 1 2 0 に S P D 読み出し指示を送信することで、S P D 記憶部 1 3 0 に S P D データを格納し、S P D データを S P D 受け渡し部 1 1 0 に転送する。

なお、M M B 3 0 は、情報処理装置 1 のリソースを管理する装置であり、複数の情報処理装置と L A N やシリアルバス等を介して接続される。M M B 3 0 は、他の情報処理装置のリソースが上昇した場合、情報処理装置 1 に起動指示を送信する等の管理処理を実行する。また、M M B 3 0 は、M M B インタフェース 1 4 8 を介して S P D 受け渡し部 1 1 0 から S P D データを取得することができる。P R S 4 2 は、M A C 4 0 への電源投入により S P D データを S P D 受け渡し部に転送させることができるため、M M B 3 0 は、M A C 3 0 の起動指示によりプロセッサ 1 0 を起動させずに、S P D データを取得することができる。

【 0 0 1 8 】

S P D 制御装置 1 0 0 は、S P D 受け渡し部 1 1 0、S P D 読み出し部 1 2 0、S P D 記憶部 1 3 0、S P D 読み出しレジスタ 1 4 4、シリアルバス制御部 1 4 6 を有する。また、S P D 制御装置 1 0 0 は、システムバス 9 2 a、M C H 2 0 を介してプロセッサ 1 0 と接続される。さらに、S P D 制御装置 1 0 0 は、システムバス 9 2 b を介してメモリモジュール 5 0 と、シリアルバス 9 0 b を介して S P D メモリ 6 0 とに接続される。なお、S P D 制御装置 1 0 0 は、チップセットとして実装できる。

【 0 0 1 9 】

S P D 受け渡し部 1 1 0 は、F W 又は O S が S P D データを取得するためのインタフェースとして機能する。S P D 受け渡し部 1 1 0 は、コマンドアドレスレジスタ 1 1 1、ステータスレジスタ 1 1 2、リードデータレジスタ 1 1 3 を有する。

F W 又は O S は、S P D データを取得するために、コマンドアドレスレジスタ 1 1 1 に、読み出しなどのオペレーションコードと、読みたい S P D アドレスをセットする。S P D アドレスは、S P D データを識別するためのチャンネル番号、スロット番号、オフセット等を有するアドレスである。

【 0 0 2 0 】

ステータスレジスタ 1 1 2 は、S P D データの読み出し処理の状態を示すビットデータを格納する。ビットデータ「1」の場合は、S P D データの読み出し処理中を意味し、「ビットデータ「0」の場合は、S P D データの読み出し処理が行われていないことを意味する。例えば、コマンドアドレスレジスタ 1 1 1 内のコマンド及びアドレスが S P D 受け渡し部 1 1 0 によってデコードされると、S P D 受け渡し部 1 1 0 がステータスレジスタ 1 1 2 に記憶されるビットデータを「1」にする。

S P D 受け渡し部 1 1 0 は、コマンドアドレスレジスタ 1 1 1 内のコマンドアドレスをデコードすることによって F W 又は O S による S P D データの読み出し指示を認識すると、ステータスレジスタ 1 1 2 に「B u s y」フラグを立てる。そして、S P D 読み出し部 1 2 0 は、S P D 記憶部 1 3 0 に記憶された S P D データ、又は、シリアルバス 9 0 b を

10

20

30

40

50

用いてSPDメモリ60から取得したSPDデータを、リードデータレジスタ113にセットし、ステータスレジスタ112の「Busy」フラグをおとす。これは、SPD受け渡し部110がSPDデータの読み出し処理を終了したことを示す。

FW又はOSは、ステータスレジスタ112をポーリングして、「Busy」フラグが落ちているのを確認すると、リードデータレジスタ113からSPDデータを読み出す。

【0021】

なお、リードデータレジスタ113は、SPD記憶部130に格納された全SPDデータを収納できる容量を有しても良い。この場合、シリアルバスの伝送速度に合わせたビット転送ではなく、数ワード以上のデータ量を有する全SPDデータを一度に転送するバースト転送を行うことができる。これにより、FW又はOSからのSPDデータ読み出しの高速化、並びに、メモリ初期化処理の高速化を可能にする。

10

【0022】

SPD読み出し部120は、PRS42からのSPDデータ読み出し指示に従って、SPDメモリ60に格納されるSPDデータを読み出し、SPD記憶部130に記憶する。また、SPD読み出し部120は、読み出したSPDデータをSPD受け渡し部110のリードデータレジスタ113に設定する。

SPD読み出し部120は、SPD読み出しシーケンサ122と、SPD読み書き制御部124とに機能を分けることもできる。

20

【0023】

SPD読み出しシーケンサ122は、SPD受け渡し部110におけるリードコマンドやSPDアドレスの受信、PRS42からのSPD読み出し指示の受信、SPDメモリ60からのSPDデータの読み出しなどの状態遷移を管理する。SPD読み書き制御部124は、SPD読み出しシーケンサ122で管理する状態遷移に基づいてSPD受け渡し部110、SPD記憶部130、シリアルバス制御部146との信号制御を行うことができる。

なお、SPD読み出しシーケンサ122及びSPD読み書き制御部124は、例えば、順序回路であるラッチ、フリップフロップ、レジスタファイル等で実装できる。

【0024】

SPD読み書き制御部124は、SPD読み出しシーケンサ122からリードコマンドとアドレスを受信すると、シリアルバス制御部146を介して、シリアルバス90bを介してSPDメモリ60からSPDデータを読み出す。さらに、SPD読み書き制御部124は、SPDメモリ60から読み出したSPDデータを、SPD記憶部130に格納する。

30

【0025】

SPD記憶部130は、SPD読み出し部120がSPD60から読み出したSPDデータをバッファするための記憶領域である。SPD記憶部130は、latch、FF、RF、RAM等で実装できる。SPD記憶部130は、MAC40のクロックで動作するため、高速で動作可能である。SPD記憶部130内のSPDデータにプロセッサ10がアクセスする場合には、プロセッサ10は、シリアルバス90bを介することなく高速なシステムバスを介したSPDデータの読み出しを行うことができる。

40

【0026】

SPD読み出しシーケンサ122は、読み出し対象となるチャネル、スロット、SPDメモリのメモリアドレスを変更し、SPDアドレスをインクリメントすることにより、SPDデータを読み出すことができる。このSPDデータ読み出し処理のフローは、図7又は8を用いて後述する。また、SPDメモリ60は、例えば、1個あたり256バイトの容量を有するが、256バイト全ての内容をSPD記憶部130に格納しなくても良い。

FW又はOSから読み出し要求が出されたとき、読み出しアドレスのSPDデータがSPD記憶部130に格納されている、言い換えればヒットすれば、SPD読み出し制御部124はSPD記憶部130からSPDデータを読み出して、SPD受け渡し部110内

50

のリードデータレジスタ 1 1 2 にセットする。

指定された読み出しアドレスの S P D データが、S P D 記憶部 1 3 0 に無い場合は、S P D メモリ 6 0 から S P D データを読み出して、読み出した S P D データを S P D 読み出しレジスタ 1 4 4 にセットする。

【 0 0 2 7 】

情報処理装置 1 内の各コンポーネントは、並列に初期化処理が実行されるのが理想的であるが、実際にはコンポーネントの構成による物理的制約や制御の簡易性の必要性から、完全に並列化して初期化処理を行うことはできない。このため、全コンポーネントが初期化されるまでには時間がかかる。プロセッサ 1 0 により S P D データの S P D メモリ 6 0 からの読み出し処理が行われる場合、メモリ認識処理は、チップ内クロックに換算して非常に長い時間がかかり、メモリ初期化処理並びにコンピュータシステムの立ち上げ処理を遅延させていた。

10

そこで、図 2 を用いて、プロセッサ 1 0 の初期化と独立して行われる、S P D 制御装置 1 0 0 によるメモリ認識処理のフローの一例を説明する。

【 0 0 2 8 】

まず、ユーザがコンピュータ 1 の電源スイッチを押下することによって、情報処理装置 1 の電源投入を行うと (S 2 0 1)、情報処理装置 1 内の M C H 2 0 や M A C 4 0 などの各コンポーネントへの電源投入、クロック供給、レジスタ値のリセット等の初期化処理が実行される (S 2 0 2)。M A C 4 0 に電源投入されると、各装置間のバスの調整が行われるとともに (S 2 0 3)、S 2 0 3 と並行して P R S 4 2 が起動して、S P D 読み出し指示を S P D 読み出しシーケンサ 1 2 2 に設定する (S 2 0 4)。

20

【 0 0 2 9 】

S P D 読み出しシーケンサ 1 2 2 は、S P D 読み出し指示に従って、リードコマンドと S P D アドレスを、S P D 読み書き制御部 1 2 4 のレジスタにセットする。S P D 読み書き制御部 1 2 4 は、S P D 読み出しシーケンサ 1 2 2 からリードコマンドと S P D アドレスを受信すると、シリアルバス制御部 1 4 6 により、シリアルバス 9 0 b を介して S P D メモリ 6 0 から S P D データを読み出す (S 2 0 5)。S P D 読み書き制御部 1 2 4 は、S P D メモリ 6 0 から読み出した S P D データを、S P D 読み出しレジスタ 1 4 4 を介して S P D 記憶部 1 3 0 に格納する (S 2 0 6)。

【 0 0 3 0 】

30

S P D データの読み出し処理が行われるのと並行して、各装置間のバスの調整 (S 2 0 3) に続いて、I C H 7 0 の給電確認、システムバス設定、I C H 7 0 の I O ポート有効化、システム設定、R O M 8 0 の設定等の情報処理装置 1 全体としての設定が行われ (S 2 0 7)、制御レジスタ、トランスレーション・ルックアサイド・バッファ (T L B)、タグの初期化といったプロセッサ 1 0 の内部設定が行われる (S 2 0 8)。このような処理が行われることで、プロセッサ 1 0 の命令処理が可能になり、プロセッサ 1 0 がメモリ初期化処理を行うために B I O S を実行する (S 2 0 9)。

【 0 0 3 1 】

このとき、S P D データは S 2 0 6 において、M A C 内の S P D 記憶部 1 3 0 に格納されている。プロセッサ 1 0 は、シリアルバス 9 0 b を介することなく、システムバス 9 2 a 並びに S P D 受け渡し部 1 1 0 を介して、S P D 記憶部 1 3 0 内にバッファされている S P D データを読み出して (S 2 1 0)、図 2 のフローを終了する。

40

【 0 0 3 2 】

このように、S P D 制御装置 1 0 0 への電源投入により、S P D メモリ 6 0 から S P D データの読み出しを開始するため、本実施形態による S P D 制御装置 1 0 0 は、プロセッサ起動後に行われていた S P D データの読み取り処理を、プロセッサ初期化終了前に開始することができる。また、シリアルバスを用いた S P D データの読み出し処理を、プロセッサ初期化終了前に終了させることができるため、プロセッサ起動後、S P D データの読み出し処理を行わずにメモリモジュールの初期化処理を開始して、O S 等の立上げ時間を短縮することができる。

50

【 0 0 3 3 】

M A C 4 0 に接続されるメモリモジュール 5 0 の数が増大すると、S P D 記憶部 1 3 0 が格納する S P D データも増大する。また、O S 又は F W からの S P D 読み出し指示に回答して、S P D メモリ 6 0 からの読み出し処理が生じないように、S P D 記憶部 1 3 0 には、全てのメモリモジュール 5 0 に対応する全 S P D データを格納することが好ましい。そのため、S P D 記憶部 1 3 0 は、S P D データをデータ圧縮して S P D データに格納し、これにより必要な記憶容量を低減することができる。

【 0 0 3 4 】

以下、図 3 を用いて、S P D 記憶部の構成の一例を説明する。

一般的に、システム仕様、又は、システム運用上の制約により、同一チャネルあるいは同スロットには、同一規格のメモリモジュールが搭載される。そのため、メモリモジュール間における S P D データの内容は、多くの部分が共通であり、一部だけが異なる。S P D データのデータ圧縮を行うケースでは、そのような S P D データの内容の共通性を利用して、S P D 記憶部にバッファする S P D データのデータ圧縮を行う。

【 0 0 3 5 】

図 3 (a) は、データ圧縮を行わずに S P D データを S P D 記憶部に記憶する場合の S P D 記憶部の装置構成の一例を示す図である。図 3 (a) に示される例では、S P D 制御装置 1 0 0 は、S P D 記憶部 1 3 0 として、S P D 記憶部 1 3 0 a に加えて、有効ポインタ記憶部 1 3 4 a を有する。

図 3 (a) に示されるように、S P D 記憶部 1 3 0 a の S P D アドレス 1 3 1 a は、チャネル番号、スロット番号、S P D メモリのメモリアドレスを有し、これらの組合せにより、メモリモジュール 5 0 の S P D データを特定することができる。この S P D アドレス 1 3 1 a は、読み出し対象の全 S P D データが S P D 記憶部 1 3 0 a でヒットするために、全 S P D メモリ 6 0 の全ての S P D データを特定するアドレスであることが好ましい。

【 0 0 3 6 】

例えば、S P D メモリ 6 0 のメモリ空間は、J E D E C (Joint Electron Devices Engineering Council) から提供される仕様「J E D E C S t a n d a r d N o . 2 1 - C P a g e 4 . 1 . 2 . 4 - 1 A p p e n d i x D , R e v . 1 . 0 : S P D ' s f o r D D R S D R A M」に従って規定される。この場合、S P D メモリ 6 0 のメモリ空間は、S P D メモリ 6 0 のアドレス数である 8 ビットの行と、各アドレスに格納される S P D データのデータ本体である 8 ビットの列で規定される。

上記 J E D E C 仕様に従う場合、図 3 (a) に示されるメモリ空間は、例えば、チャネル番号 (1 ビット) + スロット番号 (1 ビット) + S P D メモリのメモリアドレス (8 ビット) の行と、有効ビット (1 ビット) + データ本体 (8 ビット) の列で規定される。つまり、S P D アドレス 1 3 1 a の各アドレスに格納されるデータのフォーマット 1 5 1 は、有効ビット (1 ビット) + データ本体 (8 ビット) のデータ幅を有する。ここで、有効ビット数とは、S P D 記憶部 1 3 0 a に S P D メモリ 6 0 の S P D アドレスに格納されたデータが格納されたか否かを示すビットである。有効ビットが「 1 」の場合、S P D データが格納されており、有効ビットが「 0 」の場合、S P D データが格納されていないことを示す。

【 0 0 3 7 】

図 3 (a) の S P D アドレス 1 3 1 a に示すように、S P D アドレス 1 3 1 a は、チャネル番号、スロット番号、S P D 内メモリアドレスの並びに従って、昇順でシーケンシャルに配番されている。有効ポインタ記憶部 1 3 4 a は、S P D メモリ 6 0 から昇順で読み出されて、S P D 記憶部 1 3 0 a に S P D アドレス昇順で格納されたエントリのうち最後尾の S P D アドレスをポインタとして格納する。なお、この最後尾のアドレスを指示するデータを「有効ポインタ」と称する。これにより、有効ポインタは、S P D アドレス 1 3 1 a において、昇順で数えてどの順番の S P D アドレスまで S P D データが格納されたかを指示する。このように、有効ポインタ記憶部 1 3 4 a は S P D アドレスを格納するために、有効ポインタ記憶部 1 3 4 a は、S P D アドレス 1 3 1 a のアドレス幅と同じ 1 0 ビ

10

20

30

40

50

ットのデータ幅を有する。

この有効ポインタは、SPDアドレスに従って、SPD記憶部130aにSPDデータを登録するために利用される（後述）。

【0038】

図3(b)は、データ圧縮してSPDデータをSPD記憶部に記憶する場合のSPD記憶部の装置構成の一例を示す図である。図3(b)に示される例では、SPD制御装置100は、SPD記憶部130として、SPD記憶部130b、有効ポインタ記憶部134b、SPDポインタ記憶部136b、及びテンポラルポインタ記憶部138bを有する。

【0039】

上記JEDEC仕様によれば、SPDメモリのデータ幅は8ビットであるが、上記仕様に反して、SPDメモリのデータ幅が8ビット以上になる場合がある。例えば、JEDEC仕様の「モジュールデータ幅設定」によれば、メモリモジュールのデータ幅は、2つの8ビットデータを利用してデータ定義される。しかしながら、メモリモジュールの提供会社によっては、上記JEDEC仕様に反して、1つの16ビットデータを利用してモジュールデータ幅を規定したSPDメモリもある。その場合、SPD記憶部130aが、16ビット分のデータ幅を用意する必要がある。

【0040】

図3(b)では、上記のような16ビットのデータ幅を有するSPDデータのデータ圧縮を図るため、SPD記憶部130bには、共通のSPDデータのうち、重複部分を排除してただ1つに選択された固有のSPDデータを格納する。このようなデータ圧縮は、同じ仕様のメモリモジュールを複数使うとき、チャンネル番号及びスロット番号が異なるだけで、同じSPDメモリアドレスに格納された同じSPDデータが読み出されるためより有用になる。

SPD記憶部130bの各アドレスに格納されるデータのフォーマット152は、SPDメモリ60に格納されるデータ本体のデータ幅を有する。このデータ本体は、例えば、16ビットである。

また、本実施形態では、SPD記憶部130bは、00～ffまでのアドレスがあるため、SPD記憶部130bのアドレス幅は、8ビットである。

【0041】

SPDポインタ記憶部136bでは、SPD記憶部130a同様に、SPDアドレス131bは、チャンネル番号、スロット番号、SPDメモリアドレスを有し、これらの組合せにより、メモリモジュール50のSPDデータを特定する。このSPDアドレス131bは、読み出し対象の全SPDデータがSPD記憶部130bでヒットするために、全SPDメモリ60の全てのSPDデータを特定するアドレスであることが好ましい。

SPDポインタ記憶部136bでは、SPDアドレス131bの各アドレスに格納されるデータのフォーマット153は、有効ビット(1ビット) + SPD記憶部130bのアドレス幅(8ビット)のデータ幅を有する。

【0042】

有効ポインタ記憶部134bは、SPDメモリ60から昇順で読み出されて、SPDデータの重複部分を排除してSPD記憶部130bにSPDアドレス昇順で格納されたエントリのうち最後尾のSPDアドレスを格納する。この最後尾のSPDアドレスは、有効ポインタは、SPDアドレス131bにおいて、昇順で数えてどの順番のSPDアドレスまでSPDデータが格納されたかを指示する。

なお、有効ポインタ記憶部134bは、SPD記憶部130bのアドレスを格納するためにSPD記憶部130bのアドレス幅と同じ8ビットのデータ幅を有する。有効ポインタは、SPD記憶部130bにSPDデータを登録するために利用される（後述）。

【0043】

テンポラルポインタ記憶部138bは、SPDデータの中で重複部分を排除してSPD記憶部130bに固有のSPDデータを選択する処理を行う上で、利用されるSPD記憶部130bのアドレスをテンポラルポインタとして格納する。ここで格納されるSPD記

10

20

30

40

50

憶部 130b のアドレスは、SPD 記憶部 130b に既に登録された SPD データに対応する SPD 記憶部 130b のアドレスである。このテンポラルポインタ記憶部 138b に格納アドレスをインクリメントしながら利用することで、既登録の SPD データと、SPD メモリ 60 内の SPD データとの照合処理を行うことができる。

また、テンポラルポインタ記憶部 138b は、SPD 記憶部 130b のアドレスを格納するために、SPD 記憶部 130b のアドレス幅と同じ 8 ビットのデータ幅を有する。

なお、テンポラルポインタ記憶部 138b に記憶された情報のより詳細な利用方法は、図 5 及び 6 において説明する。

【0044】

SPD メモリ 60 のデータ幅が 16 ビットのとき、図 3 (a) に示す SPD 記憶部 130a は、全 SPD アドレス 131a (チャンネル・スロット数 (4 ビット) × SPD メモリアドレス (256 ビット)) × データ幅 (1 ビット + 16 ビット) のメモリ空間を有する。

一方、図 3 (b) に示す SPD ポインタ記憶部 136b は、全 SPD アドレス 131a であるチャンネル・スロット数 (4 ビット) × SPD メモリアドレス (256 ビット) × データ幅 (9 ビット) のメモリ空間を有する。また、SPD 記憶部 130b は、SPD メモリアドレス (256 ビット) × データ幅 (16 ビット) のメモリ空間を有する。

この場合のデータ圧縮率は、下記式で示される。

図 3 (b) に示すメモリ容量 / 図 3 (a) に示すメモリ容量 = $(4 \times 256 \times 9 + 256 \times 16) / (4 \times 256 \times 17) = 0.76$

したがって、図 3 (b) に示すメモリ容量は、図 3 (a) に示すメモリ容量に対して約 23 ~ 24 % のデータ圧縮効果がある。また、この効果は、チャンネル及びスロット数の増加によりさらに大きくなる。例えば、チャンネル及びスロット数を 32 にして、32 個の同じメモリモジュールが搭載された場合について考えると、データ圧縮率は、下記式で示される。

【0045】

図 3 (b) に示すメモリ容量 / 図 3 (a) に示すメモリ容量 = $(32 \times 256 \times 9 + 256 \times 16) / (32 \times 256 \times 17) = 0.56$

図 3 (b) に示すメモリ容量は、図 3 (a) に示すメモリ容量に対して約 44 % のデータ圧縮効果がある。

また、SPD データは、そのデータが示す情報は異なっても、同じビット列となる場合がある。このような場合も、重複した SPD データは排除されて SPD 記憶部 130b に格納されるため、上記式では表されないデータ圧縮効果がある。

このように、本実施形態では、情報処理装置 1 に搭載される大量のメモリモジュール用の SPD データを圧縮して格納することができるため、SPD 記憶部 130 を小型化、低コスト化することができる。

【0046】

図 4 を用いて、SPD 記憶部 130a への SPD データの登録フローの一例を説明する。なお、図 4 に示された SPD データの登録フローは、図 2 で説明した情報処理装置 1 の起動に伴う SPD 読み出し処理 (S204 ~ S206) に行われても良いし、OS 又は FW の SPD 読み出しに対応する SPD データが SPD 記憶部 130 に無かった場合に行っても良い。

最初に、SPD 読み出しシーケンサ 122 は、SPD 読み書き制御部 124 に、リードコマンドと SPD アドレスを送出する。SPD 読み書き制御部 124 は、SPD 読み出しシーケンサ 122 から SPD アドレスを受信すると、まず、有効ポインタ記憶部 134a の内容を「-1」にリセットする (S301)。

SPD 読み書き制御部 124 は、SPD 記憶部 130a の内容を全て 0 にリセットする (S302)。例えば、チャンネル番号 = 0、スロット番号 = 0、SPD 内のオフセット = 0 に設定する。

【0047】

10

20

30

40

50

S P D読み出しシーケンサ122は、読み出し対象となるS P Dアドレスが、M A C 40に接続されている全てのS P Dメモリ60のS P Dアドレスの範囲内か否かを判断する(S 303)。S P Dアドレスは、最初の読み出しの場合、上記したように、チャンネル番号=0、スロット番号=0、S P D内のオフセット=0となる。また、S 303で判断されるS P Dメモリ60のS P Dアドレスの範囲は、例えば、チャンネル番号0~4、スロット番号0~1、S P Dメモリのメモリアドレス0~255である。

読み出し対象のS P DアドレスがS P Dアドレス範囲内の場合(S 303 Y e s)、S P D読み書き制御部124は、S P Dメモリ60からS P Dデータを読み出して、読み出したS P DデータをS P D読み出しレジスタ144に設定する(S 304)。読み出し対象のS P DアドレスがS P Dアドレス範囲内でない場合(S 303 N o)、全S P D範囲内のS P Dデータを読み出したと判断して、この処理フローを終了する。

10

S P D読み書き制御部124は、S P D読み出しレジスタ144に設定されたS P Dデータを、S P D記憶部130の該当するS P Dアドレス131aに格納する(S 305)。次に、S P D読み書き制御部124は、S P D記憶部130に格納したS P Dアドレスの先頭ビットを有効(オン)にし、有効ポインタ記憶部134aの有効データ数を1つインクリメントする(S 306)。

【0048】

S P D読み出しシーケンサ122は、有効ポインタ記憶部134aに格納した有効データ数が、S 303で取得したS P Dアドレス範囲内の最終S P Dアドレスに相当しないと判断する場合(S 307 N o)はS 308に進む。一方、有効ポインタ記憶部134aに格納した有効データ数がS P Dアドレス範囲内の最終S P Dアドレスに相当すると判断する場合(S 307 Y e s)、全S P D範囲内のS P Dデータを読み出したと判断して、フローを終了する。

20

S 308では、S P D読み書き制御部124は、読み出し対象のS P Dアドレスをインクリメントして、S 303に戻り、上記したステップS 303~S 307の処理を再度繰り返すことで、S P Dデータをさらに読み出す。

【0049】

図5及び6を用いて、S P D記憶部130bのS P Dデータの登録フローの一例を説明する。

図5の登録フローのS 301~S 303は、図4を用いて説明した登録フローS 301~S 303と同じ処理が行われる。

30

S 303に続き、S P D読み書き制御部124は、テンポラルポインタ記憶部138bを「0」にリセットする(S 401)。S P D読み書き制御部124は、受信したリードコマンドとS P Dアドレスに従ってS P Dメモリ60からS P Dデータを読み出し(S 402)、読み出したS P Dデータを、S P D読み出しレジスタ144に設定する(S 403)。

S P D読み出しシーケンサ122は、有効ポインタ記憶部134bと、テンポラルポインタ記憶部138bとを比較する(S 404)。有効ポインタ記憶部134bに設定された有効データ数が、テンポラルポインタ記憶部138bに設定されたデータ数以上の場合(S 404 N o)、新たにS P Dデータ記憶部130bにS P Dデータを登録するために、S 405に進む。一方、有効ポインタ記憶部134bに設定された有効データ数が、テンポラルポインタ記憶部138bに設定されたデータ数以下の場合(S 404 Y e s)、新たにS P Dポインタ記憶部136bにS P Dデータ記憶部130bのアドレスを登録するために、S 410に進む。

40

【0050】

S 405~S 409では、S P D読み書き制御部124によるS P Dポインタ記憶部136bへのS P D記憶部130bのアドレス登録処理が行われる。

【0051】

まず、S P D読み書き制御部124は、S P D記憶部130bの有効データ数が増加するため、有効ポインタ記憶部134bの有効ポインタがインクリメントする(S 405)

50

。

S P D 読み書き制御部 1 2 4 は、有効ポインタ記憶部 1 3 4 b の有効ポインタと同じ値をとる S P D 記憶部 1 3 0 b のアドレスに、S 4 0 2 で読み出した S P D データを登録する (S 4 0 6) 。有効ポインタ記憶部 1 3 4 b は、S P D 記憶部 1 3 0 b の有効データを指示するため、新たに S P D 記憶部 1 3 0 b に S P D データを登録するときは、S 4 0 5 でインクリメントされた有効ポインタが利用される。

次に、S 4 0 6 で新たに S P D データが登録されたため、登録された S P D データを指示する S P D 記憶部 1 3 0 b のアドレスを、S P D 読み書き制御部 1 2 4 は、S P D ポインタ記憶部 1 3 6 b に登録する (S 4 0 7) 。

S P D 読み出しシーケンサ 1 2 2 は、有効ポインタが、S P D 記憶部 1 3 0 b の最終アドレスより大きいかなんかを判断することにより、S P D アドレスが最終アドレスに達したかなんかを判断する (S 4 0 8) 。有効ポインタが最終アドレスより (S 4 0 8 Y e s) 、S P D 記憶部 1 3 0 b は全アドレスに S P D 情報が格納されているため、フローを終了する。有効ポインタが最終アドレスより小さい場合 (S 4 0 8 N o) 、まだ S P D 記憶部 1 3 0 b に S P D データを格納できるため、読み出し S P D アドレスをインクリメントして (S 4 0 9) 、S 3 0 3 に戻り再度処理を繰り返す。有効ポインタが最終アドレスと同じ場合 (S 4 0 8 Y e s) 、S P D アドレスが最終アドレスに達したと判断して、フロー処理を終了する。

【 0 0 5 2 】

S 4 1 0 では、テンポラルポインタ記憶部 1 3 8 b のテンポラルポインタが指示する S P D 記憶部 1 3 0 b の S P D データと、S 4 0 3 で S P D 読み出しレジスタ 1 4 4 に格納される S P D データが一致するか否かを判断する (S 4 1 0) 。一致する場合 (S 4 1 0 Y e s) は、有効ポインタ記憶部 1 3 6 b にテンポラルポインタを記録する (S 4 1 1) 。S 4 1 1 に続き、S 4 1 2 では、次の S P D アドレスについて処理をすすめるために、読み出し S P D アドレスをインクリメントする。一致しない場合 (S 4 1 0 N o) は、S P D データ登録部 1 3 0 b の次の有効データを参照するためにテンポラルポインタをインクリメントする (S 4 1 3) 。

【 0 0 5 3 】

図 7 を用いて、F W 又は O S からの読み出しによる S P D 記憶部 1 3 0 a からの S P D データの読み出しフローの一例を説明する。

最初に、S P D 受け渡し部 1 1 0 は、F W 又は O S からの読み出し要求と共にこの読み出し要求に含まれる読み出し対象の S P D アドレスを受信する (S 5 0 1) 。読み出し対象となる S P D アドレスは、特定のメモリモジュールの全 S P D アドレスや、全メモリモジュールの全 S P D アドレス等である。S P D 読み書き制御部 1 2 4 は、全 S P D アドレス 1 3 1 a を、S P D 記憶部 1 3 0 a から読み出す (S 5 0 2) 。

S P D 読み出しシーケンサは、S 5 0 1 で受信した読み出しアドレスが、S 5 0 2 で読み出した全 S P D アドレス 1 3 1 a の範囲内にあるかなんかを判断する (S 5 0 3) 。読み出し対象の S P D アドレスが、有効な S P D アドレス範囲内に無い場合 (S 5 0 3 N o) 、図 3 の S 3 0 4 ~ S 3 0 5 で説明したように S P D メモリ 6 0 から S P D 仕様情報を読み出す処理を実行して (S 5 0 6) 、読み出し対象の S P D アドレスにある S P D データを、S P D 記憶部 1 3 0 a 又は 1 3 0 b に格納し、S 5 0 4 に進む。

なお、このように F W 又は O S から受信した読み出し対象となる S P D データが、S P D 記憶部 1 3 0 a に無い状況は、図 2 で説明したようなプロセッサ初期化前の S P D データの読み出し処理を無効化したケースが該当する。S 5 0 3 及び S 5 0 6 はそのような場合の異常処理として機能し得る。

また、S 5 0 3 において有効な S P D アドレス範囲内にある場合 (S 5 0 3 Y e s) 、S 5 0 4 に進む。

【 0 0 5 4 】

S 5 0 4 では、読み出した S P D データが有効かなんかを判断する。なお、S P D 記憶部 1 3 0 a に「 - 1 」が入力されているため、その値に基づいて S P D データが有効かなんかを

を判断することができる。SPDデータが有効でない場合(S504 No)は、S507に進み再度SPDデータをSPDから取得する。なお、S507では、図3のS304~S305で説明したようにSPDメモリ60からSPD仕様情報を読み出す処理を実行する(S507)。読み出し処理終了後、S505に進む。SPDデータが有効である場合(S504 Yes)は、読み出したSPDデータをSPD受け渡し部110を介して要求元であるFW又はOSに戻して(S505)、SPDデータの読み出しフローを終了する。

【0055】

図8を用いて、FW又はOSからの読み出しによるSPD記憶部130bからのSPDデータの読み出しフローの一例を説明する。

10

最初に、SPD読み書き制御部124は、FW又はOSからの読み出し要求と共に読み出し要求に含まれる読み出し対象のSPDアドレスを受信する(S601)。SPD読み書き制御部124は、読み出し対象のSPDアドレスに格納されるポイントをSPD記憶部130aから読み出す(S602)。SPD読み書き制御部124は、読み出したポイントが有効か否かを判断する(S603)。言い換えれば、SPD読み書き制御部124は、SPDポイント記憶部136bの中で受信した読み出し対象のSPDアドレス131bのポイントの有効ビットが「1」か「0」かを判断する。有効ビットが「0」の場合は、当該データエントリにはSPD記憶部130bのアドレスが格納されない。ポイントが有効でない場合(S603 No)は、SPDデータのSPD記憶部130bへの登録処理が実行される。この処理では、SPD読み書き制御部124は、有効ポイント記憶部134bから有効ポイントを取得する(S606)。そして、図5のS303、S401~S413の処理を実行して、SPDメモリからSPDデータを読み出して、SPD記憶部130bにSPDデータを登録する(S607)。SPD読み出し処理終了後、S604に進む。

20

一方、S603で、ポイントが有効であると判断された場合(S603 Yes)は、SPDポイント記憶部136bに格納されるSPD記憶部130bのアドレスを参照して、SPD記憶部130bからSPDデータを読み出す(S604)。

SPD読み書き制御部124は、読み出したSPDデータを、SPD受け渡し部110を介して要求元であるFW又はOSに戻して(S605)、SPDデータの読み出しフローを終了する。

30

【0056】

以上述べた一実施形態は、以下の付記の通りである。

(付記1)

プロセッサ、メモリモジュール、及び該メモリモジュールの仕様を示す仕様情報を記憶する仕様情報記憶メモリに接続される制御装置であって、

前記制御装置への電源投入により、前記仕様情報記憶メモリから前記仕様情報を読み出す読み出し部と、

前記仕様情報記憶メモリから読み出された仕様情報を格納する記憶部と、

前記プロセッサから前記仕様情報の読み出し指示を受信して、前記記憶部に格納された前記仕様情報を前記プロセッサに受け渡す受け渡し部と、

40

を有することを特徴とする制御装置。

(付記2)

前記制御装置は、複数のメモリモジュールと、該複数のメモリモジュールにそれぞれ対応する複数の前記仕様情報記憶メモリとに接続され、

前記記憶部は、前記複数の仕様情報記憶メモリに格納される複数の前記仕様情報のうち、重複部分を取り除いた仕様情報を格納し、

前記制御装置は、前記記憶部のアドレスを指示するポイント情報を、前記メモリモジュールの位置情報と関連付けて格納するポイント記憶部をさらに有し、

前記SPD読み出し部は、読み出し対象となるメモリモジュールの位置情報を含む仕様情報の読み出し指示を受信して、該メモリモジュールの位置情報に関連付けられる前記ポ

50

インタ情報を前記ポインタ記憶部から取得し、且つ、該取得した前記ポインタ情報によって指示される前記記憶部のアドレスから、前記仕様情報を取得することを特徴とする、付記 1 に記載の制御装置。

(付記 3)

前記読み出し部は、前記仕様情報をバースト転送で前記プロセッサに受け渡すことを特徴とする、付記 1 又は 2 に記載の制御装置。

(付記 4)

プロセッサと、

メモリモジュールと、

制御装置と、を備え、

前記メモリモジュールは、

第一のメモリと、

前記メモリモジュールの仕様を示す仕様情報を記憶する第二のメモリとを有し、

前記制御装置は、

前記制御装置への電源投入により、前記第二のメモリから前記仕様情報を読み出す読み出し部と、

前記読み出し部が読みだした仕様情報を格納する記憶部と、

前記プロセッサからの読み出し指示を受信して、前記記憶部に格納された仕様情報を前記プロセッサに受け渡す受け渡し部と、

を有することを特徴とする情報処理装置。

(付記 5)

前記制御装置は、前記メモリモジュールへのアクセスを制御するメモリ制御装置であることを特徴とする、付記 4 に記載の情報処理装置。

(付記 6)

前記制御装置は、複数のメモリモジュールと、該複数のメモリモジュールにそれぞれ対応する複数の前記仕様情報記憶メモリとに接続され、

前記記憶部は、前記複数の仕様情報記憶メモリに格納される複数の前記仕様情報のうち、重複部分を取り除いた仕様情報を格納し、

前記制御装置は、前記記憶部のアドレスを指示するポインタ情報を、前記メモリモジュールの位置情報と関連付けて格納するポインタ記憶部をさらに有し、

前記 S P D 読み出し部は、読み出し対象となるメモリモジュールの位置情報を含む仕様情報の読み出し指示を受信して、該メモリモジュールの位置情報に関連付けられる前記ポインタ情報を前記ポインタ記憶部から取得し、且つ、該取得した前記ポインタ情報によって指示される前記記憶部のアドレスから、前記仕様情報を取得することを特徴とする、付記 4 又は 5 に記載の情報処理装置。

(付記 7)

前記読み出し部は、前記仕様情報をバースト転送で前記プロセッサに受け渡すことを特徴とする、付記 4 ~ 6 のいずれか 1 項に記載の情報処理装置。

(付記 8)

プロセッサ、メモリモジュール、及び該メモリモジュールの仕様を示す仕様情報を記憶する仕様情報記憶メモリに接続され、且つ記憶部を有する制御装置により前記プロセッサに前記メモリモジュールを認識させるメモリモジュール認識方法であって、

前記プロセッサが、前記制御装置への電源投入により、立ち上げ処理を開始し、

前記制御装置は、前記制御装置への電源投入により、前記仕様情報記憶メモリから前記仕様情報の読み出しを開始し、

前記制御装置は、前記仕様情報を前記記憶部に格納し、

前記制御装置は、前記立ち上げ処理を終了したプロセッサから前記仕様情報の読み出し指示を受信して、前記記憶部に格納された前記仕様情報を前記プロセッサに受け渡すことを特徴とするメモリモジュール認識方法。

(付記 9)

前記制御装置は、複数のメモリモジュールと、該複数のメモリモジュールにそれぞれ対応する複数の前記仕様情報記憶メモリとに接続され、且つ、ポインタ記憶部をさらに有すると共に、

前記複数の仕様情報記憶メモリに格納される複数の前記仕様情報のうち、重複部分を取り除いた仕様情報を前記記憶部に格納し、

前記記憶部のアドレスを指示するポインタ情報を、前記メモリモジュールの位置情報と関連付けて前記ポインタ記憶部に格納し、

読み出し対象となるメモリモジュールの位置情報を含む仕様情報の読み出し指示を受信して、該メモリモジュールの位置情報に関連付けられる前記ポインタ情報を前記ポインタ記憶部から取得し、且つ、該取得した前記ポインタ情報によって指示される前記記憶部のアドレスから、前記仕様情報を取得することを特徴とする、付記 8 に記載のメモリモジュール認識方法。

10

(付記 1 0)

前記仕様情報をバースト転送で前記プロセッサに受け渡すステップをさらに有することを特徴とする、付記 8 又は 9 に記載のメモリモジュール認識方法。

(付記 1 1)

前記制御装置は、複数のメモリモジュール及び前記プロセッサとシステムバスで接続され、

前記制御装置は、前記複数のメモリモジュールにそれぞれ対応する複数の前記仕様情報記憶メモリとシリアルバスで接続され、

20

前記仕様情報の読み出しを開始するステップは、前記シリアルバスを介して実行され、

前記仕様情報の受け渡しステップは、前記システムバスを介して実行されることを特徴とする、付記 8 ～ 1 0 のいずれか 1 項に記載のメモリモジュール認識方法。

【図面の簡単な説明】

【 0 0 5 7 】

【図 1】図 1 は、情報処理装置の構成の一例を示す図である。

【図 2】図 2 は、プロセッサの初期化と独立して行われる S P D 制御装置におけるメモリ認識処理のフローチャートである。

【図 3】図 3 は、S P D 記憶部の構成の一例を示す図である。

【図 4】図 4 は、S P D 記憶部 1 3 0 a への S P D データの登録フローの一例を示す図である。

30

【図 5】図 5 は、S P D 記憶部 1 3 0 b への S P D データの登録フローの一例を示す図である。

【図 6】図 6 は、S P D 記憶部 1 3 0 b への S P D データの登録フローの一例を示す図である。

【図 7】図 7 は、F W 又は O S からの読み出しによる S P D 記憶部 1 3 0 a からの S P D データの読み出しフローの一例を示す図である。

【図 8】図 8 は、F W 又は O S からの読み出しによる S P D 記憶部 1 3 0 b からの S P D データの読み出しフローの一例を示す図である。

【符号の説明】

40

【 0 0 5 8 】

1 情報処理装置

1 0 プロセッサ

4 0 M A C

4 2 P R S

5 0 メモリモジュール

6 0 S P D メモリ

1 0 0 S P D 制御装置

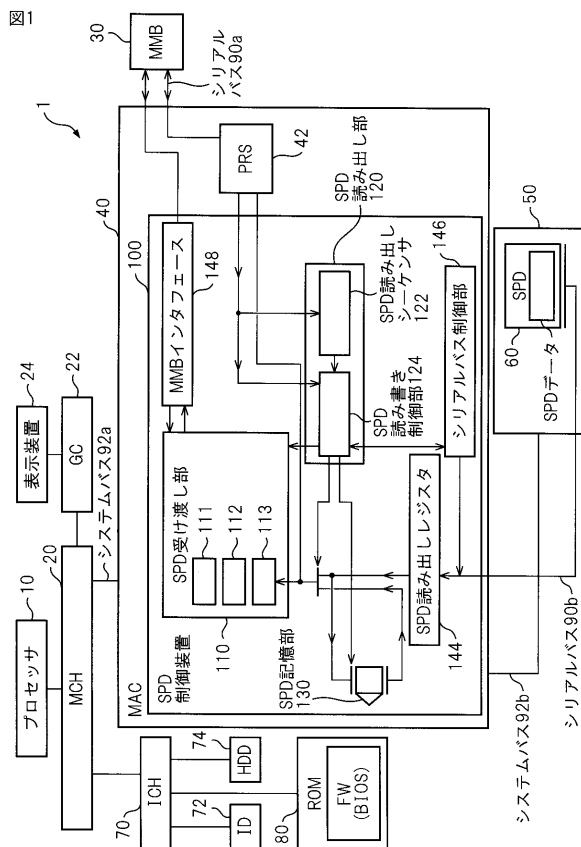
1 1 0 S P D 受け渡し部

1 2 0 S P D 読み出し部

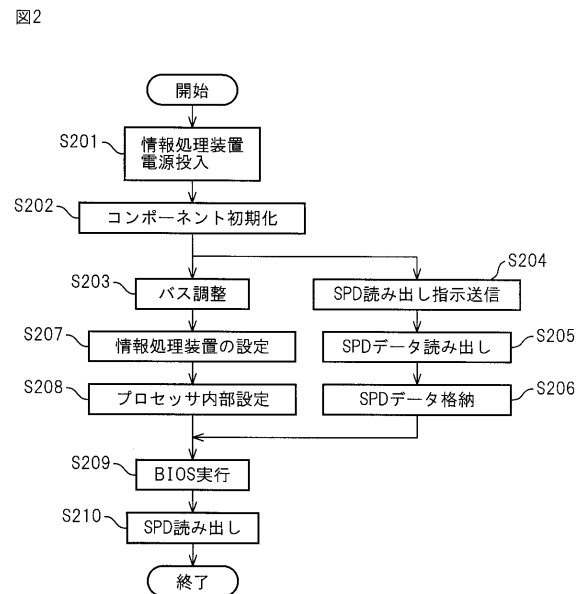
50

1 2 2 S P D 読み出しシーケンサ
1 2 4 S P D 読み出しレジスタ
1 3 0、1 3 0 a、1 3 0 b S P D 記憶部

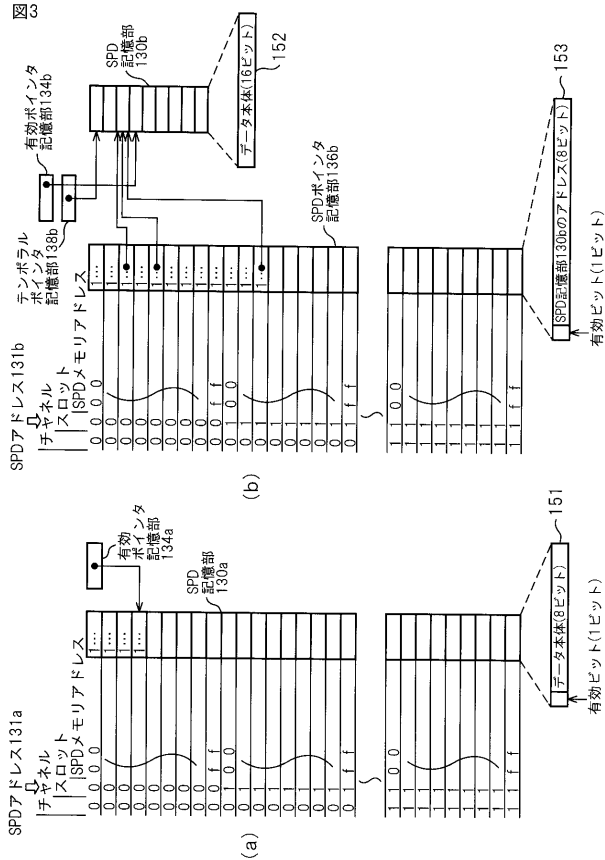
【 図 1 】



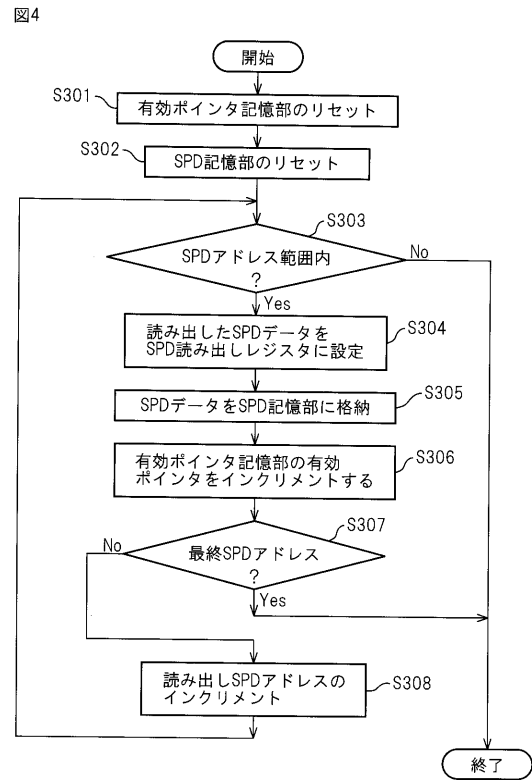
【 図 2 】



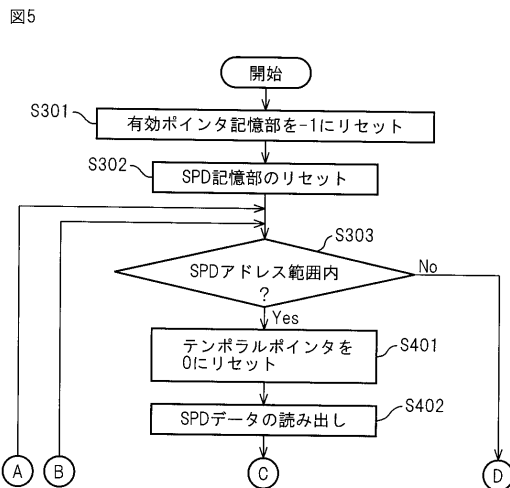
【図 3】



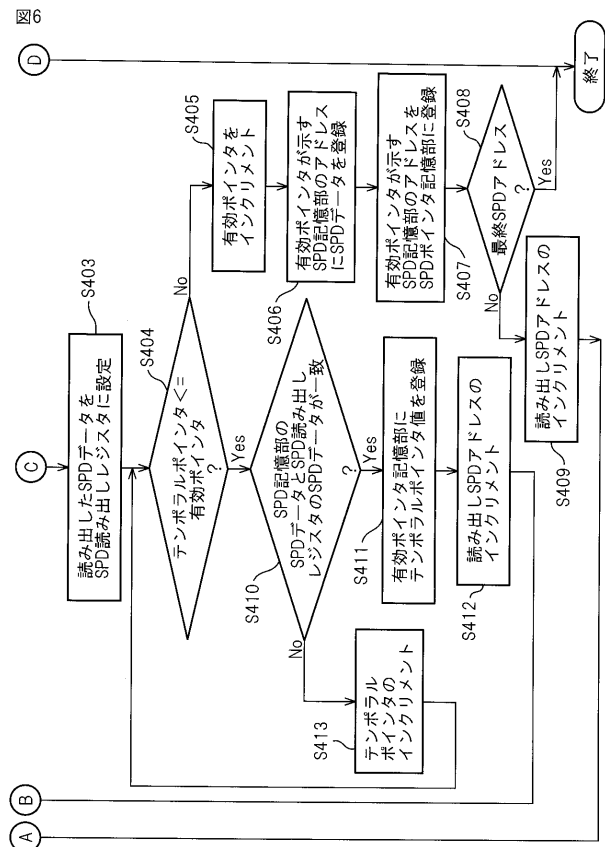
【図 4】



【図 5】

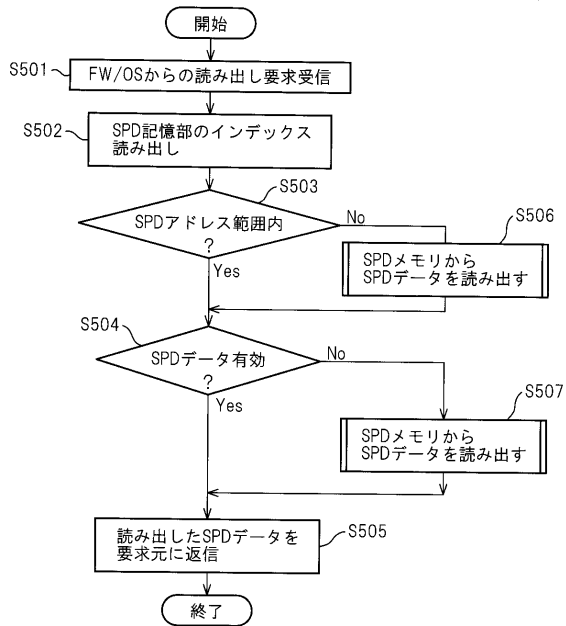


【図 6】



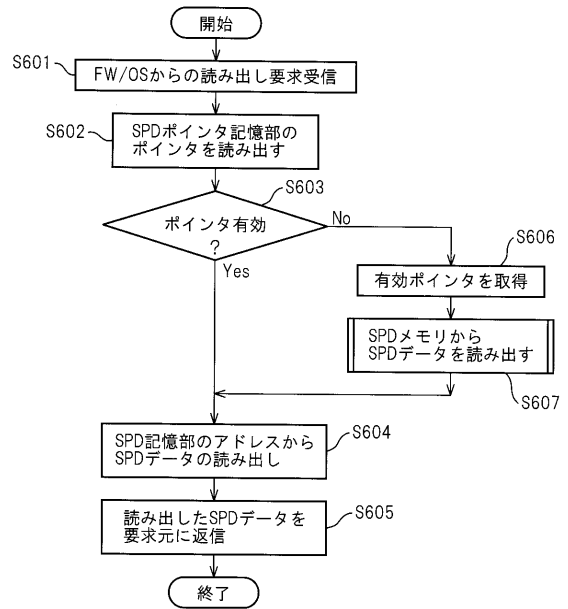
【図 7】

図7



【図 8】

図8



フロントページの続き

(74)代理人 100114177

弁理士 小林 龍

(72)発明者 田島 啓介

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(72)発明者 小熊 幸雄

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

Fターム(参考) 5B060 MM06