

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

H01L 21/82



[12] 发明专利申请公开说明书

[21] 申请号 200410057840.8

H01L 21/8238 H01L 21/84
H01L 21/336 H01L 29/04
H01L 29/78 H01L 27/092
H01L 27/12

[43] 公开日 2005 年 3 月 9 日

[11] 公开号 CN 1591826A

[22] 申请日 2004.8.19

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所
代理人 付建军

[21] 申请号 200410057840.8

[30] 优先权

[32] 2003.8.25 [33] US [31] 10/647,395

[71] 申请人 国际商业机器公司

地址 美国纽约

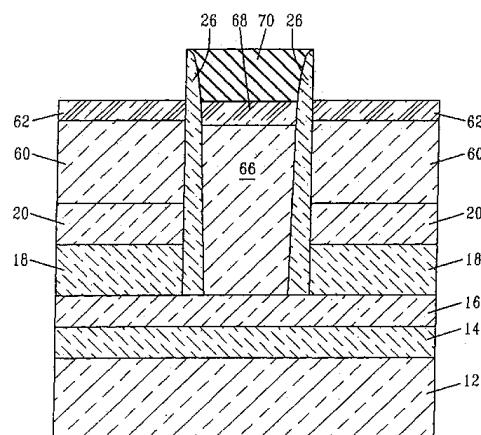
[72] 发明人 杨美基 杨 敏

权利要求书 5 页 说明书 12 页 附图 11 页

[54] 发明名称 集成半导体结构和应变绝缘硅的制
造方法及应变绝缘硅

[57] 摘要

本发明提供在具有不同晶体取向的 SOI 衬底上形成的集成半导体器件，从而为特殊器件提供最佳性能。特别是，提供一种包括至少一个 SOI 衬底的集成半导体结构，SOI 衬底具有第一晶体取向的顶部半导体层以及具有第二晶体取向的半导体材料，其中半导体材料与顶部半导体层基本共面并且与其厚度基本相同，并且第一晶体取向与第二晶体取向不同。SOI 衬底是通过在一个结构中形成孔而形成的，该结构包括具有不同晶体取向的至少一个第一半导体层和第二半导体层。半导体材料是在孔中外延生长的，接着使用不同刻蚀和深刻蚀加工步骤形成 SOI 衬底。



I S S N 1 0 0 8 - 4 2 7 4

1. 一种集成半导体结构的制造方法，包括：

提供一种包括载体晶片和至少一个薄膜堆层的结构，其中所述薄膜堆层包括具有第一晶体取向的第一半导体层以及位于所述第一半导体层上面的、具有第二晶体取向的第二半导体层，所述第一晶体取向与所述第二晶体取向不同；

在该结构上形成至少一个孔，使所述第一半导体层的表面暴露；

在所述至少一个孔中，在所述第一半导体层的暴露表面上形成半导体材料，所述半导体材料具有与所述第一半导体层相同的晶体取向；

在该结构上形成绝缘体层，将所述绝缘体结合在处理晶片上；

选择性地去除所述载体晶片和所述第一半导体层，以使所述半导体材料的表面部分暴露；以及

深刻蚀半导体材料的表面部分，从而提供一种结构，其中具有第一晶体取向的深刻蚀的半导体材料与第二半导体层基本共面并且与第二半导体层的厚度基本相同。

2. 如权利要求1所述的方法，其特征在于在所述载体晶片与所述第一半导体层之间形成选择性刻蚀阻挡层。

3. 如权利要求1所述的方法，其特征在于所述载体晶片和所述第一半导体晶片是硅绝缘体衬底的组成部分，所述硅绝缘体衬底是通过离子注入氧工艺的分离形成的。

4. 如权利要求1所述的方法，其中还包括在所述第一半导体层和所述第二半导体层之间形成绝缘体。

5. 如权利要求1所述的方法，其特征在于通过将第二半导体层结合到第一半导体层上形成该结构。

6. 如权利要求5所述的方法，其特征在于所述结合包括在惰性环境中、在约200℃到约1300℃的温度下执行的加热步骤。

7. 如权利要求1所述的方法，其特征在于所述至少一个孔以下述方式形成：利用沉积和平版印刷在所述第二半导体层上形成有图案掩模层，以及刻蚀。

8. 如权利要求7所述的方法，其中还包括在形成所述有图案掩模层之前形成垫层。

9. 如权利要求1所述的方法，其特征在于所述至少一个孔还包括位于其侧壁上的间隔。

10. 如权利要求1所述的方法，其特征在于所述半导体材料是通过外延生长工艺形成的。

11. 如权利要求1所述的方法，其特征在于所述深刻蚀包括反应离子刻蚀工艺。

12. 如权利要求1所述的方法，其中还包括在所述结构上形成至少一个pFET和至少一个nFET。

13. 如权利要求12所述的方法，其特征在于所述至少一个pFET位于（110）晶面，而所述至少一个nFET位于（100）晶面。

14. 如权利要求1所述的方法，其特征在于所述第二半导体层具有（110）晶面取向，并且所述半导体材料具有（100）晶面取向。

15. 如权利要求14所述的方法，其中还包括在(110)晶面上形成至少一个pFET，在(100)晶面上形成至少一个nFET。

16. 一种应变绝缘硅的制造方法，包括：

提供一种结构，该结构包括载体晶片；至少一个薄膜堆层，其中所述薄膜堆层包括具有第一晶体取向的第一半导体层以及位于所述第一半导体层上面的、具有第二晶体取向的第二半导体层，所述第一晶体取向与所述第二晶体取向不同；和位于所述第二半导体层顶部的第一分级SiGe合金层以及位于所述第一分级SiGe合金层上的第一应变Si层；

在该结构上形成至少一个孔，使所述第一半导体层的表面暴露；

在所述至少一个孔中，在所述第一半导体层的暴露表面上形成第二分级SiGe合金层以及在所述第二分级SiGe合金层上的第二应变Si层，所述第一和第二应变Si层具有不同的晶体取向；

在该结构上形成绝缘体层，将所述绝缘体结合在处理晶片上；

选择性去除所述载体晶片、所述第一半导体层和所述第二半导体层，以使所述第二分级SiGe合金层暴露；以及

去除所述第二分级SiGe合金层和所述第一分级SiGe合金层，从而提供一种结构，其中所述第一应变Si层与所述第二应变Si层基本共面，并且与所述第二应变Si层具有基本相同的厚度。

17. 一种应变绝缘硅的制造方法，包括：

提供一种平面结构，该平面结构包括载体晶片；至少一个薄膜堆层，其中所述薄膜堆层包括具有第一晶体取向的第一半导体层以及位于所述第一半导体层上面的、具有第二晶体取向的第二半导体层，所述第一晶体取向与所述第二晶体取向不同；以及延伸到所述第一半导体层的孔，所述孔具有第二分级SiGe合金层，第二应变Si层和掩模帽；

紧靠所述至少一个孔在所述第二半导体材料上形成第一分级SiGe合金层以及位于所述第一分级SiGe合金层上的第一应变Si层，所

述第一和第二应变Si层具有不同的晶体取向；

在该结构上形成绝缘体层，将所述绝缘体结合在一处理晶片上；

选择性去除所述载体晶片、所述第一半导体层和所述第二半导体层以及所述第一分级SiGe合金层和所述第二分级SiGe合金层，从而提供一种结构，其中所述第一应变Si层与所述第二应变Si层基本共面，并与所述第二应变Si层的厚度基本相同。

18. 一种应变绝缘硅（SSDOI），包括至少一个SOI衬底，所述SOI衬底包括第一晶体取向的第一应变Si层和第二晶体取向的第二应变Si层，其特征在于所述第二应变Si层与所述第一应变Si层基本共面，并与所述第一应变Si层的厚度基本相同，并且所述第一晶体取向与所述第二晶体取向不同。

19. 如权利要求18所述的SSDOI，其特征在于所述第一应变Si层具有（110）晶面取向，所述第二应变Si层具有（100）晶面取向。

20. 如权利要求19所述的集成半导体结构，其中还包括位于（110）晶面取向的至少一个pFET，位于（100）晶面取向的至少一个nFET。

21. 如权利要求18所述的集成半导体结构，其特征在于所述第一应变Si层具有（100）晶面取向，所述第二应变Si层具有（110）晶面取向。

22. 如权利要求21所述的集成半导体结构，其中还包括位于（110）晶面取向的至少一个pFET，位于（100）晶面取向的至少一个nFET。

23. 如权利要求18所述的集成半导体结构，其中还包括至少一个pFET和至少一个nFET，每个器件或者位于所述第一应变Si层或者位于所述第二应变Si层，所述位置取决于晶体取向。

24. 如权利要求23所述的集成半导体结构，其特征在于至少一个pFET位于(110)或(111)晶体取向上，而至少一个nFET位于(100)或(111)晶体取向上。

集成半导体结构和应变绝缘硅 的制造方法及应变绝缘硅

技术领域

本发明涉及数字或模拟应用的高性能金属氧化物半导体场效应晶体管（MOSFET），更具体地涉及利用由衬底表面取向增强载流子迁移率的MOSFET。

背景技术

在目前的半导体技术中，互补金属氧化物半导体（CMOS）器件，例如nFET（即，n沟道MOSFET）或pFET（即，p沟道MOSFET），通常是在具有单一晶体取向的例如Si的半导体晶片上制造的。特别是，今天的大多数半导体器件是用具有（100）晶体取向的Si制造的。

已知的是，电子在（100）Si表面取向具有高迁移率，空穴在（110）表面取向具有高迁移率。即，空穴在（100）Si上的迁移率数值大约比相应的电子空穴在此晶体取向的迁移率低2-4倍。为了补偿这个差异，pFET通常设计成较大的宽度，用以平衡上拉（pull-up）电流与nFET的下拉（pull-down）电流，并达到均匀的电路切换。宽度较大的pFET是不希望的，因为它们占据了大量的芯片面积。另一方面，（110）Si上的空穴迁移率比（100）Si上的高2倍。因此，在（110）表面上形成的pFET，其驱动电流明显高于（100）表面上形成的pFET。不幸的是，与（100）Si表面相比，（110）Si表面上的电子迁移率明显下降。

由上面的描述可以得出，由于优秀的空穴迁移率，（110）Si表面对于pFET是最佳的，而这样的晶体取向完全不适于nFET器件。相反，（100）Si表面对于nFET是最佳的，因为其晶体取向适合电子迁移。

考虑到上述问题，需要提供在具有不同晶体取向的衬底上形成的

集成半导体器件，以便为特殊器件提供最佳性能。还需要提供一种形成这种集成半导体器件的方法，其中nFET和pFET形成在具有不同晶体取向的硅绝缘体（silicon-on-insulator）衬底上，并且制造有器件的半导体层大致是共面的，并具有基本相同的厚度。

发明内容

本发明的一个目的是提供一种制造集成半导体器件的方法，使不同类型的CMOS器件形成在硅绝缘体（SOI）衬底的可增强每个器件的性能的特定晶体取向上。

本发明的另一个目的是提供一种制造集成半导体器件的方法，使pFET位于（110）晶面，而nFET位于相同SOI衬底的（100）晶面。

本发明的再一个目的是提供一种利用简单和容易的处理步骤将SOI技术与CMOS技术集成的方法。

本发明的又一个目的是提供一种制造集成半导体结构的方法，其中两种CMOS器件，即pFET和nFET，是SOI类的。

本发明的又一个目的是提供一种制造集成半导体结构的方法，集成半导体结构包括具有不同晶体取向的SOI衬底，其中制造有器件的半导体层基本共面并具有基本相同的厚度。

为了达到上述目的，本发明方法开始首先提供一种包括载体晶片和薄膜堆层的结构，其中至少包括第一晶体取向的第一半导体层以及在上面的第二晶体取向的第二半导体层，第二晶体取向与第一晶体取向不同。此提供步骤包括，形成包括第一半导体层和载体晶片的衬底，接着在第一半导体层上至少结合第二半导体层。

接着，在上述结构中形成一个孔，即沟槽，使一部分第一半导体层暴露。在第一半导体层的暴露表面上在孔中外延生长与第一半导体层晶体取向相同的半导体材料。在形成半导体材料之前，通常在孔的暴露侧壁上形成间隔。在结构上形成绝缘体层，将处理晶片结合在绝缘体层上。将得到的结构顶和底翻转，并去除载体晶片，使第一半导体层暴露。接着去除暴露的第一半导体层，深刻蚀（etch back）一部

分先前生长的半导体层，从而提供一种结构，其中具有第一晶体取向的半导体材料与第二半导体层基本共面并且与第二半导体层的厚度基本相同。

接着，根据层的表面取向，可以在第二半导体层或半导体材料上形成至少一个nFET和至少一个pFET。两种CMOS器件，即nFET和pFET，是SOI类器件，因为它们形成在SOI层上，即第二半导体层或重新生长的半导体材料，SOI层通过绝缘体层与处理晶片分开。

本发明还提供一种在晶片上制造均匀应变绝缘硅（SSDOI, strained-silicon-direct-on-insulator）结构，其中该SSDOI具有用于nFET和pFET的不同晶体取向。制造SSDOI结构是使用与上述步骤相似的处理步骤。在SSDOI实施例中，使用分级SiGe合金层和应变Si层。

附图说明

图1是表示初始结构的图（剖视图），其中具有第一晶体取向的第一半导体层形成在包括选择性刻蚀阻挡层的载体晶片上；

图2是表示通过晶片结合在图1衬底上形成的第二半导体层的图（剖视图），其中第二半导体层具有与第一晶体取向不同的第二晶体取向；

图3是表示通过孔从第一半导体层选择生长的半导体材料的图（剖视图），其中第二半导体层和孔的侧壁被掩模材料覆盖；

图4是表示在表面平面化并且半导体材料生长过程中所用的掩模层去除之后的图3结构的图（剖视图）；

图5是表示在沉积绝缘体层并结合了处理晶片后形成的结构的图（剖视图）；

图6是表示在晶片翻转以及晶片载体和选择性刻蚀阻挡层去除后的结构的图（剖视图）；

图7是表示在原始结构的第一半导体层去除后以及将半导体材料深刻蚀到与第二半导体层相平之后的结构的图（剖视图）；

图8是表示在通过去除选择绝缘体层将表面平面化后以及将间隔

刻蚀之后的结构的图（剖视图）；

图9是表示本发明最终结构的图（剖视图），其中包括位于不同晶体取向表面上的nFET和pFET，但具有相同的厚度；

图10是表示生长在特定晶体取向的半导体层上的分级SiGe缓冲层和应变Si层的图（剖视图）；

图11是表示生长在特定晶体取向的半导体层上的分级SiGe缓冲层和应变Si层的图（剖视图），其中的晶体取向与图10半导体层的晶体取向不同；

图12是表示翻转结合图10和11的结构与硅处理晶片，以及去除原始载体晶片、选择性刻蚀阻挡层和第一半导体层之后的结构的图（剖视图）；

图13是表示去除选择绝缘体层和第二半导体层之后的结构的图（剖视图）；

图14是表示去除分级SiGe缓冲层后以及间隔凹下后的结构的图（剖视图）；

图15是表示在应变硅顶部形成的掩模帽之后的结构的图（剖视图）；

图16是表示在形成图案衬底上选择生长第二分级SiGe缓冲层和应变硅层之后的结构的图（剖视图）。

具体实施方式

本发明提供一种在整个晶片上形成厚度与顶部SOI层相同的SOI结构的方法，其中一些区域含有与其它区域不同的晶体取向和/或材料。下面参考本发明后面的附图详细描述本发明。在附图中，相似和对应的部分用相似的参考数字表示。

参看图1，表示本发明中使用的初始衬底10。初始衬底10包括载体晶片12，载体晶片12上的选择性刻蚀阻挡层14，以及在选择性刻蚀阻挡层14上的具有第一晶体取向的第一半导体层16。在没有选择性刻蚀阻挡层14的实施例中，第一半导体层16直接位于载体晶片12上。

载体晶片12由任意的半导体材料制成，包括，例如，Si、SiC、SiGe、SiGeC、Ge合金、GaAs、InAs、InP以及其它的III/V或II/VI化合物半导体。载体晶片的厚度和晶体取向在本发明中是无关紧要的。

选择性刻蚀阻挡层14可以包括绝缘材料，例如氧化物、氮化物、氮氧化物或它们的任何组合，或者，在一些实施例中，选择性刻蚀阻挡层14可以是半导体材料。刻蚀阻挡层14是选择性的，只要可以从第一半导体层16上选择性地去除载体晶片12。选择性刻蚀阻挡层14的厚度可以根据其形成时所用的材料和技术而改变。但通常选择性刻蚀阻挡层14的厚度为100到1000nm。选择性刻蚀阻挡层14可以通过沉积工艺形成，包括，例如，化学气相沉积（CVD）、等离子增强化学气相沉积（PECVD）、物理气相沉积（PVD），或者通过外延生长法，或离子注入和退火。

第一半导体层16由任意的半导体材料制成，包括，例如，Si、SiC、SiGe、SiGeC、Ge合金、GaAs、InAs、InP以及其它的III/V或II/VI化合物半导体。在通过离子注入和退火形成选择性刻蚀阻挡层14的实施例中，第一半导体层16是硅绝缘体结构的SOI层。第一半导体层16具有第一晶体取向，优选的是（100）。虽然（100）晶体取向是优选的，但第一半导体层16可以具有（111）或（110）晶体取向。

第一半导体层16的厚度可以根据其制造所用的技术而改变。但通常第一半导体层16的厚度为5到500nm，更优选的厚度为5到100nm。

图1所示的初始衬底10是使用本领域的一般技术人员公知的传统工艺生产的。例如，初始衬底10可以用各种沉积技术形成，其中层14和16生长或沉积在载体晶片12的表面上。另外，初始衬底10可以使用通过氧离子注入的分离工艺或晶片结合（SIMOX）以及通过使用智能切割减薄或其它相关减薄工艺而形成。当使用SIMOX时，氧离子首先注入到载体晶片中，接着通过退火形成埋入的氧化物区。在晶片结合的情况下，载体晶片12可以是能与第一半导体层16结合并且此后经历随后高温过程的任何材料。

接着，在图1所示的结构上施加第二半导体层20，第二半导体层

20具有与第一半导体层16的第一晶体取向不同的第二晶体取向。第二半导体层20可以直接在第一半导体层16的顶部形成，或如图2所示，可以在第一半导体层16与第二半导体层20之间形成绝缘体18。如果两个半导体层，即层16和20能直接结合在彼此的顶部并且在随后步骤中选择性地从彼此上去除，则绝缘体18是选择性的。

利用热结合工艺以及随后的选择减薄工艺形成具有或没有选择性绝缘体18的结构。结合的实现是通过首先将两个晶片彼此紧密接触；选择性地对接触的晶片施加外力；接着在能使两个晶片结合在一起的条件下加热两个接触的晶片。用于制造图2所示的结合结构的两个晶片可以包括两个SOI晶片，其中一个晶片包括第二半导体层20，另一个晶片，如图1所示，包括第一半导体层16；一个SOI晶片和一个块状半导体晶片；两个块状半导体晶片，其中至少一个晶片中含有绝缘层18；或者一个SOI晶片和一个块状晶片，块状晶片包括离子注入区，例如H₂注入区，可以用于在结合过程中分离至少一个晶片的一部分。本发明也设计使用两个块状晶片，其中一个晶片中具有注入的H₂。

结合工艺的加热步骤可以在有或没有外力的条件下进行。加热步骤通常在惰性环境中在温度为600℃到1300℃进行大约2到大约20小时。更优选的，结合是在900℃到1200℃下进行约2到约20小时。术语“惰性环境”在本发明中用于表示使用惰性气体的气氛，例如He、Ar、N₂、Xe、Kr或者它们的混合物。在结合过程中使用的优选环境是N₂。在使用氢气注入的实施例中，在上述加热步骤之前可以使用在温度为约200到约500℃下进行的初始加热步骤。

在使用两个SOI晶片的实施例中，可以在结合之后使用平面化工艺，例如化学机械抛光（CMP）或研磨和刻蚀，去除至少一个SOI晶片的一些材料层。

在其中一个晶片包括离子注入区的实施例中，离子注入区在结合过程中形成多孔区，这将导致离子注入区上面的一部分晶片脱落，留下结合的晶片，例如，如图2所示。注入区通常包括氢离子，氢离子是在本领域一般技术人员公知的离子注入条件下注入晶片表面的。

选择性绝缘体18，如果存在，可以具有不同的厚度，但通常选择性绝缘体18的厚度大约为100到1000nm。至于第二半导体层20，此层的厚度根据其来源也可以改变。但通常第二半导体层20的厚度大约为10到500nm，更优选的厚度大约为20到100nm。如上所述，第二半导体层20的第二晶体取向与第一半导体层16的晶体取向不同。第二半导体层20优选地具有(110)晶体取向。虽然(110)晶体取向是优选的，但第二半导体层20可以具有(111)或(100)晶体取向，这取决于第一半导体层16的晶体取向。

在得到图2所示的结合结构后，通过孔25可以选择性地在第一半导体层16的暴露底面上形成半导体材料层28。包括半导体材料层28的结构如图3所示。除了半导体材料层28外，图3所示的结构也包括选择性垫层22、有图案的掩模层24以及间隔26。

图3所示的结构是通过热工艺（如氧化），或传统沉积工艺（如化学气相沉积(CVD)、等离子增强CVD、原子层沉积、化学溶液沉积以及其他类似的沉积工艺），在第二半导体层20的表面上选择性地形成垫层22而形成的。选择性垫层22由绝缘材料构成，包括氧化物、氮化物、氮氧化物或它们的任何组合。选择性垫层22可以具有不同的厚度，这取决于其形成时所用的技术。选择性垫层22在随后的有图案掩模层24的去除过程中作为刻蚀层。

接着，在结合结构的预定部分上形成有图案掩模层24，用于保护一部分（或多部分）结构，而留下结合结构的至少一个其它部分未被保护。结合结构的被保护部分限定了结构的第一器件区，未被保护的部分限定了该结构的第二器件区。有图案掩模层24是利用平版印刷和刻蚀而形成和构图的氮化物或氧氮化物。

在具有或没有选择性垫层22的结合结构上形成有图案掩模层24后，该结构经历一个或多个刻蚀步骤，用于提供暴露第一半导体层16的表面的至少一个孔（或沟槽）25。具体地，在本发明此时使用的一个或多个刻蚀步骤，去除选择性垫层22的未保护部分，以及第二半导体层20的下面部分，以及一部分绝缘体18，如果存在。

刻蚀可以使用单一的刻蚀过程，或者可以使用多个刻蚀步骤。本发明此时使用的刻蚀可以包括干刻蚀工艺，如反应离子刻蚀、离子束刻蚀、等离子刻蚀或激光刻蚀，使用化学刻蚀剂的湿刻蚀工艺，或者它们的组合。刻蚀可以终止于第一半导体层16的上表面，或者可以终止在第一半导体层16的上表面稍微下方的区域。在本发明优选的实施例中，反应离子刻蚀（RIE）用于选择性地去除选择性垫层22、第二半导体层20以及选择性绝缘体18如果存在未保护部分。

孔25在刻蚀后具有暴露的侧壁，包括剩余的选择性垫层22、剩余的第二半导体层20、剩余的选择性绝缘体18以及剩余的第一半导体层16。层22、20和18的暴露侧壁与有图案掩模层24的最外边缘对齐。

随着有图案掩模层24形成到位，在至少一个孔25的每个暴露侧壁上形成间隔26。间隔26是通过沉积和刻蚀形成的，是由绝缘材料构成的，例如氧化物。在本发明中使用的间隔26作为选择性外延生长阻挡掩模，阻挡从暴露在刻蚀侧壁上的第二半导体层20上外延生长，以保证在外延生长之后刻蚀区的高质量单晶晶体。

形成间隔26后，在第一半导体层16的暴露表面上选择性地形成半导体材料28，得到例如图3所示的结构。根据本发明，半导体材料28的晶体取向与第一半导体层16的晶体取向相同。

半导体材料28可以包括任何含Si半导体，如Si、应变Si、SiGe、SiC、SiGeC或它们的组合，并且能利用选择性外延生长方法形成。在一些优选实施例中，半导体材料28包括Si。在本发明中，半导体材料28可以指再生长半导体材料。通过外延工艺形成的半导体材料28，可以长到高于有图案掩模层24的上表面，然后抛光回到有图案掩模层24的上表面，用以去除任何可能的小面生长。半导体材料28的上表面可以凹下，用以随后再与第二半导体层20的上表面基本平齐。这个凹下的形成可以利用反应离子刻蚀工艺。注意，半导体材料28可以是与第一半导体层16不同的材料。因此，例如，可以在Si层上生长SiGe合金。

在提供，例如，图3所示的结构后，从结构上去除有图案掩模层24以及选择性垫层22，以便获得例如图4所示的结构。注意，每个沟槽

侧壁上的间隔26可以比半导体层28和20的表面略低。去除有图案掩模层24是利用刻蚀工艺或化学机械抛光(CMP)工艺。如果存在，此后使用刻蚀工艺去除选择性垫层22，此刻蚀工艺选择性地去除垫层22，而不去除半导体材料。

绝缘体层30是在图4所示结构上形成的，此后将得到的结构结合在处理晶片32上，从而得到，例如，图5所示的结构。绝缘体层30可以包括氧化物、氮化物、氮氧化物或它们的任何组合。优选地，绝缘体层30是氧化物，如 SiO_2 。绝缘体层30可以通过沉积形成，或者可以选择的是，可以使用热生长工艺。绝缘体层30的厚度可以变化，但通常绝缘体层30的厚度约为100到500nm。在某些情况下，在绝缘体层30形成后必须对其抛光，以保证晶片结合的平表面。

处理晶片32可以包括与载体晶片12相同或不同的半导体材料。结合是通过使用上述的结合工艺而实现的。处理晶片32的厚度在本发明中是无关紧要的。

接着，将图5所示的结合结构上下翻转，从而载体晶片12处于顶部，而处理晶片32处于底部。去除载体晶片12以及，如果存在，选择性刻蚀阻挡层14，得到例如图6所示的结构。在图6中，在翻转和去除载体晶片12以及选择性刻蚀阻挡层14后，露出第一半导体层16的表面。实现上述去除是利用一个或多个刻蚀步骤、平面化或它们的组合。

下面参看图7，表示从图6所示结构上去除第一半导体层16后形成的结构。去除第一半导体层16是利用刻蚀工艺，例如反应离子刻蚀、离子束刻蚀或等离子刻蚀。通过反应离子刻蚀工艺刻蚀再生长半导体材料28，从而使其与第二半导体层20的上表面平齐。

接着，如果存在，去除选择性绝缘体18，间隔26凹下到半导体材料20和28的表面之下，得到例如图8所示的结构。选择性绝缘体18的去除以及间隔26的凹下是通过相同或不同的刻蚀工艺实现的。

注意，在图8中，表示出标记为100的第一器件区和标记为102的第二器件区。第一器件区包括第二半导体层20，而第二器件区102包括再生长半导体材料28。两个有源区都是SOI区，因为绝缘层30将有源

区与处理晶片32分开。如图所示，图8的结构具有再生长半导体材料28，再生长半导体材料28与第二半导体层20基本共面并且与其厚度完全相同。再生长半导体材料28具有与第二半导体层20不同的晶体取向。

在形成非常平的表面后，通常形成隔离区34，例如浅沟槽隔离区，从而将第一半导体器件区100与第二半导体器件区102隔开。隔离区34替代间隔26。在本发明的一些实施例中，间隔26用作隔离区34。利用处理步骤在间隔存在的区域形成隔离区34，这些处理步骤是本领域一般技术人员公知的，包括，例如，沟槽限定和刻蚀；用扩散阻挡层选择性地为沟槽加衬；以及使用诸如氧化物的沟槽电介质填充沟槽。在沟槽填充后，可以对该结构平面化，并且可以执行选择性的致密化过程，使沟槽电介质致密化。

所得到的、含有隔离区34的非常平的结构，例如，如图9所示。图中还表示了集成结构，这种结构是在一部分第二半导体层20上形成第一半导体器件50以及在再生长半导体材料28上形成第二半导体器件52之后形成的。虽然图中每个器件区仅存在一个半导体器件，本发明还可设计成在特定器件区形成多个每种类型的器件。半导体器件包括栅电介质54、栅导体56和栅间隔58。图中也示出了源/漏区，但没有分别标记。半导体器件的形成是利用本领域一般技术人员公知的CMOS加工步骤。半导体器件可以是nFET或pFET，nFET优选地形成在具有(100)晶面的半导体层的顶部上，而pFET优选地形成在具有(110)晶体取向的半导体层的顶部上。

除了上述实施例外，本发明还设计成其它的实施例，其中形成nFET和pFET在不同晶体取向上的应变绝缘硅(SSDOI)结构，并且在整个晶片上的SOI厚度相同。下面的描述解释本发明如何形成SSDOI结构。

在本发明的这个实施例中，首先利用上述的加工技术形成图2所示的结构。总之，图2所示的结构包括载体晶片12、选择性刻蚀阻挡层14、第一半导体层16、选择性绝缘体层18以及第二半导体层20。

在形成图2所示的结构后，在第二半导体层20的顶面形成第一分

级SiGe合金层60。第一分级SiGe合金层60的形成是利用外延生长方法。第一分级SiGe合金层60的厚度可以根据外延生长工艺过程中所用的条件以及Ge浓度而改变。但是，第一分级SiGe合金层60的厚度通常是约100nm到约2000nm。第一分级SiGe合金层的Ge含量通常是0到50%（原子百分数）。

在形成第一分级SiGe合金层60之后，在分级SiGe合金层上形成具有预定晶体取向的第一应变Si层62。第一应变Si层62是一个薄层，根据应变的大小，其厚度为约30nm或小于30nm。通常，较高应变Si需要薄Si层。第一应变Si层62的形成是利用能形成应变Si层的外延生长方法。得到的包括第一分级SiGe合金层60和第一应变Si层62的结构示于图10。

接着，利用与形成图3所示结构所用的加工步骤相似的步骤，形成图11的结构。特别是，图11所示的结构包括第二分级SiGe合金层66和第二应变Si层68，这是通过孔25在第一半导体层16的暴露表面选择性形成的。除了第二分级SiGe合金层66和第二应变Si层68，图11所示的结构还包括选择性垫层22、有图案掩模层24和间隔26。形成图3所示结构所用的工序被用于形成图11所示的结构，但图3所用的半导体材料28被第二分级SiGe合金层66和第二应变Si层68替代。注意，第二应变Si层68具有的晶体取向与第一应变Si层62不同。第二分级SiGe合金层的Ge含量通常为0到50%（原子百分数）。

第二应变Si层68的顶面与第二应变Si层62的顶面基本共面。在选择性外延生长过程中去除小面时，第二分级SiGe合金层66可以长得比有图案掩模层24的顶面高，然后抛光回到有图案掩模层24的顶面。在生长第二应变Si层68之前，第二分级SiGe合金层66可以向下凹，达到具有应变Si共顶面的结构。

图12表示在图11所示结构的表面形成绝缘体层30，将绝缘体层30结合到处理晶片32，上下翻转结构并且去除第一半导体层16之后形成的结构。加工步骤与图4-7所述的相同。

参看图13，表示从结构上去除选择性绝缘体18和第二半导体层20

之后形成的结构。去除选择性绝缘体18和第二半导体层20是利用不同的刻蚀工艺，其中每个刻蚀工艺中所用的化学刻蚀剂是针对被去除的特定材料选择的。如图所示，在这些去除步骤之后，露出第一分级SiGe合金层60的表面。

接着，如图14所示，将第一和第二分级SiGe合金层60和66选择性去除到应变Si层62和68。在本发明的此时，间隔26凹下到低于应变Si层62和68的表面。如图14所示，在整个晶片上得到的均匀SSDOI结构，具有不同的晶体取向。诸如图9所示的半导体器件可以形成在不同晶面上。

在本发明的另一个实施例中，在得到图3所示的结构后形成第一分级SiGe合金层60和第一应变Si层62。在此实施例中，首先得到图3所示的结构，并形成层66和68以及掩模帽70，从而得到，例如，图15所示的结构。层66和68选择性生长在第一半导体层16的顶部。通过沉积或热工艺在第二应变Si层68上形成掩模帽70，掩模帽70通常包括氧化物、氮化物或氮氧化物。（掩模层24和间隔26用作形成第二分级SiGe合金层66和第二应变Si层68的选择性外延生长掩模，掩模帽70和间隔26用作形成第一分级SiGe合金层60和第一应变Si层62的选择性外延生长掩模）。包括层66和68的结构，例如，如图16所示。在去除有图案掩模层24和选择性垫层22后，第一分级SiGe合金层60和第一应变Si层62选择性生长在第二半导体层20的顶部。

其余加工步骤与上述SSDOI实施例相同。掩模帽70可以在晶片结合之前去除，或者保留在最终结构中。

虽然参考本发明的优选实施例特别地图示和描述了本发明，但本领域的一般技术人员应该理解的是，在不偏离本发明精神和范围的条件下，可以做出形式和细节上的上述和其它变化。因此，本发明并不限于这里描述和图示的精确形式和细节，而是在权利要求的精神和范围内。

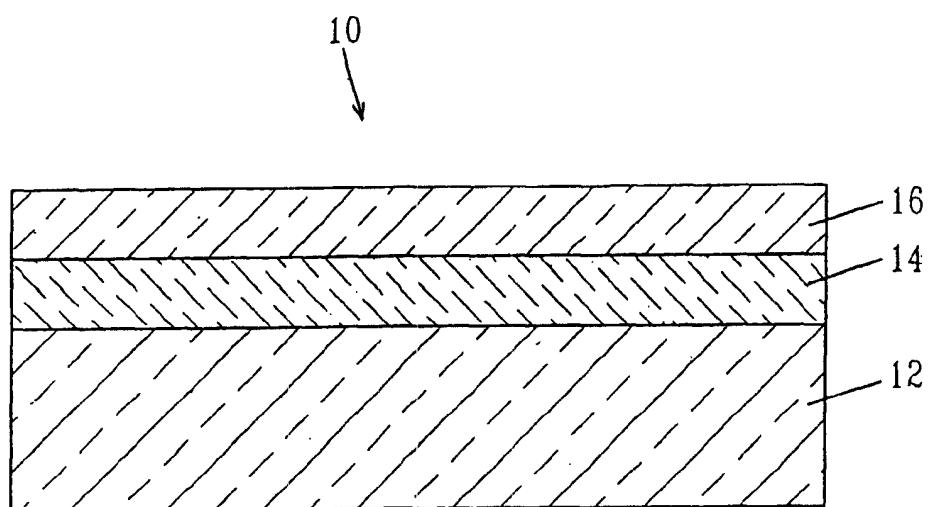


图 1

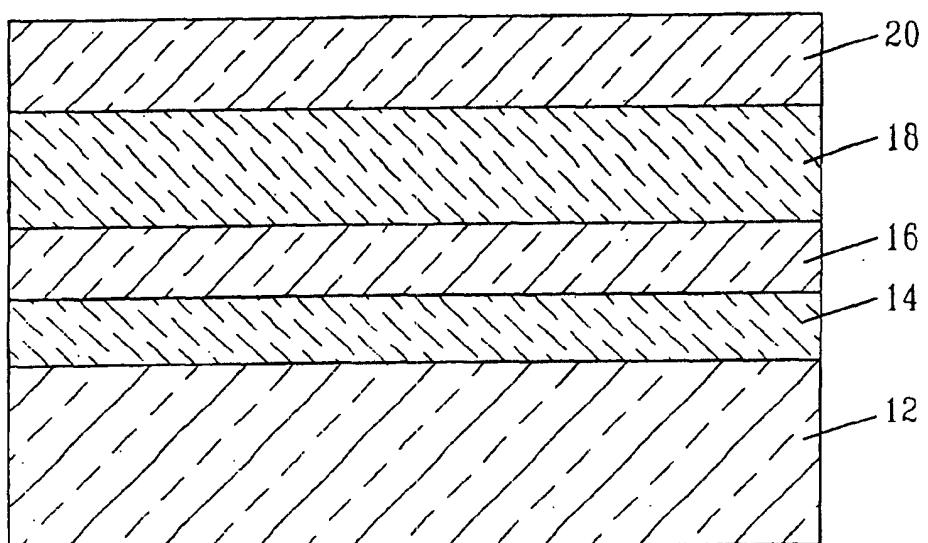


图 2

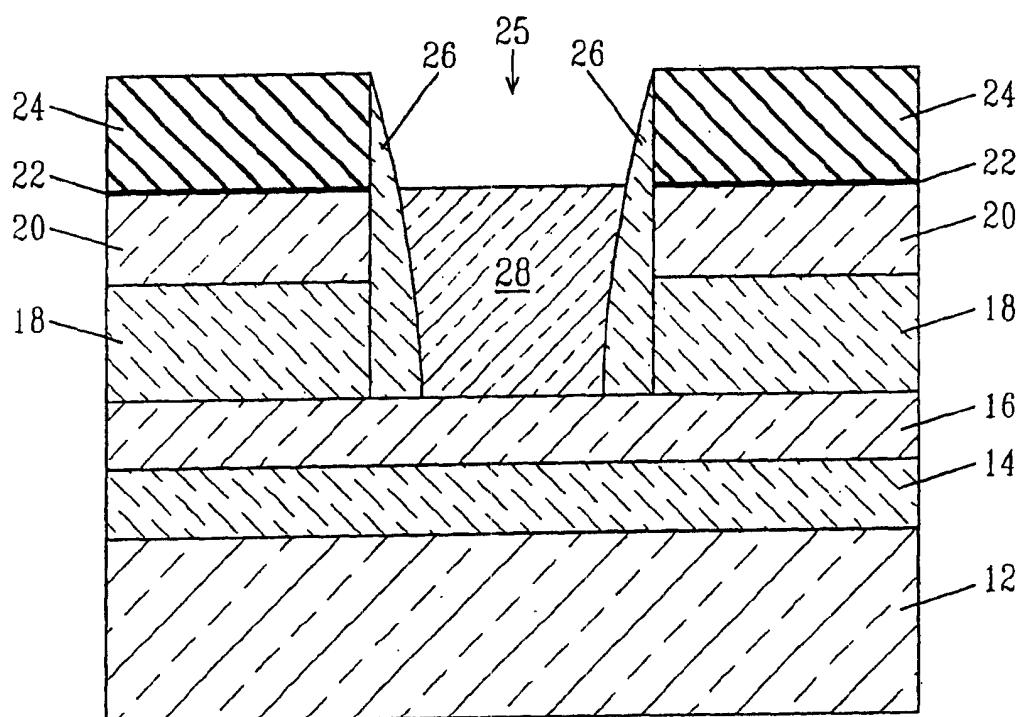


图 3

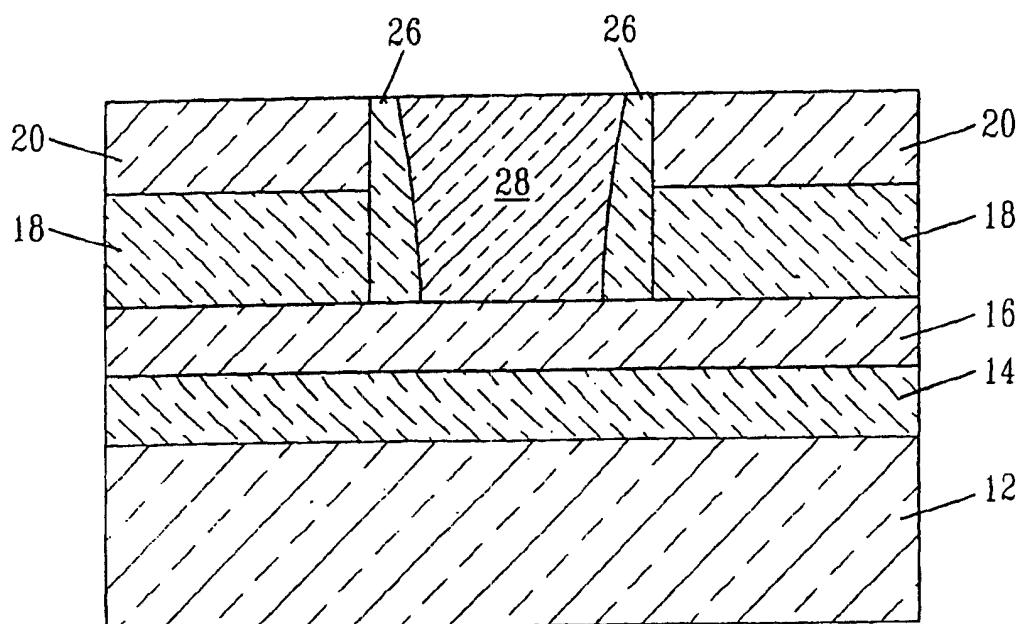


图 4

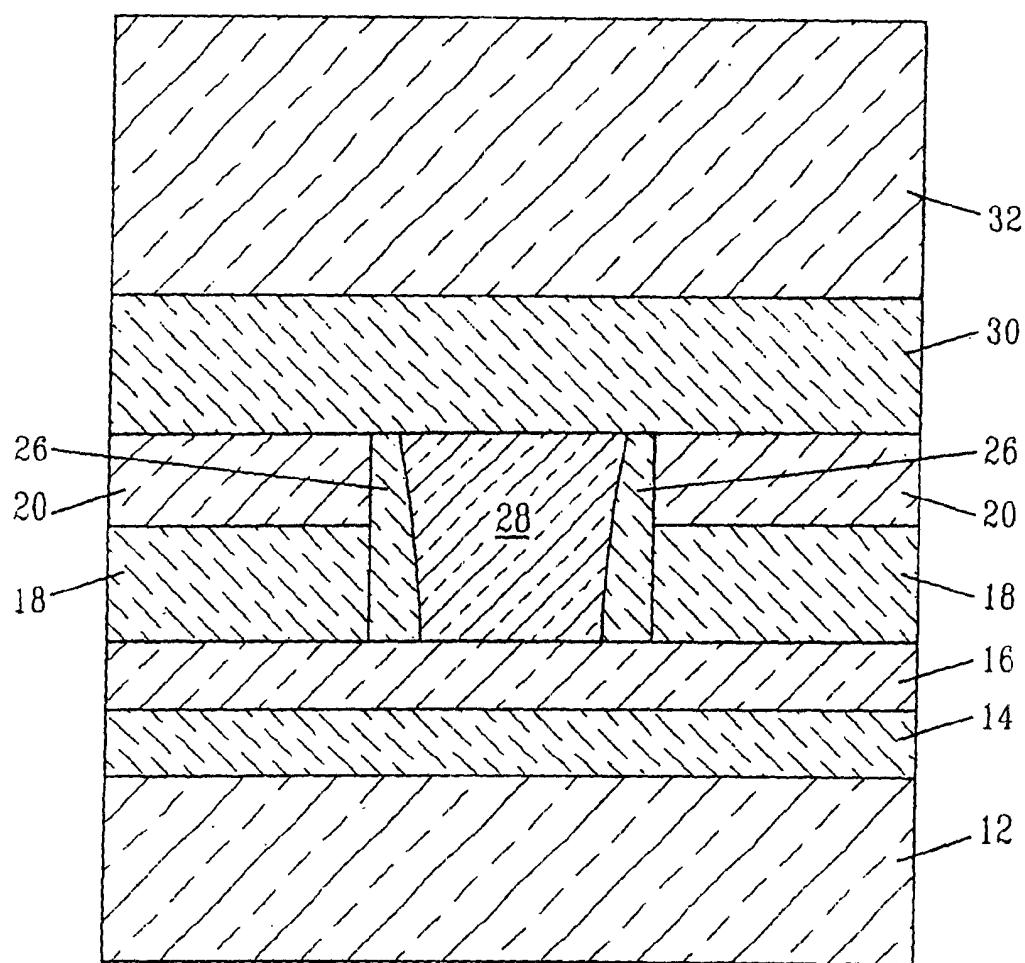


图 5

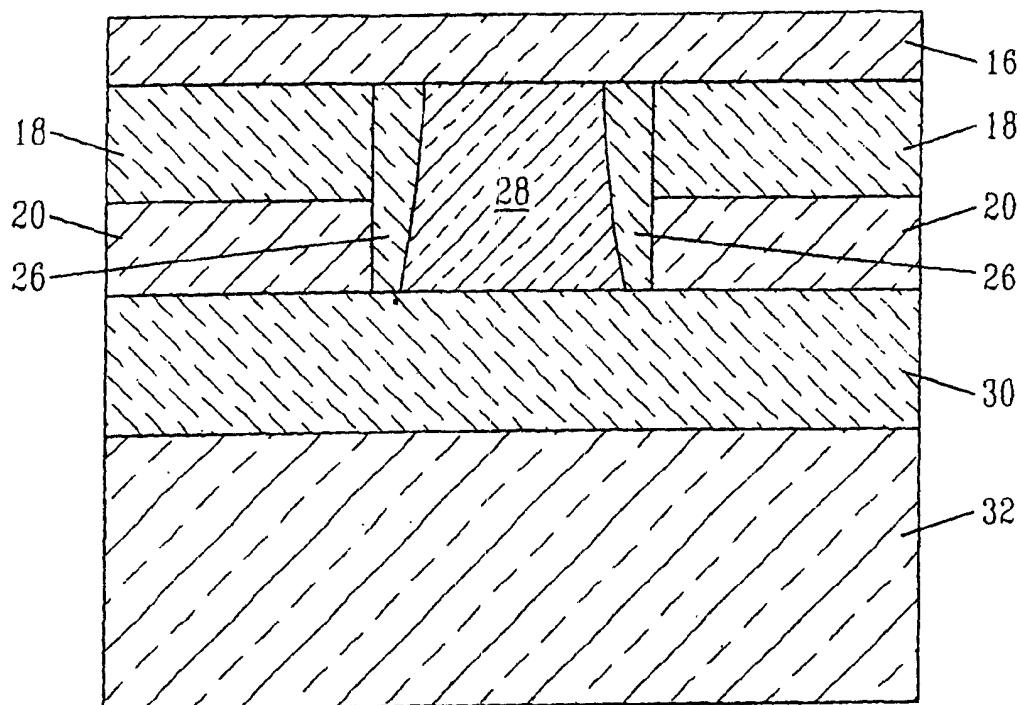


图 6

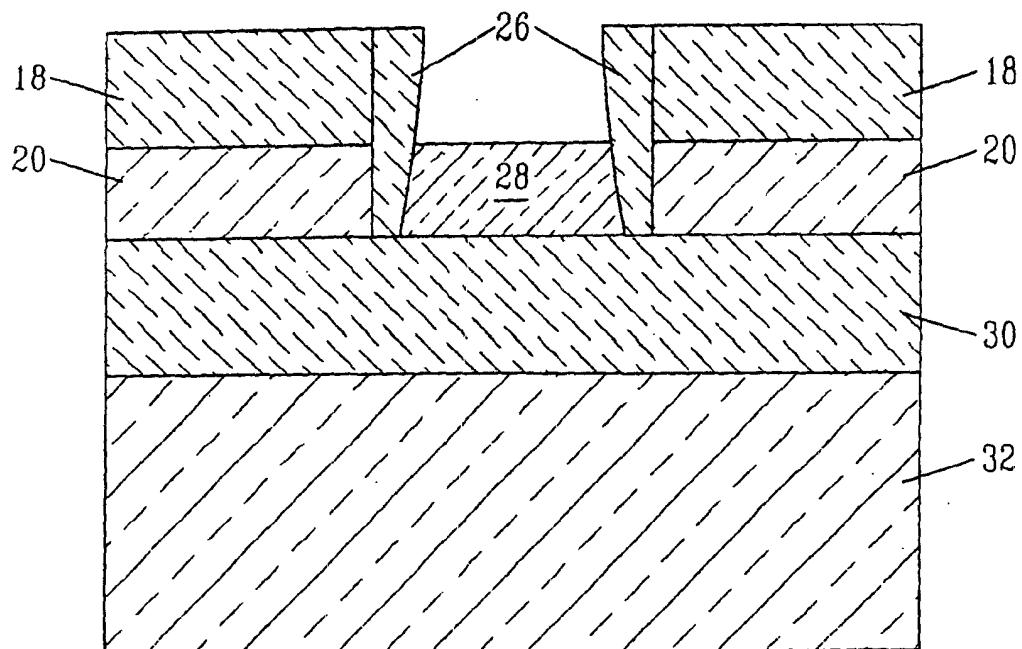


图 7

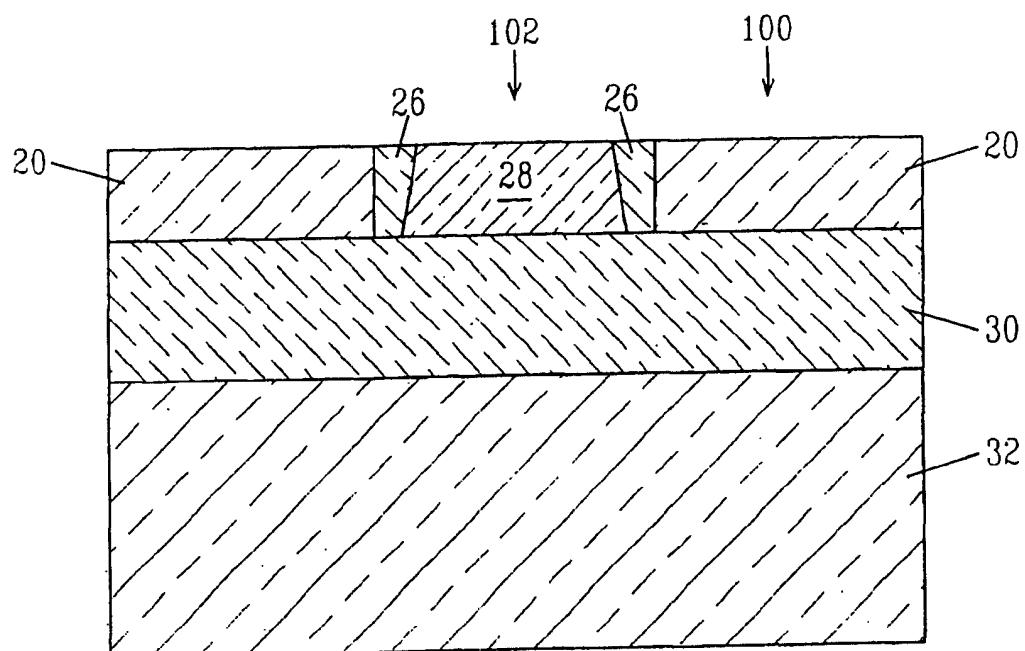


图 8

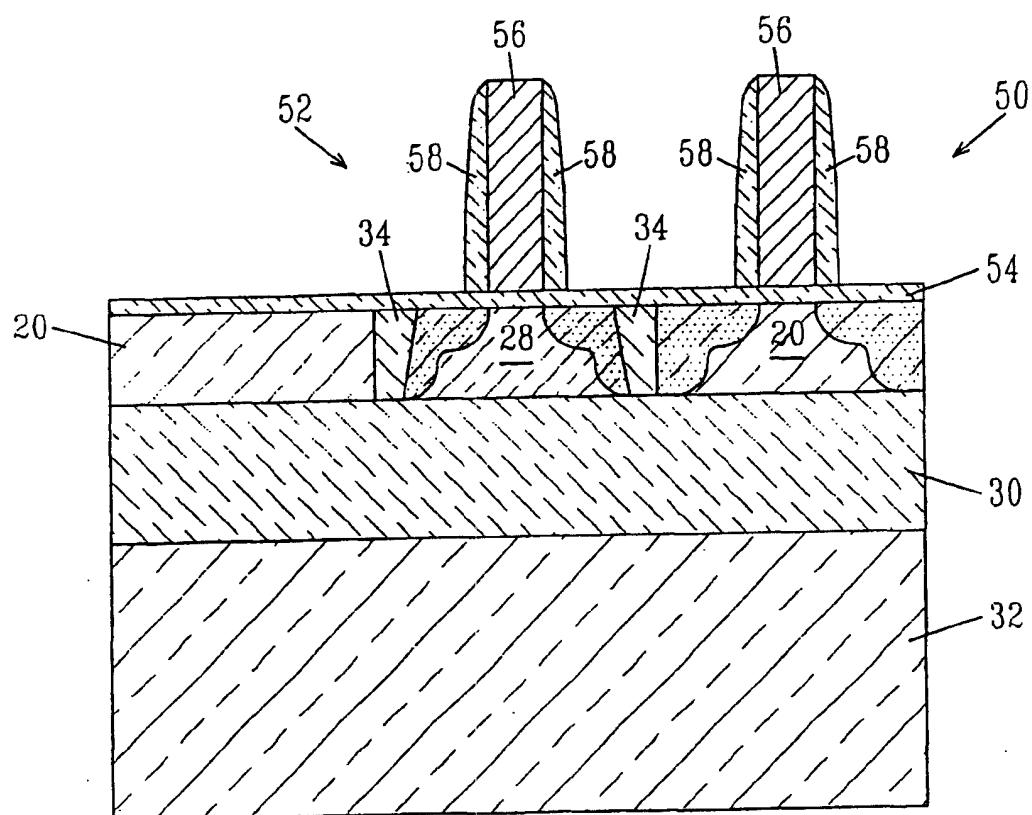


图 9

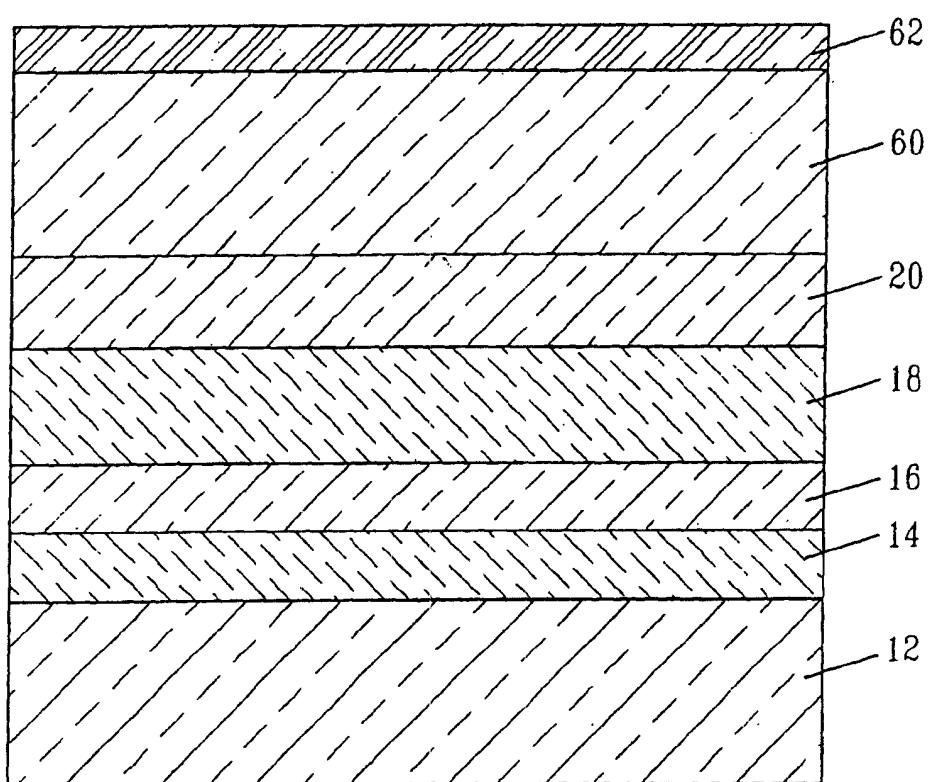


图10

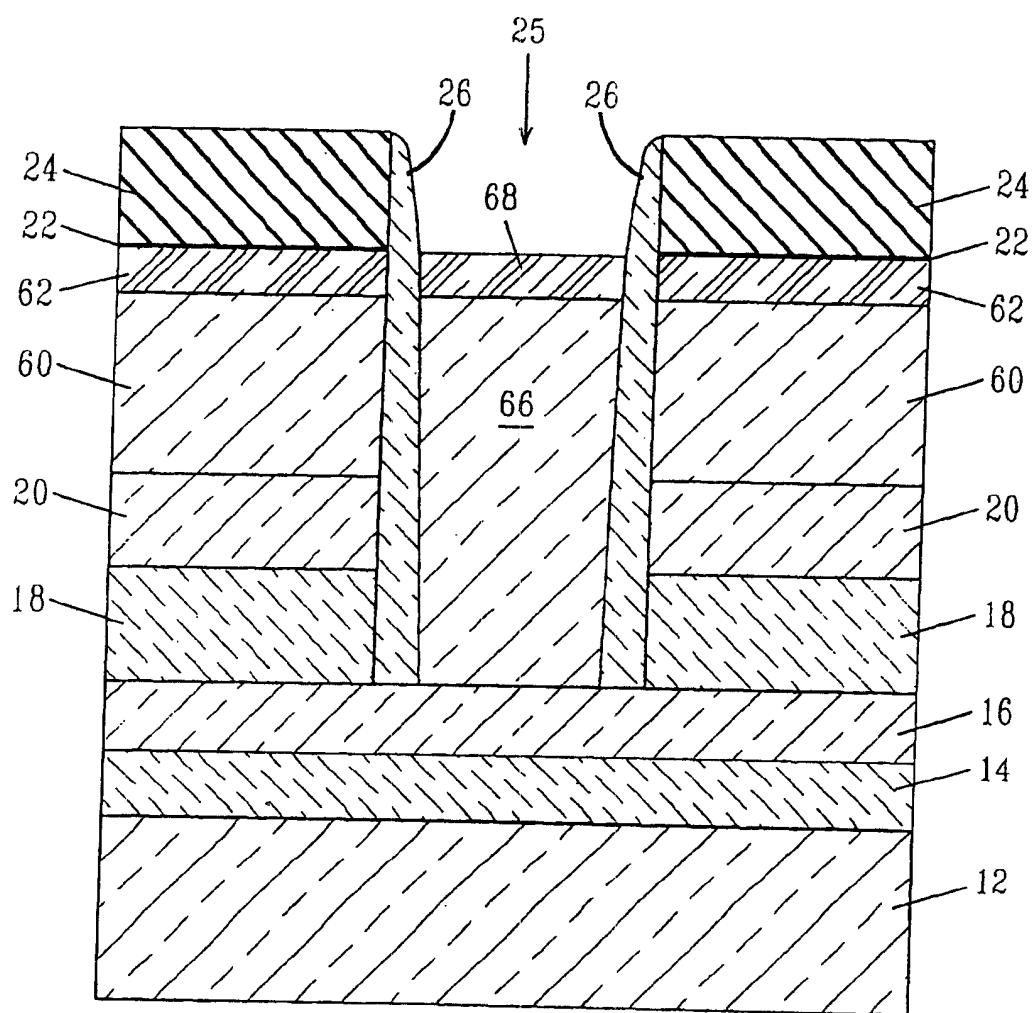


图 11

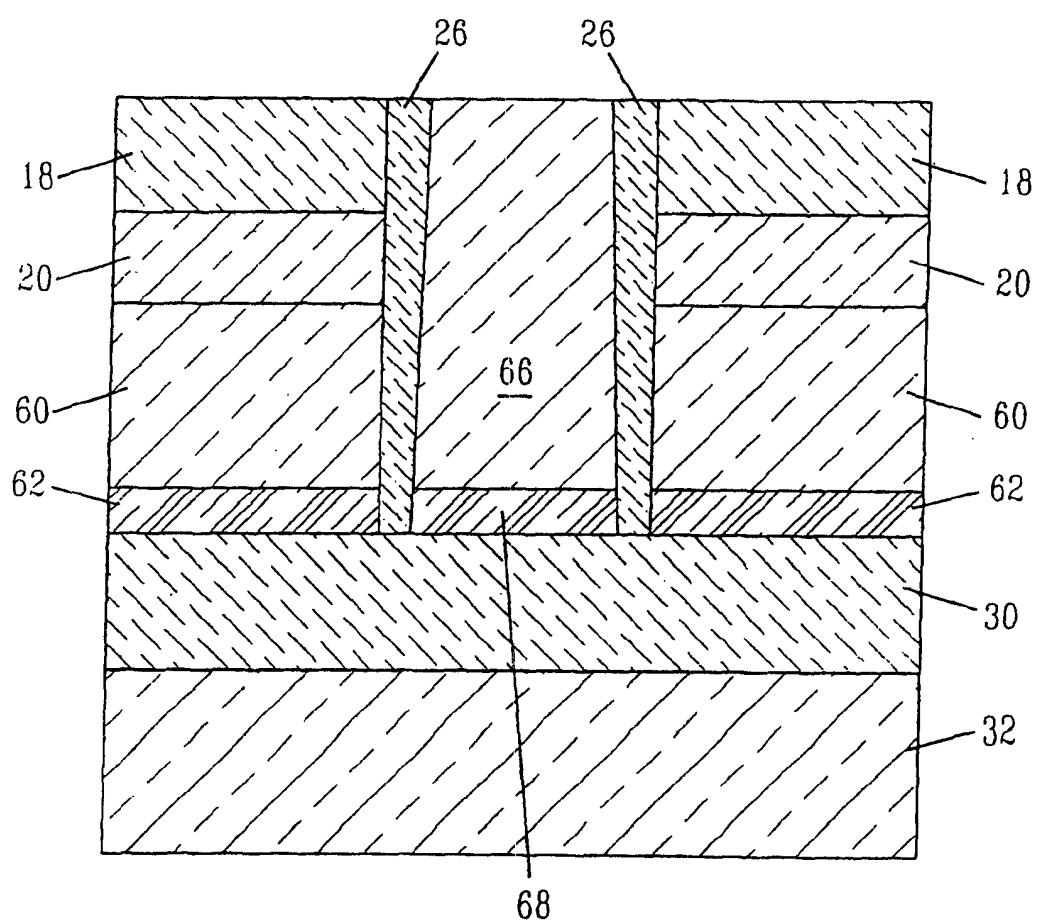


图12

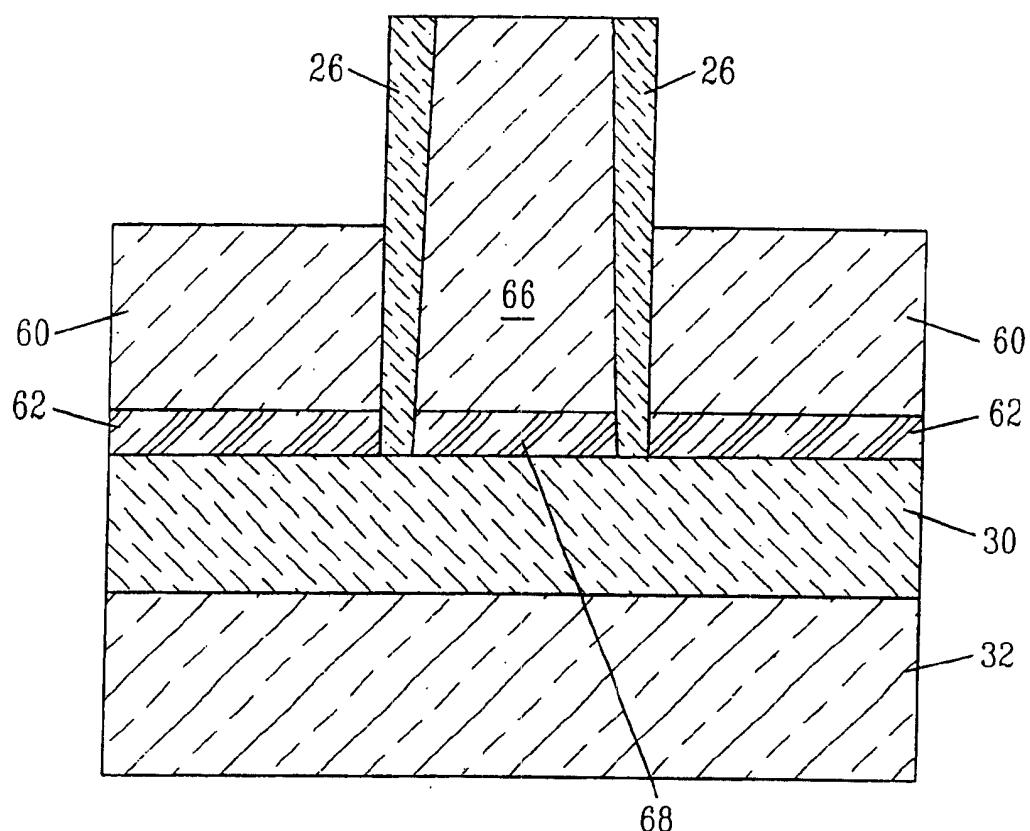


图 13

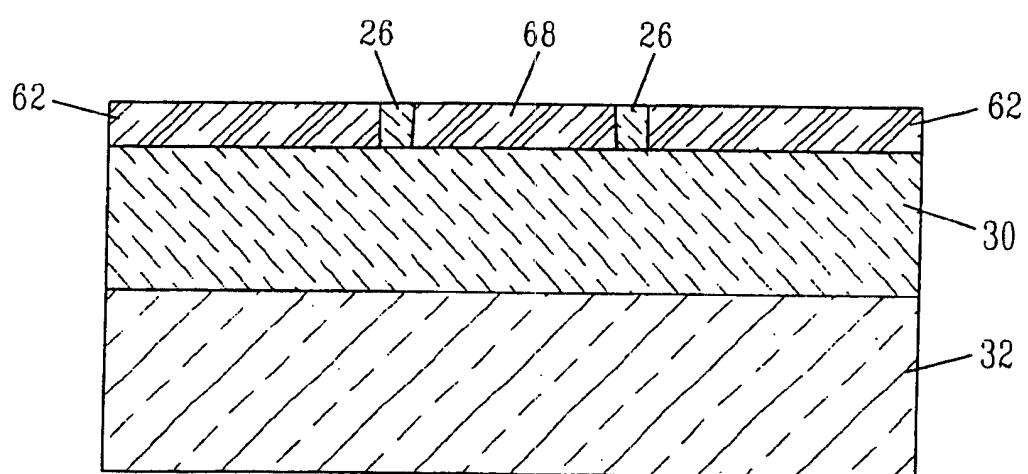


图 14

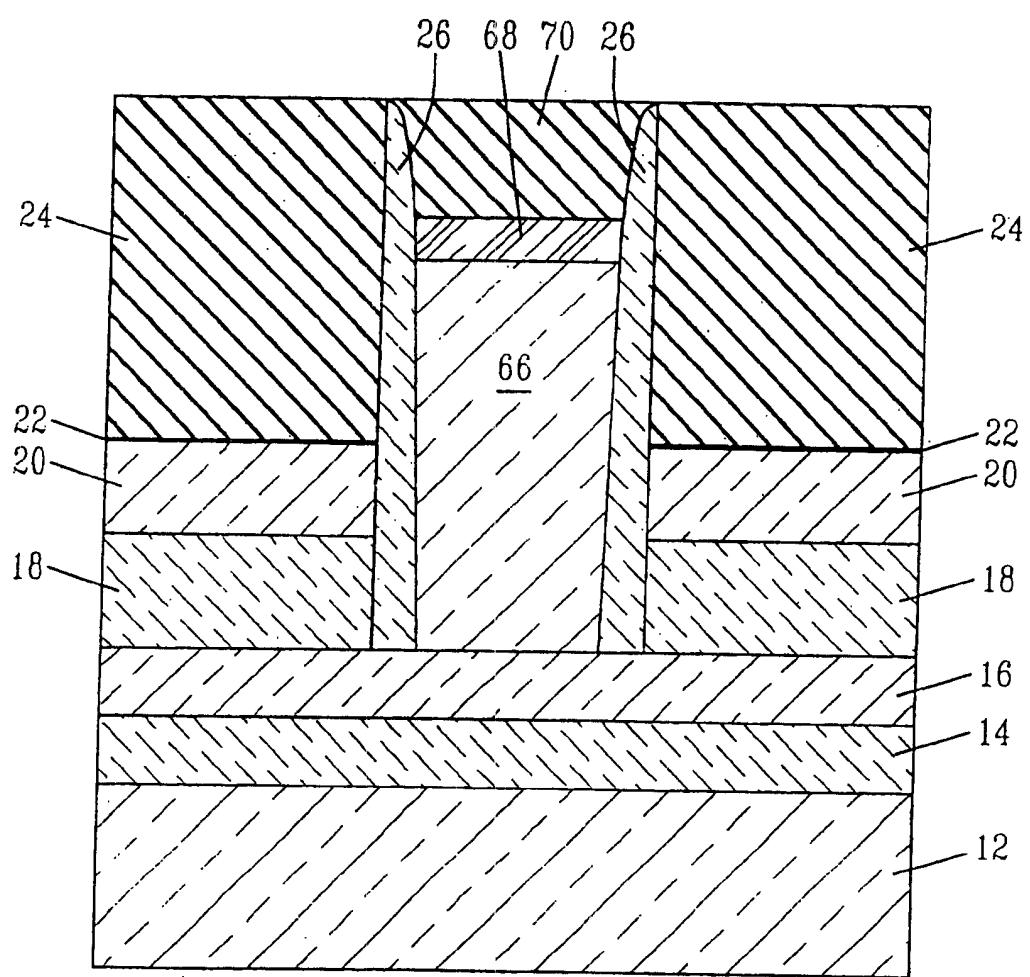


图 15

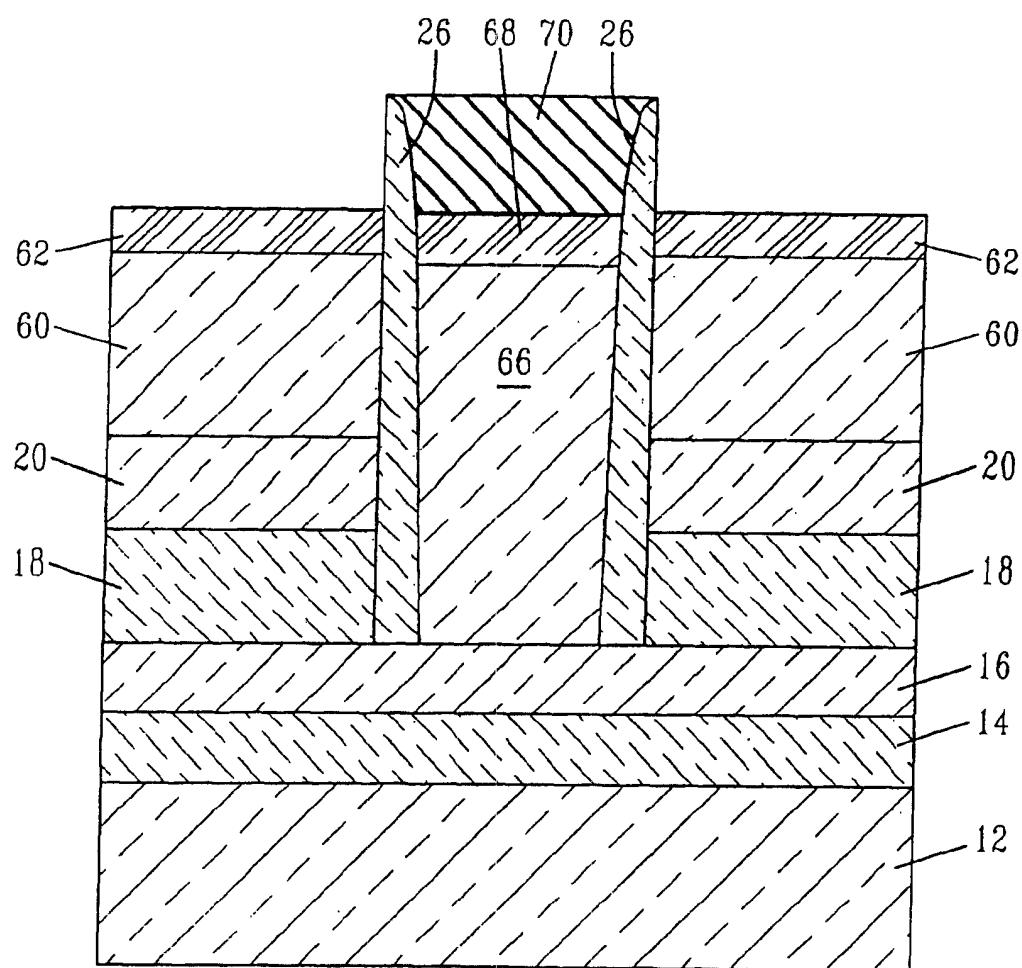


图 16