

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成 19 年 6 月 14 日 (2007.6.14)

【公開番号】特開 2005-322296 (P2005-322296A)

【公開日】平成 17 年 11 月 17 日 (2005.11.17)

【年通号数】公開・登録公報 2005-045

【出願番号】特願 2004-138417 (P2004-138417)

【国際特許分類】

G 1 1 C 16/06 (2006.01)

G 1 1 C 16/02 (2006.01)

G 1 1 C 16/04 (2006.01)

【F I】

G 1 1 C 17/00 6 3 4 E

G 1 1 C 17/00 6 1 1 A

G 1 1 C 17/00 6 1 2 B

G 1 1 C 17/00 6 2 4

【手続補正書】

【提出日】平成 19 年 4 月 19 日 (2007.4.19)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項 9

【補正方法】変更

【補正の内容】

【請求項 9】

第 1 主ビット線と、

第 1 ソース線と、

第 1 トランジスタと、

前記第 1 主ビット線に第 1 トランジスタを介して接続される第 1 副ビット線と、

一端が前記第 1 副ビット線に、他端が前記第 1 ソース線に接続される第 1 メモリ用トランジスタと、

前記第 1 副ビット線に一端が接続され、前記第 1 メモリ用トランジスタに並列に接続される第 2 メモリ用トランジスタと、

第 2 主ビット線と、

前記第 1 主ビット線及び前記第 2 主ビット線に流れる各々の電流が入力され、差動増幅するアンプと

を備え、

前記第 1 メモリ用トランジスタのベリファイ時において、

前記第 1 トランジスタ及び前記第 1 メモリ用トランジスタをオンし、

前記第 2 メモリ用トランジスタに電流を流さない、半導体記憶装置。

【手続補正 2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項 11

【補正方法】変更

【補正の内容】

【請求項 11】

請求項 10 にかかる半導体記憶装置において、前記第 2 メモリ用トランジスタをオフにする前記電圧を求める方法であって、

前記第 2 メモリ用トランジスタは複数設けられ、そのしきい値電圧に対する個数の分布

を用い、

前記しきい値電圧の各々について、前記第2メモリ用トランジスタのゲート電極の各々に相互に等しいゲート電圧が印加されたときに、前記第2メモリ用トランジスタのソース／ドレイン間に流れる電流を求め、

前記しきい値電圧の各々について前記分布から求まる個数と前記電流との積を求めて、前記しきい値電圧の下限から上限までの前記積の総和を求め、

前記総和が所定の電流よりも小さくなる前記ゲート電圧を、前記第2メモリ用トランジスタをオフする前記電圧として求める、半導体記憶装置の制御方法。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正の内容】

【0010】

ところが、過消去されたメモリセルが、例えばリファレンス側に存在する場合には、メモリセルをオフに制御したにも係わらず、過消去されたメモリセルからリーク電流が流れる。なぜなら、メモリセルが例えばnチャンネルMOSトランジスタである場合には、そのしきい値電圧が、消去の程度が大きくなるに従って小さくなるからである。ここで、過消去されたメモリセルとは、しきい値電圧が所定値よりも小さくなることをいう。よって、アンプのリファレンス側の端子に流れる電流が、当該端子に流すべき所定の電流よりも大きくなる。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】変更

【補正の内容】

【0019】

本発明にかかる第3の半導体記憶装置は、第1主ビット線、第1ソース線、第1トランジスタ、第1副ビット線、第1メモリ用トランジスタ、第2メモリ用トランジスタ、第2主ビット線及びアンプを備える。前記第1副ビット線は、前記第1主ビット線に第1トランジスタを介して接続される。前記第1メモリ用トランジスタは、一端が前記第1副ビット線に、他端が前記第1ソース線に接続される。前記第2メモリ用トランジスタは、前記第1副ビット線に一端が接続され、前記第1メモリ用トランジスタに並列に接続される。前記アンプは、前記第1主ビット線及び前記第2主ビット線に流れる各々の電流が入力され、差動増幅する。そして、前記第1メモリ用トランジスタのベリファイ時において、前記第1トランジスタ及び前記第1メモリ用トランジスタをオンし、前記第2メモリ用トランジスタに電流を流さない。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】変更

【補正の内容】

【0025】

主ビット線MBL0～MBL3は、主ビット線選択用トランジスタCATr0～CATr3を介して、メモリブロック1にそれぞれ接続される。図1では、主ビット線選択用トランジスタCATr0～CATr3がMOSトランジスタである場合が示されている。主ビット線選択用トランジスタCATr0、CATr2のゲート電極には制御線CA1が、主ビット線選択用トランジスタCATr1、CATr3のゲート電極には制御線CA0が、それぞれ接続されている。よって、制御線CA1により主ビット線選択用トランジスタCATr0、CATr2は同時にオンに制御できるので、主ビット線MBL0、MBL2

を同時に選択できる。主ビット線MBL1, MBL3についても同様である。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0027

【補正方法】変更

【補正の内容】

【0027】

比較電流選択部3は、比較電流発生部31と比較電流選択用トランジスタCTr1, CTr2とを有し、センスアンプS/Aの一对の端子11, 12の間に接続される。図1では、比較電流選択用トランジスタCTr1, CTr2がMOSトランジスタである場合が示されている。比較電流発生部31は、比較電流選択用トランジスタCTr1を介して端子11に、比較電流選択用トランジスタCTr2を介して端子12に、それぞれ接続される。比較電流選択用トランジスタCTr1, CTr2のゲート電極には、制御線ESEL, OSELがそれぞれ接続される。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0029

【補正方法】変更

【補正の内容】

【0029】

メモリブロック1は、副ビット線SBL1～SBL8、副ビット線選択用トランジスタSTr1～STr8、ソース線2及びメモリ用トランジスタM0～M63を備える。なお、主ビット線MBL0～MBL3は、メモリブロック1内にも配線されている。図1では、副ビット線選択用トランジスタSTr1～STr8がMOSトランジスタであって、メモリ用トランジスタM0～M63がフローティングゲートMOSトランジスタである場合が示されている。また、データの書き込み／消去が行われるメモリ用トランジスタの一群を、鎖線4で囲んでいる。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0030

【補正方法】変更

【補正の内容】

【0030】

副ビット線SBL1は、副ビット線選択用トランジスタSTr1を介して、主ビット線MBL0上の接続点P1に接続される。副ビット線選択用トランジスタSTr1のゲート電極には、制御線LSG3が接続される。そして、制御線LSG3により、副ビット線選択用トランジスタSTr1をオン／オフして、副ビット線SBL1の選択／非選択を制御する。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0033

【補正方法】変更

【補正の内容】

【0033】

副ビット線SBL5は、副ビット線選択用トランジスタSTr5を介して、接続点P1に接続されており、副ビット線SBL1と同様に構成される。副ビット線選択用トランジスタSTr5のゲート電極には、制御線LSG2が接続される。そして、制御線LSG2により、副ビット線選択用トランジスタSTr5をオン／オフして、副ビット線SBL5の選択／非選択を制御する。

【手続補正10】

【補正対象書類名】明細書
【補正対象項目名】0034
【補正方法】変更
【補正の内容】
【0034】

副ビット線SBL2は、副ビット線選択用トランジスタSTr2を介して、主ビット線MBL0上の接続点P2に接続される。副ビット線選択用トランジスタSTr2のゲート電極には、制御線USG0が接続される。そして、制御線USG0により、副ビット線選択用トランジスタSTr2をオン／オフして、副ビット線SBL2の選択／非選択を制御する。

【手続補正11】
【補正対象書類名】明細書
【補正対象項目名】0037
【補正方法】変更
【補正の内容】
【0037】

副ビット線SBL6は、副ビット線選択用トランジスタSTr6を介して、接続点P2に接続されており、副ビット線SBL2と同様に構成される。副ビット線選択用トランジスタSTr6のゲート電極には、制御線USG1が接続される。そして、制御線USG1により、副ビット線選択用トランジスタSTr6をオン／オフして、副ビット線SBL6の選択／非選択を制御する。

【手続補正12】
【補正対象書類名】明細書
【補正対象項目名】0038
【補正方法】変更
【補正の内容】
【0038】

同様にして、センスアンプS/Aの端子12に接続される主ビット線MBL2には、副ビット線SBL3, SBL4, SBL7, SBL8が、副ビット線選択用トランジスタSTr3, ST r 4, ST r 7, ST r 8を介して、それぞれ接続される。副ビット線選択用トランジスタSTr3, ST r 4, ST r 7, ST r 8のゲート電極には、制御線LSG0, USG3, LSG1, USG2がそれぞれ接続される。そして、制御線LSG0, USG3, LSG1, USG2により、副ビット線選択用トランジスタSTr3, ST r 4, ST r 7, ST r 8をオン／オフして、副ビット線SBL3, SBL4, SBL7, SBL8の選択／非選択をそれぞれ制御する。また、図1では、副ビット線SBL3に接続されるメモリ用トランジスタには、接続点P3側から符号M32～M47を付し、副ビット線SBL4に接続されるメモリ用トランジスタには、接続点P4側から符号M48～M63を付している。

【手続補正13】
【補正対象書類名】明細書
【補正対象項目名】0044
【補正方法】変更
【補正の内容】
【0044】

他の副ビット線SBL2, SBL3, SBL5～SBL8については、例えば、副ビット線SBL5と副ビット線SBL8、副ビット線SBL7と副ビット線SBL6、副ビット線SBL3と副ビット線SBL2とを、それぞれ対応付けることができる。すなわち、制御線LSG2と制御線USG2、制御線LSG1と制御線USG1、制御線LSG0と制御線USG0とが、それぞれ相互に連係する。

【手続補正14】

【補正対象書類名】明細書
【補正対象項目名】0045
【補正方法】変更
【補正の内容】
【0045】

以下の実施の形態においては、上記した半導体記憶装置について、書き込み／消去ベリファイを行う際の本発明にかかる半導体記憶装置の制御方法を示す。なお、メモリ用トランジスタM0～M63は、nチャンネル型のフローティングゲートMOSトランジスタとする。そして、書き込み／消去ベリファイが、メモリ用トランジスタM48について行われるとし、メモリ用トランジスタM48が接続される副ビット線SBL4に対して比較対象となるリファレンス側の副ビット線を、副ビット線SBL1とする。

【手続補正15】
【補正対象書類名】明細書
【補正対象項目名】0046
【補正方法】変更
【補正の内容】
【0046】

図2は、図1で示される半導体記憶装置のうち、メモリ用トランジスタM48の書き込み／消去ベリファイにかかる部分だけが示されている。図1で示される半導体記憶装置の構成要素と同じものについては、同符号が付されている。図2では、比較電流選択部3は省略されているが、端子11がリファレンス側に、端子12が選択側にそれぞれ選択されているとする。また、主ビット線選択用トランジスタCATr0、CATr2も省略されているが、それぞれをオンにして主ビット線MBL0、MBL2が選択されているとする。

【手続補正16】
【補正対象書類名】明細書
【補正対象項目名】0050
【補正方法】変更
【補正の内容】
【0050】

リファレンス側では、制御線LSG3により副ビット線選択用トランジスタSTr1をオフに制御して、副ビット線SBL1を非選択とする。これにより、メモリ用トランジスタM0に電流が流れない。つまり、メモリ用トランジスタM0からリーク電流が流れることが回避される。

【手続補正17】
【補正対象書類名】明細書
【補正対象項目名】0051
【補正方法】変更
【補正の内容】
【0051】

上述した内容によれば、リファレンス側の主ビット線MBL0に流れる比較電流に、過消去されたメモリ用トランジスタM0から生じるリーク電流が加算されないので、書き込み／消去ベリファイにおいて、メモリ用トランジスタM48のしきい値電圧を過大に評価しない。換言すれば、リファレンス側の副ビット線SBL1に接続されるメモリ用トランジスタM0～M15に、過消去されたメモリ用トランジスタが含まれている場合であっても、選択側のメモリ用トランジスタM48の書き込み／消去が精度良くベリファイされる。よって、通常読み出し時におけるアクセス速度の低下が防止される。

【手続補正18】
【補正対象書類名】明細書
【補正対象項目名】0052

【補正方法】変更

【補正の内容】

【0052】

図4は、本実施の形態にかかる副ビット線SBL1～SBL8の選択／非選択の制御を行う回路を示す。この回路は、回路C1～C8、入力端子S1～S3、入力端子read、NOT回路701～712及び制御線USG0～USG3、LSG0～LSG3を備える。

【手続補正19】

【補正対象書類名】明細書

【補正対象項目名】0054

【補正方法】変更

【補正の内容】

【0054】

セクタ回路74は、AND72回路の出力端に接続される入力端g1と、ラッチ回路73の出力端outに接続される入力端g2とを有し、入力端子readから入力される信号により、入力端g1、g2の一方を選択する。すなわち、入力端子readから0が入力されると入力端g1が、readから1が入力されると入力端g2がそれぞれ選択される。また、入力端g1及び入力端g2のうち選択された方から入力された信号を反転させて出力する。セクタ回路74の出力端は、NOT回路75を介して、NAND回路76の一の入力端に接続される。

【手続補正20】

【補正対象書類名】明細書

【補正対象項目名】0066

【補正方法】変更

【補正の内容】

【0066】

図6で示される表によれば、上記したいずれか一つの信号(S1, S2, S3)が入力されると、回路C1～C8に接続される制御線USG3～USG0, LSG3～LSG0のうち二つの制御線に出力される信号だけが0となり、他の制御線に出力される信号はいずれも1となる。例えば信号(S1, S2, S3)として(1, 0, 1)を採用すると、回路C1の制御線USG3及び回路C5の制御線LSG3にそれぞれ出力される信号だけが0となって、他の制御線に出力される信号はいずれも1となる。

【手続補正21】

【補正対象書類名】明細書

【補正対象項目名】0068

【補正方法】変更

【補正の内容】

【0068】

図4で示される回路では、入力端子readから1の信号を入力して、信号(S1, S2, S3)を入力すると、制御線USG0, LSG0、制御線USG1, LSG1、制御線USG2, LSG2及び制御線USG3, LSG3のいずれか一つの対にだけ0の信号が出力される。よって、図1で示される半導体記憶装置において、制御線LSG3と制御線USG3、制御線LSG2と制御線USG2、制御線LSG1と制御線USG1、制御線LSG0と制御線USG0とが、それぞれ相互に連係する。

【手続補正22】

【補正対象書類名】明細書

【補正対象項目名】0072

【補正方法】変更

【補正の内容】

【0072】

リファレンス側では、制御線 L S G 3 により副ビット線選択用トランジスタ S T r 1 をオンに制御する。そして、過消去されたメモリ用トランジスタ M 0 については、ワード線 W L 0 により、メモリ用トランジスタ M 0 からリーク電流が流れないゲート電圧 V g s (0) を、ゲート電極に印加する。ゲート電圧 V g s (0) は、ソースに印加される電圧を基準とする。このゲート電圧 V g s (0) は、後述の実施の形態 4 で示される方法により求められる。

【手続補正 2 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 7 3

【補正方法】変更

【補正の内容】

【0 0 7 3】

実際の使用の形態では、メモリ用トランジスタ M 0 ~ M 1 5 のうち、どれが過消去されているかを特定することができない。よって、メモリ用トランジスタ M 1 ~ M 1 5 についても、メモリ用トランジスタ M 0 と同様に、ワード線 W L 1 ~ W L 1 5 により、ゲート電極にゲート電圧 V g s (0) をそれぞれ印加することが望ましい。

【手続補正 2 4】

【補正対象書類名】明細書

【補正対象項目名】0 0 7 8

【補正方法】変更

【補正の内容】

【0 0 7 8】

また、過消去されたメモリ用トランジスタ M 6 3 については、ワード線 W L 3 1 により、メモリ用トランジスタ M 6 3 からリーク電流が流れないゲート電圧 V g s (0) を、ゲート電極に印加する。このゲート電圧 V g s (0) は、後述する実施の形態 4 で示される方法により求められる。

【手続補正 2 5】

【補正対象書類名】明細書

【補正対象項目名】0 0 7 9

【補正方法】変更

【補正の内容】

【0 0 7 9】

これにより、メモリ用トランジスタ M 6 3 に電流が流れない。つまり、メモリ用トランジスタ M 6 3 からリーク電流が流れることが回避される。

【手続補正 2 6】

【補正対象書類名】明細書

【補正対象項目名】0 0 8 0

【補正方法】変更

【補正の内容】

【0 0 8 0】

実際の使用の形態では、メモリ用トランジスタ M 4 9 ~ M 6 3 のうち、どれが過消去されているかを特定することができない。よって、メモリ用トランジスタ M 4 9 ~ M 6 2 についても、メモリ用トランジスタ M 6 3 と同様に、ワード線 W L 1 7 ~ W L 3 0 により、ゲート電極にゲート電圧 V g s (0) をそれぞれ印加することが望ましい。

【手続補正 2 7】

【補正対象書類名】明細書

【補正対象項目名】0 0 8 2

【補正方法】変更

【補正の内容】

【0 0 8 2】

上述の内容によれば、メモリ用トランジスタM63からリーク電流が流れることを抑制するので、副ビット線SBL4に流れる電流にリーク電流が加算されない。これにより、書き込み／消去ベリファイにおいて、メモリ用トランジスタM48のしきい値電圧を過小に評価しない。換言すれば、選択側の副ビット線SBL4に接続されるメモリ用トランジスタM49～M63に、過消去されたメモリ用トランジスタが含まれる場合であっても、選択側のメモリ用トランジスタM48の書き込み／消去が精度良くベリファイされる。よって、通常読み出し時におけるアクセス速度の低下が防止される。

【手続補正28】

【補正対象書類名】明細書

【補正対象項目名】0085

【補正方法】変更

【補正の内容】

【0085】

特に、実施の形態2と実施の形態3と組み合わせる場合において、リファレンス側のメモリ用トランジスタM0～M15と、選択側のメモリ用トランジスタM48～M63とが、同じウェルに形成されることが望ましい。なぜなら、当該ウェルに最適の電圧を印加するだけで、リーク電流の発生を抑制することができるので、ベリファイを行うための制御が単純化される。

【手続補正29】

【補正対象書類名】明細書

【補正対象項目名】0089

【補正方法】変更

【補正の内容】

【0089】

ステップ103では、しきい値電圧 $V_{th}(1) \sim V_{th}(11)$ を有するメモリ用トランジスタの各々に相互に等しいゲート電圧 V_{gs} を印加したときに、当該メモリ用トランジスタの各々に流れるソース／ドレイン間電流 $I_{ds}(1) \sim I_{ds}(11)$ を求める。図10を用いて具体的に説明すると、例えば $V_{gs} = V_{gs}(0)$ として、 $V_{gs} = V_{gs}(0)$ を示す直線620と、グラフ601～611と交わる点での電流を電流 $I_{ds}(1) \sim I_{ds}(11)$ とする。

【手続補正30】

【補正対象書類名】明細書

【補正対象項目名】0094

【補正方法】変更

【補正の内容】

【0094】

上述の方法によって求められたゲート電圧 $V_{gs}(0)$ を、過消去されたメモリ用トランジスタのゲート電極に印加することで、過消去されたメモリ用トランジスタからリーク電流が流れることが防止される。

【手続補正31】

【補正対象書類名】明細書

【補正対象項目名】0102

【補正方法】変更

【補正の内容】

【0102】

ステップ205では、ステップ204で求めた積 $I_{ds}(m, 1) \cdot N(m, 1) \sim I_{ds}(m, 11) \cdot N(m, 11)$ を、しきい値電圧の分布52の下限 $V_{th}(m, 1)$ から上限 $V_{th}(m, 11)$ まで、式(2)で示されるよう足し合わせる。式(2)で求まる電流 $I_{tot}(V_{bs}(m))$ は、メモリ用トランジスタM0～M15に流れる電流の総和、つまりリーク電流である。

【手続補正 3 2】

【補正対象書類名】明細書

【補正対象項目名】0 1 0 9

【補正方法】変更

【補正の内容】

【0 1 0 9】

上述したいずれの実施の形態においても、メモリ用トランジスタは n チャンネル型のフローティングゲート MOS トランジスタとし、しきい値電圧が高い方を書き込み側、しきい値電圧が低い方を消去側として説明したが、しきい値電圧が低い方を書き込みと呼ぶ場合は、上記説明において書き込み、消去の対象を入れ替えて実施すれば同様の効果が得られる。また、p チャンネル型のフローティングゲート MOS トランジスタであってもよい。