

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-262103

(P2006-262103A)

(43) 公開日 平成18年9月28日(2006.9.28)

(51) Int. Cl.	F I			テーマコード (参考)
H03F 3/34 (2006.01)	H03F 3/34	C	5H420	
G05F 3/26 (2006.01)	G05F 3/26		5J500	

審査請求 未請求 請求項の数 7 O L (全 14 頁)

(21) 出願番号 特願2005-76997 (P2005-76997)
 (22) 出願日 平成17年3月17日 (2005.3.17)

(71) 出願人 000005234
 富士電機ホールディングス株式会社
 神奈川県川崎市川崎区田辺新田1番1号
 (74) 代理人 100133167
 弁理士 山本 浩
 (72) 発明者 山田 耕平
 神奈川県横須賀市長坂二丁目2番1号 富士電機アドバンステクノロジー株式会社 内

Fターム(参考) 5H420 BB13 CC02 DD02 EA12 EB37
 5J500 AA01 AA43 AC13 AC65 AF10
 AH10 AH25 AH26 AH29 AK01
 AK02 AK05 AK09 AK18 AM21
 AT01 AT02

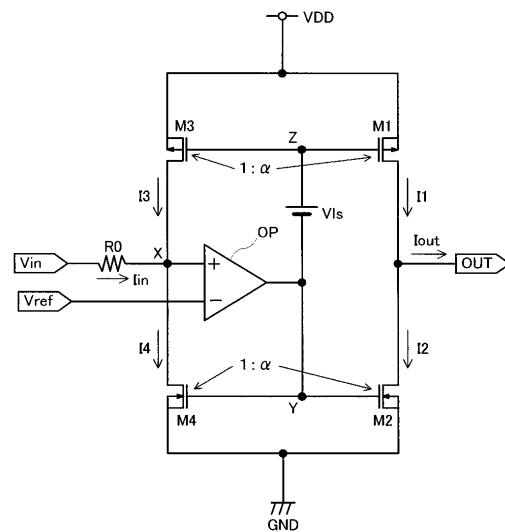
(54) 【発明の名称】 電圧電流変換回路および誤差増幅回路

(57) 【要約】

【目的】 入力オフセット電圧が小さく、かつ出力電流範囲の広い電圧電流変換回路を提供する。さらに、当該電圧電流変換回路を用いた、低入力オフセット電圧と高速過渡応答を両立させた電流出力型誤差増幅回路を提供する

【構成】 出力段を第1のカレントミラー回路により電源(VDD)側から吐出される電流I1と、第2のカレントミラー回路により接地(GND)側に流入する電流I2の差を出力電流I0とする回路構成とし、第1および第2のカレントミラーを構成するトランジスタのゲートを電圧モードで動作するオペアンプにより制御するようにしたので、低オフセット電圧と広出力電流範囲を両立させることができる。また、当該電圧電流変換回路の出力端子に容量性素子を接続することにより、低入力オフセット電圧と高速過渡応答を両立させた電流出力型誤差増幅回路を容易に実現することができる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 および第 2 の入力端子，出力端子，第 1 のカレントミラーを構成する第 1 の P チャンネル MOS FET および第 2 の P チャンネル MOS FET ，第 2 のカレントミラーを構成する第 1 の N チャンネル MOS FET および第 2 の N チャンネル MOS FET ，演算増幅器，バイアス電圧発生手段，並びに第 1 の抵抗を有し、

前記第 1 の P チャンネル MOS FET に流れる電流に対する前記第 2 の P チャンネル MOS FET に流れる電流の比が前記第 1 の N チャンネル MOS FET に流れる電流に対する前記第 2 の N チャンネル MOS FET に流れる電流の比に等しくなるよう設定され、前記第 1 の入力端子と前記入力抵抗の一端が接続され、前記入力抵抗の他端，前記第 1 の P チャンネル MOS FET のドレイン，前記第 1 の N チャンネル MOS FET のドレインおよび前記演算増幅器の非反転入力に接続され、前記第 2 の入力端子と前記演算増幅器の反転入力に接続され、前記出力端子，前記第 2 の P チャンネル MOS FET のドレインおよび前記第 2 の N チャンネル MOS FET のドレインに接続され、前記演算増幅器の出力端子が前記第 1 の N チャンネル MOS FET および前記第 2 の N チャンネル MOS FET のゲートに接続され、前記バイアス電圧発生手段が前記演算増幅器の出力端子と前記第 1 の N チャンネル MOS FET のゲートおよび前記第 2 の N チャンネル MOS FET のゲートとの接続点の間に接続されていることを特徴とする電圧電流変換回路。

10

【請求項 2】

前記バイアス電圧発生手段が、一端が前記演算増幅器の出力端子に接続され、他端が定電流源に接続された第 2 の抵抗であることを特徴とする請求項 1 に記載の電圧電流変換回路。

20

【請求項 3】

電源と基準電位の間にゲート端子とドレイン端子を接続した第 3 の P チャンネル MOS FET ，第 3 の抵抗およびゲート端子とドレイン端子を接続した第 3 の N チャンネル MOS FET を直列に接続して電流生成回路を構成し、該電流生成回路に流れる電流に対する前記定電流源に流れる電流の比と前記第 2 の抵抗の抵抗値に対する前記第 3 の抵抗の抵抗値の比とが等しくなるよう設定され、MOS FET のゲート幅 W とゲート長 L の比である W/L 比に関し、前記第 2 の P チャンネル MOS FET の W/L 比に対する前記第 2 の N チャンネル MOS FET の W/L 比の比と前記第 3 の P チャンネル MOS FET の W/L 比に対する前記第 3 の N チャンネル MOS FET の W/L 比の比が等しく設定されていることを特徴とする請求項 2 に記載の電圧電流変換回路。

30

【請求項 4】

前記第 2 の P チャンネル MOS FET のゲート長と前記第 3 の P チャンネル MOS FET のゲート長が等しく、前記第 2 の N チャンネル MOS FET のゲート長と前記第 3 の N チャンネル MOS FET のゲート長が等しいことを特徴とする請求項 3 に記載の電圧電流変換回路。

【請求項 5】

前記第 2 の P チャンネル MOS FET と前記第 3 の P チャンネル MOS FET が同じゲート幅とゲート長を有する単位 P チャンネル MOS FET をそれぞれ一つまたは複数並列に接続して構成され、前記第 2 の N チャンネル MOS FET と前記第 3 の N チャンネル MOS FET が同じゲート幅とゲート長を有する単位 N チャンネル MOS FET をそれぞれ一つまたは複数並列に接続して構成されていることを特徴とする請求項 3 または 4 に記載の電圧電流変換回路。

40

【請求項 6】

請求項 1 ないし 5 のいずれかに記載の電圧電流変換回路の前記出力端子に容量性素子を接続して構成したことを特徴とする誤差増幅回路。

【請求項 7】

前記容量性素子が前記出力端子と基準電位の間に直列に接続された第 4 の抵抗およびコンデンサであることを特徴とする請求項 6 に記載の誤差増幅回路。

【発明の詳細な説明】

50

【技術分野】

【0001】

本発明は、電圧電流変換回路およびそれを用いたスイッチング電源の誤差増幅回路に関する。

【背景技術】

【0002】

まず、図6によりスイッチング電源の構成例について説明する。図6は入力電圧 V_{DD} より出力電圧 V_o を生成して負荷 Z に供給するPWM（パルス幅変調）方式の降圧型DC/DCコンバータである。このDC/DCコンバータは誤差増幅器1、三角波 V_{osc} を生成する発振器2、PWMコンパレータ3、スイッチング素子であるPチャンネルMOSFET（Metal Oxide Semiconductor Field Effect Transistor）4、同期整流方式の転流素子としてのNチャンネルMOSFET5、PWMコンパレータ3の出力に従いPチャンネルMOSFET4およびNチャンネルMOSFET5を駆動するドライブ回路6、インダクタ7、コンデンサ C_0 、電圧設定用のフィードバック手段となる抵抗 R_1 および R_2 、基準電圧 V_{REF} を発生する基準電圧源8、並びに出力端子9を有している。10は電源電圧 V_{DD} が供給される電源供給ラインである。誤差増幅器1の非反転入力端子には基準電圧 V_{REF} が入力され、出力端子と反転入力端子の間には位相補償素子として抵抗 R_c およびコンデンサ C_c が接続されている。PWMコンパレータ3の非反転入力端子には誤差増幅器1の出力信号 V_{err} が入力され、反転入力端子には三角波 V_{osc} が入力される。PWMコンパレータ3は誤差増幅器1の出力信号 V_{err} と三角波 V_{osc} を比較し、三角波 V_{osc} の信号レベルの方が小さければH（ハイレベル）を、三角波 V_{osc} の信号レベルの方が大きければL（ローレベル）をPWM信号としてドライブ回路6に出力するものである。PチャンネルMOSFET4およびNチャンネルMOSFET5のドレインは互いに接続されるとともにインダクタ7の一端に接続されている。またPチャンネルMOSFET4およびNチャンネルMOSFET5のソースはそれぞれ電源供給ライン10および接地電位（GND）に接続されている。インダクタ7の他端は出力端子9に接続されている。出力端子9とGNDの間にはコンデンサ C_0 および抵抗 R_1 、 R_2 の直列回路が並列に接続されている。抵抗 R_1 と R_2 の接続点の電位はフィードバック信号 V_{FB} として誤差増幅器1の反転入力端子へ入力される。またDC/DCコンバータの負荷として出力端子9には負荷11が接続されている。

【0003】

以下、簡単にこのDC/DCコンバータの動作を説明する。誤差増幅器1は基準電圧 V_{REF} とフィードバック信号 V_{FB} の差を増幅した信号 V_{err} をPWMコンパレータ3に入力する。PWMコンパレータ3は V_{err} と三角波 V_{osc} を比較することにより、周期は一定であるが1周期内のHとLの割合が誤差増幅器1の出力により変化する方形波パルス（PWM信号）をドライブ回路6を介してPチャンネルMOSFET4のゲートに出力する。すなわち、 $(V_{REF} - V_{FB})$ が大きい（小さい）ほど1周期内のPチャンネルMOSFET4がオン（導通）する期間が長く（短く）なるような方形波パルスを発生し、インダクタ7に蓄積するエネルギーを大きく（小さく）することにより出力電圧 V_o を一定に保つ。NチャンネルMOSFET5のゲートにも同様に方形波パルスが出力される。基本的にはPチャンネルMOSFET4とNチャンネルMOSFET5のゲートに出力される方形波パルスは同相であるが、PチャンネルMOSFET4とNチャンネルMOSFET5が同時にオンして貫通電流が流れることがないように、両方オフの期間であるデッドタイムを設ける。

【0004】

抵抗 R_1 、 R_2 、 R_c 、コンデンサ C_c 、誤差増幅器1および基準電圧源8は誤差増幅回路を構成する。この部分を抜き出して図7に示す。図7に示す誤差増幅回路は、入力信号 V_{IN} が入力され、出力信号 V_{OUT} を出力する一種の増幅回路である。なお、信号 V_{IN} 、 V_{OUT} はそれぞれ図6の V_o 、 V_{err} に相当する。図7の誤差増幅回路は、下式の条件を満たすとき直流的に安定する。

10

20

30

40

50

【 0 0 0 5 】

【 数 1 】

$$V_{IN} = \frac{R_1 + R_2}{R_2} V_{REF} \quad \dots (1)$$

上の (1) 式を満たす安定点からの V_{IN} , V_{OUT} の変動分をそれぞれ v_{in} , v_{out} とし、 v_{in} に応じて抵抗 R_1 に流れる電流 (すなわち安定点からの変動分) を i とすると、抵抗 R_1 と R_2 の接続点の電位は基準電位 V_{REF} にイマジナリショートされて固定されているから $i = v / R_1$ となる。ここで R_1 は抵抗 R_1 の抵抗値である。以下、同様に抵抗 R_i の抵抗値を R_i ($i = 0, 1, 2$) で表す。抵抗 R_2 の両端の電圧は上述のように V_{REF} に固定されていて抵抗 R_2 に流れる電流も変化できないため、電流 i は抵抗 R_2 には流れず抵抗 R_c に流れる。これより、 v_{in} , v_{out} および i の関係式は次式となる。

【 0 0 0 6 】

【 数 2 】

$$v_{out} = -(R_c i + \frac{1}{C_c} \int i dt) = -(\frac{R_c}{R_1} v_{in} + \frac{1}{C_c R_1} \int v_{in} dt) \quad \dots (2)$$

これより、図 7 に示す回路の (安定点からの変動分に関する) 伝達関数 $T(s)$ は次式となる。

【 0 0 0 7 】

【 数 3 】

$$T(s) = -(\frac{R_c}{R_1} + \frac{1}{s C_c R_1}) = -\frac{R_c}{R_1} (1 + \frac{1}{s C_c R_c}) \quad \dots (3)$$

図 7 に示す誤差増幅回路を図 6 に示すような電圧モードの DC / DC コンバータに用いる場合、制御ループを安定に動作させるために比較的大きな時定数 $\tau = R_1 \cdot C_c$ が要求される。なお、 C_c はコンデンサ C_c の容量値である。例えば $\tau = 100 \mu s$ を実現するためには、 $R_1 = 1 M$ としてもコンデンサ C_c の容量値 C_c として $100 pF$ が必要となり、これは集積回路に内蔵する容量値としては大きな値である。このように、図 7 に示す回路を集積回路で実現する場合、要求される時定数 τ がある程度大きいとコンデンサ C_c を外付け素子とせざるを得ず、当該集積回路に外付け端子を 2 つ設ける必要がある。集積回路における端子数増加はコストアップや実装面積の増大などを引き起こすため、コンデンサ C_c のためだけに端子が 2 つ増えてしまうのは問題となる。

【 0 0 0 8 】

端子数増加の問題に対しては、電流出力型アンプを用いて図 8, 9 の誤差回路を構成するという対策を講ずることができる。すなわち、図 8, 9 の誤差回路であれば外付け端子は 1 つだけでよい。

図 8, 9 の回路について簡単に説明する。なお、図 6, 7 と同じ部位には同じ記号を付して、当該部位に関する説明は省略する。図 8 の回路において O T A はトランスコンダクタンスアンプであり、図中に記したように、入力端子 x, y に印加される入力電圧 V_x ,

V_y と出力端子 o から出力される出力電流 I_o が $I_o = g_m (V_x - V_y)$ という関係を満たすよう機能するものである。なお、 g_m はコンダクタンスを表す正定数である。図 8 の回路も、下式の条件を満たすとき直流的に安定する。

【 0 0 0 9 】

【数 4】

$$V_{IN} = \frac{R_1 + R_2}{R_2} V_{REF} \quad \dots (4)$$

10

図 7 の回路と同様に、上の (4) 式を満たす安定点からの V_{IN} , V_{OUT} の変動分をそれぞれ v_{in} , v_{out} とし、 v_{in} に応じて抵抗 R_c に流れる電流を i_o とすると、 $i_o = -g_m \cdot v_{in} \cdot R_2 / (R_1 + R_2)$ となる。これより、図 8 に示す回路の v_{in} と v_{out} の間の関係式は次式となる。

【 0 0 1 0 】

【数 5】

$$v_{out} = R_c i_o + \frac{1}{C_c} \int i_o dt = -\left\{ \frac{g_m R_2 R_c}{R_1 + R_2} v_{in} + \frac{g_m R_2}{C_c (R_1 + R_2)} \int v_{in} dt \right\} \quad \dots (5) \quad 20$$

また、上式より、図 8 に示す回路の (安定点からの変動分に関する) 伝達関数 $T(s)$ は次式となる。

【 0 0 1 1 】

【数 6】

$$T(s) = -\left\{ \frac{g_m R_2 R_c}{R_1 + R_2} + \frac{g_m R_2}{s C_c (R_1 + R_2)} \right\} = -\frac{g_m R_2 R_c}{R_1 + R_2} \left(1 + \frac{1}{s C_c R_c} \right) \quad \dots (6) \quad 30$$

また、図 9 の回路において $C C I I$ はカレント (電流) コンペア回路であり、図中に記したように、入力端子 x , y に印加される入力電圧 V_x , V_y 、入力端子に流入する電流 I_y および出力端子 o から出力される出力電流 I_o の間に、 $V_x = V_y$ および $I_o = -I_y$ という関係が成り立つよう機能するものである。なお、 g_m は正定数である。図 9 の回路も、下式の条件を満たすとき直流的に安定する。

【 0 0 1 2 】

【数 7】

$$V_{IN} = \frac{R_1 + R_2}{R_2} V_{REF} \quad \dots (7)$$

40

図 7 , 8 の回路と同様に、上の (6) 式を満たす安定点からの V_{IN} , V_{OUT} の変動分をそれぞれ v_{in} , v_{out} とし、 v_{in} に応じて抵抗 R_c に流れる電流を i_o とすると、 $i_o = -I_y = -v_{in} / R_1$ となる。これより、図 9 に示す回路の v_{in} と v_{out} の間の関係式は次式となる。

50

【 0 0 1 3 】

【 数 8 】

$$v_{out} = R_c i_o + \frac{1}{C_c} \int i_o dt = -\left(\frac{\alpha R_c}{R_1} v_{in} + \frac{\alpha}{C_c R_1} \int v_{in} dt\right) \quad \dots (8)$$

また、上式より、図 9 に示す回路の（安定点からの変動分に関する）伝達関数 $T(s)$ は次式となる。

10

【 0 0 1 4 】

【 数 9 】

$$T(s) = -\left(\frac{\alpha R_c}{R_1} + \frac{\alpha}{s C_c R_1}\right) = -\frac{\alpha R_c}{R_1} \left(1 + \frac{1}{s C_c R_c}\right) \quad \dots (9)$$

(1), (4) および (7) 式より、図 7, 8 および 9 の回路は同じ直流安定点をもつことが分る。また、(3) 式と (6) 式を比較することにより、図 8 の回路の $g_m R_2 R_c / (R_1 + R_2)$ および $\{C_c (R_1 + R_2)\} / g_m R_2$ がそれぞれ図 7 の回路の R_c / R_1 および $C_c R_1$ (= 時定数) と等しくなるよう調整すれば、図 7, 8 の回路が同じ特性をもつことになる。同様に、(3) 式と (9) 式を比較することにより、図 9 の回路の R_c / R_1 および $C_c R_1 /$ がそれぞれ図 7 の回路の R_c / R_1 および $C_c R_1$ (= 時定数) と等しくなるよう調整すれば、図 7, 9 の回路が同じ特性をもつことになる。これにより、例えば図 9 の回路で を小さくすることにより、コンデンサ C_c の容量値を集積回路に内蔵できる程度に小さくすることもできる。

20

【 0 0 1 5 】

電流出力型アンプは上記のように、端子数を減らし、さらにコンデンサ C_c の容量値を小さくすることができるという長所をもつ反面、過渡応答特性向上のために当該アンプのバイアス電流を増加させると入力オフセット電圧が増加してしまうため、オペアンプ（演算増幅器）を用いた場合に比べて過渡応答特性と低入力オフセット電圧の両立が難しいという問題を有している。

30

図 10 に従来 of 電圧電流変換回路の一例を示す。図 10 において、12, 13 はそれぞれ正側および負側の差動入力端子、14 は差動回路に一定のバイアス電流を供給するための端子、15 は出力端子、トランジスタ M31, M33, M35, M38, M39 および M40 は P チャネル MOSFET、トランジスタ M32, M34, M36 および M37 は N チャネル MOSFET である。トランジスタ M33, M34, M35, M36 および M39 が差動段を構成し、トランジスタ M31 および M32 が出力段を構成している。トランジスタ M40 と M39 は端子 14 に流れる電流 I_b に比例したバイアス電流を差動段に供給するバイアス回路を構成している。トランジスタ M36 と M37、トランジスタ M38 と M31、およびトランジスタ M34 と M32 はそれぞれカレントミラー回路を構成している。

40

【 0 0 1 6 】

一般に、電圧電流変換回路は正負の電流を供給できるようにするために、その出力段が電源 (VDD) 側から吐出される電流 I_1 と接地 (GND) 側に流入する電流 I_2 の差を出力電流 I_0 とする回路構成がとられる。図 10 の回路においても、N チャネル MOSFET・M36 に流れる電流を基準としてトランジスタ M38 と M31 によるカレントミラー回路およびトランジスタ M36 と M37 によるカレントミラー回路により電流 I_1 を定め、N チャネル MOSFET・M34 に流れる電流を基準としてトランジスタ M34 と M

50

32によるカレントミラー回路により電流 I_2 を定める構成となっている。通常は入力電圧（差動入力端子12, 13からPチャンネルMOSFET・M33, M35のゲートにそれぞれ印加される電圧 V_+ および V_- の差電圧）が0のときに、 $I_1 = I_2$ となり、 $I_0 = 0$ となるよう設計される。

【0017】

上記のようにカレントミラー回路を用いた電圧電流変換回路において、製造プロセスのばらつきによりカレントミラー回路のミラー比（カレントミラー回路に入力される電流と、当該入力電流に応じてカレントミラー回路により生成される出力電流との比）が設計値からずれた場合について考える。この場合は入力電圧が0でも出力電流が0とはならず、オフセット電流 I_{off} が発生する。見方を変えれば、出力電流を0とするために、 $-I_{off}/g_m$ のオフセット電圧を入力電圧として加える必要がある（ g_m は電圧電流変換回路の伝達コンダクタンス）。

10

誤差増幅回路への適用においては上記のオフセット電圧が制御系の直流安定性の誤差に直結するため、オフセット電圧の値を許容範囲内の小さな値に収めなければならない。オフセット電圧を小さくするためにはオフセット電流 I_{off} の絶対値を低減する必要がある、そのためにバイアス電流 I_b 自体を小さくしてしまう電圧電流変換回路が提案されている（例えば、特許文献1参照）。

【特許文献1】特開平6-169225号公報（第2-4頁、図1, 2）

【発明の開示】

【発明が解決しようとする課題】

20

【0018】

特許文献1に示す電圧電流変換回路は、バイアス電流を小さくすればそれに比例してオフセット電流 I_{off} も小さくなるという考えに基づくものであるが、バイアス電流を小さくすると、以下の不具合が生じる。すなわち、図10に示す回路構造において、全てのカレントミラー回路のミラー比を1:1とすると、電圧電流変換回路としての電流出力範囲は $-I_b \sim +I_b$ （入力電圧範囲は $-I_b/g_m \sim +I_b/g_m$ ）となる（ミラー比が1:1でない場合は $-kI_b \sim +kI_b$ となるだけで、以下の議論は同様である。なお、ここで k は正定数）。そのため、電流出力範囲もしくは入力電圧範囲はバイアス電流 I_b を小さくすると狭くなってしまふ。これにより、このような電圧電流変換回路を誤差増幅回路に適用する場合、定常状態では出力電流が0なので問題は生じないものの、初期の立ち上がり時や制御系の変化などで大きな信号が入力された場合、出力電流の制限が生じて応答が伝達関数から期待されるものより遅くなってしまふという問題がある。

30

【0019】

本発明は上記の点に鑑みてなされたものであり、その目的は上記の課題を解決して、入力オフセット電圧が小さく、かつ出力電流範囲の広い電圧電流変換回路を提供することにある。さらに、当該電圧電流変換回路を用いた、低入力オフセット電圧と高速過渡応答を両立させた電流出力型誤差増幅回路を提供することを目的とする。

【課題を解決するための手段】

【0020】

そこで、上記課題を解決するために、請求項1に係る発明は、第1および第2の入力端子、出力端子、第1のカレントミラーを構成する第1のPチャンネルMOSFETおよび第2のPチャンネルMOSFET、第2のカレントミラーを構成する第1のNチャンネルMOSFETおよび第2のNチャンネルMOSFET、演算増幅器、バイアス電圧発生手段、並びに第1の抵抗を有し、前記第1のPチャンネルMOSFETに流れる電流に対する前記第2のPチャンネルMOSFETに流れる電流の比が前記第1のNチャンネルMOSFETに流れる電流に対する前記第2のNチャンネルMOSFETに流れる電流の比に等しくなるよう設定され、前記第1の入力端子と前記入力抵抗の一端が接続され、前記入力抵抗の他端、前記第1のPチャンネルMOSFETのドレイン、前記第1のNチャンネルMOSFETのドレインおよび前記演算増幅器の非反転入力と前記第2の入力端子と前記演算増幅器の反転入力とが接続され、前記出力端子、前記第2のPチャンネルMOSFETのドレインお

40

50

よび前記第2のNチャンネルMOSFETのドレインが接続され、前記演算増幅器の出力端子が前記第1のNチャンネルMOSFETおよび前記第2のNチャンネルMOSFETのゲートに接続され、前記バイアス電圧発生手段が前記演算増幅器の出力端子と前記第1のNチャンネルMOSFETのゲートおよび前記第2のNチャンネルMOSFETのゲートとの接続点の間に接続されてなる電圧電流変換回路であることを特徴とする。

【0021】

請求項2に係る発明は、請求項1に係る発明において、前記バイアス発生手段が、一端が前記演算増幅器の出力端子に接続され、他端が定電流源に接続された第2の抵抗であることを特徴とする。

請求項3に係る発明は、請求項2に係る発明において、電源と基準電位の間でゲート端子とドレイン端子を接続した第3のPチャンネルMOSFET、第3の抵抗およびゲート端子とドレイン端子を接続した第3のNチャンネルMOSFETを直列に接続して電流生成回路を構成し、該電流生成回路に流れる電流に対する前記定電流源に流れる電流の比と前記第2の抵抗の抵抗値に対する前記第3の抵抗の抵抗値の比とが等しくなるよう設定され、MOSFETのゲート幅 W とゲート長 L の比である W/L 比に関し、前記第2のPチャンネルMOSFETの W/L 比に対する前記第2のNチャンネルMOSFETの W/L 比の比と前記第3のPチャンネルMOSFETの W/L 比に対する前記第3のNチャンネルMOSFETの W/L 比の比が等しく設定されていることを特徴とする。

【0022】

請求項4に係る発明は、請求項3に係る発明において、前記第2のPチャンネルMOSFETのゲート長と前記第3のPチャンネルMOSFETのゲート長が等しく、前記第2のNチャンネルMOSFETのゲート長と前記第3のNチャンネルMOSFETのゲート長が等しいことを特徴とする。

請求項5に係る発明は、請求項3または4に係る発明において、前記第2のPチャンネルMOSFETと前記第3のPチャンネルMOSFETが同じゲート幅とゲート長を有する単位PチャンネルMOSFETをそれぞれ一つまたは複数並列に接続して構成され、前記第2のNチャンネルMOSFETと前記第3のNチャンネルMOSFETが同じゲート幅とゲート長を有する単位NチャンネルMOSFETをそれぞれ一つまたは複数並列に接続して構成されていることを特徴とする。

【0023】

請求項6に係る発明は、請求項1ないし5のいずれかの発明に係る電圧電流変換回路の前記出力端子に容量性素子を接続して構成した誤差増幅回路であることを特徴とする。

請求項7に係る発明は、請求項6に係る発明において、前記容量性素子が前記出力端子と基準電位の間で直列に接続された第4の抵抗およびコンデンサであることを特徴とする。

【発明の効果】

【0024】

この発明に係る電圧電流変換回路は、出力段を第1のカレントミラー回路により電源(VDD)側から吐出される電流 I_1 と、第2のカレントミラー回路により接地(GND)側に流入する電流 I_2 の差を出力電流 I_0 とする回路構成とし、第1および第2のカレントミラーを構成するトランジスタのゲートを電圧モードで動作する前記オペアンプにより制御するようにしたので、低オフセット電圧と広出力電流範囲を両立させることができる。また、当該電圧電流変換回路の出力端子に容量性素子を接続することにより、低入力オフセット電圧と高速過渡応答を両立させた電流出力型誤差増幅回路を容易に実現することができる。なお、第1のカレントミラーの入力部、第2のカレントミラーの入力部および当該電圧電流変換回路の第1の入力端子と一端が接続された抵抗の他端がオペアンプの非反転入力端子に接続され、電圧電流変換回路の第2の入力端子がオペアンプの反転入力端子に接続されて、オペアンプの反転入力端子と非反転入力端子が仮想短絡するようになっている。

【発明を実施するための最良の形態】

【0025】

以下、本発明の実施の形態について、図面を参照して説明を行う。

図1は本発明に係る電圧電流変換回路の基本構成および動作原理を説明するための図である。図1においてトランジスタM1, M3はPチャネルMOSFETで、それぞれのソース端子が電源VDDに接続され、互いのゲート端子が共通接続されて第1のカレントミラー回路を構成している。第1のカレントミラー回路のミラー比をとする。トランジスタM2, M4はNチャネルMOSFETで、それぞれのソース端子が接地電位(GND)に接続され、互いのゲート端子が共通接続されて第2のカレントミラー回路を構成している。第2のカレントミラー回路のミラー比も第1のカレントミラー回路のミラー比と同じにする。トランジスタM1およびM2のドレイン端子は出力端子に接続され、トランジスタM3およびM4のドレイン端子は節点XでオペアンプOPの非反転入力端子に接続されている。また、オペアンプOPの非反転入力端子は、入力抵抗R0を介して第1の入力端子Vinにも接続されている。オペアンプOPの反転入力端子には第2の入力端子Vrefが接続されている。トランジスタM2, M4の両ゲートの共通接続部YはオペアンプOPの出力端子に接続され、トランジスタM1, M3の両ゲートの共通接続部Zは定電圧源V1sを介してオペアンプOPの出力端子に接続されている。

10

【0026】

ここで、第1および第2の入力端子Vin, Vrefに入力される電圧もVin, Vrefとし、また、定電圧源V1sの発生する電圧もV1sとする。定電圧源V1sは接続部Zの電位を接続部Yの電位に対し電圧V1sだけレベルシフトするもので、電圧V1sはレベルシフト電圧となる。オペアンプOPの動作によりオペアンプOPの反転入力端子と非反転入力端子は仮想短絡されて節点Xの電位はVrefに等しくなり、入力端子Vinから入力抵抗R0に流れる電流Iinは(Vin - Vref) / R0となる。なお、R0は入力抵抗R0の抵抗値である。またトランジスタM1, M3のドレイン端子から流れ出す電流をそれぞれI1, I3、トランジスタM2, M4に流れ込む電流をそれぞれI2, I4、出力端子OUTに流れ出す電流をIoutとすると、Iin = I4 - I3, I1 = I2 + Ioutとなる。これと、I1 = I3およびI2 = I4という関係式より、次式が導かれる。

20

【0027】

[数10]

$$I_{out} = I_1 - I_2 = -(-I_3 + I_4) = -I_{in} \dots (10)$$

30

電源VDDから供給される電源電圧をVDDとし、接続部Y, Zの電位をそれぞれVy, Vzとすると、電流I3はVDD - Vzの関数であり、電流I4はVyの関数となる。これと、上述のIin = I4 - I3およびVz = Vy + V1sという関係式を満たすようにVy, Vz, I3, I4が定まる。ここでV1sを小さくすると、VDD - VzおよびVyが大きくなり、Iin = I4 - I3を満たしつつI3とI4の絶対値が大きくなる。また、V1sを大きくすると、VDD - VzおよびVyが小さくなり、Iin = I4 - I3を満たしつつI3とI4の絶対値が小さくなる。電圧V1sを十分大きな値にすれば、Iin = Iout = 0のときにトランジスタM1 ~ M4に流れる電流、すなわち出力段を貫通する電流を0にすることも可能であり、この場合は第1および第2のカレントミラー回路のミラー比間にずれが生じて、オフセット電流は生じないことになる。但し、この条件では、Iout = 0の近傍における入力電圧Vinの変化に対し接続部YおよびZの電位が大きく変化してしまうため、オペアンプの特性が理想的ではない場合には、歪や過渡応答の悪化を防止するために微小な電流を流しておく方がよい。

40

【0028】

定電圧源V1sは抵抗を用いて構成することができる。その実施例を図2に示す。図2において、入力端子IN+, IN-はそれぞれオペアンプの非反転入力端子および反転入力端子であり、トランジスタM21, M22, M23, M24およびM25はPチャネルMOSFET、トランジスタM26, M27およびM28はNチャネルMOSFETである。入力端子IN+, IN-、定電流源Ib, トランジスタM21, M22, M24, M

50

25, M26, M27, M28, 抵抗 R_{c2} およびコンデンサ C_{c2} は図1のオペアンプOPに相当し、定電流源 I_b およびトランジスタM21, M22がオペアンプOPのバイアス回路を構成し、入力端子 I_{N+} , I_{N-} およびトランジスタM22, M24, M25, M26, M27が差動段を構成し、トランジスタM28, 抵抗 R_{c2} およびコンデンサ C_{c2} が出力段を構成している。抵抗 R_{c2} およびコンデンサ C_{c2} はオペアンプOP自体の位相補償素子である。バイアス回路のトランジスタM21およびM22はそのゲート端子を共通接続してミラー回路を構成して定電流源 I_b によって定められる定電流を流すようになっているが、トランジスタM23のゲート端子もトランジスタM21, M22のゲート端子と共通接続することによりトランジスタM23が抵抗 R_{l1} に定電流を供給する構成となっている。定電流源 I_b の供給する定電流値も I_b とし、トランジスタM21, M23により構成されるカレントミラー回路のミラー比を A とすると、抵抗 R_{l1} により、 $V_{l1} = A \cdot R_{l1} \cdot I_b$ というレベルシフト電圧を生成することができる。

【0029】

図3に図1に示す回路の動作特性を示す。回路パラメータ R_0 , の値をそれぞれ1Mおよび0.2としたときの、入力電圧 ($V_{in} - V_{ref}$) と電流 I_1 , I_2 および I_0 の関係を示している。図3(a)は V_{l1} を大きくした場合の特性であり、図3(b)は逆に V_{l1} を小さくした場合の特性である。

上記のように、本発明は、レベルシフト電圧 V_{l1} の作用により出力電流 $I_{out} = 0$ の近傍におけるトランジスタM1~M4のソース・ゲート間電圧が大きくなるよう抑制され、トランジスタM1~M4に流れる電流を絞ることができる。すなわち、トランジスタM1~M4で生じる入力オフセット電圧を低減することができる。また、出力電流 I_{out} が0近傍ではない場合は、トランジスタM1およびM3又はトランジスタM2およびM4のソース・ゲート間電圧が大きくなって当該トランジスタに流れる電流を大きくすることができ、図10に示す従来の電圧電流変換回路のように電流出力範囲を犠牲にする必要がない。なお、オペアンプOP自体の入力オフセット電圧はそのまま電圧電流変換回路としての入力オフセット電圧となってしまうが、その入力オフセット電圧の値は電流出力型アンプのものに比べて充分小さいので問題はない。

【0030】

なお、本発明に係る電圧電流変換回路を用いて誤差増幅回路を構成する場合、上記のように出力電流 $I_{out} = 0$ の近傍におけるトランジスタM1~M4に流れる電流を小さくすることにより比較的高い直流利得を得ることができるが、さらに高い直流利得を得るために、必要に応じてトランジスタM1~M4としてカスコード接続したMOSFETを適用してもよい。

次に、図4により、本発明に係る電圧電流変換回路を用いた誤差増幅回路の実施例について、説明する。また、図4に示す回路の各回路素子のパラメータ値例を図5に示す。図4において、図1, 2, 8, 9と同じ部位には同じ記号を付して、その詳細な説明は省略する。この誤差増幅回路は、時定数 $\tau = C_c \cdot R_1 / \dots = 50 \mu s$ を実現するもので、直流安定点は $V_{in} = 2 V_{ref}$ (この値は可変抵抗 R_2 により変更もしくは調整可能) としてある。ここでは、高抵抗のポリシリコンが使用可能なCMOSプロセスを使用し、全ての回路素子が集積回路に内蔵されることを想定している。

【0031】

図4において、トランジスタM10はPチャネルMOSFETであり、トランジスタM11, M12はNチャネルMOSFETである。トランジスタM10とM12のドレインおよびゲートは抵抗 R_{10} を介して接続されている。また、トランジスタM11とトランジスタM12のゲートが互いに接続されていて、トランジスタM11とM12はカレントミラー回路を構成している。トランジスタM10, M11, M12および抵抗 R_{10} はバイアス電流生成回路を構成していて、電源電圧 V_{DD} , 抵抗 R_{10} およびトランジスタM10, M11の特性により定まる電流 I_b をM11, M12によるカレントミラー回路で折り返して、次段のオペアンプ+レベルシフト回路にバイアス電流 I_b を供給するものであり、図2の回路における定電流源 I_b に相当する(図5から分るように、M11, M1

2 からなるカレントミラー回路のミラー比は 1 である)。

【 0 0 3 2 】

トランジスタ M 2 1 ~ M 2 8、抵抗 R 1 s 1, R 1 s 2 およびコンデンサ C c からなるオペアンプ + レベルシフト回路は、定電流源 I b を除く図 2 の回路とほとんど同じであるが、図 2 の抵抗 R c 2 を削除したことと、図 2 の抵抗 R 1 s を二つの抵抗 R 1 s 1, R 1 s 2 に分割し、コンデンサ C c 2 の一端を抵抗 R 1 s 1 と R 1 s 2 との接続部に接続したことが異なる。この場合、抵抗 R 1 s 1 が位相補償抵抗 R c 2 の機能も担っている。変換回路コアを構成するトランジスタ M 1 ~ M 4 は図 1 に示すものと同じである。抵抗 R 1, R 2, R c およびコンデンサ C c は図 6 や図 8, 9 に示すものと同じである。但し、抵抗 R 2 は可変抵抗として、上述のように変更もしくは調整ができるようにしてある。本実施例は、図 9 の回路に対し、低オフセット電圧と広出力電流範囲を両立させることができる新たな C C I I をバイアス電流生成回路、オペアンプ + レベルシフト回路および変換回路コアという構成により提供するものであり、全体動作については図 9 と同様になるため説明は省略する。

10

【 0 0 3 3 】

図 4 に示す実施例は、トランジスタ M 1, M 2 で構成される出力段から出力される電圧電流変換回路の出力電流が 0 のときに、出力段に流れる電流がデバイス特性の変化により桁違いに変動することを防ぐ工夫がなされている。その詳細は以下のとおりである。

まず、カレントミラーを構成するトランジスタの特性が揃っていれば (これは集積回路では充分期待できるものである)、図 5 から分るようにトランジスタ M 2 1, M 2 3 からなるカレントミラー回路のミラー比は 1 0 であるから抵抗 R 1 s 1, R 1 s 2 に流れる電流は 1 0 I b となり、抵抗 R 1 0 (1 M) と R 1 s 1 (3 0 k), R 1 s 2 (7 0 k) の直列抵抗の抵抗比は 1 : 1 0 であるから、抵抗 R 1 0 の両端電圧と R 1 s 1, R 1 s 2 の直列抵抗の両端電圧 (すなわちトランジスタ M 1 のゲートとトランジスタ M 2 のゲートの電位差) は等しくなる。図 5 から分るように、トランジスタ M 1 0 とトランジスタ M 1 は同じ単位 P チャンネル MOS F E T (W (ゲート幅) / L (ゲート長) = 8 μ m / 4 μ m) により構成され、トランジスタ M 1 1 とトランジスタ M 2 は同じ単位 N チャンネル MOS F E T (W / L = 6 μ m / 4 μ m) により構成され、トランジスタ M 1 0 とトランジスタ M 1 の単位トランジスタ数比 (4 0 : 1) がトランジスタ M 1 1 とトランジスタ M 2 の単位トランジスタ数比 (4 0 : 1) と等しいから (言い換えれば、トランジスタ M 1 0, M 1 1 の単位トランジスタ数比 (1 : 1) がトランジスタ M 1, M 2 の単位トランジスタ数比 (1 : 1) に等しいから)、電圧電流変換回路の出力電流が 0 のときは、トランジスタ M 1 0 と M 1 のゲート電圧およびトランジスタ M 1 1 と M 2 のゲート電圧がそれぞれ等しくなる。そして、上記の単位トランジスタ数比より、トランジスタ M 1, M 2 に流れる電流はトランジスタ M 1 0, M 1 1 に流れる電流の 1 / 4 0 となる。上述のようにトランジスタ M 1 0, M 1 1 に流れる電流 I b は電源電圧 V D D, 抵抗 R 1 0 およびトランジスタ M 1 0, M 1 1 の特性により定まるが、ある程度電源電圧 V D D が高ければ、抵抗 R 1 0 に印加される電圧が大きくなって電流 I b を決定する主要因が抵抗 R 1 0 となるから、M O S F E T の特性変動の影響を緩和できる。プロセスによっては、抵抗の温度特性を利用して M O S F E T の温度による特性変動を相殺することも可能である。

20

30

40

【 図面の簡単な説明 】

【 0 0 3 4 】

【 図 1 】 本発明に係る電圧電流変換回路の基本構成および動作原理を説明するための回路図である。

【 図 2 】 オペアンプおよび抵抗 R 1 s により構成した定電圧源の実施例である。

【 図 3 】 図 1 に示す回路の動作特性である。

【 図 4 】 本発明に係る誤差増幅回路の実施例の回路図である。

【 図 5 】 図 4 に示す回路の各回路素子のパラメータ値を示す表である。

【 図 6 】 スイッチング電源の構成例を示す回路ブロック図である。

【 図 7 】 従来 of 誤差増幅回路を説明するための図である。

50

【図8】トランスコンダクタンスアンプを用いて構成した誤差増幅回路について説明するための図である。

【図9】カレントコンベア回路を用いて構成した誤差増幅回路について説明するための図である。

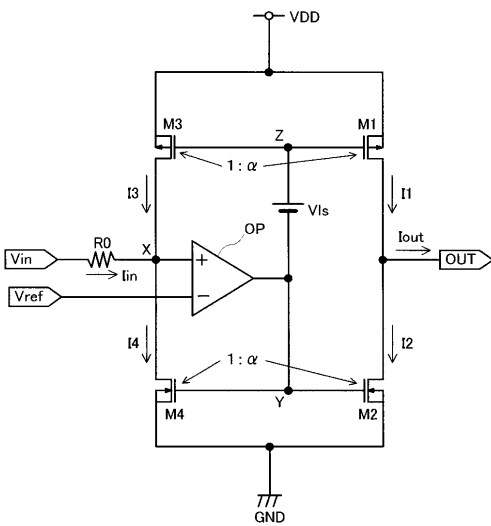
【図10】従来の電圧電流変換回路について説明するための図である。

【符号の説明】

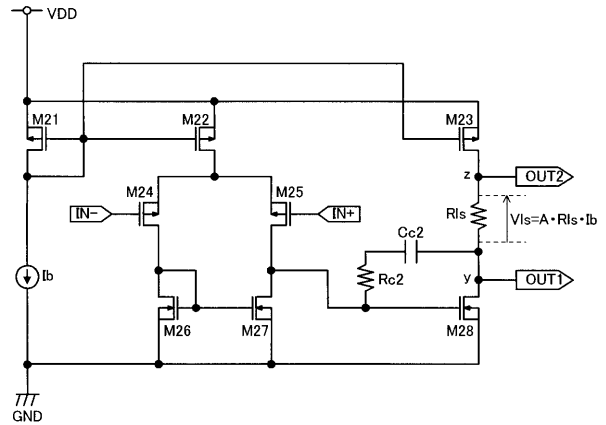
【0035】

- M1, M1, M10, M21 ~ M25 PチャンネルMOSFET
- M2, M4, M11, M12, M26 ~ M28 NチャンネルMOSFET
- R0, R1, R2, R3, R10, R1s, R1s1, R1s2 抵抗
- OP オペアンプ
- VDD 電源(電源電圧)
- VIN 入力端子(入力電圧)
- OUT 出力端子(出力電圧)
- Vref 入力端子(基準電圧)
- Vls 定電圧源(レベルシフト電圧)

【図1】

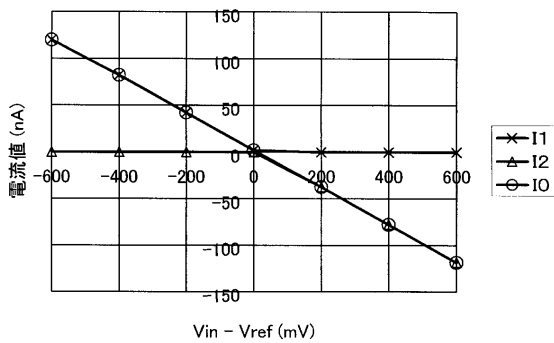


【図2】



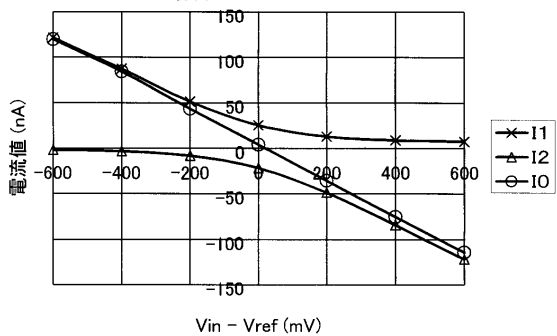
【 図 3 】

(V_{Is} が大きい場合)



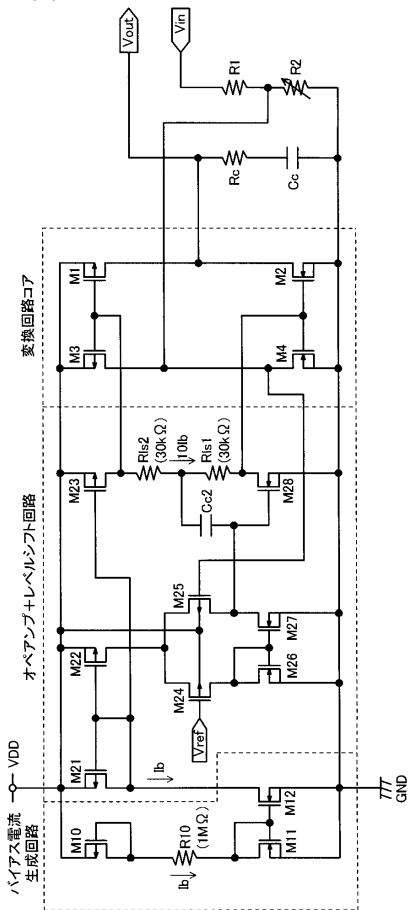
(a)

(V_{Is} が小さい場合)



(b)

【 図 4 】

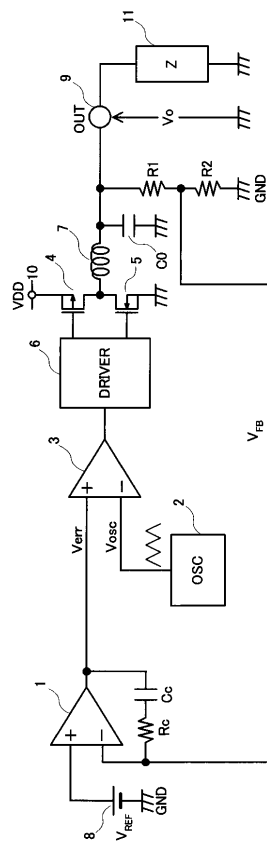


【 図 5 】

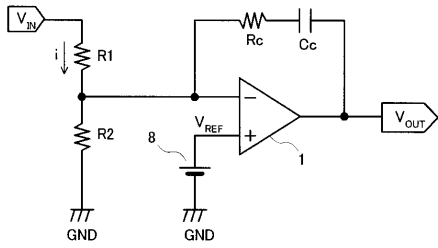
M1	1*8/4	M22	8*12/4	R1	1MΩ
M2	1*6/4	M23	20*12/4	R2	1MΩ
M3	5*8/4	M24	2*12/4	R3	50kΩ
M4	5*6/4	M25	2*12/4	R10	1MΩ
M10	40*8/4	M26	4*6/4	R1s1	70kΩ
M11	40*6/4	M27	4*6/4	R1s2	30kΩ
M12	40*6/4	M28	20*6/4	C1	10pF
M21	2*12/4			Cc	8pF

注)トランジスタMxxのパラメータn*L/Wの意味
 n: 並列接続するトランジスタ数
 L: ゲート長(単位 μm)
 W: ゲート幅(単位 μm)

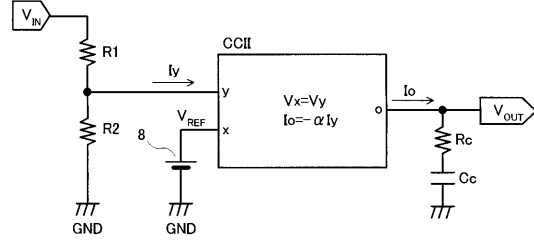
【 図 6 】



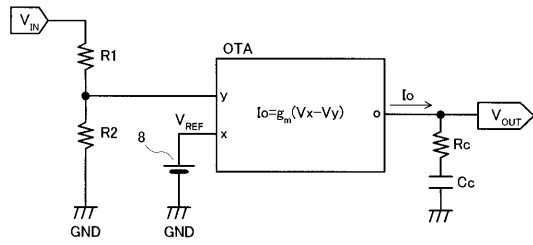
【 図 7 】



【 図 9 】



【 図 8 】



【 図 10 】

