

(12) 发明专利

(10) 授权公告号 CN 101116192 B

(45) 授权公告日 2011.04.06

(21) 申请号 200680004342.4

(22) 申请日 2006.02.07

(30) 优先权数据

031682/2005 2005.02.08 JP

366961/2005 2005.12.20 JP

(85) PCT申请进入国家阶段日

2007.08.08

(86) PCT申请的申请数据

PCT/JP2006/302026 2006.02.07

(87) PCT申请的公布数据

WO2006/085514 JA 2006.08.17

(73) 专利权人 罗姆股份有限公司

地址 日本京都府

(72) 发明人 酒井光彦 山口敦司 中原健

园部雅之 筒井毅

(74) 专利代理机构 北京尚诚知识产权代理有限公司 11322

代理人 龙淳

(51) Int. Cl.

H01L 33/00(2006.01)

(56) 对比文件

JP 2005-5679 A, 2005.01.06, 说明书 0038 段, 说明书附图 2.

JP 2004-221529 A, 2004.08.05, 说明书 0049-0091, 说明书附图 9-13.

JP 2005-33197 A, 2005.02.03, 说明书 0061 段.

审查员 朱红来

权利要求书 1 页 说明书 8 页 附图 4 页

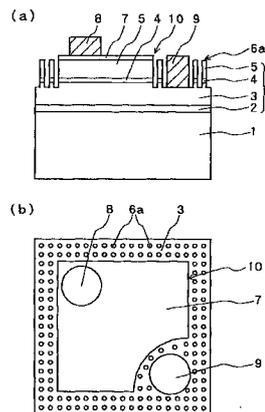
(54) 发明名称

半导体发光元件及其制法

(57) 摘要

本发明提供一种氮化物半导体发光元件及其制法, 该氮化物半导体发光元件的结构能够有效地取出在半导体叠层部与基板内反复进行全反射而衰减的光线, 提高外部量子效率。在例如由蓝宝石等构成的基板(1)的表面上, 设有包括由氮化物半导体构成的第一导电型层和第二导电型层的半导体叠层部(6), 与该半导体叠层部(6)的表面侧的第一导电型层(例如p型层5)电连接地设有第一电极(例如p侧电极8), 与第二导电型层(例如n型层3)电连接地形成有第二电极(例如n侧电极9)。然后, 通过蚀刻除去半导体叠层部(6)的一部分, 使得在半导体叠层部(6)的至少芯片周围, 半导体叠层部以柱状林立的柱状部(6a)残留, 柱状部(6a)周围的n型层(3)露出。

CN 101116192 B



1. 一种半导体发光元件,其特征在于,包括:

基板;

半导体叠层部,其由氮化物半导体构成,包括第一导电型层和第二导电型层,设置在所述基板上;

第一电极,其与该半导体叠层部表面侧的所述第一导电型层电连接地设置;和

第二电极,其与所述第二导电型层电连接地设置,并且,

所述半导体叠层部在所述第一导电型层与第二导电型层之间具有活性层,

对所述半导体叠层部的一部分进行蚀刻,使得至少在芯片的周围,所述第二导电型层露出,由此形成所述半导体叠层部的台面结构部,并在该台面结构部的周围形成所述半导体叠层部以柱状林立残留的柱状部,

所述柱状部形成为:所述第二导电型层露出,所述柱状部的高度低于所述台面结构部的活性层的位置。

2. 如权利要求1所述的半导体发光元件,其特征在于:

所述柱状部的高度为  $0.5 \sim 5 \mu\text{m}$  的高度。

3. 如权利要求1或2所述的半导体发光元件,其特征在于:

所述柱状部为相邻列错开半个间距配置的结构。

4. 如权利要求1~3中任一项所述的半导体发光元件,其特征在于:

所述台面结构部的侧壁与所述柱状部的间隔至少设在  $0.5 \mu\text{m}$  以上。

5. 如权利要求1~4中任一项所述的半导体发光元件,其特征在于:

所述基板由绝缘性基板构成,通过蚀刻除去所述半导体叠层部的一部分,使所述第二导电型层露出,在该露出的第二导电型层的表面上设置有所述第二电极,在该第二电极的周围以林立状形成有所述柱状部。

6. 如权利要求1~4中任一项所述的半导体发光元件,其特征在于:

所述基板由半导体基板构成,在该半导体基板的背面形成有所述第二电极。

7. 一种氮化物半导体发光元件的制法,其特征在于:

在晶片状的基板表面叠层氮化物半导体层,使其具有n型层、活性层和p型层的双异质结构,形成发光层,从而形成半导体叠层部,通过分割形成有该半导体叠层部的晶片状基板,进行芯片化,形成发光元件芯片,

以柱状半导体叠层部构成的柱状部林立残留的方式形成掩模,对将所述晶片状基板分割为芯片的部分的所述半导体叠层部进行蚀刻,直至所述基板侧的导电型半导体层露出,由此在由所述半导体叠层部构成的台面结构部以及所述台面结构部的周围形成柱状部,并覆盖所述台面结构部,蚀刻所述柱状部,通过使所述柱状部的所述基板侧的导电型半导体层露出,使得所述柱状部的高度低于所述台面结构部的活性层的位置,然后在该柱状部的部分分割所述基板。

## 半导体发光元件及其制法

### 技术领域

[0001] 本发明涉及在基板上叠层有氮化物半导体的产生蓝色系（从紫外线到黄色）光的半导体发光元件及其制法。进一步具体而言，涉及使用具有下述结构的氮化物半导体的半导体发光元件及其制法，该氮化物半导体在使至少在芯片周围叠层的半导体叠层部下层的导电型层露出的区域内，通过使叠层的半导体叠层部以林立状残留，在露出的下层半导体层上形成凹凸，使得容易将从基板侧反射的光线取出到外部。

### 背景技术

[0002] 一直以来，发出蓝色系光的半导体发光元件通过下述方法形成，例如图 7 所示，在蓝宝石基板 31 上形成有半导体叠层部 36，该半导体叠层部 36 叠层有由 GaN 等构成的低温缓冲层 32、由 GaN 等构成的 n 型层 33、由带隙能小于 n 型层 33 的决定发光波长的材料例如 InGaN 系（意味着 In 和 Ga 的比例可以进行各种变化，下同）化合物半导体构成的活性层（发光层）34 和由 GaN 等构成的 p 型层 35。在其表面上隔着透光性导电层 37 设置有 p 侧（上部）电极 38，在叠层的半导体叠层部 36 的一部分被蚀刻而露出的 n 型层 33 的表面上设置有 n 侧（下部）电极 39。并且，为了提高 n 型层 33 和 p 型层 35 的封闭载流子的效果，在活性层侧使用 AlGaIn 系（意味着 Al 和 Ga 的比例可进行各种变化，下同）化合物等带隙能更大的半导体层。

[0003] 为了形成该 n 侧电极 39，对半导体叠层部 36 的一部分进行蚀刻，使作为下层半导体层的 n 型层 33 露出，此时如图 7 所示，芯片周围的宽度 A 也同时被蚀刻。对该芯片的周围进行蚀刻是因为，氮化物半导体坚硬，难以进行切割或划线，通过干式蚀刻分离发光层形成部，使得在发光层形成部上不会产生裂纹。因此，如果考虑在对基板进行划线时的位置偏差等的公差，相对于芯片的尺寸 B 为 400  $\mu\text{m}$  左右的四边形，芯片周围的宽度 A 为 25 ~ 40  $\mu\text{m}$  左右。

[0004] 另一方面，氮化物半导体也和其他的化合物半导体等同样，折光率在 2.5 左右，远大于空气的折光率 1。因此，在氮化物半导体层的发光层中发出的光，在从半导体叠层部向空气中射出时，容易发生全反射，不能从半导体叠层部向外射出，在半导体叠层部内反复进行反射而衰减的光线多，光的取出效率为 10% 的数量级，显著降低。为了解决该问题，在 GaP 系或 AlGaInP 系、AlGaAs 系等化合物半导体中，例如图 8 所示，在芯片的周围形成凹凸，力图使光线容易从半导体叠层部向外部射出（例如参照专利文献 1）。即，在图 8 中，在 n 型 GaP 基板 41 上，n 型 GaP 层 42 和 p 型 GaP 层 43 外延生长，形成半导体叠层部 44，在其表面上形成有例如由 3 层结构构成的 p 侧电极 46，在 GaP 基板 41 的背面形成有 n 侧电极 47，在进行切割形成芯片以后，例如通过利用盐酸的蚀刻，进行在 LED 芯片的表面形成凹凸 44a 的粗糙化处理。

[0005] 专利文献 1：日本特开 2000-299494

## 发明内容

[0006] 如上所述,在以形成发光层的方式叠层半导体层的半导体叠层部中发出的光,可以通过从半导体叠层部向外部射出而得到利用,但由于半导体的折射率远大于空气的折射率,发生全反射的概率非常高,不容易取出到外部,无法提高外部量子效率。另一方面,通过在 LED 芯片的外周面上形成凹凸,通过表面的凹凸使得不进行全反射而容易取出到外部,而氮化物半导体是化学性能非常稳定的材料,不能通过湿式蚀刻使表面粗糙化。并且,由于氮化物半导体发光元件,不容易提高氮化物半导体层特别是 p 型氮化物半导体层的载流子浓度,如上述的图 7 所示,在半导体叠层部 36 的表面上设置有透光性导电层 37,由于该透光性导电层 37 由薄的 Au 或 Au-Ni 合金等形成,可以进行湿式蚀刻,但由于该透光性导电层 37 本来是为了使电流扩散而设置的,所以当进行蚀刻时会使电流扩散的功能下降,当希望进行很深的蚀刻时,光就会难以透过,结果产生外部量子效率降低的问题。

[0007] 本发明的目的在于解决上述问题,提供一种氮化物半导体发光元件及其制法,该氮化物半导体发光元件的结构能够使在半导体叠层部与基板内反复进行全反射造成的衰减不再发生,能够有效地取出光,提高外部量子效率。

[0008] 本发明的另一个目的在于提供一种氮化物半导体发光元件及其制法,该氮化物半导体发光元件的结构能够使从芯片中心部的半导体叠层部(台面结构部)射出的侧面方向的光线不会发生衰减和吸收,能够有效地取出光,并且能够提高外部量子效率。

[0009] 本发明的半导体发光元件包括:基板;半导体叠层部,其由氮化物半导体构成,包括第一导电型层和第二导电型层,设置在上述基板上;第一电极,其与该半导体叠层部表面侧的上述第一导电型层电连接地设置;和第二电极,其与上述第二导电型层电连接地设置。对上述半导体叠层部的一部分进行蚀刻,使得至少在芯片的周围,上述第二导电型层露出,由此形成上述半导体叠层部的台面结构部,并在该台面结构部的周围形成上述半导体叠层部以柱状林立残留的柱状部。优选该柱状部形成为  $0.5 \sim 5 \mu\text{m}$  的高度,并且能够形成为相邻列错开半个间距配置的结构等。

[0010] 在此所谓氮化物半导体指由 IIIA 族元素 Ga 和 VA 族元素 N 的化合物或者 IIIA 族元素 Ga 的一部分或全部被 Al、In 等其他 IIIA 族元素置换的化合物和 / 或 VA 族元素 N 的一部分被 P、As 等其他的 VA 族元素置换得到的化合物(氮化物)形成的半导体。

[0011] 上述台面结构部的侧壁与上述柱状部的间隔至少设在  $0.5 \mu\text{m}$  以上,由此难以遮挡在台面结构中发出的光的放射,因而优选。并且,上述半导体叠层部在上述第一导电型层和第二导电型层之间具有活性层,通过对上述柱状部的顶部进行蚀刻,使上述柱状部的高度低于上述活性层的位置,更加难以遮挡在台面结构的活性层中发出的光的放射,因而优选。

[0012] 上述基板由绝缘性基板构成,通过蚀刻除去上述半导体叠层部的一部分,使上述第二导电型层露出,在该露出的第二导电型层的表面上设置有上述第二电极,在该第二电极的周围以林立状形成有上述柱状的半导体叠层部;在上述基板为半导体基板的情况下,可以使柱状的半导体叠层部只在芯片的周围林立残留,在该半导体基板的背面形成上述第二电极。

[0013] 本发明的半导体发光元件的制法为,在晶片状的基板表面叠层氮化物半导体层,以形成发光层,从而形成半导体叠层部,通过分割形成有该半导体叠层部的晶片状基板进行芯片化,形成发光元件芯片,以柱状半导体叠层部构成的柱状部林立残留的方式形成掩

模,对将上述晶片状基板分割为芯片的部分的上述半导体叠层部进行蚀刻,直至上述基板侧的导电型半导体层露出,由此在由半导体叠层部构成的台面结构部的周围形成柱状部,然后在该柱状部的部分分割上述基板。

[0014] 以n型层、活性层和p型层的双异质结构形成上述半导体叠层部,对上述柱状部的顶部进一步进行蚀刻,使得上述柱状部的高度低于上述活性层的位置。

[0015] 发明效果

[0016] 在使用氮化物半导体的发光元件中,氮化物半导体为几乎不能利用湿式蚀刻等进行蚀刻的非常硬的材料,所以无法利用包括变形蚀刻的切割机进行元件分离。因此,采用干式蚀刻在进行元件分离部分的半导体叠层部形成分离槽,对基板进行切割或划线,实现芯片化。在本发明中,不完全以槽的形式形成分离槽部分,而是进行蚀刻使柱状的半导体叠层部林立残留,所以如果在基板侧反射的光线射入该柱状部分,在狭窄区域内入射角发生改变,光线容易射出到外部,能够提高所谓的光线的取出效率。即,如果在基板或半导体叠层部的四角区域内反复进行全反射,入射角不怎么改变,容易反复进行全反射,并且通过半导体层的距离也会增长,所以容易衰减;但如果在狭窄区域内反复进行反射,入射角也容易改变,容易在未进行衰减时射出到外部。结果,外部量子效率大幅度提高。

[0017] 并且,该柱状的半导体叠层部(柱状部),在现有技术中对半导体叠层部的芯片周围进行蚀刻的工序中,只是形成不对柱状部分进行蚀刻的掩模,能够以完全相同的过程形成,不会增加工序数,不会提高成本,能够提高外部量子效率。

[0018] 此外,在芯片中心部的半导体叠层部(台面结构部)产生的光线,不仅向基板侧或表面侧射出,也会向侧面侧射出,而在如上所述通过蚀刻形成柱状的半导体叠层部的情况下,由于柱状的半导体叠层部的高度与芯片中心部的半导体叠层部高度相同,所以从侧面射出的光线被柱状的半导体叠层部遮断而发生衰减,或者由于侧面光射入柱状的半导体叠层部中而发生光吸收。但是,如本发明所述,离开设置柱状部的位置进行设置,或者进一步蚀刻除去柱状部的顶部,使柱状部的高度低于台面结构部的活性层的位置,从台面结构部横向射出的光线不会被柱状半导体叠层部遮断,也不会被柱状的半导体叠层部吸收,所以能够进一步提高光线的取出效率。结果,进一步提高外部量子效率。

## 附图说明

[0019] 图1是本发明的半导体发光元件一种实施方式的截面和平面的说明图。

[0020] 图2是表示改变图1的柱状部高度时亮度变化的图。

[0021] 图3是说明通过本发明的半导体发光元件的柱状部容易取出光的图。

[0022] 图4是表示本发明的半导体发光元件另一种实施方式的截面说明图。

[0023] 图5是说明利用图4所示结构容易取出光的图。

[0024] 图6是表示本发明的半导体发光元件另一种实施方式的截面说明图。

[0025] 图7是现有的使用氮化物半导体的LED的立体说明图。

[0026] 图8是在现有的使用GaP的LED的表面上设有凹凸的示例的截面说明图。

[0027] 符号说明

[0028] 1:基板;3:n型层;4:活性层;5:p型层;6:半导体叠层部;6a:柱状半导体叠层部(柱状部);7:透光性导电层;8:p侧电极;9:n侧电极;10:台面结构部。

## 具体实施方式

[0029] 下面,参照附图对于本发明的半导体发光元件及其制法进行说明。图 1 表示本发明的半导体发光元件一种实施方式的截面和平面的说明图,该半导体发光元件在蓝宝石基板上叠层有适合于发出蓝色系光的氮化物半导体层。

[0030] 如图 1 所示,本发明的半导体发光元件,在例如由蓝宝石 ( $\text{Al}_2\text{O}_3$  单晶) 等构成的基板 1 的表面上,设置有包括由氮化物半导体构成的第一导电型层和第二导电型层的半导体叠层部 6,与该半导体叠层部 6 表面侧的第一导电型层(例如 p 型层 5)电连接地设置有第一电极(例如 p 侧电极 8),与第二导电型层(例如 n 型层 3)电连接地形成有第二电极(例如 n 侧电极 9)。并且,在半导体叠层部 6 的至少芯片周围,通过对半导体叠层部 6 的一部分进行蚀刻,使 n 型层 3 露出,形成半导体叠层部 6 的台面结构部 10,并且在台面结构部 10 的周围形成有半导体叠层部以柱状林立的柱状半导体叠层部(下面只称为柱状部)6a,在柱状部 6a 的周围 n 型层 3 露出。

[0031] 在图 1 所示的例子中,基板 1 使用作为绝缘性基板的蓝宝石基板。因此,通过蚀刻除去半导体叠层部 6 的一部分,使作为下层导电型层的 n 型层 3 露出,在其表面上形成有 n 侧电极 9。但是,如后述的图 4 所示,也可以使用 SiC 等半导体基板作为基板 1。在这种情况下,在从晶片分割为发光元件芯片时,通过干式蚀刻预先使分割部分分离,能够制造不会引起发光层上产生裂纹等问题的内部量子效率优异的发光元件,因而优选。在进行这种蚀刻时,只是形成呈柱状林立的半导体叠层部 6 残留的掩模,能够简单地形成柱状部 6a。

[0032] 半导体叠层部 6 例如形成为下述结构,通过依次叠层下述各层而构成:低温缓冲层 2,例如由 GaN 构成,为  $0.005 \sim 0.1 \mu\text{m}$  左右;n 型层 3,其由掺杂有 Si 的 GaN 或 AlGaIn 系化合物构成,为  $1 \sim 10 \mu\text{m}$  左右;多量子阱 (MQW) 结构的活性层 4,其叠层有  $3 \sim 8$  组例如  $1 \sim 3\text{nm}$  的  $\text{In}_{0.13}\text{Ga}_{0.87}\text{N}$  构成的阱 (well) 层和  $10 \sim 20\text{nm}$  的 GaN 构成的阻挡层,为  $0.05 \sim 0.3 \mu\text{m}$  左右;和 p 型层 5,由 p 型 GaN 或 AlGaIn 系化合物半导体构成,为  $0.2 \sim 1 \mu\text{m}$  左右。其中,在图 1 所示的例子中,以 n 型层 3 和 p 型层 5 均为一层的例子进行示例,但也可以例如在活性层侧形成由 AlGaIn 系化合物构成的容易封闭载流子的阻隔层(带隙能高的层),在与活性层 4 相反一侧形成容易提高载流子浓度的 GaN 接触层,形成多层结构。还可以在低温缓冲层上插入未掺杂的或 n 型等高温缓冲层、或者缓和各层间变形的超晶格层等其他层。还可以用其他的氮化物半导体层形成上述各层。

[0033] 此外,在本例中,为 n 型层 3 和 p 型层 5 夹持活性层 4 的双异质接合结构,但也可以为 n 型层和 p 型层直接接合的 pn 接合结构。并且,活性层 4 也不限于上述的 MQW 结构,也可以为单量子阱结构 (SQW) 或整体 (bulk) 结构。

[0034] 对芯片周围和形成 n 侧电极的部分进行蚀刻,使得在该半导体叠层部 6 的芯片中心部形成台面结构部 10,使 n 型层 3 露出。此时,对形成 n 侧电极 9 的部位的整个面积完全进行蚀刻,而不完全蚀刻芯片周围和 n 侧电极 9 周围的半导体叠层部 6,如图 1 所示,以柱状部 6a 林立残留的方式进行蚀刻。该柱状部 6a 的尺寸形成为,粗细为数  $\mu\text{m}$  左右,例如其直径为  $5 \mu\text{m} \Phi$ ;其间隔为数  $\mu\text{m}$  左右,例如为  $2 \mu\text{m}$  左右(间距为  $7 \mu\text{m}$ )。并且,在图中,在芯片的周围形成有两列柱状部 6a,但实际上,柱状部 6a 的相邻列错开半个间距,以所述的尺寸和间距形成,芯片周围的宽度为  $25 \sim 40 \mu\text{m}$  左右,所以在芯片周围形成有 4 列以上。

[0035] 但是,柱状部 6a 的尺寸及其间隔、配列不限于本例,可以自由地改变图案。在这种情况下,柱状部 6a 的间距小、数量多,就会容易取出光。但是,如果最靠近发光的芯片中心部(台面结构部)的柱状部,距台面结构部的距离在  $0.5\mu\text{m}$  以下时,由于距离过近,如后所述会遮断在台面结构部横向发出的光线而使其衰减,所以优选隔开  $0.5\mu\text{m}$  以上进行配置。

[0036] 为了使 n 型层 3 从半导体叠层部 6 的表面露出,该柱状部 6a 的高度形成为  $0.1\sim 10\mu\text{m}$  左右,优选为  $0.5\sim 5\mu\text{m}$  左右,更优选为  $1\sim 2.5\mu\text{m}$  左右。就提高亮度而言,越深越优选,但即使过深,提高亮度的效果也不能再提高,并且蚀刻速度在  $0.13\mu\text{m}/\text{分钟}$  左右时,若太深则花费蚀刻时间,所以深度为  $1\sim 2.5\mu\text{m}$  左右最为有效。

[0037] 即,本发明人研究了以上述半导体叠层部 6 的结构形成发光元件,以上述图案使柱状部 6a 高度发生各种变化时的亮度变化。其中,该高度的变化,在形成  $10\mu\text{m}$  左右厚度的 n 型层 3 时,通过改变对该 n 型层 3 蚀刻的深度而改变。在图 2 中表示用使该柱状部 6a 的高度即蚀刻深度在  $1\mu\text{m}\sim 2.5\mu\text{m}$  之间变化(横轴)时的各自的输出除以对芯片周围完全进行蚀刻不形成柱状部 6a 而使 n 型层 3 在全部周围露出时的输出的值(纵轴)。由图 2 可知,柱状部 6a 越高,越存在亮度提高的趋势,但如果形成  $1\sim 1.5\mu\text{m}$  左右的高度,亮度就会急剧提高,与不形成柱状部 6a 的情况相比提高至 1.2 倍以上,此后亮度的上升减缓。另一方面,当该柱状部的高度过高时,n 型层 3 变薄,随着直流电阻的增大,当使 p 型层等加厚提高该高度时,外延生长的时间延长,并且蚀刻时间也延长,所以存在成本升高的问题。因此,如上所述,最优选形成为  $1\sim 2.5\mu\text{m}$  左右的高度。

[0038] 并且,该柱状部 6a 的平面形状可以不是图 1 所示的圆形,可以为三角形或四边形等多边形。但是,如果是圆形,通常容易减小入射角,所以容易使光从柱状部 6a 向外射出,因而优选。

[0039] 为了形成这种柱状部 6a,可以与现有的用于形成芯片周围和 n 侧电极 9 的干式蚀刻同样,进行干式蚀刻,但此时如果在由  $\text{SiO}_2$  等绝缘膜或光致抗蚀剂等形成的掩模上,形成上述尺寸和间距的柱状部 6a 的图案,通过进行干式蚀刻,就能够以希望的图案形成柱状部 6a。干式蚀刻可通过以例如氯和四氯化硅的气体作为腐蚀剂进行等离子体蚀刻来进行。

[0040] 在该半导体叠层部 6 上,设置有例如掺杂 Ga 使比电阻为  $5\times 10^{-4}\Omega\cdot\text{cm}$  左右的由 ZnO 构成的透光性导电层 7,其为  $0.1\sim 10\mu\text{m}$  左右,例如为  $0.5\mu\text{m}$  左右。并且,在通过蚀刻除去叠层的半导体叠层部 6 的一部分而露出的 n 型层 3 上,形成有电阻接触用的 n 侧电极 9,该 n 侧电极 9 为叠层厚度  $0.01\mu\text{m}$  左右的 Ti 膜和厚度  $0.25\mu\text{m}$  左右的 Al 膜后在  $600^\circ\text{C}$  左右下进行烧结而形成的合金层。在透光性导电层 7 上的一部分上利用厚度  $0.1\mu\text{m}$  左右的 Ti 膜和厚度  $0.3\mu\text{m}$  左右的 Au 膜的叠层结构形成 p 侧电极 8。并且,除去 p 侧电极 8 和 n 侧电极 9 的表面,在整个表面上设置未图示的  $\text{SiO}_2$  等钝化膜。透光性导电层 7 不限于 ZnO,  $2\sim 100\text{nm}$  左右的 ITO 或 Ni 与 Au 的薄合金层也能够透过光并且使电流在整个芯片上扩散。

[0041] 根据本发明,如图 3 的柱状部 6a 的部分放大图所示,在活性层 4 中发光进入基板侧的光或者进入表面侧在表面发生全反射的光的一部分,在氮化物半导体层与基板 1 的界面或者基板的背面发生个反射,返回到表面侧,但在这些光线中,朝向柱状部 6a 的光 P 进入柱状部 6a 内,在柱状部 6a 的侧面发生折射而向外部射出的光(P1)或在柱状部 6a 发生全反射然后射出至表面的光(P2)增多,如果没有柱状部 6a,就会在露出的 n 型层 3 的表面再次发生全反射(R),在半导体层或基板 1 内反复进行全反射,大多发生衰减。即,现有技术

中,形成n侧电极9的部分和芯片周围对芯片进行分割的部分,通过干式蚀刻对半导体叠层部6的一部分进行蚀刻,使n型层3露出,而如果没有柱状部6a而为平坦面,如图3的R所示,朝向该部分的光线容易发生全反射。但是,当进入柱状部6a时,为狭窄区域,并且露出面与柱状部6a的侧面的方向改变 $90^\circ$ ,所以容易射出到外部。

[0042] 如上所述,现有芯片的周围在从晶片上分割前通过干式蚀刻使n型层3露出。这是为了防止在进行分割或划线时,由于氮化物半导体是非常硬的材料,在分割等时容易产生裂纹,在活性层上产生裂纹而使内部量子效率严重降低的问题。另一方面,如本发明所述,如果柱状部6a林立,则有可能在该柱状部6a上产生裂纹。但是,在柱状部6a的上面没有设置透光性导电层7,是与发光无关的部分,即使产生裂纹也没有关系,同时由于柱状部6a独立地林立,完全不用担心该裂纹会延伸到透光性导电层7下侧的活性层4。因此,能够没有任何障碍使柱状部6a以林立状残留。结果,如图2所示,与不形成柱状部6a的情况相比,其亮度提高到1.13~1.3倍。

[0043] 在上述示例中,为仅在芯片周围和n侧电极9周围形成柱状部6a的示例,能够减小发光面积,增大该柱状部的面积。在这种情况下,发光面积减小,其输入也变小,结果内部量子效率(发光输出与输入之比)不变,能够从柱状部更多地取出其发射的光线,大幅度地提高发射光线的取出效率。结果能够提高总体的亮度。

[0044] 下面,说明图1所示的半导体发光元件的制法。例如采用有机金属化学气相生长法(MOCVD法),与载气 $H_2$ 一起供给三甲基镓(TMg)、氨( $NH_3$ )、三甲基铝(TMA)、三甲基铟(TMI)等反应气体和在制造n型时作为掺杂气体的 $SiH_4$ 、制造p型时作为掺杂气体的环戊二烯基镁( $Cp_2Mg$ )或二甲基锌(DMZn)等必需的气体,使其依次生长。

[0045] 首先,在例如由蓝宝石构成的绝缘基板1上,在例如 $400\sim 600^\circ C$ 左右的低温下,形成 $0.005\sim 0.1\mu m$ 左右的由GaN层构成的低温缓冲层2,然后将温度升高到 $600\sim 1200^\circ C$ 左右的高温,形成 $1\sim 10\mu m$ 左右的由n型GaN构成的n型层(阻隔层)3。接着,将成长温度降低到 $400\sim 600^\circ C$ 的低温,形成 $0.05\sim 0.3\mu m$ 左右的多量子阱(MQW)结构的活性层4,其叠层有3~8组例如 $1\sim 3nm$ 的 $In_{0.13}Ga_{0.87}N$ 构成的阱层和 $10\sim 20nm$ 的GaN构成的阻挡层。接着将成长装置内的温度升高到 $600\sim 1200^\circ C$ 左右,分别叠层 $0.2\sim 1\mu m$ 左右的由GaN构成的p型层5。

[0046] 然后,为了在表面上设置SiN等保护膜,使p型掺杂剂活化,在 $400\sim 800^\circ C$ 左右进行 $10\sim 60$ 分钟左右的退火,在整个表面上涂布光致抗蚀剂,通过光刻工序,形成图案,使半导体叠层部6的蚀刻部分(芯片周围和形成n侧电极的部分)露出。此时,在芯片周围和形成n侧电极部位的周围,以形成柱状部6a的方式使光致抗蚀剂膜形成图案,形成掩模。随后,将其放入电感耦合型等离子体蚀刻装置中,通入例如50sccm的氯气和5sccm的四氯化硅气体,将蚀刻中的装置内压固定在0.6Pa,向上部线圈施加150W左右的RF功率,向用于引入等离子体的下部电极施加50W的RF功率。结果,未被掩模覆盖而露出的芯片周围的柱状部6a四周和形成n侧电极部位的半导体叠层部6被蚀刻,n型层3露出。此时的蚀刻速度为 $0.13\mu m/分钟$ 左右,在20分钟左右蚀刻深度达到 $2.5\mu m$ 。利用上述的掩模图案,能够自由选定柱状部6a的图案。

[0047] 然后,采用MBE、溅射、真空蒸镀、PLD、离子镀等方法,使例如掺杂有Ga的ZnO层形成 $0.5\mu m$ 左右的膜,由此形成透光性导电层7。然后,采用提升(lift-off)法,在通过

上述蚀刻露出的 n 型层 3 的表面上,形成  $0.01\mu\text{m}$  厚的 Ti 膜和  $0.25\mu\text{m}$  厚的 Al 膜,通过在  $600^\circ\text{C}$  左右进行热处理,进行烧结形成合金,得到 n 侧电极 9。并且同样采用提升法,在一部分透光性导电层 7 上形成  $0.1\mu\text{m}$  厚的 Ti 膜和  $0.3\mu\text{m}$  厚的 Au 膜,形成 p 侧电极 8。结果,形成如图 1 所示结构的 LED 芯片。

[0048] 在上述示例中,由于是基板为绝缘性基板蓝宝石基板的示例,为了形成 n 侧电极 9,对半导体叠层部 6 的一部分进行蚀刻,使 n 型层 3 露出,与此同时,在芯片周围和 n 侧电极周围形成柱状部 6a。但是,在基板为 SiC 等半导体基板的情况下,从分割为芯片时保护活性层和提高外部量子效率的观点出发,优选使柱状部在芯片周围林立。图 6 表示这种示例。在该示例中,基板不是绝缘性基板,而是半导体,所以并不在通过蚀刻除去半导体叠层部的一部分而露出的 n 型层 3 上形成电极,而只在半导体基板 1 的背面形成 n 侧电极 9,后面与上述示例相同。

[0049] 即,同上所述,在 SiC 基板 11 上形成由低温缓冲层 2、n 型层 3、活性层 4 和 p 型层 5 构成的半导体叠层部 6,通过对该芯片周围进行蚀刻,形成林立的柱状部 6a。在这种情况下,由上述材料在芯片大致中央部的透光性导电层 7 的表面上形成 p 侧电极 8,而通过形成例如 Ni 膜,在整个 SiC 基板 1 的背面形成 n 侧电极 9。

[0050] 在上述各例中,柱状部的高度与芯片中央部的高度相同,而如图 4 所示,通过蚀刻进一步除去柱状部 6a 的顶部则更能够提高光线的取出效率,提高外部量子效率。具体而言,采用蚀刻除去构成柱状部 6a 的第一导电型层 (p 型层) 5、活性层 4,使第二导电型层 (n 型层) 3 露出。并且,为了使在芯片中心部的台面结构部 10 发光从侧面 10a 射出的光线不会被遮蔽而衰减,优选将接近芯片中心部的台面结构部 10 的柱状部 6a 与台面结构部 10 的侧面 10a 隔开  $0.5\mu\text{m}$  以上进行配置。

[0051] 即,如图 5(a) 的接近台面结构部 10 的柱状部 6a 的部分放大图所示,在活性层 4 中发出的光线,以进入表面侧的光线 (Q1) 和进入基板侧的光线 (Q2) 等进入四周,最终通过表面侧、半导体叠层部 6 与基板 1 的侧面、柱状部 6a 等射出。另一方面,进入侧面方向的光线 (Q3) 从侧面 10a 射出,但是如果在接近侧面 10a 正侧面的位置存在柱状部 6a,则光线在充分展开之前就会被柱状部 6a 遮挡而衰减。具体而言,如果柱状部 6a 与台面结构部 10 的侧面 10a 的距离配置得在  $0.5\mu\text{m}$  以下,由试验确认其影响是很大的。因此,优选使柱状部 6a 从台面结构部 10 的侧面 10a 至少离开  $0.5\mu\text{m}$  以上进行配置。

[0052] 此外,柱状部 6a 内也由 n 型层 3、活性层 4 和 p 型层 4 构成,当从台面结构部 10 的侧面 10a 射出的光线进入柱状部 6a 内时,也会射入柱状部 6a 内的活性层 4 中,在该柱状部 6a 内的活性层 4 中发生光吸收,从侧面 10a 射出的光线 (Q3) 不能充分释放到外部,无法提高外部量子效率。因此,为了防止柱状部 6a 内的活性层 4 中的光吸收,并且使在台面结构部 10 的活性层 4 中发出而直接横向射出的光线不会被柱状部 6a 遮断,如图 5(b) 所示,优选使柱状部 6a 的高度低于台面结构部 10 的发光层 (活性层 4) 的位置,通过蚀刻除去柱状部 6a,直至柱状部 6a 的 n 型层 3 露出。由此,从侧面 10a 射出的光线 (Q3) 不会被柱状部 6a 遮挡也不会被吸收,进一步提高了外部量子效率。

[0053] 制造这种半导体发光元件,除了形成柱状部 6a 以外,与上述图 1 所示的半导体发光元件相同。即,与图 1 所示的半导体发光元件的制法同样,叠层半导体层,进行退火处理之后,进行蚀刻直至基板 1 侧的导电型半导体层露出,形成柱状部 6a,然后形成掩模,使得

只有柱状部 6a 露出,台面结构部 10 等被覆盖,再对柱状部 6a 的顶部进行蚀刻,直至 n 型层 3 露出。此后与图 1 所示的半导体发光元件相同,所以省略其说明。

[0054] 进一步具体而言,在经过使 n 型层 3 露出同时形成柱状部 6a 的过程后,再在整个面上涂布光致抗蚀剂,通过光刻工序形成图案,只使柱状部 6a 露出,形成覆盖台面结构部 10 的掩模(未图示)。此后,再次放入电感耦合型等离子体蚀刻装置中,通入例如 50sccm 的氯气和 5sccm 的四氯化硅气体,将蚀刻中的装置内压固定在 0.6Pa,向上部线圈施加 150W 左右的 RF 功率,向用于引入等离子体的下部电极施加 50W 的 RF 功率。结果,未被掩模覆盖而露出的芯片周围的柱状部 6a 中的 p 型层 5 和活性层 4 被蚀刻,n 型层 3 露出。由此能够形成比图 1 的元件高度低的柱状部 6a。此后通过进行与图 1 的半导体发光元件同样的处理,得到在图 4 所示结构的半导体发光元件。

[0055] 并且,如果以只覆盖台面结构部 10 的方式形成掩模并进行蚀刻,柱状部 6a 周围露出的 n 型层 3 也会被进一步蚀刻,但由于 n 型层 3 足够厚所以没有关系,能够将柱状部的高度(长度)维持在相同的长度,同时降低顶部的位置,因而优选。但是,在用掩模覆盖台面结构部 10 时,通过以也覆盖柱状部 6a 周围露出的 n 型层 3 表面的方式形成掩模,能够只对柱状部 6a 的顶部进行蚀刻。在这种情况下,由于露出的 n 型层不会被进一步蚀刻,即使 n 型层的厚度薄,也没有关系。

[0056] 产业上的可利用性

[0057] 本发明能够用于液晶显示装置的背光灯等各种光源、信号机或代替电灯用的照明装置等各种电子器械中。

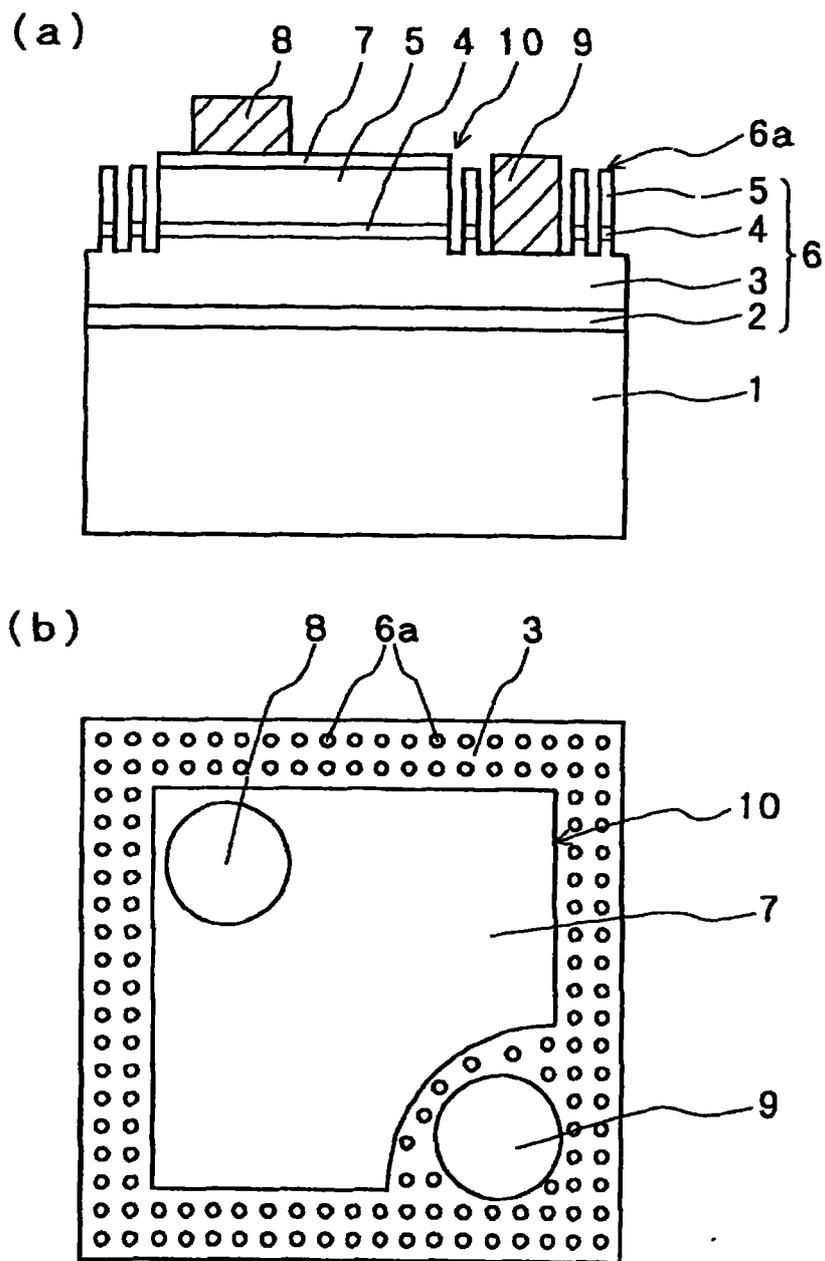


图 1

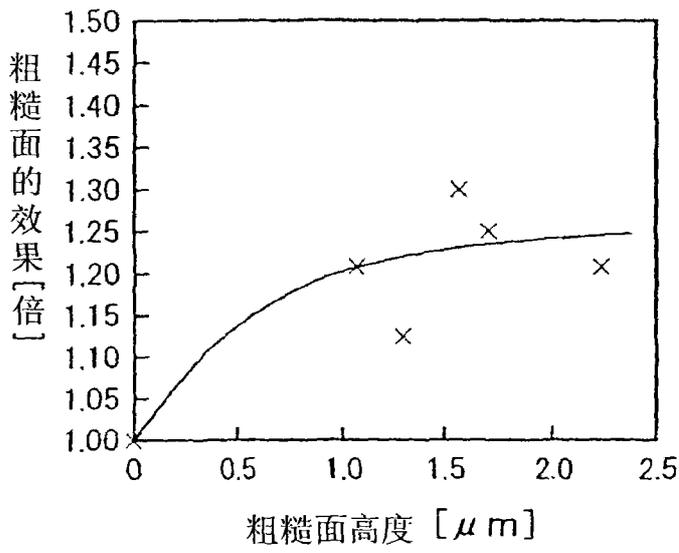


图 2

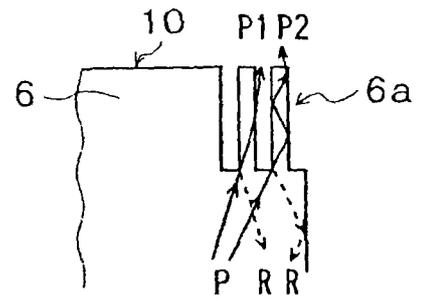


图 3

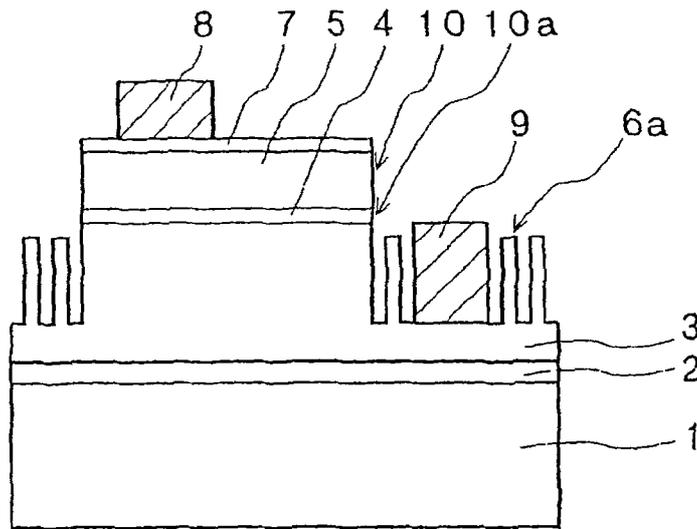


图 4

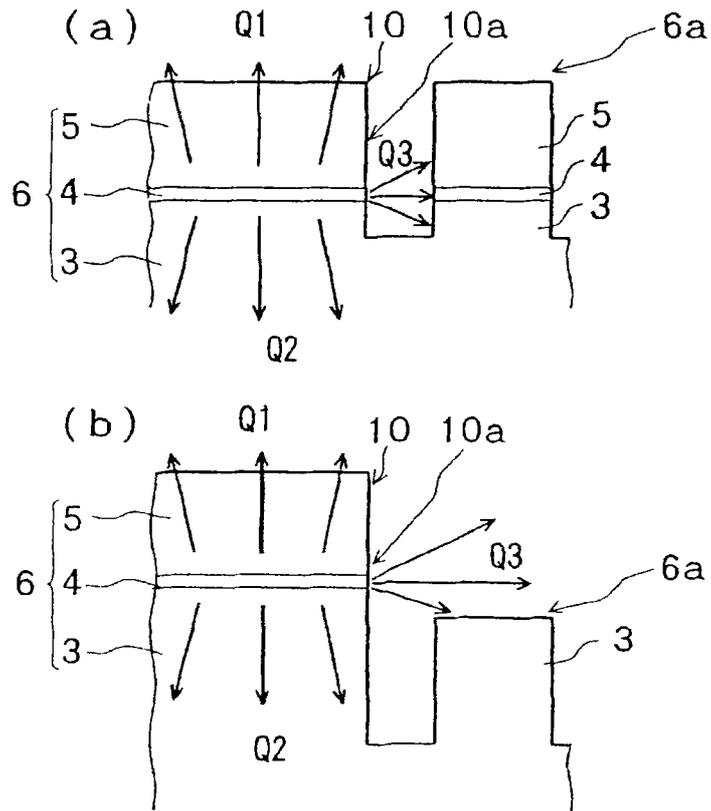


图 5

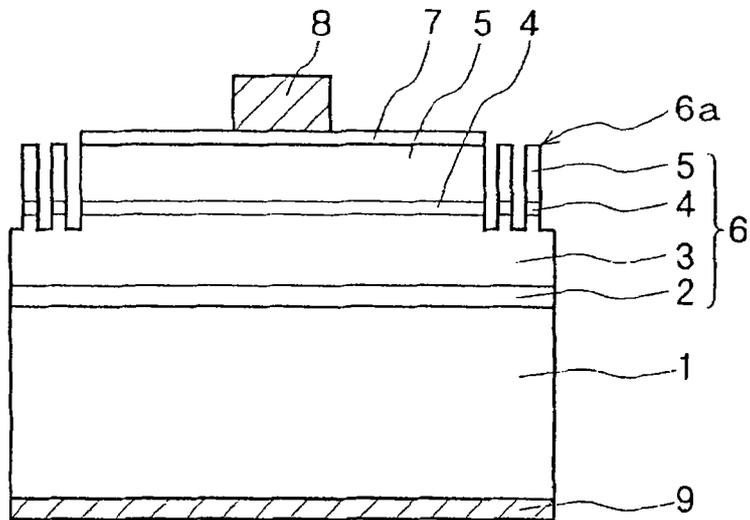


图 6

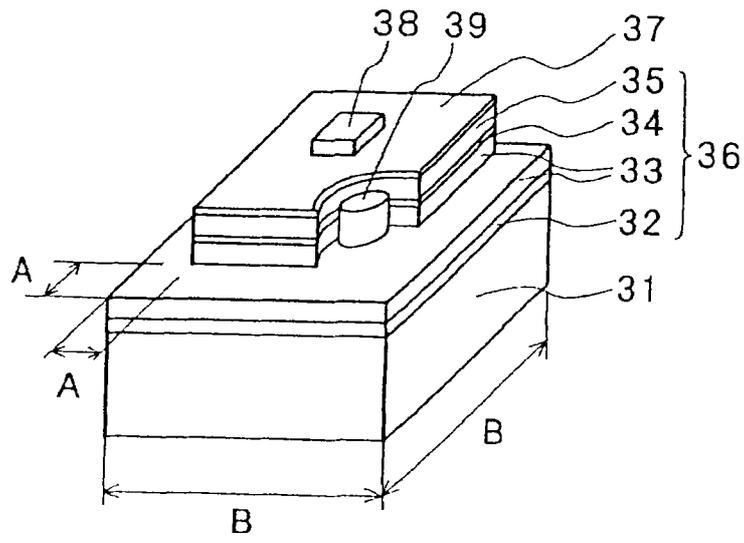


图 7

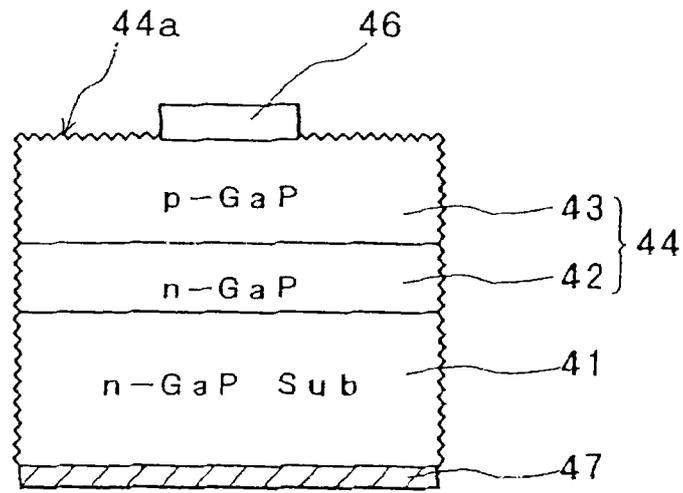


图 8