



(12) 发明专利申请

(10) 申请公布号 CN 102044533 A

(43) 申请公布日 2011. 05. 04

(21) 申请号 201010513189. 6

(22) 申请日 2010. 10. 15

(30) 优先权数据

10-2009-0098396 2009. 10. 15 KR

12/835, 059 2010. 07. 13 US

(71) 申请人 三星电子株式会社

地址 韩国京畿道水原市灵通区梅滩洞 416 番地

(72) 发明人 李仁

(74) 专利代理机构 中原信达知识产权代理有限
责任公司 11219

代理人 李佳 穆德骏

(51) Int. Cl.

H01L 25/065(2006. 01)

H01L 23/31(2006. 01)

H01L 21/98(2006. 01)

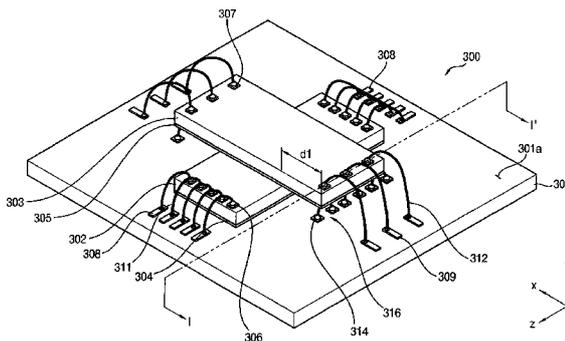
权利要求书 5 页 说明书 14 页 附图 28 页

(54) 发明名称

多芯片封装及其制造方法

(57) 摘要

本发明提供了一种多芯片封装及其制造方法。该半导体封装包括：至少一个半导体芯片，其安装于电路板，与所述电路板分开预定距离；以及支撑件，其位于所述电路板与所述第一半导体芯片之间，支撑所述第一半导体芯片。所述支撑件具有相对于所述电路板固定的第一端部和第二端部，以及中心部，所述中心部在所述第一端部和所述第二端部之间，以与所述第一半导体芯片接触。



1. 一种半导体封装,包括:
电路板;
第一半导体芯片,所述第一半导体芯片安装于所述电路板并且与所述电路板分开预定距离;以及
第一支撑件,所述第一支撑件位于所述电路板与所述第一半导体芯片之间,用于支撑所述第一半导体芯片,所述第一支撑件具有相对于所述电路板固定的第一端部和第二端部、以及主体部,所述主体部在所述第一端部和所述第二端部之间,用于接触所述第一半导体芯片。
2. 根据权利要求1所述的半导体封装,进一步包括安装于所述电路板的第二半导体芯片,
其中,所述第一半导体芯片安装于所述第二半导体芯片的上表面,
所述第一半导体芯片的突出部在第一方向上延伸超过所述第二半导体芯片的端部,并且
所述第一支撑件的所述主体部接触所述第一半导体芯片的所述突出部。
3. 根据权利要求2所述的半导体封装,其中,所述第一支撑件具有平行于所述第一方向延伸的长度。
4. 根据权利要求2所述的半导体封装,其中,所述第一支撑件具有垂直于所述第一方向延伸的长度。
5. 根据权利要求2所述的半导体封装,其中,所述第一支撑件包括第一布线和第二布线,所述第一布线具有垂直于所述第一方向延伸的长度,所述第二布线具有平行于所述第一方向延伸的长度。
6. 根据权利要求5所述的半导体封装,其中,所述第一布线和所述第二布线中的一个被安装为具有位于所述第一布线和所述第二布线中另一个的中心部下面的中心部,以支撑所述第一布线和所述第二布线中的所述另一个。
7. 根据权利要求2所述的半导体封装,进一步包括:
第三半导体芯片,所述第三半导体芯片安装于所述第一半导体芯片的上表面,
其中,所述第三半导体芯片的突出部在所述第一方向上延伸超过所述第一半导体芯片所述突出部的端部;以及
第二支撑件,所述第二支撑件用于通过与所述第三半导体芯片的所述第二突出部的底表面接触来支撑所述第三半导体芯片。
8. 根据权利要求7所述的半导体封装,其中,所述第一支撑件具有第一高度并且所述第二支撑件具有大于所述第一高度的第二高度。
9. 根据权利要求1所述的半导体封装,其中,所述第一支撑件的所述第一端部和所述第二端部安装于所述电路板的上表面。
10. 根据权利要求1所述的半导体封装,其中,所述第一支撑件包括布线。
11. 根据权利要求10所述的半导体封装,其中,所述布线是没有将电信号从一个端部传输到另一端部的虚拟布线。
12. 根据权利要求11所述的半导体封装,其中,所述半导体封装包括至少一个传输布线,用于将所述第一半导体芯片的结合焊盘电连接到所述电路板的结合焊盘,并且

所述虚拟布线具有的厚度大于所述传输布线的厚度。

13. 根据权利要求 12 所述的半导体封装,其中,所述半导体封装包括至少一个传输布线,用于将所述第一半导体芯片的结合焊盘电连接到所述电路板的结合焊盘,并且所述虚拟布线由与所述传输布线不同的材料构成。

14. 根据权利要求 10 所述的半导体封装,其中,所述支撑件进一步包括用于支撑所述布线的聚合物材料,并且所述布线设置在所述聚合物材料的上表面上方。

15. 根据权利要求 1 所述的半导体封装,进一步包括:

第二半导体芯片,所述第二半导体芯片安装于所述电路板;以及

第三半导体芯片,所述第三半导体芯片安装于所述第二半导体芯片的上表面,以暴露位于所述第二半导体芯片上表面上的所述第二半导体芯片的结合焊盘部分,

其中,所述第一半导体芯片安装于所述第三半导体芯片,

所述第一半导体芯片的突出部延伸超过所述第三半导体芯片的端部,以位于所述第二半导体芯片所述上表面的所述结合焊盘部分的上方;以及

另一个支撑件,所述另一个支撑件安装于所述第二半导体芯片的所述结合焊盘部分。

16. 根据权利要求 15 所述的半导体封装,其中,所述另一个支撑件的每个端部安装于所述第二半导体芯片的所述结合焊盘部分。

17. 根据权利要求 15 所述的半导体封装,其中,所述另一个支撑件的第一端部安装于所述第二半导体芯片的所述结合焊盘部分,并且

所述另一个支撑件的第二端部安装于所述电路板。

18. 一种半导体封装,包括:

电路板;

第一半导体芯片,所述第一半导体芯片被安装成相对于所述电路板固定并且与所述电路板分开预定距离;以及

第一支撑件,所述第一支撑件安装于所述电路板,用于通过向所述第一半导体芯片的底表面提供线性压力来为所述第一半导体芯片提供支撑。

19. 一种半导体封装,包括:

电路板;

第一半导体芯片,所述第一半导体芯片电连接到所述电路板并且与所述电路板分开预定距离;以及

第一支撑件,所述第一支撑件安装于所述电路板,用于通过向所述第一半导体芯片的底表面提供线性压力来为所述第一半导体芯片提供支撑。

20. 一种半导体封装,包括:

电路板;

半导体芯片,所述半导体芯片设置在所述电路板上方并且与所述电路板分开预定距离并且电连接到所述电路板;以及

第一支撑件,所述第一支撑件安装在所述电路板上,用于支撑所述半导体芯片,所述第一支撑件包括固定于所述电路板并且彼此分开的至少两个焊盘以及用于连接所述至少两个焊盘并且接触所述半导体芯片的材料。

21. 一种半导体封装,包括:
电路板;
半导体芯片,所述半导体芯片电连接到所述电路板并且与所述电路板分开预定距离;
以及

第一支撑件,所述第一支撑件安装在所述电路板上,用于支撑所述半导体芯片,以相对于所述电路板保持所述预定距离。

22. 一种半导体封装,包括:
电路板;
半导体芯片,所述半导体芯片设置在所述电路板的上方;以及
第一支撑件,所述第一支撑件具有底部和顶部,所述底部在第一纵向方向上形成在所述电路板上,所述顶部具有足以与所述半导体芯片接触的高度,
其中,所述顶部和所述底部的至少两个端部形成基本上三角形的形状。

23. 一种半导体封装,包括:
电路板;
半导体芯片,所述半导体芯片设置在所述电路板上方;以及
第一支撑件,所述第一支撑件具有在第一纵向方向上形成在所述电路板上的两个端部以及与所述两个端部连接的顶部,并且所述第一支撑件形成弧形的形状,所述弧形的形状具有的高度足以接触所述半导体芯片。

24. 一种半导体封装,包括:
电路板;
半导体芯片;以及
第一支撑件,所述第一支撑件具有底部和顶部,所述底部在所述电路板的第一几何区域中与所述电路板接触,所述顶部在所述半导体芯片的第二几何区域中与所述半导体芯片接触,
其中,所述第一几何区域具有非圆形的形状,并且所述第二几何区域具有基本上矩形的形状。

25. 一种半导体封装,包括:
电路板;
半导体芯片;以及
第一支撑件,所述第一支撑件用于支撑所述半导体芯片、用于在所述电路板的几何区域内与所述所述电路板接触并且用于沿着几何线段接触所述半导体芯片。

26. 一种半导体封装,包括:
电路板;
半导体芯片,所述半导体芯片相对于所述电路板位于固定位置;以及
支撑件,所述支撑件用于通过在所述电路板的第一几何区域中与所述电路板接触并且在所述半导体芯片的第二几何区域中与所述半导体芯片接触来支撑所述半导体芯片,
其中,所述第一几何区域与所述第二几何区域不同。

27. 一种半导体封装,包括:
电路板;

第一半导体芯片,所述第一半导体芯片设置在所述电路板的第一区域上方;

第二半导体芯片,所述第二半导体芯片设置在所述电路板的第二区域上方,所述第二区域具有与所述第一区域的重叠区和非重叠区;以及

支撑件,所述支撑件位于所述非重叠区中并且具有在第一方向上的长度和在第二方向上的宽度,

其中,所述长度比所述宽度长。

28. 一种半导体封装,包括:

电路板;

支撑件,所述支撑件形成在所述电路板上并且具有在第一方向上的长度;以及

半导体芯片,所述半导体芯片在纵向方向上设置在所述电路板上方的预定距离处,所述纵向方向相对于所述第一方向具有预定角度,所述半导体芯片接触所述支撑件并且电连接到所述电路板。

29. 根据权利要求 18 所述的半导体封装,其中:

所述支撑件具有长度和宽度,并且

至少所述长度和所述宽度中的一个大于所述长度和所述宽度中的另一个。

30. 根据权利要求 18 所述的半导体封装,其中:

所述支撑件包括彼此分开以接触所述电路板的至少两个端部,以及连接所述两个端部以接触所述半导体芯片的中部。

31. 根据权利要求 18 所述的半导体封装,其中:

所述支撑件具有的高度基本上与所述半导体芯片和所述电路板之间的预定距离相同。

32. 根据权利要求 18 所述的半导体封装,其中:

所述支撑件是弹性材料。

33. 根据权利要求 18 所述的半导体封装,其中:

所述支撑件包含聚合物。

34. 根据权利要求 18 所述的半导体封装,进一步包括安装于所述电路板的第二半导体芯片,

其中,所述支撑件安装在所述第二半导体芯片上,用于支撑所述第一半导体芯片。

35. 根据权利要求 18 所述的半导体封装,进一步包括:

第二半导体芯片,所述第二半导体芯片设置在所述电路板与所述半导体芯片之间,并且设置在与所述第一半导体芯片不同的方向上,

其中,所述支撑件设置在与所述第一半导体和所述第二半导体中的一个平行的方向上。

36. 一种电子设备,包括:

电路板;

第一半导体芯片,所述第一半导体芯片被安装成相对于所述电路板固定并且与所述电路板分开预定距离;以及

支撑件,所述支撑件安装于所述电路板,用于通过向所述第一半导体芯片的底表面提供线性压力来为所述第一半导体芯片提供支撑。

37. 一种存储器贮存装置,包括:

存储器单元,所述存储器单元包括堆叠半导体封装,所述半导体封装包括:
电路板;

第一半导体芯片,所述第一半导体芯片安装于所述电路板并且与所述电路板分开预定距离;以及

支撑件,所述支撑件位于所述电路板与所述第一半导体芯片之间,用于支撑所述第一半导体芯片,所述支撑件具有相对于所述电路板固定的第一端部和第二端部和中心部,所述中心部在所述第一端部和所述第二端部之间,以接触所述第一半导体芯片;以及

控制器,所述控制器用于从所述堆叠半导体封装中读取数据,和向所述堆叠半导体封装写入数据。

多芯片封装及其制造方法

[0001] 相关申请的交叉应用

[0002] 该专利申请要求于 2009 年 10 月 15 日提交的韩国专利申请 No. 2009-98396 的优先权,通过引用,将其全部内容合并于此。

技术领域

[0003] 本发明基本上涉及堆叠半导体芯片封装及其制造方法。

背景技术

[0004] 半导体制造技术在强度、耐久性、和性能方面已得以改进,并且已减小半导体器件的尺寸。然而,制造半导体封装仍然是昂贵、耗时的、并且需要密集的劳力或机械。

[0005] 具体来讲,必须进行大量的经济投入来升级设施、购买新设备和展开研究,以制备新型或改进的堆叠半导体封装。例如,就半导体存储器器件而言,将 64MB DRAM 升级至 256MB DRAM 的工艺在其需要新的晶片制作工艺时将会变得很昂贵。

[0006] 可以通过将多个半导体芯片包括在一个封装中来制造半导体封装。例如,半导体芯片可以按一个在另一个顶部上的方式堆叠。该半导体芯片堆叠工艺使得半导体封装具有高可靠性、高结构完整性和高性能,而无需设计或制作新晶片。例如,四个 64MB DRAM 芯片可以按一个在另一个顶部上的方式堆叠,以形成单个 256MB DRAM 半导体封装。

[0007] 图 1 示出堆叠半导体封装的实例。如图 1 所示,上半导体芯片 108 可以相对于下半导体芯片 104 偏移,以允许下半导体芯片 104 上表面上的电极焊盘 P2 电连接到另一个电极焊盘 P4。由于采用了这种构造,因此上半导体芯片 108 中的 A 部分可以相对于下半导体芯片 104 偏移,使得其没有被支撑在下表面上。换言之,上半导体芯片 108 中的 A 部分可以突出于下半导体芯片 104 的端部。

[0008] 布线工艺可以连接电极焊盘 P3 与焊盘 P1 之间的布线 112 和下半导体芯片上的电极焊盘 P2 与衬底上的焊盘 P4 之间的布线 110。另外,衬底 P100 下表面上的焊盘 P5 可以电连接到衬底上表面上的焊盘 P1 和 P4,使得当半导体芯片 104、108 上的焊盘 P2、P3 连接到衬底上的焊盘 P1、P4 时,半导体芯片 104、108 可以电连接到焊盘 P5。焊盘 P5 可以连接到外部电器件(未示出)。

[0009] 然而,当执行布线工艺以将布线 112 附接到上半导体芯片 108 的焊盘 P3 和衬底 100 的焊盘 P1 时,布线工艺会对突出部 A 产生压力。另外,当堆叠半导体芯片 104、108 被包封在封模 114 中时,制模工艺会对突出部 A 产生压力。作为该压力的结果,上半导体芯片 108 会发生破裂,半导体芯片与布线 112 之间的连接会变弱或失效,或者上半导体芯片 108 与下半导体芯片 104 之间的结合会变弱或失效。

[0010] 因此,需要一种特征结构以低成本高效地增强堆叠半导体封装的结合和/或布线强度。

发明内容

[0011] 本发明总体构思的示例性实施例提供了一种用于支撑堆叠半导体封装中的半导体芯片的突出部的装置和方法。

[0012] 本发明总体构思的另外的方面和用途将部分地在随后的描述中阐述,并且部分地将从该描述中清楚,或者可以由总的发明构思的实践而得知。

[0013] 本发明总体构思的特征和/或用途可以通过一种半导体封装来实现,该半导体封装包括:电路板;第一半导体芯片,其安装于所述电路板并且与所述电路板分开预定距离;以及支撑件,其位于所述电路板与所述第一半导体芯片之间,用于支撑所述第一半导体芯片,所述支撑件具有相对于所述电路板固定的第一端部和第二端部,以及中心部,所述中心部在所述第一端部和所述第二端部之间,用于与所述第一半导体芯片接触。

[0014] 所述半导体封装可以包括安装于所述电路板的第二半导体芯片。所述第一半导体芯片可以安装于所述第二半导体芯片的上表面,所述第一半导体芯片的突出部可以在第一方向上延伸超过所述第二半导体芯片的端部,并且所述支撑件的所述中心部可以在所述突出部的底表面上接触所述第一半导体芯片。

[0015] 所述支撑件可以具有平行于所述第一方向延伸的长度。可替代地,所述支撑件具有垂直于所述第一方向延伸的长度。

[0016] 所述支撑件可以包括第一布线和第二布线,所述第一布线具有垂直于所述第一方向延伸的长度,所述第二布线具有平行于所述第一方向延伸的长度。

[0017] 所述第一布线和所述第二布线中的一个可以被安装成具有中心部,所述中心部位于所述第一布线和所述第二布线中的另一个的中心部下面,以支撑所述第一布线和所述第二布线中的所述另一个。

[0018] 所述半导体封装还可以包括安装于所述第一半导体芯片的上表面的第三半导体芯片。所述第三半导体芯片的突出部在所述第一方向上延伸超过所述第一半导体芯片的所述突出部的端部,并且所述支撑件可以包括第一支撑件和第二支撑件,所述第一支撑件用于支撑以接触所述第一半导体芯片的第一突出部的底表面,所述第二支撑件用于通过接触所述第三半导体芯片的所述第二突出部的底表面来支撑所述第三半导体芯片。

[0019] 所述第一支撑件可以具有第一高度,并且所述第二支撑件可以具有大于所述第一高度的第二高度。

[0020] 所述支撑件的所述第一端部和所述第二端部可以安装于所述电路板的上表面。

[0021] 所述支撑件可以包括布线。所述布线可以是没有将电信号从一个端部发射到另一端部的虚拟(dummy)布线。

[0022] 所述半导体封装可以包括至少一个传输布线,其用于将所述第一半导体芯片的结合焊盘电连接到所述电路板的结合焊盘,并且所述虚拟布线具有的厚度可以大于所述传输布线的厚度。另外,所述虚拟布线可以由与所述传输布线不同的材料构成。

[0023] 所述支撑件还可以包括用于支撑所述布线的聚合物材料,并且所述布线可以设置在所述聚合物材料的上表面上方。

[0024] 所述半导体封装还可以包括:第二半导体芯片,其安装于所述电路板;以及第三半导体芯片,其安装于所述第二半导体芯片的上表面,以暴露位于所述第二半导体芯片的上表面上的所述第二半导体芯片的结合焊盘部分。所述第一半导体芯片可以安装于所述第

三半导体芯片,所述第一半导体芯片的突出部可以延伸超过所述第三半导体芯片的端部,以位于所述第二半导体芯片所述上表面的所述结合焊盘部分的上方,并且所述支撑件的至少一个端部可以安装于所述第二半导体芯片的所述结合焊盘部分。

[0025] 所述支撑件的每个端部可以安装于所述第二半导体芯片的所述结合焊盘部分。

[0026] 所述支撑件的第一端部可以安装于所述第二半导体芯片的所述结合焊盘部分,并且所述支撑件的第二端部可以安装于所述电路板。

[0027] 本发明总体构思的特征和 / 或用途还可以通过一种半导体封装来实现,该半导体封装包括:电路板;第一半导体芯片,其被安装成相对于所述电路板固定并且与所述电路板分开预定距离;以及支撑件,其安装于所述电路板,用于通过向所述第一半导体芯片的底表面提供线性压力而为所述第一半导体芯片提供支撑。

[0028] 本发明总体构思的特征和 / 或用途还可以通过一种半导体封装来实现,该半导体封装包括:电路板;第一半导体芯片,其电连接到所述电路板并且与所述电路板分开预定距离;以及支撑件,其安装于所述电路板,用于通过向所述第一半导体芯片的底表面提供线性压力而为所述第一半导体芯片提供支撑。

[0029] 本发明总体构思的特征和 / 或用途还可以通过一种半导体封装来实现,该半导体封装包括:电路板;半导体芯片,其设置在所述电路板上方并且与所述电路板分开预定距离,并且电连接到所述电路板;以及支撑件,其安装在所述电路板上,用于支撑所述半导体芯片,所述支撑件包括:固定于所述电路板并且彼此分开的至少两个焊盘;以及,用于连接所述至少两个焊盘并且与所述半导体芯片接触的材料。

[0030] 本发明总体构思的特征和 / 或用途还可以通过一种半导体封装来实现,该半导体封装包括:电路板;半导体芯片,其电连接到所述电路板并且与所述电路板分开预定距离;以及支撑件,其安装在所述电路板上,用于支撑所述半导体芯片以保持其相对于所述电路板的所述预定距离。

[0031] 本发明总体构思的特征和 / 或用途还可以通过一种半导体封装来实现,该半导体封装包括:电路板;半导体芯片,其设置在所述电路板的上方;以及支撑件,其具有在第一纵向方向上形成在所述电路板上的底部和具有足以与所述半导体芯片接触的高度的顶部。所述顶部和所述底部的至少两个端部可以形成基本上三角形的形状。

[0032] 本发明总体构思的特征和 / 或用途还可以通过一种半导体封装来实现,该半导体封装包括:电路板;半导体芯片,其设置在所述电路板上方;以及支撑件,其具有在第一纵向方向上形成在所述电路板上的两个端部以及与所述两个端部连接的顶部,并且所述支撑件形成弧形的形状,所述弧形形状具有的高度足以与所述半导体芯片接触。

[0033] 本发明总体构思的特征和 / 或用途还可以通过一种半导体封装来实现,该半导体封装包括:电路板;半导体芯片;以及支撑件,其具有在所述电路板的第一几何区域中与所述电路板接触的底部和在所述半导体芯片的第二几何区域中与所述半导体芯片接触的顶部。所述第一几何区域可以具有非圆形的形状,所述第二几何区域可以具有基本上矩形的形状。

[0034] 本发明总体构思的特征和 / 或用途还可以通过一种半导体封装来实现,该半导体封装包括:电路板;半导体芯片;以及支撑件,其用于支撑所述半导体芯片、用于在所述电路板的几何区域内与所述电路板接触、以及用于沿着几何线段与所述半导体芯片接触。

[0035] 本发明总体构思的特征和 / 或用途还可以通过一种半导体封装来实现,该半导体

封装包括：电路板；半导体芯片，其相对于所述电路板位于固定位置；以及支撑件，其用于通过在所述电路板的第一几何区域中与所述电路板接触来支撑所述半导体芯片，并且在所述半导体芯片的第二几何区域中与所述半导体芯片接触。所述第一几何区域可以与所述第二几何区域不同。

[0036] 本发明总体构思的特征和 / 或用途还可以通过一种半导体封装来实现，该半导体封装包括：电路板；第一半导体芯片，其设置在所述电路板的第一区域的上方；第二半导体芯片，其设置在所述电路板的第二区域上方，所述第二区域具有与所述第一区域的重叠区和非重叠区；以及支撑件，其位于所述非重叠区中并且具有在第一方向上的长度和在第二方向上的宽度。所述长度可以比所述宽度长。

[0037] 本发明总体构思的特征和 / 或用途还可以通过一种半导体封装来实现，该半导体封装包括：电路板；支撑件，其形成在所述电路板上并且具有在第一方向上的长度；以及半导体芯片，其在纵向方向上设置在所述电路板上方的预定距离处，所述纵向方向相对于所述第一方向具有预定角度，所述半导体芯片接触所述支撑件并且电连接到所述电路板。

[0038] 所述支撑件可以具有长度和宽度，并且所述长度和所述宽度中的至少一个可以大于所述长度和所述宽度中的另一个。

[0039] 所述支撑件可以包括彼此分开以接触所述电路板的至少两个端部，以及连接所述两个端部以接触所述半导体芯片的中部。

[0040] 所述支撑件具有的高度可以基本上与所述半导体芯片和所述电路板之间的预定距离相同。

[0041] 所述支撑件可以是弹性材料。

[0042] 所述支撑件可以由聚合物制成。

[0043] 所述半导体封装可以包括安装于所述电路板的第二半导体芯片，并且所述支撑件可以安装在所述第二半导体芯片上，用于支撑所述第一半导体芯片。

[0044] 所述半导体封装还可以包括：第二半导体芯片，其设置在所述电路板与所述半导体芯片之间并且被设置在与所述第一半导体芯片不同的方向上，并且所述支撑件可以被设置在与所述第一半导体和所述第二半导体中的一个平行的方向上。

[0045] 本发明总体构思的特征和 / 或用途还可以通过一种电子设备来实现，该电子设备包括：电路板；第一半导体芯片，其被安装成相对于所述电路板固定并且与所述电路板分开预定距离；以及支撑件，其安装于所述电路板，以通过向所述第一半导体芯片的底表面提供线性压力而为所述第一半导体芯片提供支撑。

[0046] 本发明总体构思的特征和 / 或用途还可以通过一种存储器贮存装置来实现，该存储器贮存装置可以包括存储器单元和控制器。该存储器单元可以包括堆叠半导体封装。所述堆叠半导体封装可以包括：电路板；第一半导体芯片，其安装于电路板并且与所述电路板分开预定距离；以及支撑件，其位于所述电路板与所述第一半导体芯片之间，用于支撑所述第一半导体芯片，所述支撑件具有相对于所述电路板固定的第一端部和第二端部、以及中心部，所述中心部在所述第一端部和所述第二端部之间，用于与所述第一半导体芯片接触。所述控制器从所述堆叠半导体封装中读取数据，并且向所述堆叠半导体封装写入数据。

附图说明

[0047] 结合以下简要描述的附图,从以下对实施例的描述中,本发明总体构思的这些和/或其它方面和用途将变得清楚并且更易于理解。

[0048] 图 1 示出堆叠半导体封装。

[0049] 图 2A-2I 示出根据本发明总体构思的实施例的堆叠半导体封装的侧视图和顶视图。

[0050] 图 3A 和图 3B 示出根据本发明总体构思的另一个实施例的堆叠半导体封装的两个透视图。

[0051] 图 4A-4C 示出根据总体构思的虚拟布线的实施例。

[0052] 图 5A-5D 示出根据本发明总体构思的虚拟布线的平面构造。

[0053] 图 6A-6D 示出根据本发明总体构思的实施例的制造堆叠半导体封装的方法。

[0054] 图 7 示出根据本发明总体构思的实施例的堆叠半导体封装的端视图。

[0055] 图 8A-8C 示出根据本发明总体构思的另一个实施例的制造堆叠半导体封装的方法。

[0056] 图 9A-9D 示出根据本发明总体构思的另一个实施例的制造堆叠半导体封装的方法。

[0057] 图 10A-10C 示出根据本发明总体构思的另一个实施例的制造堆叠半导体封装的方法。

[0058] 图 11A-11C 示出根据本发明总体构思的另一个实施例的制造堆叠半导体封装的方法。

[0059] 图 12A-12C 示出根据本发明总体构思的另一个实施例的制造堆叠半导体封装的方法。

[0060] 图 13A-13C 示出根据本发明总体构思的另一个实施例的制造堆叠半导体封装的方法。

[0061] 图 14A-14H 示出根据本发明总体构思的实施例的堆叠半导体封装。

[0062] 图 15A 和图 15B 示出根据本发明总体构思的实施例的堆叠半导体封装。

[0063] 图 16 示出根据本发明总体构思的实施例的堆叠半导体封装。

[0064] 图 17 示出根据本发明总体构思的实施例的堆叠半导体封装。

[0065] 图 18A-18C 示出根据本发明总体构思的实施例的虚拟布线。

[0066] 图 19 示出根据本发明总体构思的实施例的存储器装置的框图。

[0067] 图 20 示出根据本发明总体构思的实施例的计算装置的框图。

具体实施方式

[0068] 现在将详细参照本发明总体构思的实施例,其实例在附图中示出,其中类似的附图标记可始终用于表示类似的元件。以下描述这些实施例,以通过参照附图说明本发明的总体构思。

[0069] 图 2A 和图 2B 示出包括虚拟布线 216 的堆叠半导体封装 200,该虚拟布线 216 用于支撑上半导体芯片 203 的突出部 A。

[0070] 图 2A 和图 2B 中的堆叠半导体封装 200 包括衬底 201,衬底 201 可以包括在其上表面上的第一结合焊盘 208 和第二结合焊盘 209。衬底 201 还可以包括在其底表面上的结合

焊盘 210。衬底 201 内的布线可以将上表面的结合焊盘 208、209 与底表面的结合焊盘 210 连接。

[0071] 第一半导体芯片 202 可以安装在衬底 201 上并且被用粘合剂 204 固定。第一半导体芯片 202 可以包括在其上表面上的结合焊盘 206, 并且结合焊盘 206 可以通过布线 211 连接到衬底 201 的结合焊盘 208。第二半导体芯片 203 可以安装在第一半导体芯片 202 上并且被用粘合剂 205 固定。第二半导体芯片 203 安装在第一半导体芯片 202 上, 使得所述芯片垂直堆叠或者在方向 y 上堆叠。当第二半导体芯片 203 中的一部分覆盖第一半导体芯片 202 的结合焊盘时, 在第一半导体芯片 202 与第二半导体芯片 203 之间还可以设置重分布的层 (未示出)。

[0072] 粘合剂层 205 可以是将半导体芯片 202 和 203 电隔离的层, 或者是用于将半导体芯片 202 和 203 彼此分隔开的层。该层可以具有导线, 用于执行将半导体芯片 202 和 203 电连接的重分布功能 (redistributive function)。

[0073] 第二半导体芯片 203 可以包括在其上表面上的至少一个结合焊盘 207。结合焊盘 207 可以通过布线 212 连接到衬底的结合焊盘 209。在图 2B 中, 为了清晰起见, 省略了布线 212。堆叠半导体封装可以由封模 213 来密封。例如, 环氧封模化合物可以用于填充半导体芯片 202、203 周围的区域, 以绝缘并保护芯片。

[0074] 第二半导体芯片 203 可以安装在第一半导体芯片 202 上, 使得第二半导体芯片 203 在水平方向 x 上相对于第一半导体芯片 202 偏移。第二半导体芯片 203 中的 A 部分可以突出于第一半导体芯片 202, 使得在第二半导体芯片 203 的底部与衬底 201 之间存在没有第一半导体芯片 202 的部分。

[0075] 虚拟布线 216 可以形成在突出部 A 下面的第一半导体芯片 202 的结合焊盘 214 上, 用于为突出部 A 提供支撑。虚拟布线 216 可以具有“U”形并且端部连接到结合焊盘。虚拟布线 216 可以具有高度 h1, 该高度 h1 足以与第二半导体芯片 203 的底侧接触并支撑第二半导体芯片 203 的底侧。如图 2A 和图 2B 中所示, 虚拟布线 216 可以直接与第二半导体芯片 203 接触。可替换地, 虚拟布线 216 可以与第二半导体芯片 203 的底表面上的粘合剂层 205 接触。两个或更多个虚拟布线 216 可以在水平方向 z 上并排设置, 这取决于所需的支撑程度。

[0076] 虚拟布线 216 可以具有各种形状和组成。例如, 虚拟布线 216 可以具有弧形、平头 (flat tip) 部分、尖头 (pointed tip)、圆头 (rounded tip)。虚拟布线 216 可以由金属布线材料、传导布线材料、或绝缘材料构成。虚拟布线 216 可以具有弹性或非弹性特性。其可以是固体或纤维材料。其可以是传导的, 但是没有电连接到半导体芯片 202、203 或者半导体封装 200 的衬底 201。

[0077] 图 2C 和图 2D 示出与图 2A 和图 2B 的堆叠半导体封装类似的堆叠半导体封装 200, 其不同之处在于, 虚拟布线 216 被布置成平行于水平方向 x 延伸, 并且虚拟布线 216 与上半导体芯片 203 下侧的粘合剂层 205 接触。

[0078] 如图 2E-2G 所示, 图 2A-2D 所示的堆叠半导体封装 200 可以共用衬底 201 上的焊盘布局。例如, 图 2E 示出的衬底 201 具有形成在第一端部的连接焊盘 208, 用于连接下半导体芯片 202 的连接焊盘 206。连接焊盘 209 形成在衬底 201 的另一端部, 用于连接上半导体芯片 (该图中未示出) 的连接焊盘。

[0079] 结合焊盘 214 可以形成为彼此等距离,使得如图 2F 所示平行于方向 x 形成的虚拟布线 216 和如图 2G 所示平行于方向 z 形成的虚拟布线 216 可以具有相同的长度。换言之,结合焊盘 214 可以形成在衬底 201 的表面上,使得方向 x 上的结合焊盘 214 间的距离 d1 与方向 z 上的结合焊盘间的距离 d2、d3 相同。

[0080] 可替代地,方向 x 上的结合焊盘 214 间的距离 d1 可以与方向 z 上的结合焊盘 214 间的距离 d2、d3 中的任一个都不同。当方向 x 上的结合焊盘 214 间的距离 d1 与方向 z 上的结合焊盘 214 间的距离 d2 不同时,平行于方向 x 形成的结合布线 216 可以具有与平行于方向 z 形成的结合布线 216 不同的长度。因此,具有单个构造的结合焊盘 214 的堆叠半导体芯片 200 可以用于向上半导体芯片提供一个以上层面的抵抗力 (resistance) 或支撑。

[0081] 例如,如果距离 d1 大于距离 d2,则平行于方向 x 的两个结合焊盘 214 之间形成的虚拟布线 216 将会比平行于 z 方向的两个结合焊盘 214 之间形成的虚拟布线 216 长。因此,与平行于方向 z 的两个结合焊盘 214 之间形成的虚拟布线 216 相比,平行于方向 x 形成的结合布线 216 可以提供更小的抵抗力或者在上半导体芯片的更大面积的底表面上提供抵抗力。

[0082] 图 2H 和图 2I 示出由于被分离开不同距离的结合焊盘 214 而导致的具有不同长度的虚拟布线 216。在图 2H 中,结合焊盘 214 分离了距离 d4。在图 2I 中,结合焊盘 214 分离了距离 d5,距离 d5 大于距离 d4。结果,虚拟布线 216 具有的长度比图 2H 中的虚拟布线 216 的长度长。虚拟布线 216 可以形成为沿着长度 d6 接触上半导体芯片 203 的下侧。由于图 2I 中的虚拟布线 216 比图 2H 中的虚拟布线 216 长,因此与图 2G 中的虚拟布线 216 所能做到的相比,图 2I 中的虚拟布线 216 可以沿着更长的长度 d6 接触上半导体芯片 203 的下侧。

[0083] 另外,如图 2H 和图 2I 所示,由于图 2H 中的较短虚拟布线 216 可以以比图 2I 中的较长虚拟布线 216 的角度 θ_2 更高的角度 θ_1 从结合焊盘 214 开始延伸,因此与图 2I 中的较长虚拟布线 216 相比,图 2H 中的较短虚拟布线 216 可以提供更大的抵抗力或更硬的支撑。

[0084] 图 3A 和图 3B 示出根据发明总体构思的堆叠半导体封装 300 的另一个实施例。如图 3A 所示,堆叠半导体封装 300 可以包括衬底 301、安装在衬底 301 的上表面 301a 上的第一半导体芯片 302、和安装在第一半导体芯片 302 上的第二半导体芯片 303。第二半导体芯片 303 可以相对于第一半导体芯片 302 以 90 度的角度取向,使得第二半导体芯片 303 的中心位于第一半导体芯片 302 的中心上方并且第二半导体芯片 303 的端部位于衬底 301 上方。可替代地,第二半导体芯片 303 可以相对于第一半导体芯片 302 以任何其它角度取向。

[0085] 如同图 2A 和图 2B 中的堆叠半导体封装一样,图 3A 和图 3B 中的堆叠半导体封装 300 可以包括衬底 301 和衬底 301 上表面 301a 上的结合焊盘 308、309,以分别接收与第一半导体芯片 302 和第二半导体芯片 303 的结合焊盘 306、307 连接的布线 311、312。半导体芯片 302、303 可以包括存储器器件,例如 DRAM、PRAM、和闪速存储器或任何其它半导体芯片,包括逻辑电路等。另外,粘合剂层 304、305 可以将半导体芯片 302、303 彼此结合并且将半导体芯片 302、303 结合到衬底 301。

[0086] 例如,粘合剂层 304、305 可以包括环氧膏体和环氧胶带。粘合剂层可以是绝缘体或者它们可以具有导热或导电的传导特性。粘合剂层 304、305 可以被布线层 (未示出) 取代或者与布线层一起使用,以将半导体芯片 302、303 彼此连接并且将半导体芯片 302、

303 连接到衬底 301。

[0087] 结合焊盘 314 可以形成在第二半导体芯片 303 的突出部下面,并且虚拟布线 316 可以形成为连接相邻的结合焊盘 314。如图 3B 所示,整个堆叠半导体封装可以被包封在封模 313 中。

[0088] 如以上所提及的,第二半导体芯片 303 可以相对于第一半导体芯片 302 旋转 90 度并且可以安装到第一半导体芯片 302。结果,第二半导体芯片 303 中的一部分可以在水平方向 x 上延伸通过第一半导体芯片 302 的边缘。突出部可以以距离 d_1 突出于第一半导体芯片 302 的边缘。

[0089] 图 3B 示出沿着 I-I' 线的图 3A 中的堆叠半导体封装的剖视图。如图 3B 所示,多个虚拟布线 316 可以在第二半导体芯片 303 的突出部下面在水平方向 z 上设置。所使用的虚拟布线 316 的数量可以基于以下因素来确定:所需的支撑层面、半导体芯片 303 和粘合剂 304、305 的强度、衬底 301 上可用的空间、形成虚拟布线 316 的时间、以及制备额外虚拟布线 316 的成本。第二半导体芯片 303 延伸超过第一半导体芯片 302 的一侧的距离 d_1 可以用于确定所需的虚拟布线 316 的数量。

[0090] 虚拟布线 316 可以在两个结合焊盘 314a、314b 之间延伸。虚拟布线 316 和结合焊盘 314 可以具有组合的高度 h_1 ,该高度足以允许虚拟布线 316 接触并支撑第二半导体芯片 303 的底表面。

[0091] 图 4A-4C 示出虚拟布线的三个不同构造。

[0092] 在图 4A 中,虚拟布线 316 设置在水平方向 x 上与第一半导体芯片 302 的一侧相邻和粘合剂层 304 相邻的衬底 301 的上表面 301a 上。穿过虚拟布线 316 的长度中心的假想平面平行于第一半导体芯片 302 的相邻侧表面。换言之,结合焊盘 314a、314b 相对于彼此在水平方向 z 上设置,并且连接到结合焊盘 314a、314b 的虚拟布线 316 在水平方向 z 上延伸,以连接到结合焊盘 314a、314b。

[0093] 结合焊盘 314a、314b 分离开预定距离 w_1 。第一焊盘 314a 与第二焊盘 314b 之间的距离和结合焊盘 314a、314b 与第二半导体芯片 303 的底表面之间的距离确定对应虚拟布线 316 的长度和形状。例如,结合焊盘 314a、314b 可以被设置成彼此更为靠近,从而造成虚拟布线 316 提供更大的物理抵抗力或刚度,或者它们可以被设置为彼此更远地隔开,从而造成虚拟布线 316 具有较小的物理抵抗力。

[0094] 例如,虚拟焊盘可以由任何合适的材料形成,并且可以通过诸如环氧膜或聚酰亚胺膜的粘合剂粘附于衬底 301 的上表面 301a。

[0095] 每个虚拟布线 316 可以包括第一端部 317a 和第二端部 317b 及中心布线部 315。虚拟布线 316 具有的厚度可以大于诸如图 3A 和图 3B 的布线 311 和 312 的功能传导布线的厚度。虚拟布线可以由任何合适的材料形成。例如,虚拟布线 316 可以由与图 3A 中的功能布线 311 相同的材料构成,并通过与图 3A 中的功能布线 311 相同的制造工艺形成。可替代地,虚拟布线 316 可以由非传导材料形成。

[0096] 如图 4B 所示,虚拟布线 316 可以在不同于方向 z 的方向上取向。图 4B 示出在与方向 z 垂直的水平方向 x 上取向的虚拟布线 316。图 4C 示出在方向 x 上取向的第一下虚拟布线 316a 和在方向 z 上取向的第二上虚拟布线 316b。该构造可以允许下虚拟布线 316a 为上虚拟布线 316b 和第二半导体芯片 303 的突出部提供额外的支撑。

[0097] 虽然目前描述的实施例示出布置成排的多个虚拟布线 316,但是虚拟布线 316 可以按任何合适的方式构造。图 5A-5D 示出虚拟布线 316 的各种构造。

[0098] 在图 5A 和图 5B 中,多个虚拟布线 316 布置成多个行。一行在方向 x 上相对于另一行偏移,使得一行中布线的顶点对应于第二半导体芯片 303 底表面上的与另一行中布线顶点位置不同的位置。

[0099] 图 5C 示出多个结合焊盘 314a、314b 在水平方向 x、z 上布置成行和列的替选构造,使得每个虚拟布线 316 的顶点对应于相同行和列中的每个其它虚拟布线 316 的顶点。

[0100] 图 5D 示出虚拟布线 316 相互在不同的方向上对准的构造。第一虚拟布线 316a 平行于水平方向 z 延伸,第二虚拟布线 316b 平行于水平方向 x 延伸,水平方向 x 垂直于方向 z。每个虚拟布线 316a、316b 可以在与第二半导体芯片 303 的相邻侧平行的方向上延伸。例如,虚拟布线 316a 在方向 z 上延伸,并且与也在方向 z 上延伸的第二半导体芯片 303 的一侧相邻。同样地,虚拟布线 316b 在方向 x 上延伸并且与也在方向 x 上延伸的第二半导体芯片 303 的一侧相邻。

[0101] 虽然以上示出数个虚拟布线 316 的实例构造,但是本领域的普通技术人员可以根据需要构造虚拟布线 316,以实现所需的支撑、覆盖区和成本。

[0102] 图 6A-6D 示出制造图 3A 中的堆叠半导体芯片 300 的方法。首先,提供衬底 301,并且在衬底 301 的上表面 301a 上形成结合焊盘 308、309。结合焊盘 308、309 可以连接到衬底 301 内的电路,以将上表面 301a 连接到与上表面相对的底表面(未示出)。可以采用与结合焊盘 308、309 相同的工艺或者采用单独的工艺形成用于虚拟布线 316 的结合焊盘 314。可以采用与结合焊盘 308、309 相同的材料或者不同的材料形成结合焊盘 314。

[0103] 接着,如图 6B 所示,可以采用粘合剂 304 将第一半导体芯片 302 粘附于衬底 301 的上表面 301a。第一半导体芯片 302 可以在上表面的端部具有结合焊盘 306,并且结合焊盘 306 可以对应于衬底 301a 上的结合焊盘 308,使得半导体芯片 302 的侧面与虚拟布线结合焊盘 314 相邻,并且半导体芯片 302 的端部与衬底结合焊盘 308 相邻。

[0104] 接着,如图 6C 所示,将传导布线 311 连接在第一半导体芯片 302 的上表面的结合焊盘 306 与衬底 301 的上表面 301a 上的结合焊盘 308 之间。另外,在相邻的虚拟接触焊盘 314a、314b 之间形成虚拟布线 316。虚拟布线 316 可以采用与功能布线 311 相同的工艺形成,并且可以由与功能布线 311 相同的材料形成。可替选地,虚拟布线 316 可以采用与布线 311 不同的制造工艺或步骤形成,并且可以由与布线 311 不同的材料形成。

[0105] 最后,如图 6D 所示,用粘合剂层 305 将第二半导体芯片 303 安装在第一半导体芯片 302 的上表面上,并且形成布线以将第二半导体芯片 303 的结合焊盘 307 与衬底的上表面 301a 的结合焊盘 309 连接。第二半导体芯片 303 可以相对于第一半导体芯片 302 以 90 度的角度取向,使得第二半导体芯片 303 中与突出距离 d7 对应的部分延伸超过第一半导体芯片 302 的边缘。第二半导体芯片 303 的延伸超过第一半导体芯片 302 端部的部分对应于虚拟布线 316 的位置,使得虚拟布线 316 可以为突出部提供支撑。

[0106] 另外,如图 7 所示,可以包括额外的制造操作来用制模材料包封半导体芯片 302、303 和布线 311、312、314,以提供绝缘。另外,焊料球 318 可以形成在衬底 301 的底表面 301b 上设置的结合焊盘 310 上,以将堆叠半导体封装 300 连接到相邻的器件。

[0107] 图 8A-8C 示出根据本发明总体构思的另一个实施例的堆叠半导体封装 800 和制造

该半导体封装 800 的方法。

[0108] 在图 8A 中,提供具有顶侧 801a 和底侧 801b 的衬底 801。该衬底可以具有位于其上表面 801a 上的结合焊盘 808。用粘合剂层 804 将第一半导体芯片 802 粘附于衬底 801 的上表面 801a。该衬底具有位于其上表面上的结合焊盘 806,并且形成布线 811 以将第一半导体芯片 802 的结合焊盘 806 与衬底 801 的结合焊盘 808 连接。第一半导体芯片 802 在其上表面上还具有结合焊盘 814,用于安装虚拟布线 816。

[0109] 在图 8B 中,借助粘合剂 822 将中间半导体芯片 820 安装到第一半导体芯片 802 上,并且可以在结合焊盘 814 之间形成虚拟布线 816。图 8C 示出借助粘合剂层 805 安装在中间芯片 820 上的第二半导体芯片 803。第二半导体芯片 803 延伸超过中间芯片 820 的边缘,超过的距离为距离 d_8 ,使得第二半导体芯片 803 的底表面或者底表面上的粘合剂层 805 接触虚拟布线 816,并且由虚拟布线 816 支撑。第二半导体芯片 803 在其上表面上包括结合焊盘 807,并且形成布线以将结合焊盘 807 连接到衬底 801 的结合焊盘 808。

[0110] 根据图 8C 所示的实施例,中间半导体芯片 820 可以借助于与粘合剂层 805、822 处于相同层面的布线层、焊盘或重分布层 (redistribution layer) (未示出) 而电连接到第一半导体芯片 802 和第二半导体芯片 803。中间半导体芯片 820 可以向第一半导体芯片 802 和第二半导体芯片 803 传输数据、电力和 / 或热,或者其可以用作电、物理和 / 或热缓冲器。

[0111] 图 9A-9D 示出与图 8A-8C 中类似的形成堆叠半导体封装 900 的方法,但是在第一半导体芯片上没有虚拟布线。

[0112] 具体来讲,在图 9A 中,借助粘合剂层 904 将第一半导体芯片 902 安装到衬底 901 的上表面 901a 上。该衬底可以具有用于接收来自第一半导体芯片 902 的布线的内部结合焊盘 908 和用于接收来自第二半导体芯片 903 的布线的结合焊盘 909。第一半导体芯片 902 在其上表面周围具有结合焊盘 906。

[0113] 图 9B 示出的是在第一半导体芯片 902 的结合焊盘 906 与衬底的结合焊盘 908 之间形成布线 911。

[0114] 图 9C 示出的是借助粘合剂层 922 将中间半导体芯片 920 安装到第一半导体芯片 902 的中心部,并且借助粘合剂层 905 将第二半导体芯片 903 安装到中间半导体芯片 920 上。布线 912 将第二半导体芯片 903 的上表面上的结合焊盘与衬底 901 的上表面 901a 上的结合焊盘 909 连接。第二半导体芯片 903 的端部延伸超过中间芯片 920 的侧边缘,超过的距离为距离 d_8 。以下述高度形成布线 911,该高度使得布线 911 接触第二半导体芯片 903 的底表面或粘合剂层 905。

[0115] 通过利用该方法,不需要制造单独的虚拟布线,并且预先存在的功能布线可以为第二半导体芯片 903 的突出部提供物理支撑。这些功能布线具有的尺寸可以与其它功能布线近似,或者它们具有的厚度可以大于标准功能布线的厚度。

[0116] 虽然布线 911 可以是功能布线,但是在第一半导体芯片 902 的结合焊盘 906 与衬底 901 上的结合焊盘 908 之间还可以连接至少一个虚拟布线。另外,可以使用不同高度的布线。

[0117] 如图 9D 所示,功能布线 911 和虚拟布线 914 中的每个可以连接到第一半导体芯片 902 上的相邻结合焊盘 906。可替代地,相应布线 911、914 可以连接到相对于彼此偏移的结合焊盘,例如衬底上的结合焊盘 908、914。虚拟布线 916 可以形成为高度 h_2 ,该高度 h_2 大

于功能布线 911 的高度 h_3 。通过这种制造方法,对于虚拟布线不需要形成单独的结合焊盘组,但是功能布线却仍然会受到保护而免于受物理应力或变形的影响。

[0118] 图 10A-10C 示出根据本发明总体构思的另一个实施例的堆叠半导体封装 1000 及其制造方法。

[0119] 图 10A 示出了借助粘合剂层 1004 而安装在衬底 1001 的上表面 1001a 上的第一半导体芯片 1002。该衬底具有第一和第二结合焊盘 1008、1009 和虚拟结合焊盘 1014。虚拟结合焊盘 1014 用于结合虚拟布线 1016,并且可以是传导或非传导的焊盘。第一半导体芯片 1002 具有位于上表面上的结合焊盘 1006。

[0120] 图 10B 示出的是在第一半导体芯片 1002 的结合焊盘与衬底 1001 的结合焊盘 1008 之间形成功能布线 1011。也可以采用相同的制造操作或者采用不同的操作形成虚拟布线 1016。将虚拟布线 1016 形成在衬底 1001 上的两个结合焊盘 1014 之间。

[0121] 图 10C 示出的是借助粘合剂层 1005 将第二半导体芯片 1003 安装于第一半导体芯片 1002。第二半导体芯片 1003 在方向 x 上从第一半导体芯片 1002 的端部偏移了距离 d_9 ,使得第一半导体芯片 1002 的结合焊盘 1006 被暴露并且第二半导体芯片 1003 延伸超过第一半导体芯片 1002 的端部。第二半导体芯片 1003 中延伸超过第一半导体芯片 1002 端部的部分可以对应于虚拟布线 1016 的位置,使得虚拟布线 1016 支撑第二半导体芯片 1003 的下侧。形成布线 1012,以将第二半导体芯片 1003 的上表面上的结合焊盘 1007 与衬底 1001 上的结合焊盘 1009 连接。

[0122] 图 10C 中的半导体封装 1000 与图 2A 所示的半导体封装类似,不同之处在于,在图 2A 中虚拟布线 216 平行于水平方向 z 对准,而在图 10C 中虚拟布线 1016 平行于水平方向 x 对准。

[0123] 图 11A-11C 示出与图 10A-10C 类似的形成半导体封装 1000 的方法。然而,如图 11A 所示,可以在结合焊盘 1014 上或在结合焊盘 1014 之间形成聚合物材料 1132。图 11B 示出正形成在聚合物材料上的虚拟布线 1016。当将第二半导体芯片 1003 安装在第一半导体芯片 1002 上并且突出部接触虚拟布线 1016 时,聚合物材料 1132 可以为虚拟布线 1016 提供额外的支撑。

[0124] 聚合物材料 1132 可以包括底部填充材料 (underfill material)、弹性记忆复合 (EMC) 材料、粘合剂或任何其它合适的支撑材料。另外,聚合物材料 1132 可以在形成虚拟布线 1016 之前或形成虚拟布线 1016 之后形成在衬底 1001 上。

[0125] 如图 12A-12C 所示,虚拟布线 1016 可以预形成或预成型,并且然后通过焊料膏、聚合物粘合剂或其它结合剂而结合到结合焊盘 1014。

[0126] 图 13A-13C 示出根据本发明总体构思的另一个实施例的堆叠半导体封装 1300 及其形成方法。

[0127] 图 13A 示出借助粘合剂层 1304 安装在成型的衬底或框架 1301 上的第一半导体芯片 1302。框架 1301 可以包括用于接收第一半导体芯片 1302 的凹陷部分 1301b 和环绕凹陷部分 1301b 的抬升部分 1301a。然而,框架 1301 可以具有任何所需的形状。

[0128] 布线 1311 可以将第一半导体芯片 1302 的结合焊盘 1306 与框架 1301 的结合焊盘或引线 (未示出) 连接。虚拟布线 1316a、1316b 还可以形成在框架 1301 的凹陷部分 1301b 中。虚拟布线 1316a、1316b 可以被形成为在垂直方向 y 上具有变化高度的顶点,以对应于

不同高度处的半导体芯片。还可以在水平方向 x 上以变化的距离来设置虚拟布线 1316a、1316b,以对应于堆叠半导体芯片的突出部的不同位置。

[0129] 如图 13B 所示,借助粘合剂层 1305 将第二半导体芯片 1303 安装于第一半导体芯片 1302 的上表面。第二半导体芯片 1303 在水平方向 x 上从第一半导体芯片 1302 偏移了距离 d_{10} 。该偏移允许第一半导体芯片 1302 的结合焊盘 1306 保持被暴露的状态。第二半导体芯片 1303 中的一部分延伸超过第一半导体芯片 1302 的端部,使得第一虚拟布线 1316a 借助粘合剂层 1305 支撑第二半导体芯片 1303 的底表面。可以调节第二半导体芯片的偏移距离 d_{10} 和第二虚拟布线 1316b 的位置,使得第二半导体芯片不接触第二虚拟布线 1316b。可以在第二半导体芯片 1303 的结合焊盘 1307 与框架 1301 的结合焊盘或引线(未示出)之间形成功能布线 1312。

[0130] 如图 13C 所示,借助粘合剂层 1324 将第三半导体芯片 1322 安装于第二半导体芯片 1303 的上表面。第三半导体芯片 1322 在水平方向 x 上从第二半导体芯片 1303 偏移了距离 d_{11} 。第三半导体芯片 1322 中的一部分延伸超过第二半导体芯片 1303 的端部,使得第二虚拟布线 1316b 借助粘合剂层 1324 支撑第三半导体芯片 1322 的底表面。可以在第三半导体芯片 1322 的顶表面上的结合焊盘 1330 与框架 1301 的结合焊盘或引线(未示出)之间形成布线 1326。

[0131] 可以在半导体芯片 1302、1303 和 1322 以及布线 1311、1312、1326 和 1316 周围形成制模材料 1313,以包封堆叠半导体封装 1300。

[0132] 虽然以上实施例引用的是框架,但是可以使用任何合适的衬底。另外,堆叠半导体封装可以包括任何数量的堆叠半导体芯片,这取决于所需的结构、空间和性能。

[0133] 图 14A-14E 示出根据本发明总体构思的另一个实施例的堆叠半导体封装 1400。如图 14A 和图 14B 所示,堆叠半导体封装 1400 的构造可以与图 2A-13C 中的任一个类似,不同之处在于,虚拟布线 1416 可以只连接到一个结合焊盘 1414。堆叠半导体封装 1400 可以包括衬底 1401、借助粘合剂层 1404 安装于衬底 1401 的下半导体芯片 1402、连接焊盘 1414、和虚拟布线 1416。

[0134] 图 14A 示出在与下半导体芯片 1402 相邻的结合焊盘 1414 上形成的虚拟布线 1416。虚拟布线 1416 的一个端部可以连接到结合焊盘 1414,而虚拟布线 1416 的另一端部可以断开。虚拟布线 1416 可以形成为具有顶端的弧形形状,该顶端接触上半导体芯片 1403 的下侧。在将上半导体芯片 1403 安装到下半导体芯片 1402 上之前,虚拟布线 1416 可以具有高度 h_4 。如图 14B-14D 所示,一旦借助粘合剂层 1405 将上半导体芯片 1403 安装到下半导体芯片 1402 上,上半导体芯片 1403 就会将如参考字母 F_1 所表示的力施加到虚拟布线 1416 上,从而使虚拟布线变形。因此,虚拟布线 1416 具有高度 h_5 并且将力 F_2 施加到上半导体芯片 1403 的下侧。

[0135] 如图 14E-14H 所示,虚拟布线 1416 可以对准,使得虚拟布线 1416 的非连接端部相对于虚拟布线 1416 的连接端部处于水平方向 x_1 、 x_2 、 z_1 或 z_2 上。例如,图 14E 示出的是在方向 x_1 上从连接端部延伸到非连接端部的虚拟布线 1416。可替代地,根据所需的设计和功能,非连接端部可以相对于连接端部位于任何方向。

[0136] 图 15A 示出与图 8C 中的堆叠半导体封装类似的堆叠半导体封装 1500。堆叠半导体封装 1500 包括衬底 1501、安装在衬底 1501 上的下半导体芯片 1502、安装在下半导体芯片

1502 上的中间半导体芯片 1520、和安装在中间半导体芯片 1520 上的上半导体芯片 1503。半导体芯片 1502、1503 可以借助布线和连接焊盘（图 15A 中未示出）连接到衬底和 / 或彼此连接。上半导体芯片 1503 可以突出于中间半导体芯片 1520。结合焊盘 1514 可以形成在上半导体芯片 1503 的突出部下面的下半导体芯片 1502 上。虚拟布线 1516 可以形成在结合焊盘 1514 上，以支撑上半导体芯片 1503 的底表面。虚拟布线 1516 的端部可以不连接到任何结合焊盘。

[0137] 图 15B 与图 15A 类似，不同之处在于，在衬底 1501 上形成结合焊盘 1514，而不是在下半导体芯片 1502 上形成结合焊盘 1514。虚拟布线 1516 可以从衬底 1501 的结合焊盘 1514 延伸，以接触上半导体芯片 1503 的突出部的底表面。

[0138] 图 16 示出根据本发明总体构思的另一个实施例的堆叠半导体封装 1600。堆叠半导体封装 1600 可以包括设置在衬底 1601 上的两个下半导体芯片 1602a、1602b，以及在下半导体芯片 1602a、1602b 之间的空间。上半导体芯片 1603 可以堆叠在下半导体芯片 1602a、1602b 上，使得上半导体芯片 1603 的中心部位位于下半导体芯片 1602a、1602b 之间的空间上方。连接焊盘和布线（图 16 中未示出）可以将半导体芯片连接到衬底 1601 和 / 或将半导体芯片彼此连接。

[0139] 连接焊盘 1614 可以形成在下半导体芯片 1602a、1602b 之间的空间中，虚拟布线 1616 可以形成为在两个连接焊盘 1614 之间延伸并且具有与上半导体芯片 1603 底表面接触的顶端。

[0140] 虽然以上实施例包括具有与半导体芯片接触的顶端的虚拟布线，但是虚拟布线还可以被翻转，使得其顶端与诸如电路板的衬底接触。

[0141] 图 17 示出堆叠半导体封装 1700，该堆叠半导体封装 1700 在诸如电路板的衬底 1701 的两侧上都具有半导体芯片。在以下的描述中，将参照衬底 1701 讨论这些组件，使得“上”指的是“远离衬底”而“下”指的是“靠近衬底”。下半导体芯片 1702a 可以安装于衬底 1701 的第一侧，下半导体芯片 1702b 可以安装于衬底 1701 的另一侧。上半导体芯片 1703a、1703b 可以安装到相应下半导体芯片 1702a、1702b，并且上半导体芯片 1703a、1703b 中的一部分可以突出于下半导体芯片 1702a、1702b。如之前附图中所讨论的，连接焊盘 1714a 可以形成在衬底 1701 上，并且虚拟布线 1716a 可以形成在连接焊盘 1714a 之间并且可具有与上半导体芯片 1703a 的突出部的下表面接触的顶端。换言之，虚拟布线 1716a 可以在方向 y 上从连接端部延伸到顶端。

[0142] 另一方面，连接焊盘 1714b 还可以形成在上半导体芯片 1703b 的下表面上，并且使得虚拟布线 1716b 的连接端部在方向 y 上从上半导体芯片 1703b 的底表面延伸到衬底 1701 的表面。换言之，虽然之前实例实施例中的虚拟布线从与衬底较靠近的连接焊盘上的连接端部延伸到与半导体芯片突出部接触的顶端，但是虚拟布线也可以被翻转，使得连接端部连接到突出部并且顶端接触衬底或者与突出部相比更靠近衬底的半导体芯片的表面。

[0143] 虚拟布线可以被设计成具有各种厚度、形状和组成。图 18A-18C 示出各种形状的虚拟布线 1816。例如，虚拟布线 1816 可以具有圆形的剖面形状、矩形的剖面形状、或者非圆形的形状。可替换地，虚拟布线可以具有沿着相同虚拟布线的任何多边形的形状或任何的形状组合。

[0144] 根据以上实施例中的任一个实施例的堆叠半导体封装可以被包括在存储器贮存

装置中,如图 19 中所示。存储器贮存装置 1900 可以包括控制器 1910 和存储器 1920。控制器 1910 和存储器 1920 可以被包封在外部壳体 1930 内。控制器 1910 可以接收外部命令或预定命令,并且可以对存储器 1920 进行存取,以与存储器交换数据。控制器 1910 和存储器 1920 中的至少一个可以包括堆叠半导体封装,所述堆叠半导体封装包括一个或多个虚拟布线或使用布线支撑偏移的堆叠半导体芯片。存储器贮存装置 1900 可以为多媒体卡、安全数字装置、固态驱动器、或任何其它存储器贮存装置。

[0145] 图 20 示出包括根据以上实施例中任一个实施例的堆叠半导体封装的存储器系统或计算装置 2000。计算装置 2000 可以包括存储器 2020、输入 / 输出装置或端口 2030 和处理器 2010。处理器 2010 可以借助 I/O 装置 2030 接收命令,或者从存储器 2020 接收命令,并且然后可以对存储器 2020 或 I/O 装置进行存取,以交换数据。处理器 2010、存储器 2020 和 I/O 装置 2030 可以借助数据 / 命令总线 2040 传输数据和 / 或命令。处理器 2010、存储器 2020 和输入 / 输出装置 2030 中的任一个可以包括根据以上实施例的任一个实施例的堆叠半导体封装。

[0146] 虽然已经示出和描述了本发明的总体构思的数个实施例,但是本领域的技术人员应该理解的是,在不脱离其范围由所附权利要求及其等同物限定的发明总体构思的原理和精神的情况下,可以对这些实施例进行各种变化。

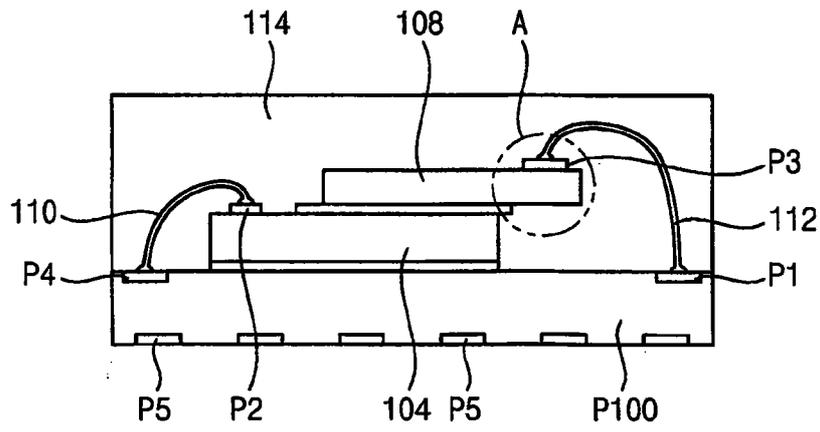


图 1

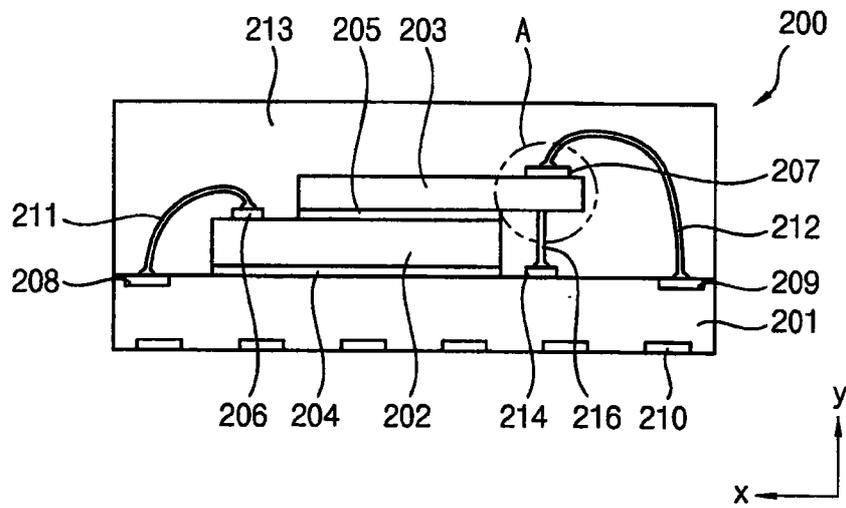


图 2A

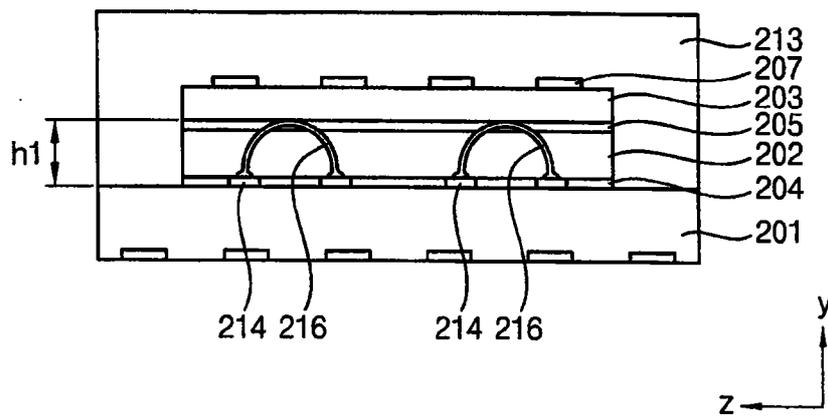


图 2B

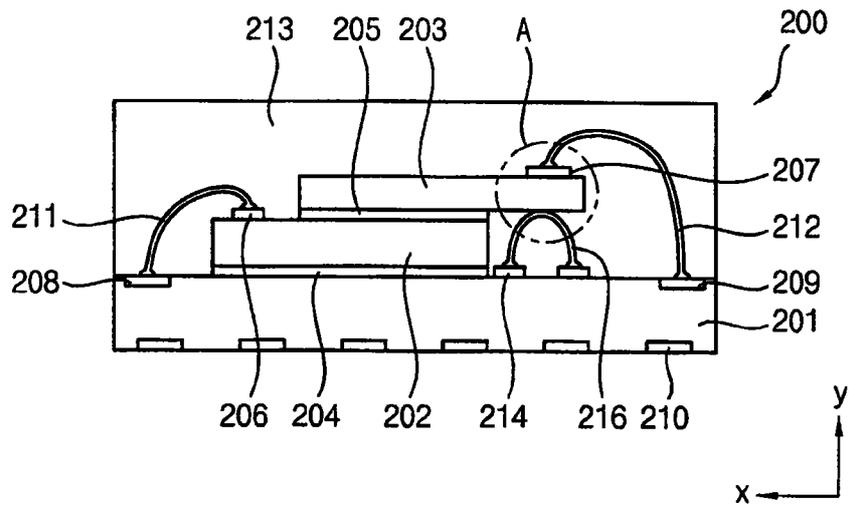


图 2C

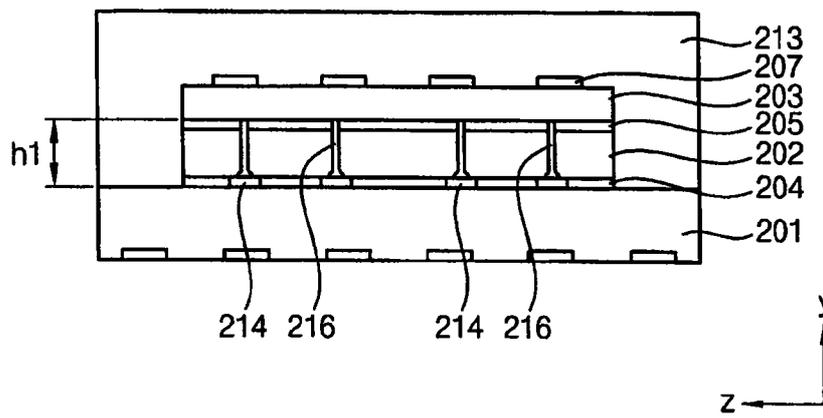


图 2D

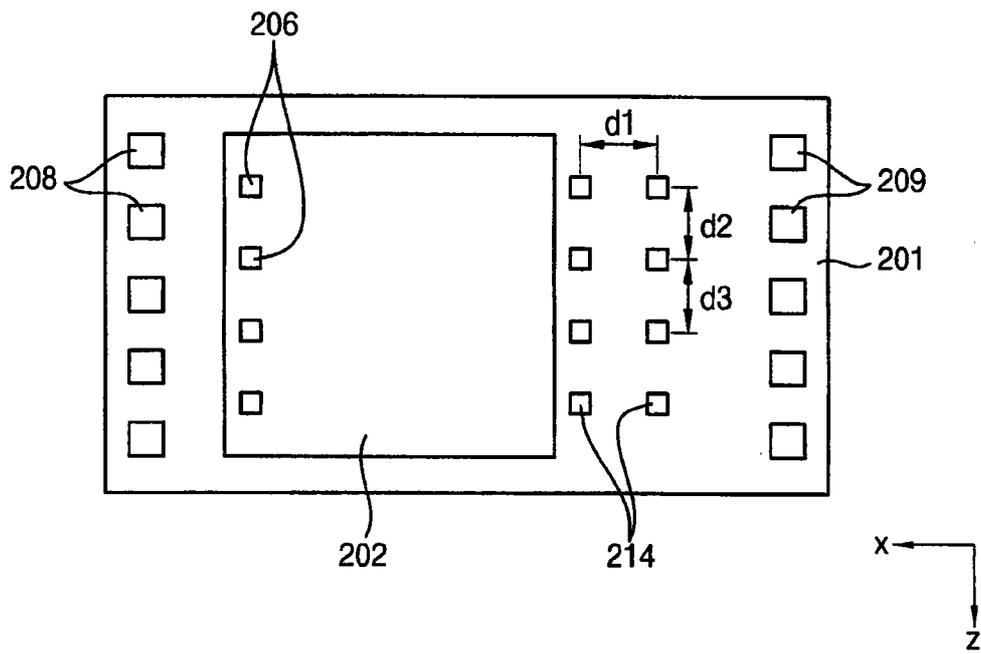


图 2E

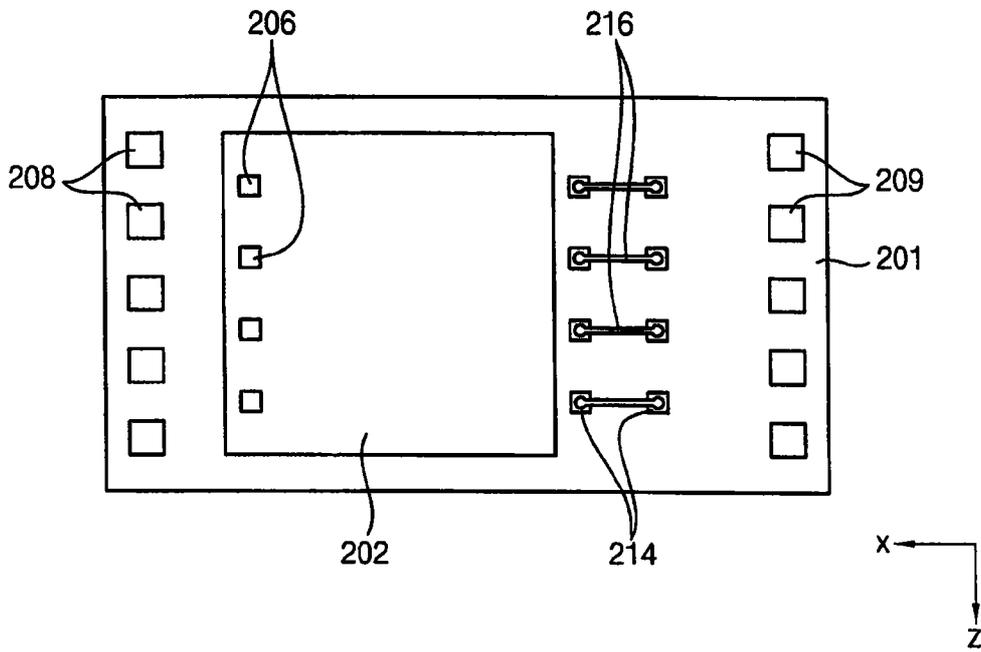


图 2F

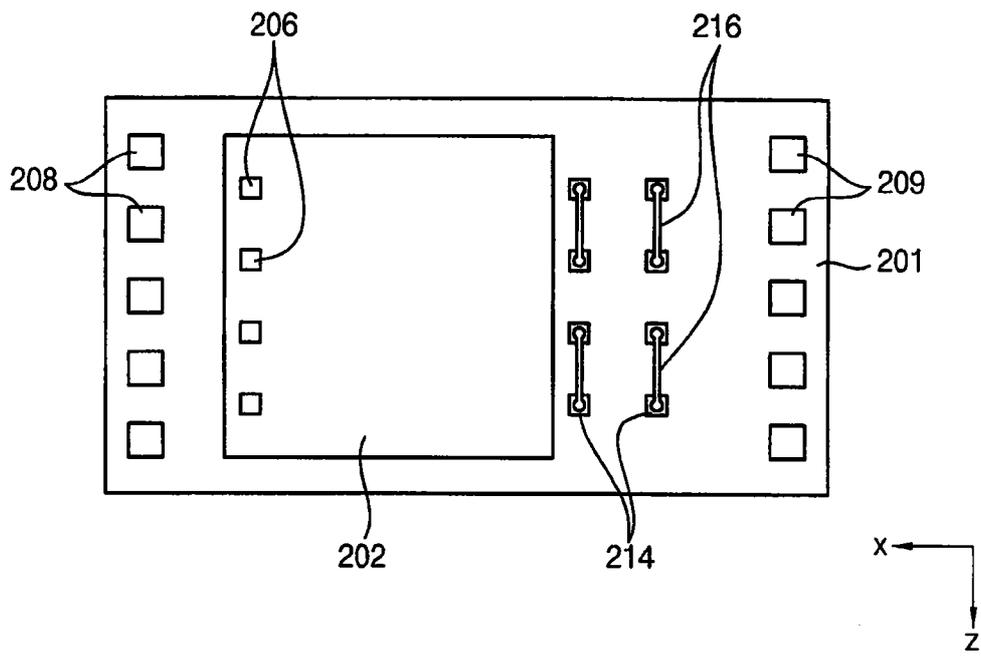


图 2G

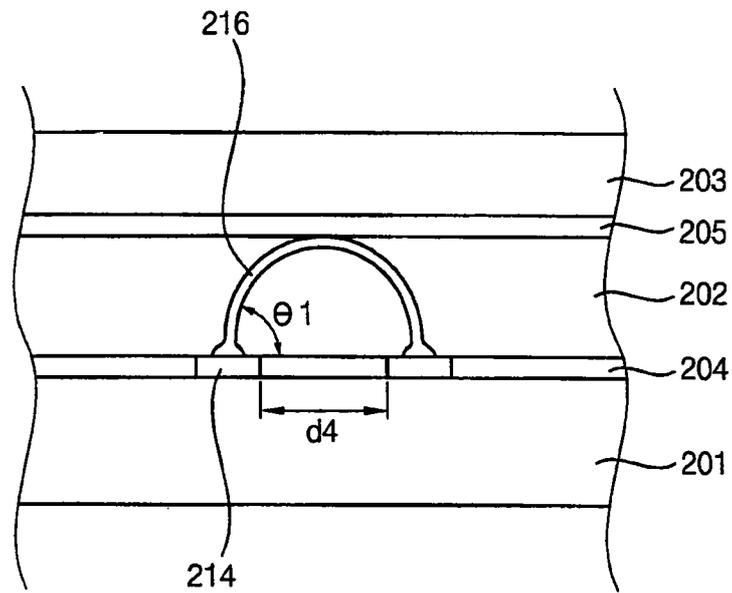


图 2H

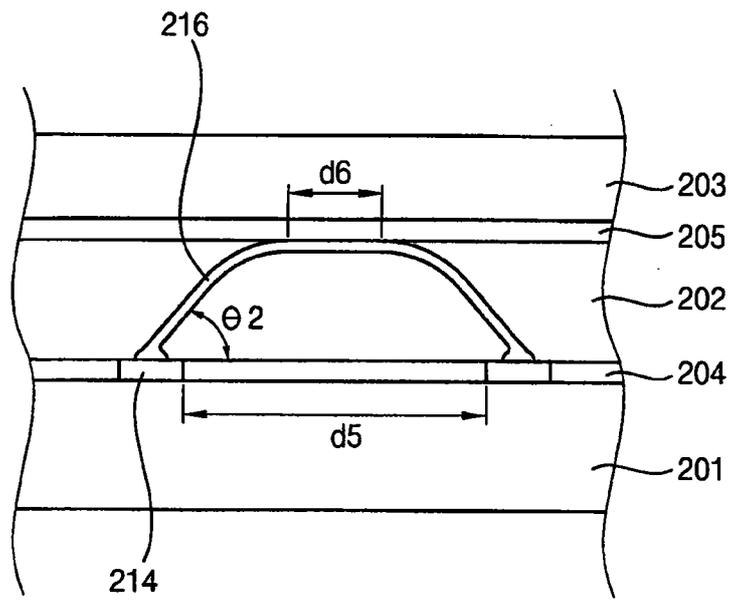


图 21

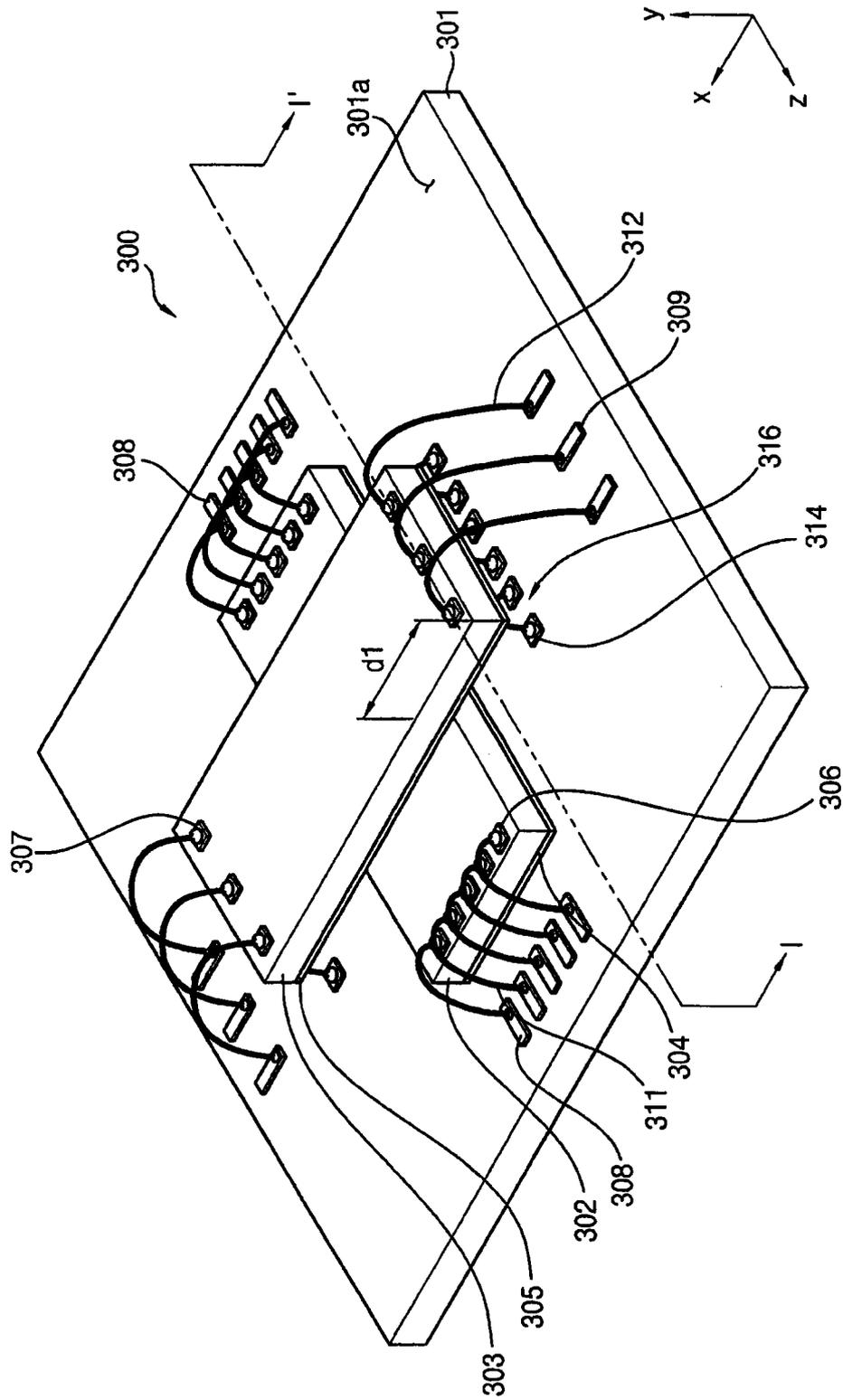


图 3A

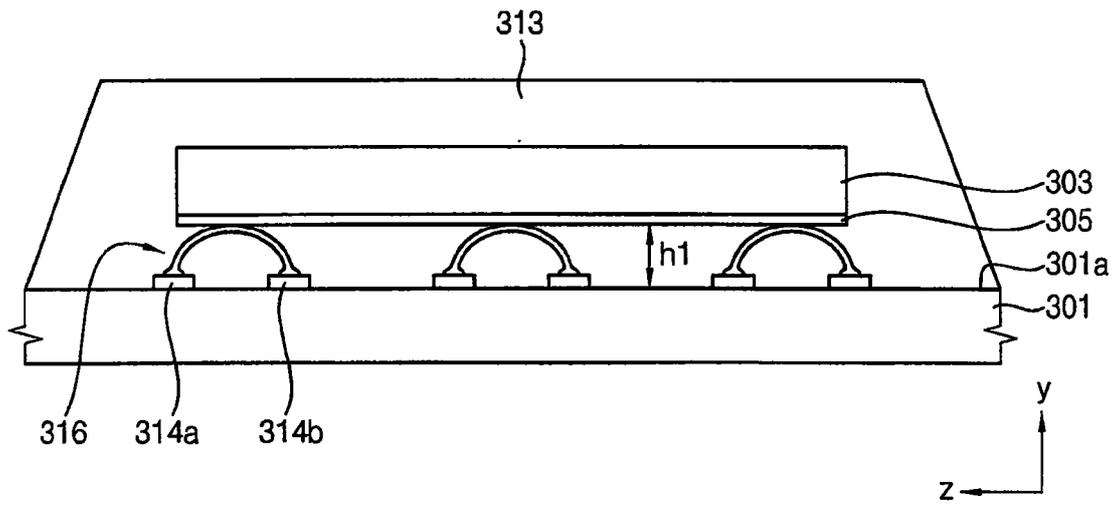


图 3B

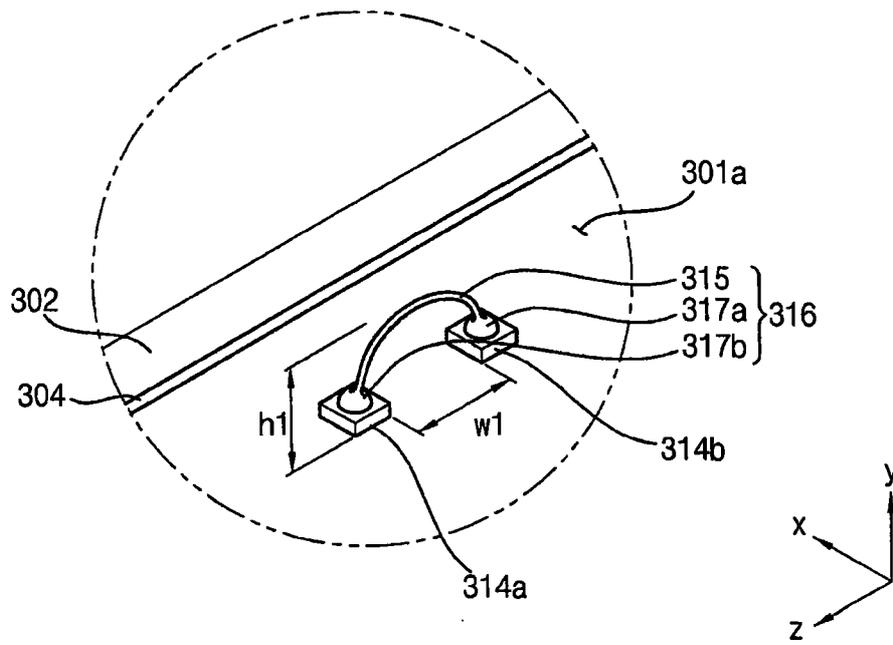


图 4A

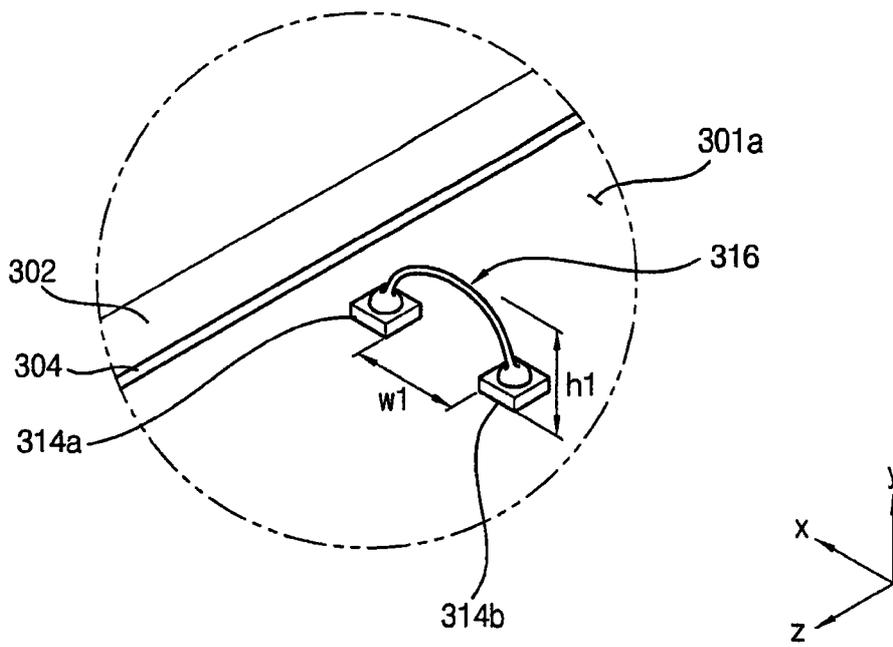


图 4B

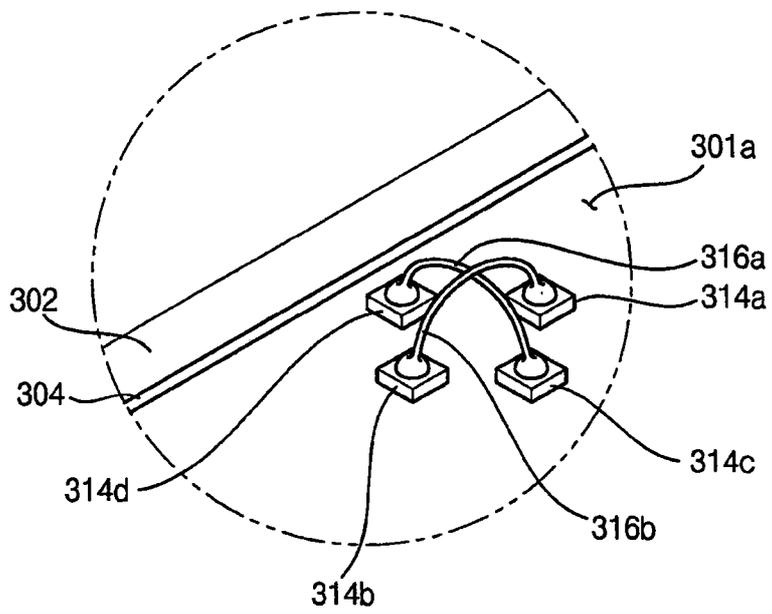


图 4C

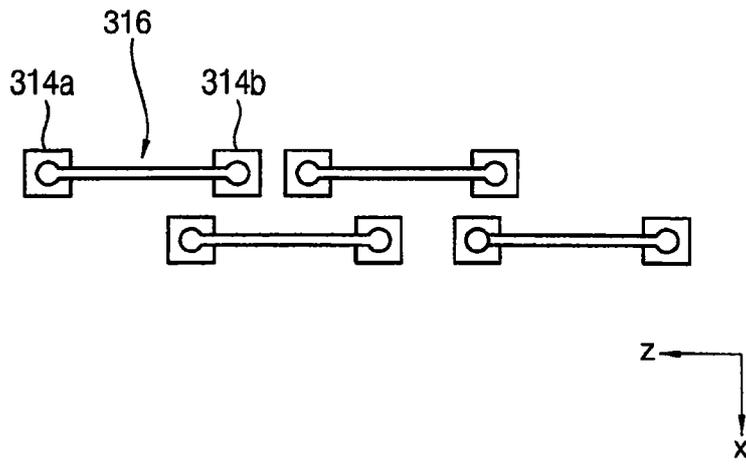


图 5A

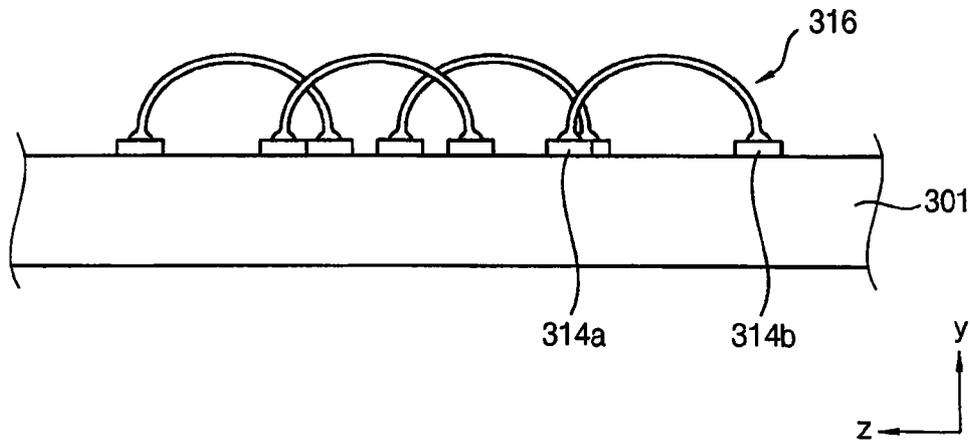


图 5B

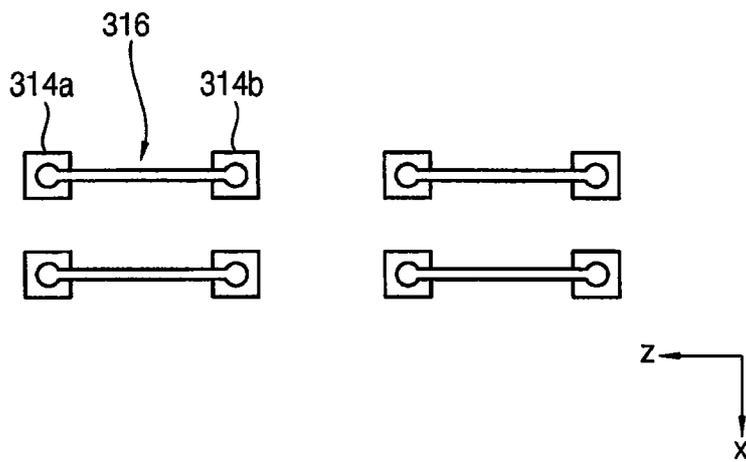


图 5C

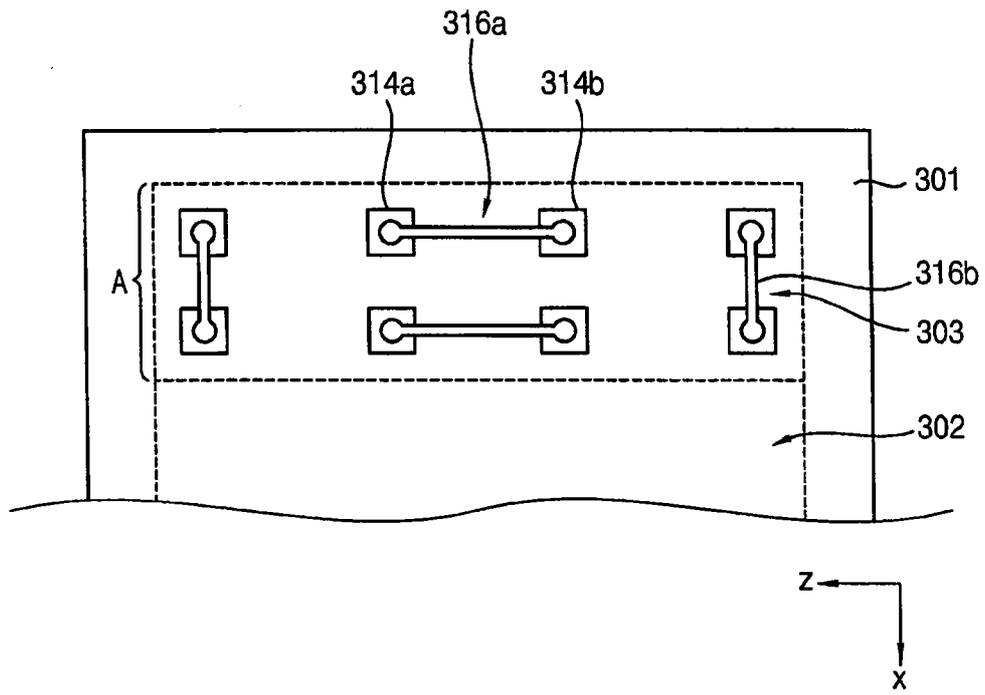


图 5D

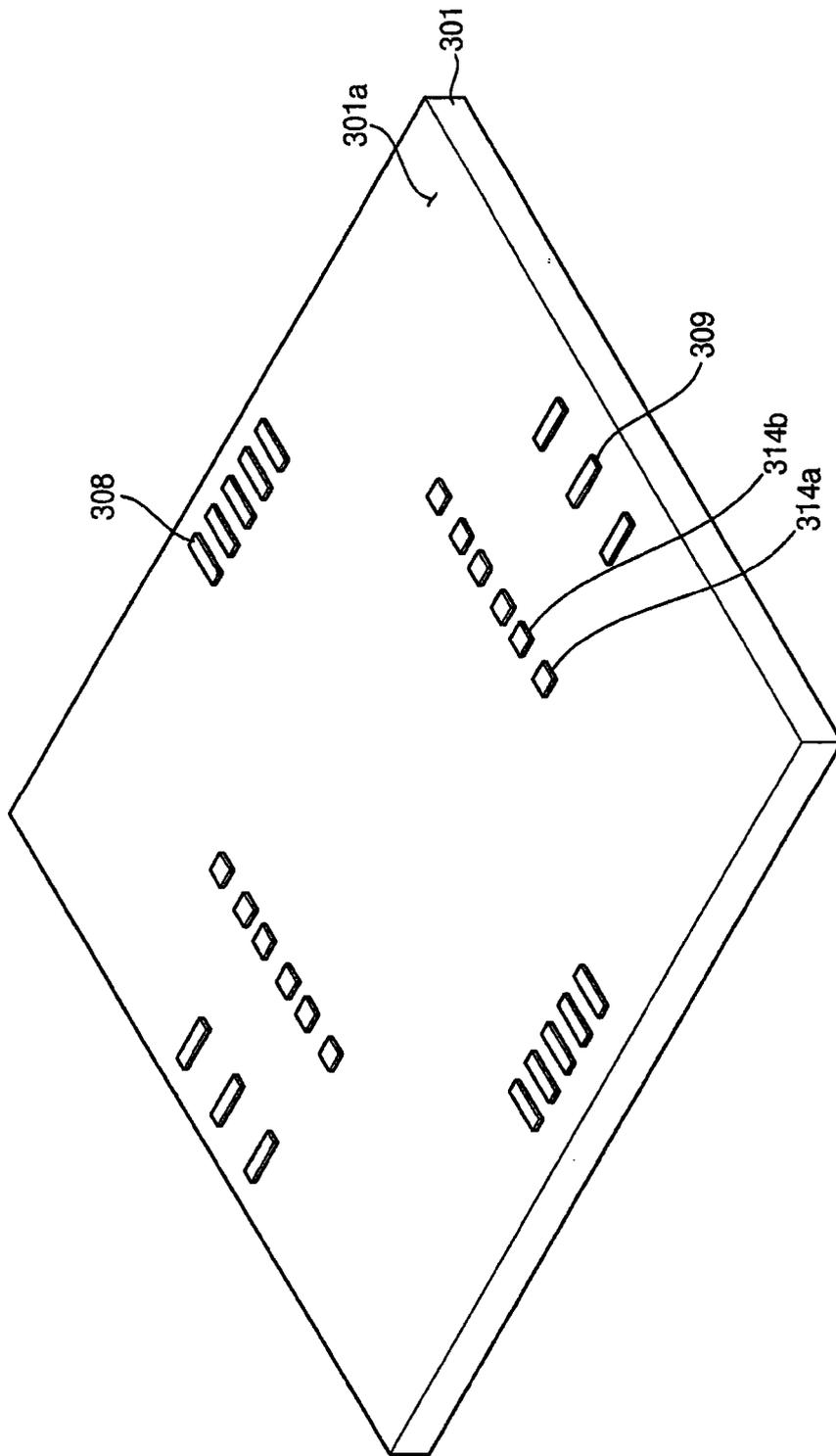


图 6A

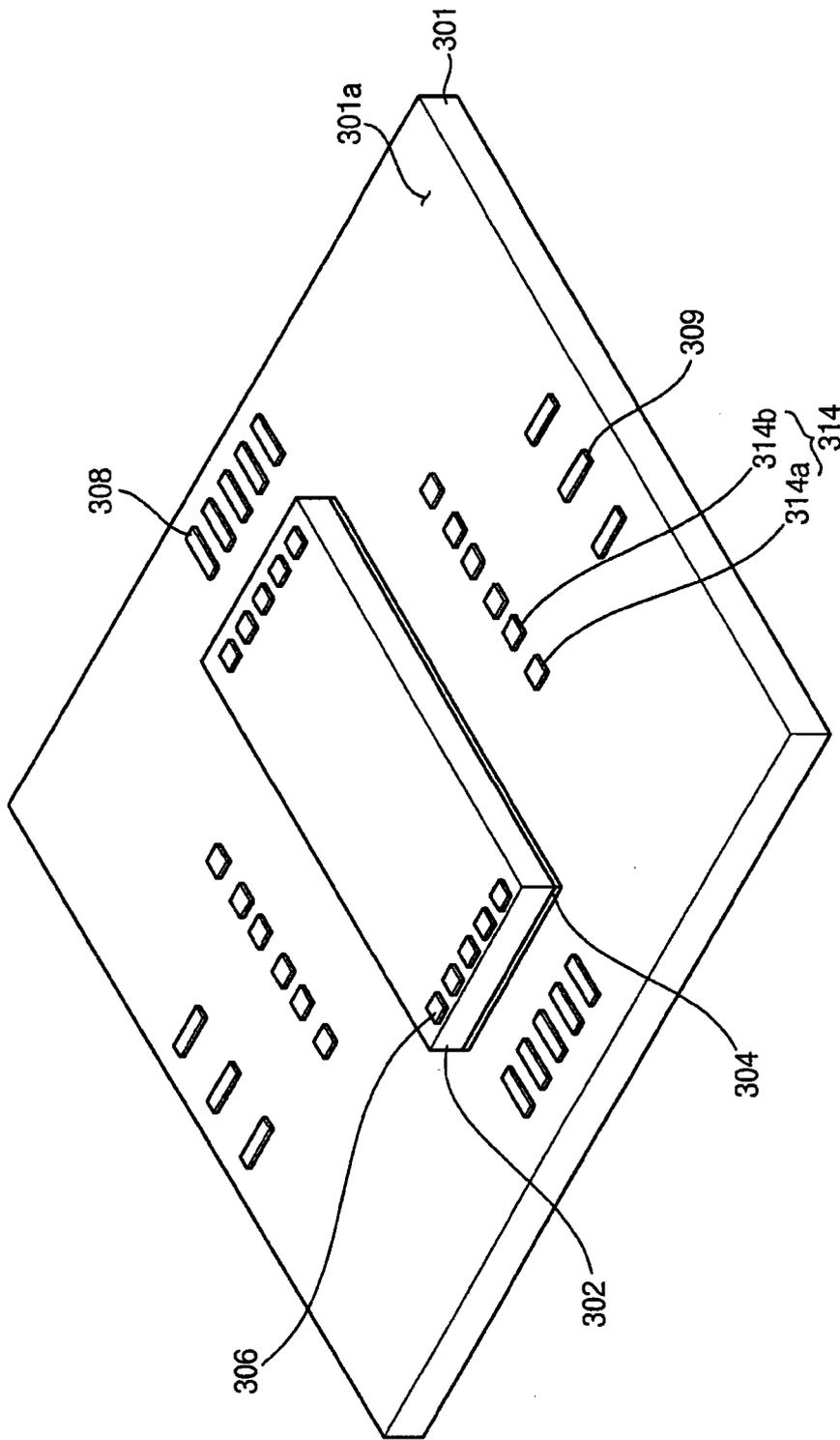


图 6B

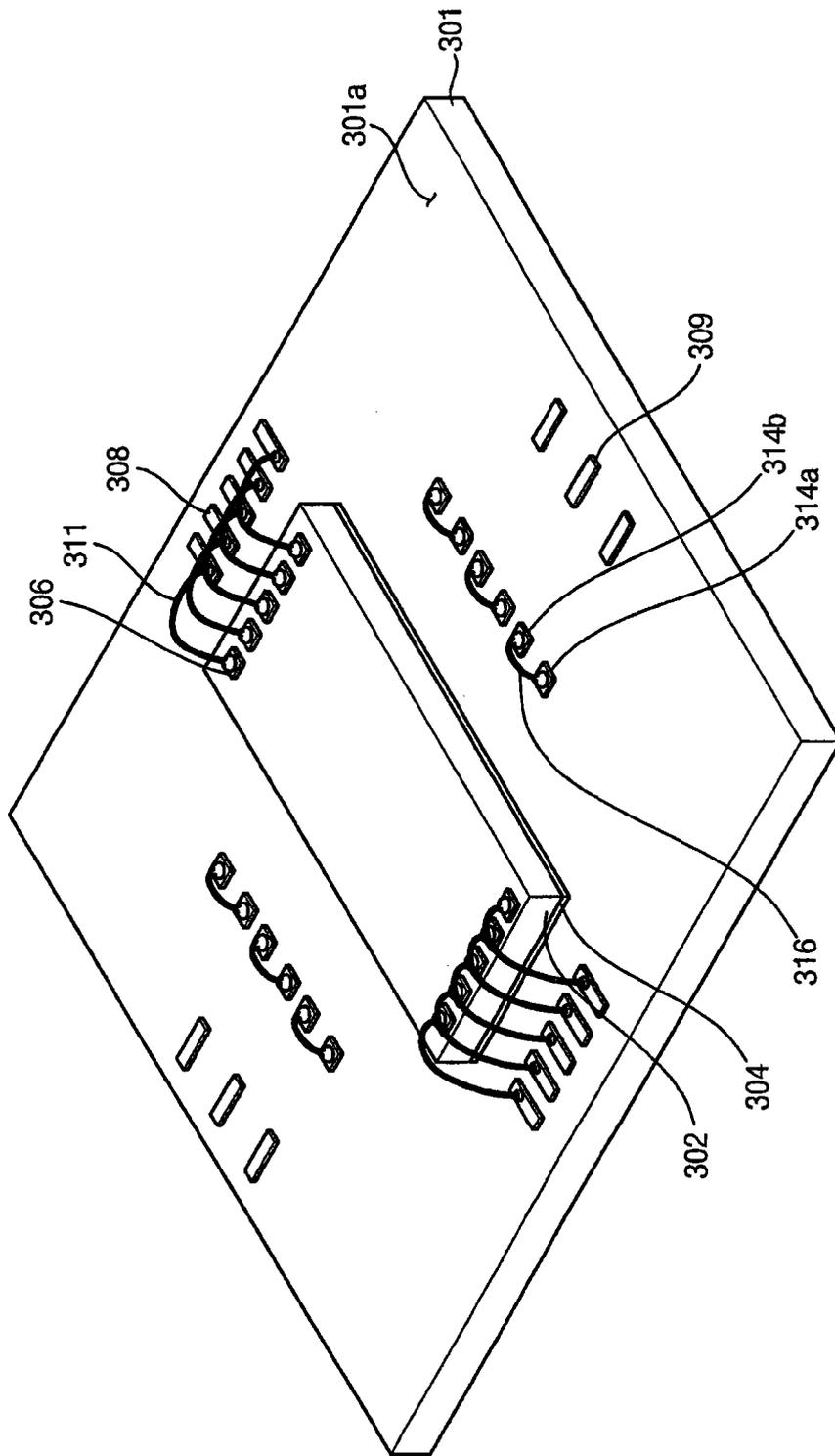


图 6C

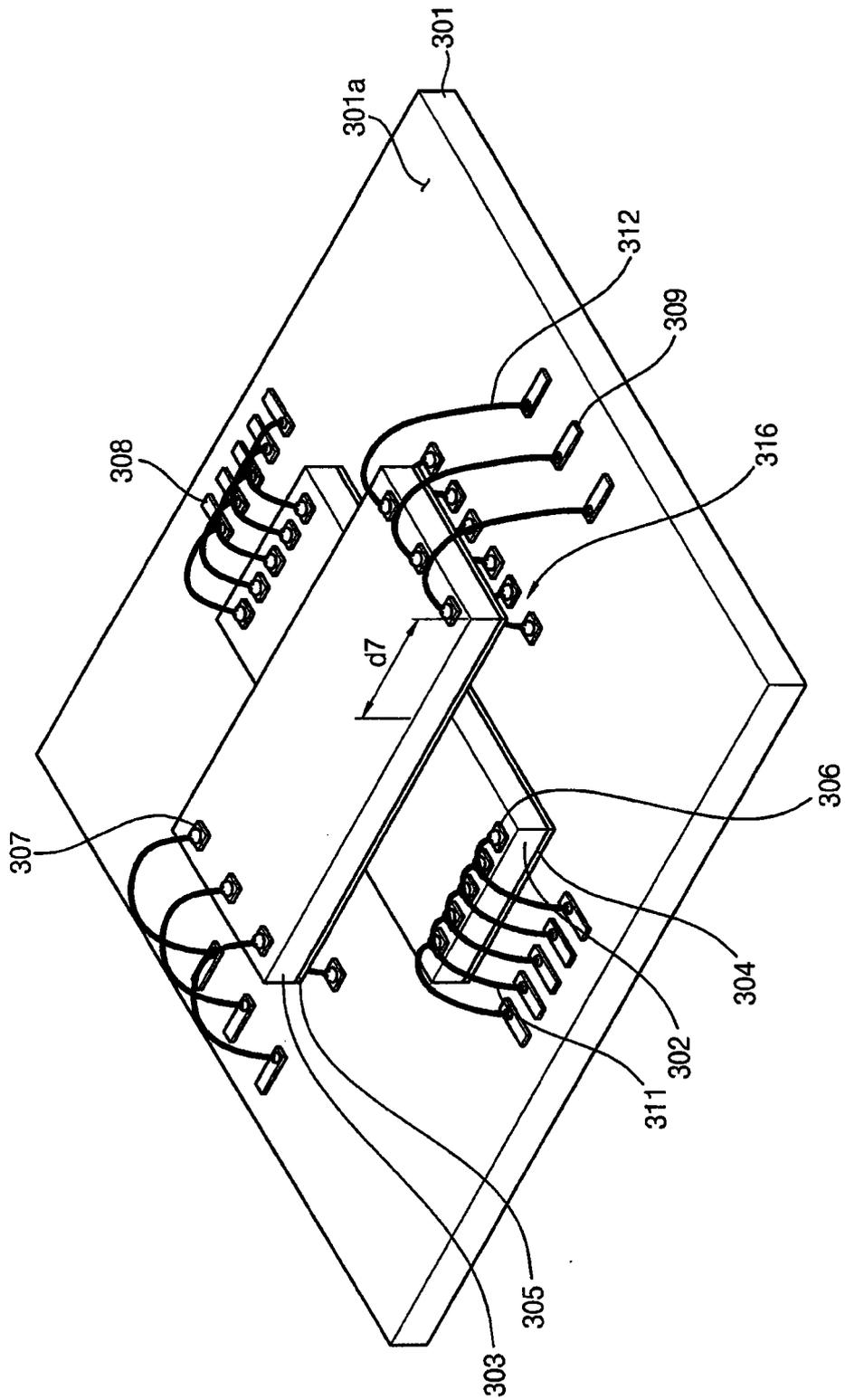


图 6D

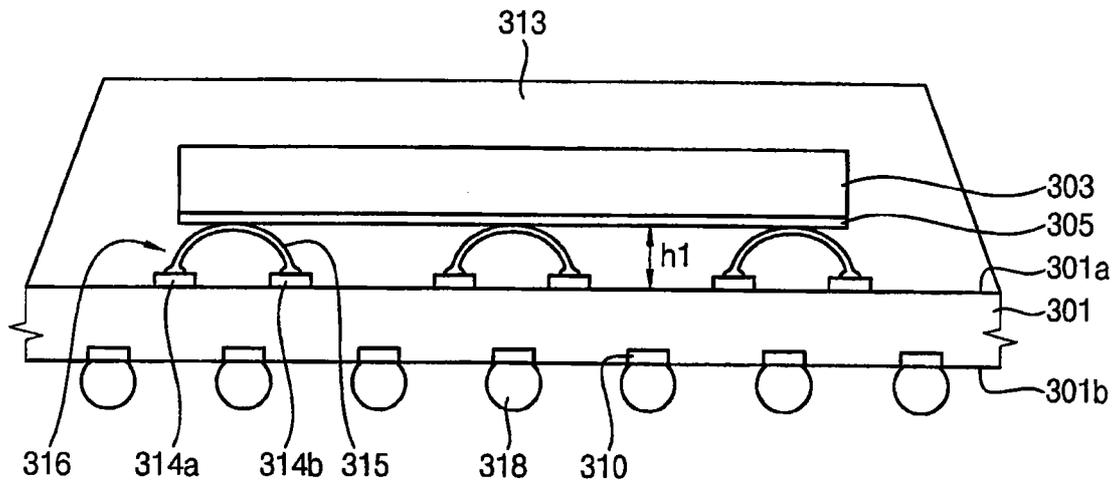


图 7

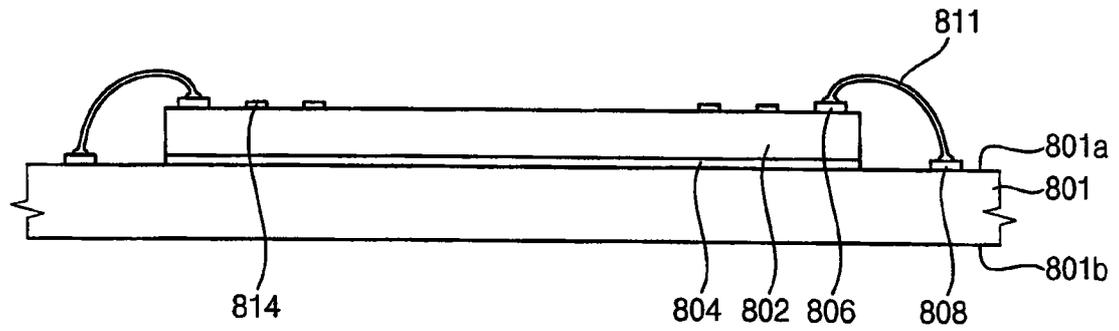


图 8A

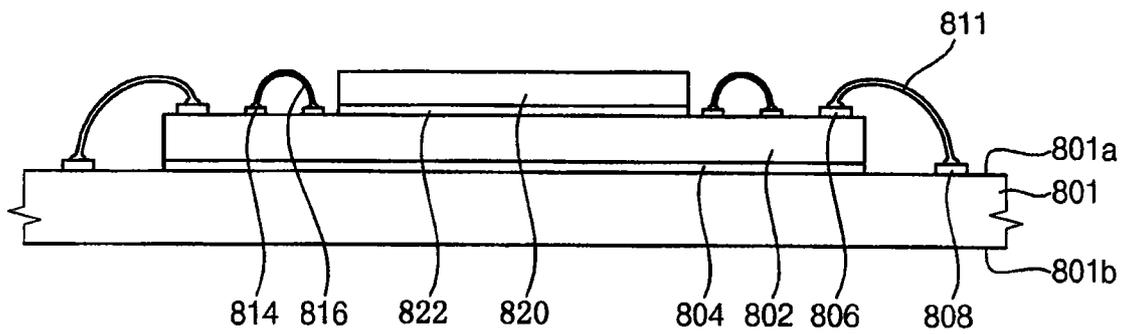


图 8B

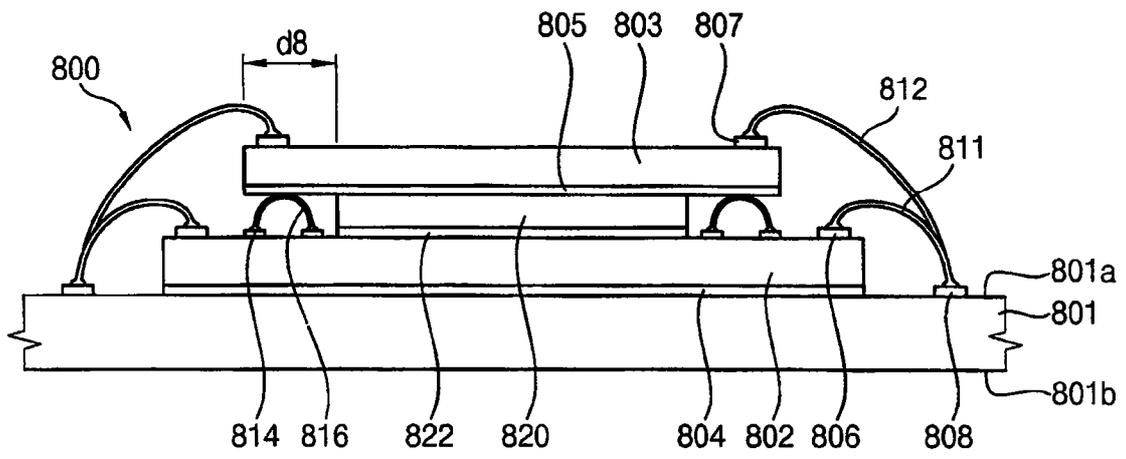


图 8C

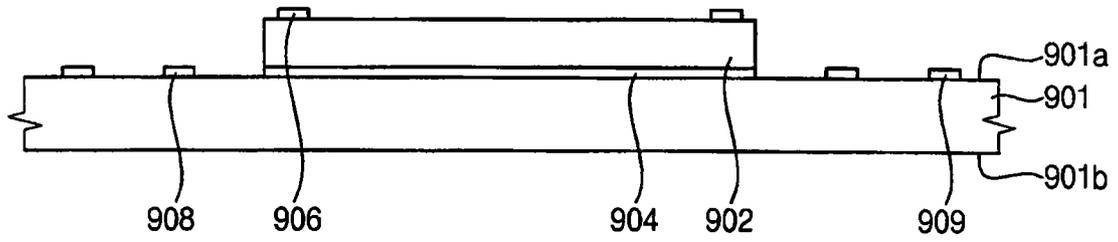


图 9A

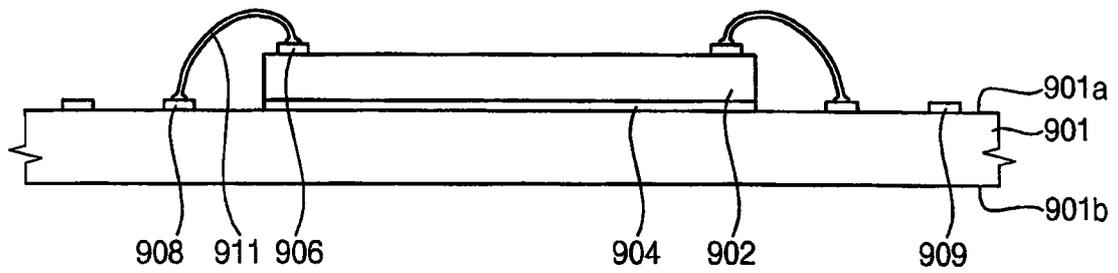


图 9B

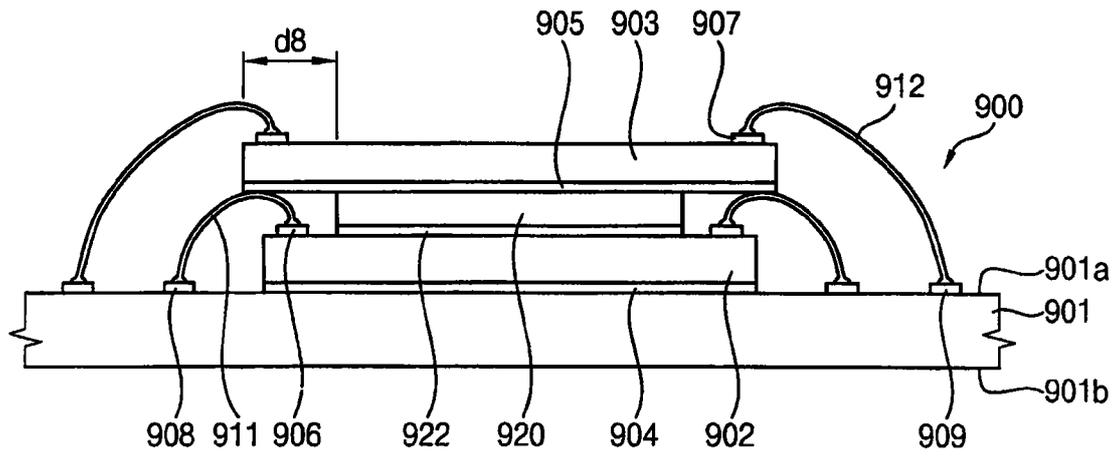


图 9C

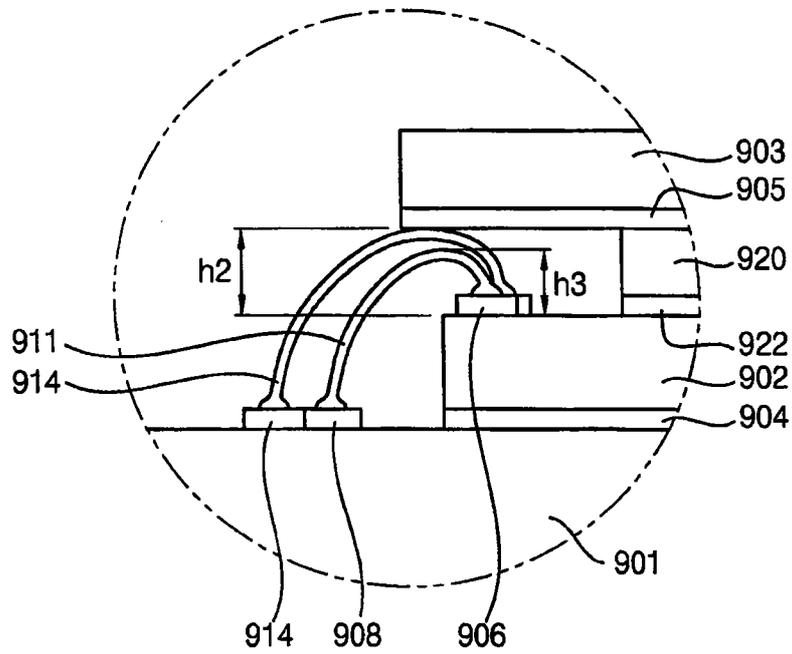


图 9D

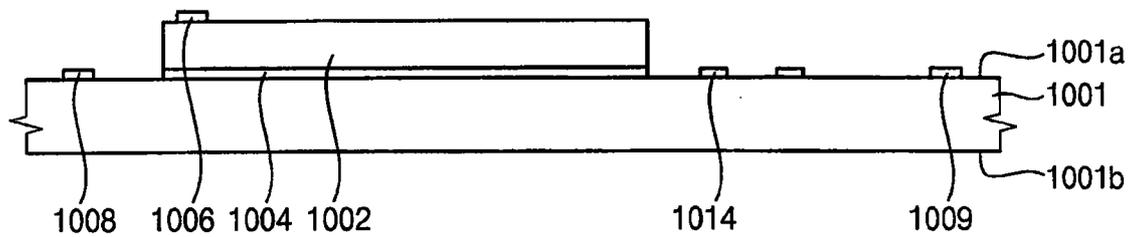


图 10A

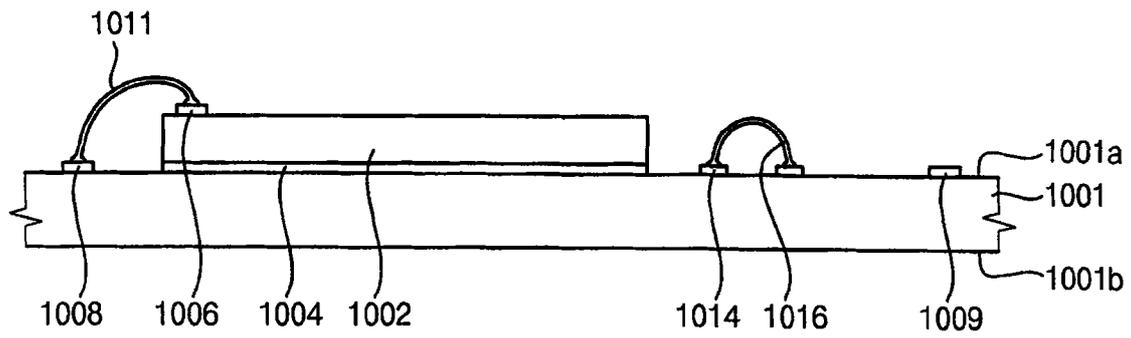


图 10B

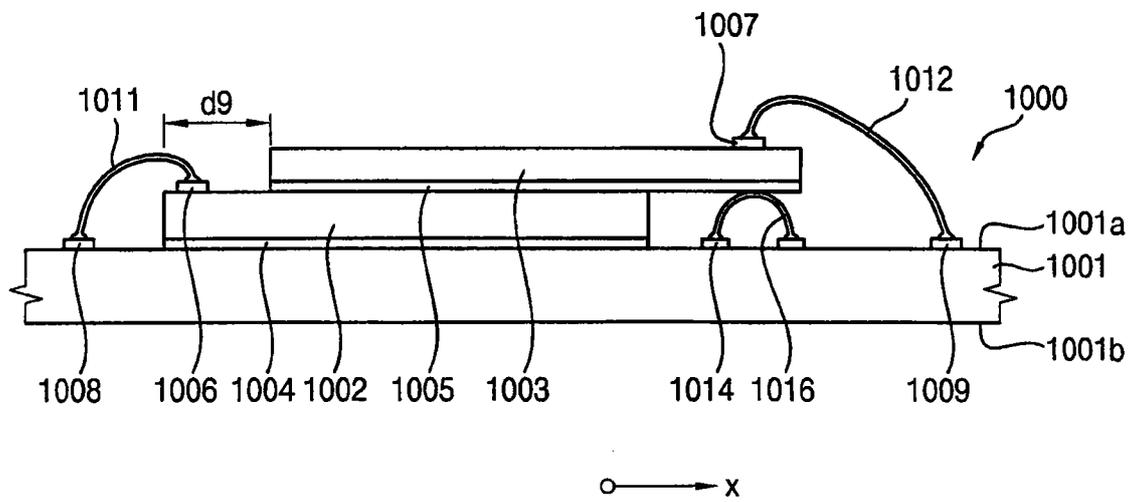


图 10C

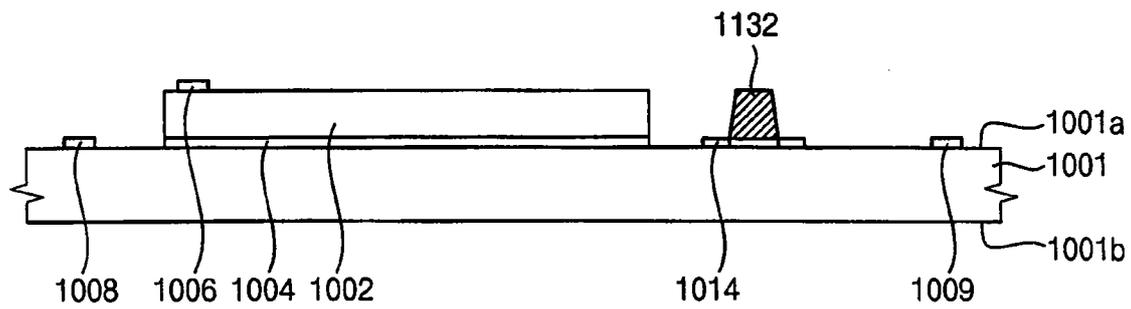


图 11A

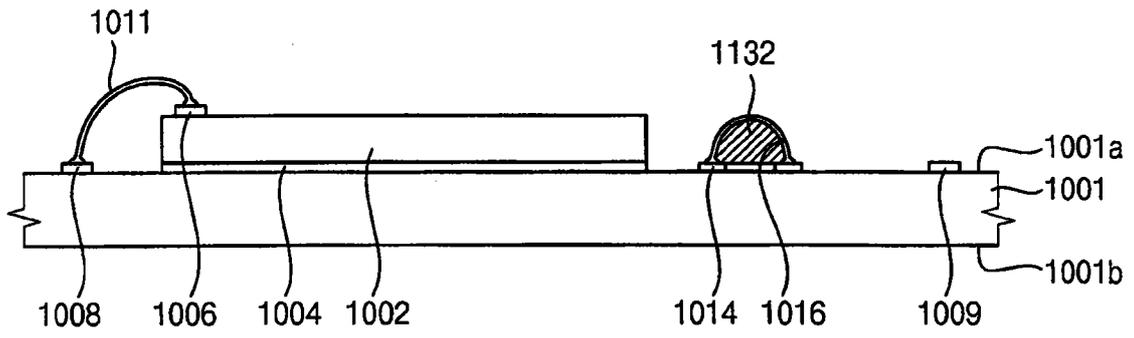


图 11B

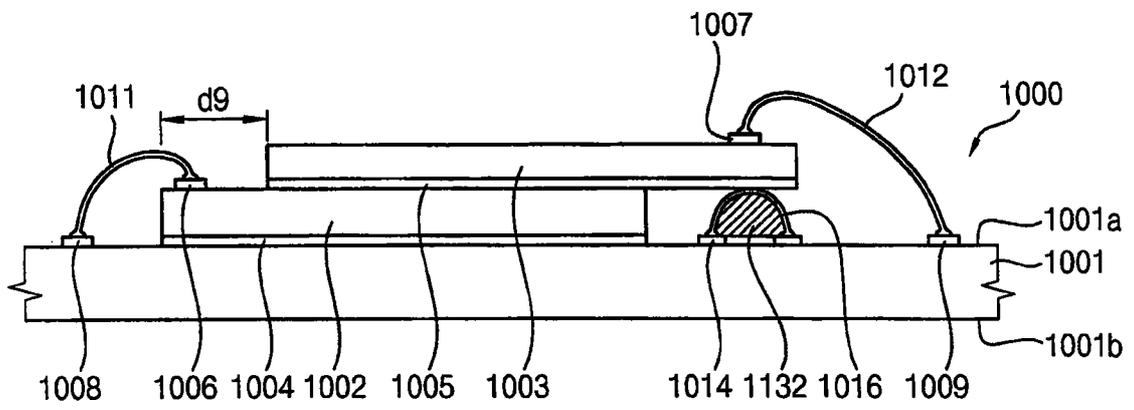


图 11C

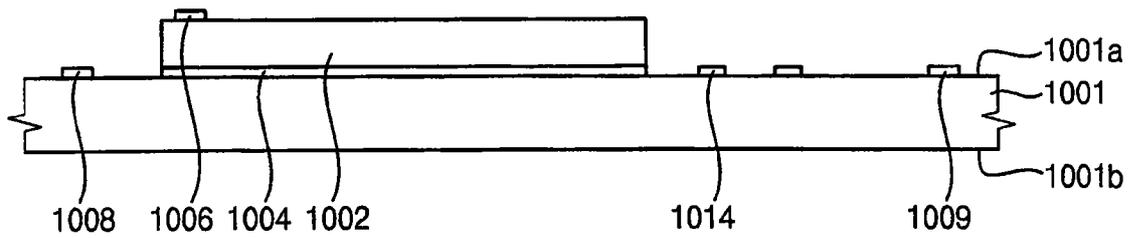


图 12A

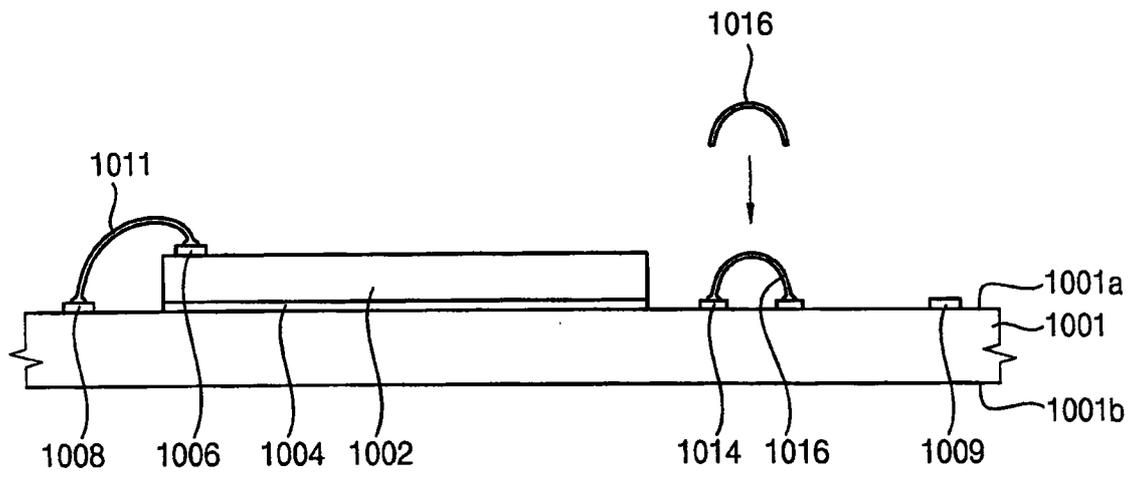


图 12B

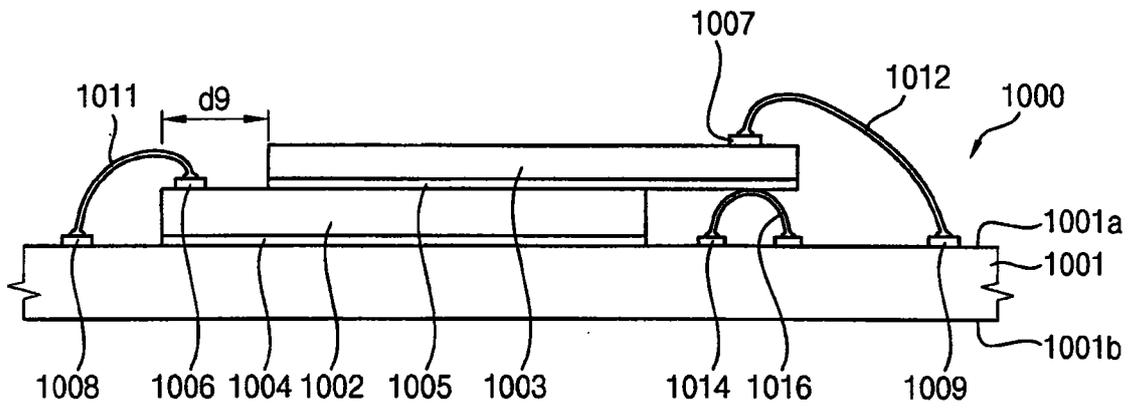


图 12C

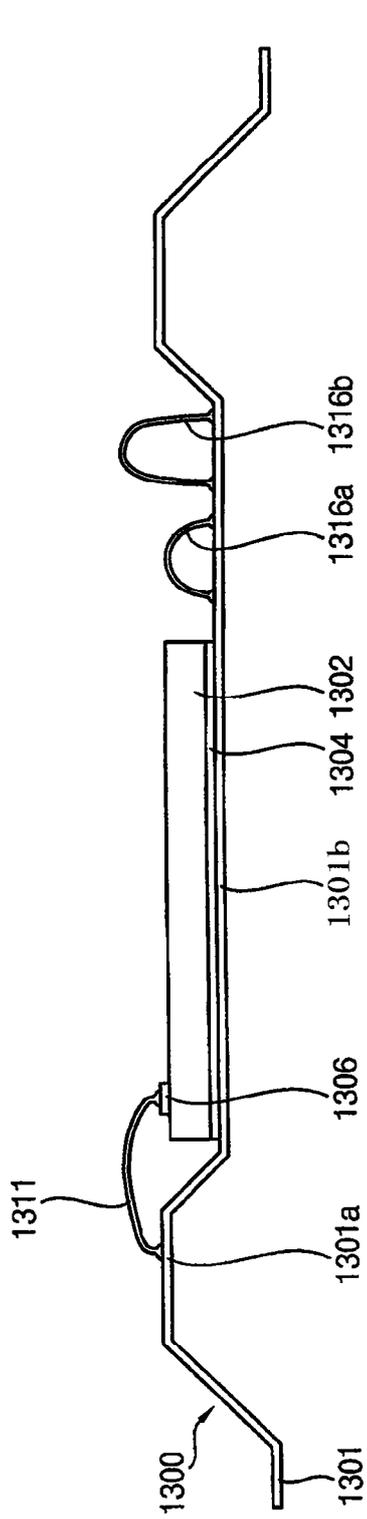


图 13A

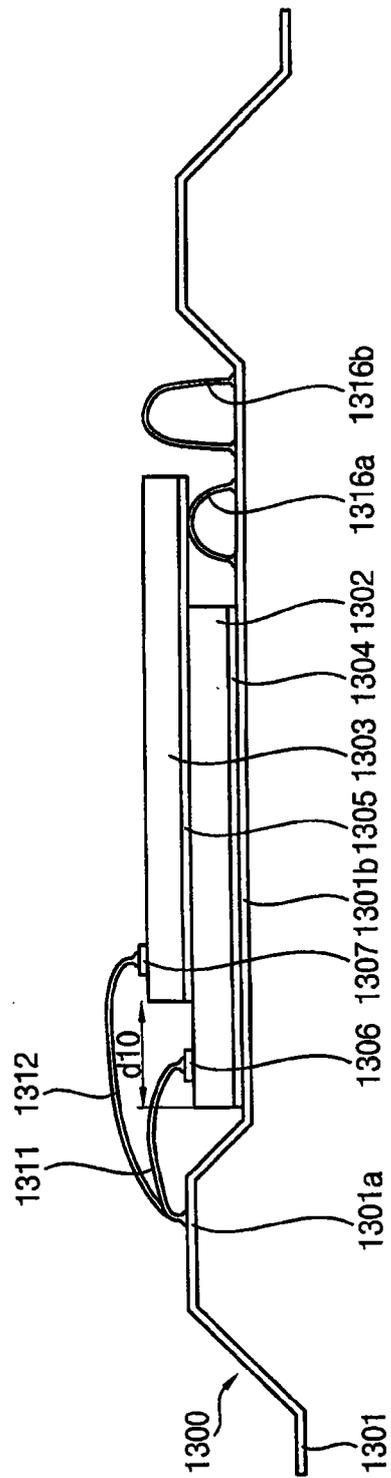


图 13B

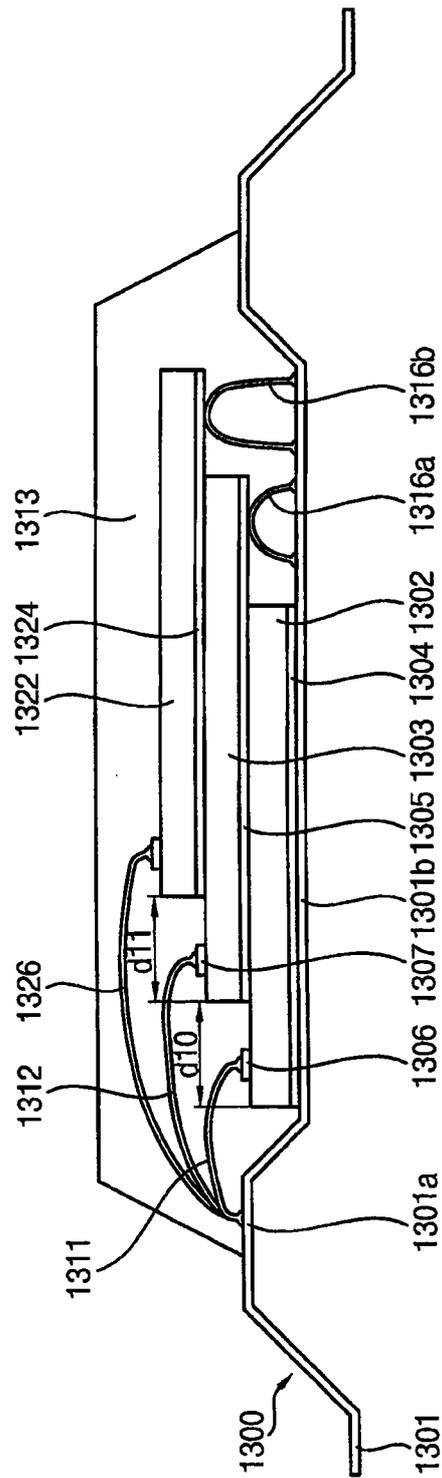


图 13C

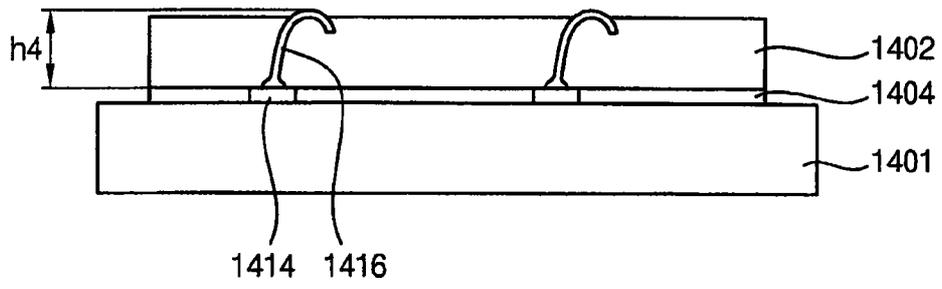


图 14A

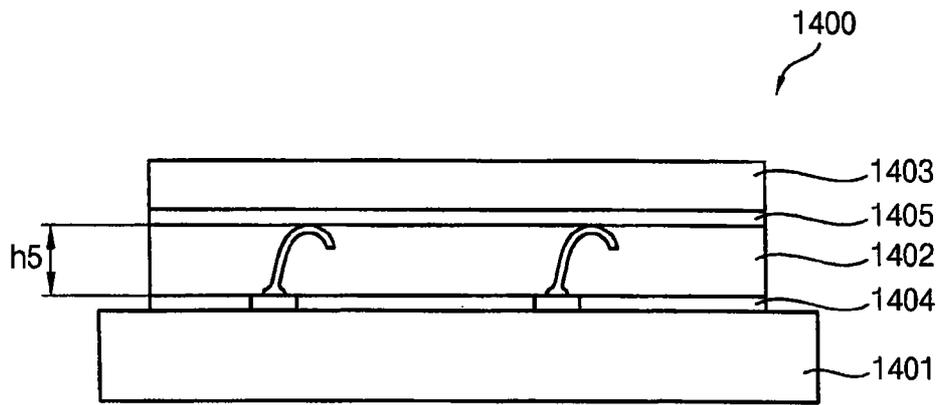


图 14B

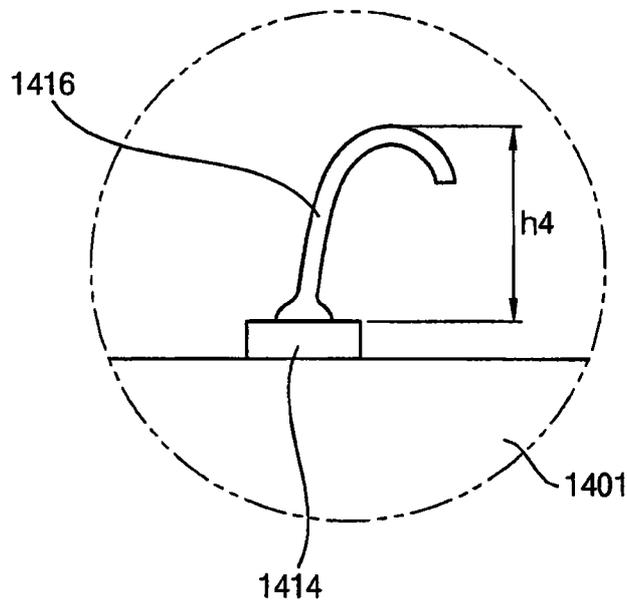


图 14C

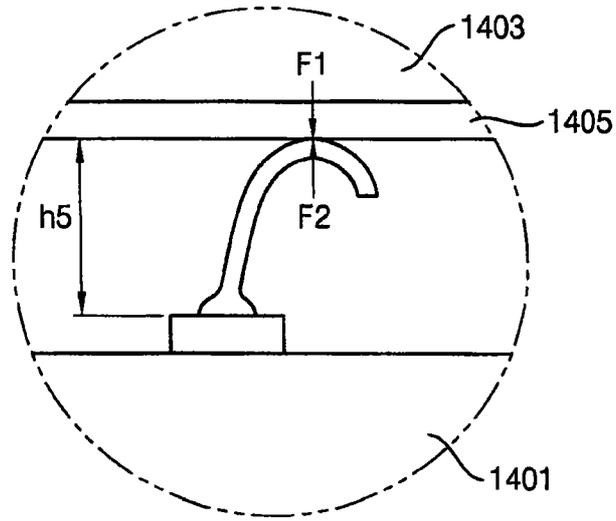


图 14D

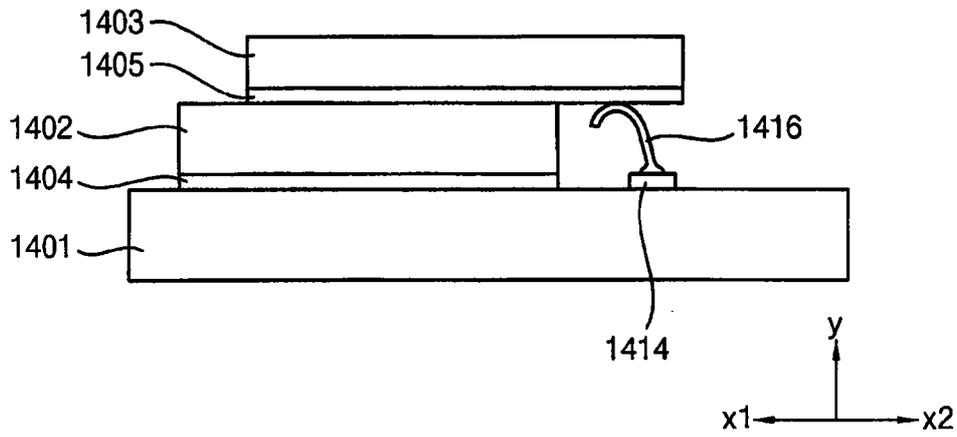


图 14E

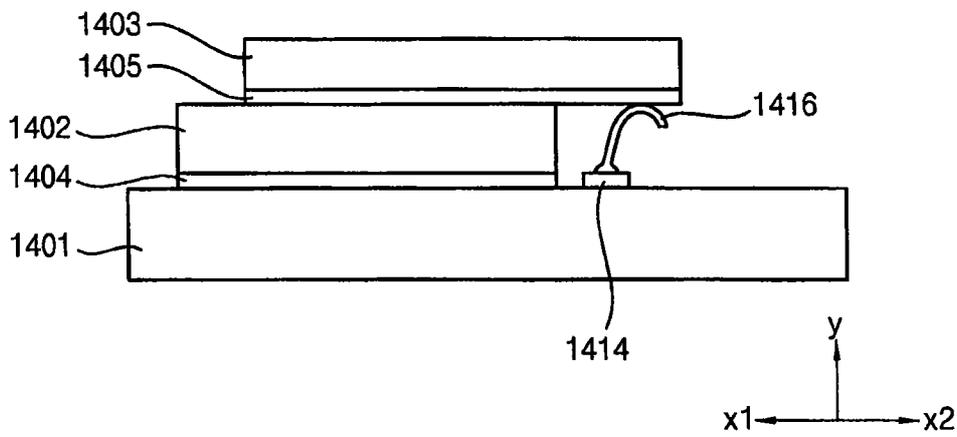


图 14F

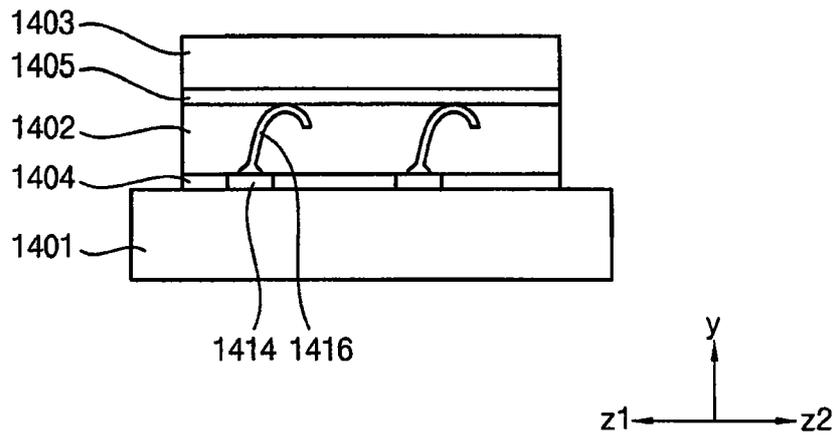


图 14G

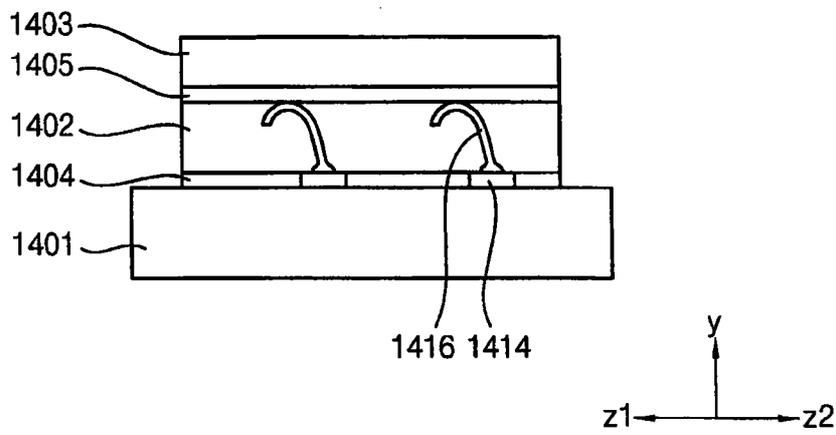


图 14H

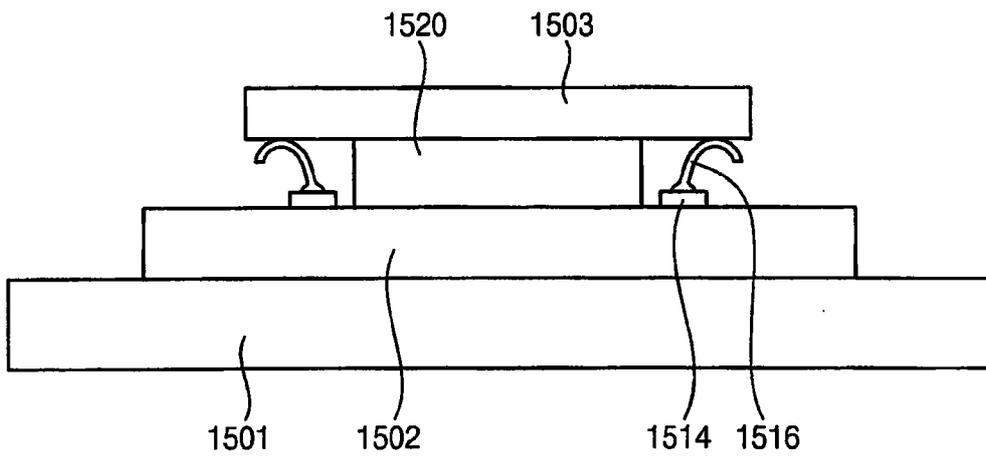


图 15A

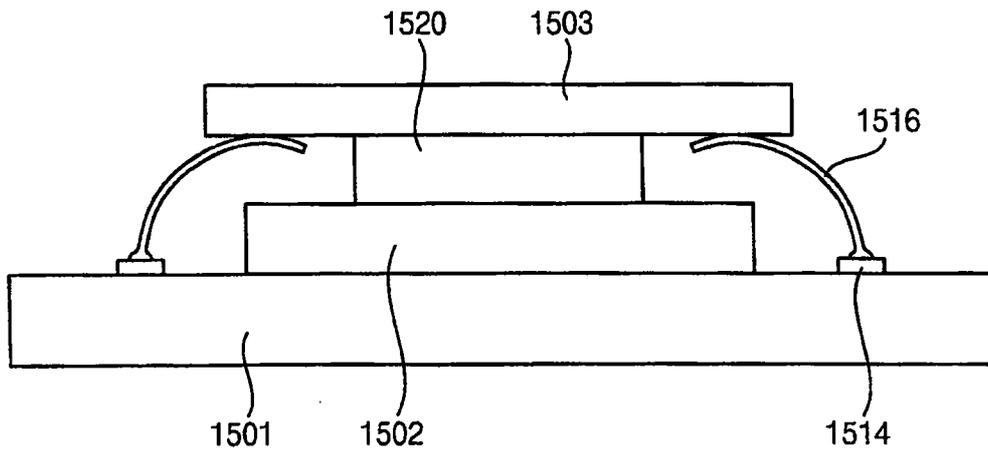


图 15B

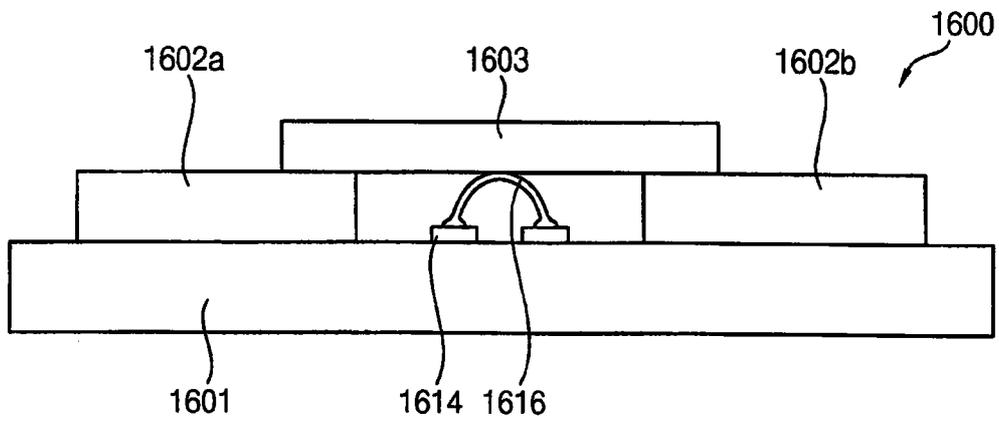


图 16

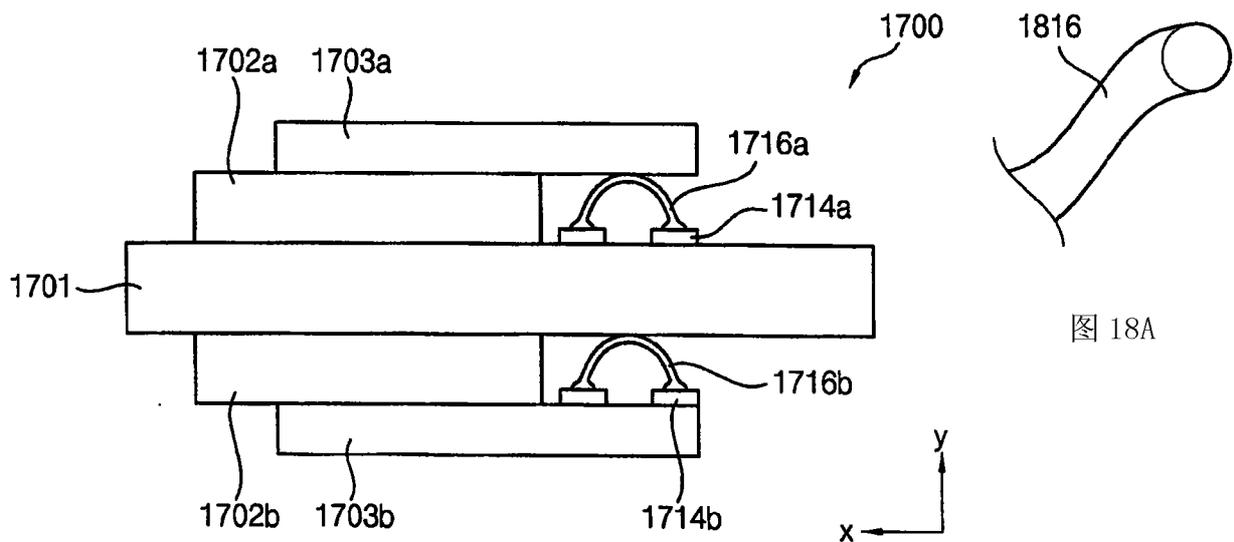


图 18A

图 17

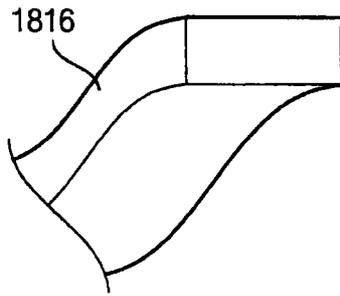


图 18B

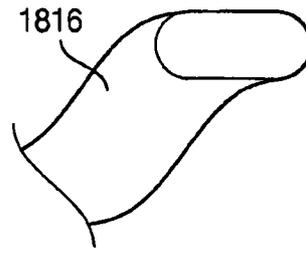


图 18C

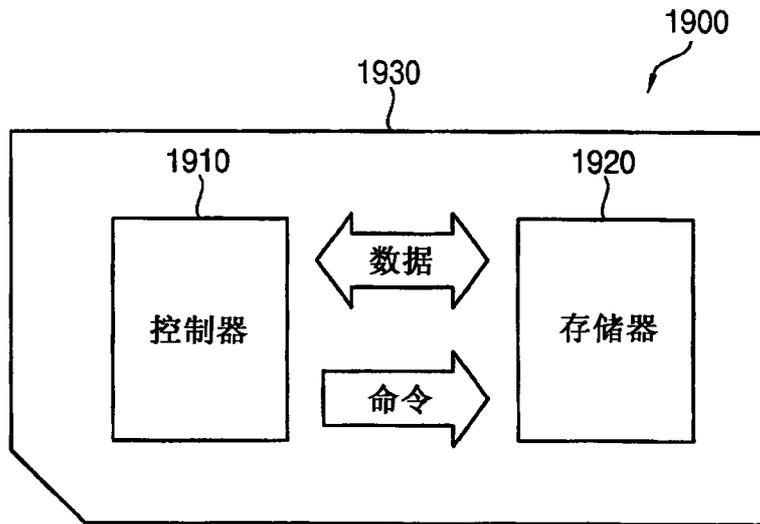


图 19

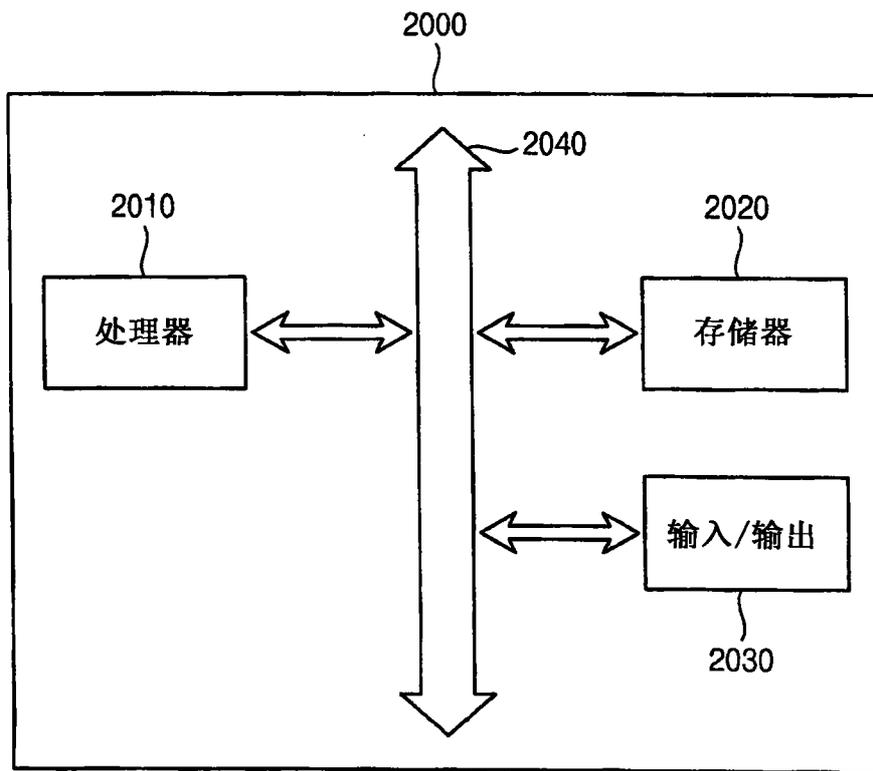


图 20