



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 962821

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 07.07.80 (21) 2953223/18-21

с присоединением заявки № -

(23) Приоритет -

Опубликовано 30.09.82. Бюллетень № 36

Дата опубликования описания 30.09.82

(51) М. Кл.³

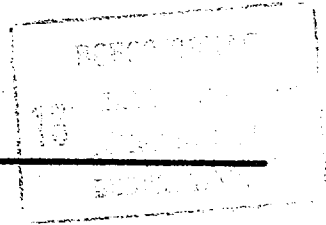
G 01 R 29/02

(53) УДК 621.317.
.325(088.8)

(72) Авторы
изобретения

В. В. Зотов, Ю. А. Марков, О. Г. Павлюченков
и Б. П. Сапрыкин

(71) Заявитель



(54) ЦИФРОВОЙ РЕГИСТРАТОР ФОРМЫ ИМПУЛЬСНЫХ
СИГНАЛОВ

1

Изобретение относится к электро-
измерительной технике и может быть
использовано для исследования формы
однократных и редко повторяющихся
импульсных сигналов.

Известен цифровой регистратор
формы импульсных сигналов, содержащий
последовательно соединенные усили-
тель, аналого-цифровой преобразова-
тель и буферный регистр, а также
генератор тактовых импульсов, выход
которого подключен к входу запуска
аналого-цифрового преобразователя,
блок памяти и счетчик адреса [1].

Недостатком указанного устройст-
ва является низкая точность регистра-
ции начальной и быстрых фаз сигналов
большой длительности.

Наиболее близким к предлагаемому
по технической сущности является циф-
ровой регистратор формы импульсных
сигналов, содержащий усилитель, вход
которого соединен с шиной исследуе-

2

мого сигнала, а выход - с первым
входом аналого-цифрового преобразова-
теля, второй вход которого подключен
к выходу генератора тактовых им-
пульсов, а информационный выход - к
информационному входу первого бу-
ферного регистра, выход которого свя-
зан с информационным входом второ-
го буферного регистра и первым вхо-
дом блока сравнения кодовых слов,
вторым входом соединенного с выходом
второго буферного регистра, элемент
ИЛИ, счетчик равных значений, счет-
чик адреса записи и блок памяти, ад-
ресный вход которого подключен к вы-
ходу коммутатора адресов, вход управ-
ления режимом - к выходу блока вы-
бора режима, первый информационный
вход - к выходу второго буферного
регистра, а второй информационный вход -
к выходу счетчика равных значений [2].

Недостатком известного устройства
является низкая информационная ем-

кость при фиксированном объеме памяти, обусловленная неполным использованием разрядов блока памяти, предназначенных для записи количества равных значений.

Цель изобретения - повышение информационной емкости при фиксированном объеме памяти.

Поставленная цель достигается тем, что цифровой регистратор формы импульсных сигналов, содержащий усилитель, вход которого соединен с шиной исследуемого сигнала, а выход - с первым входом аналого-цифрового преобразователя, второй вход которого подключен к выходу генератора тактовых импульсов, а информационный выход - к информационному входу первого буферного регистра, выход которого связан с информационным входом второго буферного регистра и первым входом блока сравнения кодовых слов, вторым входом соединенного с выходом второго буферного регистра, элемент ИЛИ, счетчик равных значений, счетчик адреса записи и блок памяти, снабжен формирователем строки, тремя элементами И, двумя элементами ИЛИ, триггером управления и коммутатором кодовых слов, выход которого соединен с входом "Данные" блока памяти, первый управляющий вход - с вторым выходом блока сравнения кодовых слов и вторым входом третьего элемента И, второй управляющий вход - с первым выходом блока сравнения кодовых слов и вторыми входами первого и второго элементов И, первый вход данных - с выходом первого буферного регистра, а второй вход данных - с выходом счетчика равных значений, выход "Переполнение" которого подключен к первому входу первого элемента ИЛИ, вход сброса - к выходу третьего элемента И и вторым входам всех элементов ИЛИ, счетный вход - к первому входу второго элемента ИЛИ и выходу второго элемента И, первый вход которого связан с первыми входами первого и третьего элементов И и выходом формирователя строки, вход которого соединен с выходом "Конец преобразования" аналого-цифрового преобразователя и управляющими входами "Запись" первого и второго буферных регистров, причем выход первого элемента ИЛИ связан с входом "Пуск" триггера управления, выход которого

соединен с третьим входом первого элемента И, а вход "Сброс" - с выходом первого элемента И и первым входом третьего элемента ИЛИ, выход которого подключен к входу счетчика адреса записи, причем выход второго элемента ИЛИ связан с управляющим входом "Запись" блока памяти, вход "Адрес" которого соединен с выходом счетчика адреса записи.

На чертеже показана структурная электрическая схема предлагаемого регистратора.

Устройство состоит из усилителя 1, генератора 2 тактовых импульсов, аналого-цифрового преобразователя 3, первого и второго буферных регистров 4 и 5, формирователя 6 строки, блока 7 сравнения кодовых слов, коммутатора 8 кодовых слов, счетчика 9 равных значений, первого, второго и третьего элементов И 10, 11 и 12, первого элемента ИЛИ 13, триггера 14 управления, второго и третьего элементов ИЛИ 15 и 16, счетчика 17 адреса записи и блока 18 памяти.

Устройство работает следующим образом.

Исследуемый сигнал, усиленный усилителем 1, поступает на вход аналого-цифрового преобразователя 3, частота дискретизации которого определяется фиксированной частотой генератора 2 тактовых импульсов. В исходном состоянии первый и второй буферные регистры 4 и 5, а также счетчик 9 равных значений и счетчик 17 адреса находятся в нулевом (сброшенном) состоянии, а триггер 14 управления - в единичном (по выходу) состоянии. Аналого-цифровой преобразователь 3 формирует на своем выходе n -разрядное параллельное информационное слово. Импульс с выхода "Конец преобразования" аналого-цифрового преобразователя 3 подается на управляющие входы первого и второго регистров 4 и 5. По этому импульсу содержимое первого регистра 4 переписывается во второй регистр 5, а в первый регистр 4 записывается новое слово с выхода аналого-цифрового преобразователя 3.

В результате в каждый момент времени первый регистр 4 хранит текущее информационное слово, а второй регистр 5 - предыдущее информационное слово. На первом выходе блока 7 сравнения появляется логическая "1" в случае совпадения этих двух слов, а

на втором выходе - в случае их несовпадения. При несовпадении логическая "1" с второго выхода блока 7 сравнения поступает на первый управляющий вход коммутатора 8 и на второй вход элемента И 12. Строб с выхода блока 6 через третий элемент И 12 подается на вход сброса счетчика 9 равных значений, и его содержимое сбрасывается в "0", если оно не было равно "0". Кроме того, строб через третий элемент И 12 и первый элемент ИЛИ 13 поступает на вход "Пуск" триггера 14, устанавливая его в единичное состояние (по выходу), если он был в нулевом состоянии. Одновременно строб проходит через третий элемент И 12 и третий элемент ИЛИ 16 и поступает на вход счетчика 17 адреса, увеличивая его содержимое на единицу, и это число (номер ячейки памяти) поступает на вход "Адрес" блока 18 памяти.

Кроме того, строб через второй элемент ИЛИ 15 поступает на управляющий вход блока 18 памяти, в результате чего содержимое первого регистра 4 через коммутатор 8 поступает на вход "Данные" блока 18 памяти и записывается в очередную ячейку памяти. При этом в коммутаторе 8 к записываемому информационному слову добавляется разряд идентификации равный "0". При совпадении содержимого регистров 4 и 5 (с точностью до заданного числа единиц младшего разряда) коммутатор 8 коммутирует на вход "Данные" блока 18 памяти слово с выхода данных счетчика 9 равных значений, добавляя разряд идентификации равный "1". При этом, если триггер 14 находится в единичном состоянии, то строб через первый элемент И 10 и третий элемент ИЛИ 16 подается на выход счетчика 17 адреса, увеличивая его содержимое на единицу, а также на вход сброса триггера 14. Затем строб через второй элемент И 11 поступает на счетный вход счетчика 9 равных значений, увеличивая его содержимое на единицу, и одновременно через второй элемент И 11 и второй элемент ИЛИ 15 - на управляющий вход блока 18 памяти. В результате в очередную ячейку блока 18 памяти записывается содержимое счетчика 9 равных значений.

Если триггер 14 к моменту прихода строга находится в нулевом состоя-

нии, содержимое счетчика 17 адреса увеличиваться не будет и содержимое счетчика 9 равных значений будет записано в ту же ячейку блока 18 памяти, в которую было записано предыдущее содержимое счетчика.

При переполнении счетчика 9 равных значений сигнал с выхода переполнения через первый элемент ИЛИ 13 подается на вход "Пуск" триггера 14, переводя его в единичное состояние, в результате чего строб через первый элемент И 10 и третий элемент ИЛИ 16 поступает на вход счетчика 17 адреса и увеличивается его содержимое на единицу. При этом содержимое счетчика 9 равных значений начинает записываться в очередную ячейку блока 18 памяти, а его предыдущее значение сохраняется.

Таким образом, каждое новое информационное слово, полученное с выхода АЦП 3, сравнивается с предыдущим информационным словом и, в случае их неравенства, записывается в очередную ячейку блока памяти с добавлением идентифицирующего разряда со значением "0". В случае равенства последовательно поступающих слов подсчитывается их количество в счетчике равных значений с последующей записью этого числа в очередную ячейку блока памяти с добавлением идентифицирующего разряда со значением "1". Идентифицирующие разряды позволяют при выводе информации из блока 18 памяти восстановить реальную эпюру исследуемого сигнала.

Устройство обеспечивает возможность адаптации к скорости изменения исследуемого сигнала и позволяет регистрировать сигналы, характеризующиеся большим отношением их длительности T к длительности фронта τ_{ϕ} и отдельных характерных выбросов. При этом обеспечивается практически полное заполнение памяти регистратора, а предельная экономия этой памяти (или степень повышения информационной емкости регистраторов при фиксированном объеме его памяти) достигает при исследовании сигналов с параметрами $\frac{T}{\tau_{\phi}} = 10^3 - 10^5$ величины $\sim 2^n$ раз.

Формула изобретения

Цифровой регистратор формы импульсных сигналов, содержащий уси-

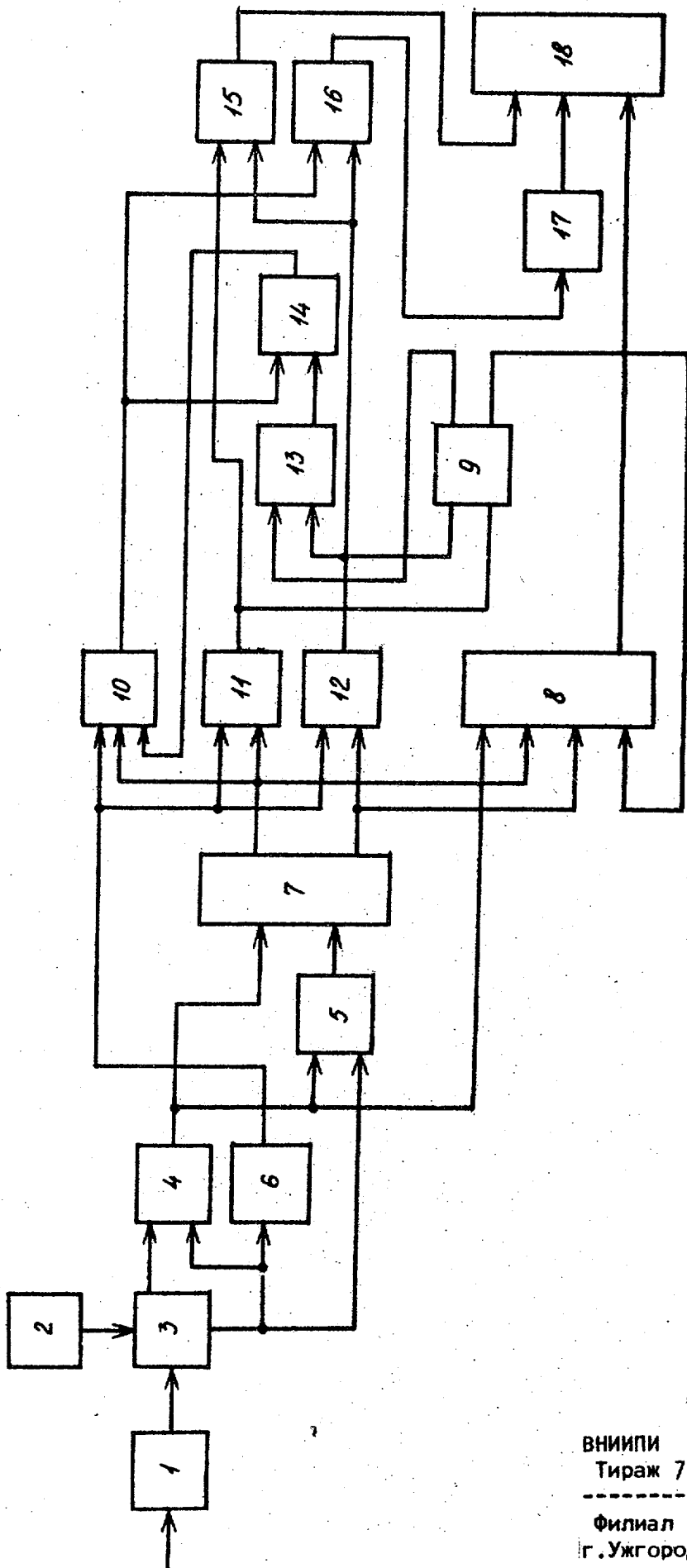
литель, вход которого соединен с шиной исследуемого сигнала, а выход - с первым входом аналого-цифрового преобразователя, второй вход которого подключен к выходу генератора тактовых импульсов, а информационный выход - к информационному входу первого буферного регистра, выход которого связан с информационным входом второго буферного регистра и первым входом блока сравнения кодовых слов, вторым входом соединенного с выходом второго буферного регистра, элемент ИЛИ, счетчик равных значений, счетчик адреса записи и блок памяти, отличающийся тем, что, с целью повышения информационной емкости при фиксированном объеме памяти, он снабжен формирователем строба, тремя элементами И, двумя элементами ИЛИ, триггером управления и коммутатором кодовых слов, выход которого соединен с входом "Данные" блока памяти, первый управляющий вход - с вторым выходом блока сравнения кодовых слов и вторым входом третьего элемента И, второй управляющий вход - с первым выходом блока сравнения кодовых слов и вторыми входами первого и второго элементов И, первый вход данных - с выходом первого буферного регистра, а второй вход данных - с выходом данных счетчика равных значений, вы-

ход "Переполнение" которого подключен к первому входу первого элемента ИЛИ, вход сброса - к выходу третьего элемента И и вторым входам всех элементов ИЛИ, счетный вход - к первому входу второго элемента ИЛИ и выходу второго элемента И, первый вход которого связан с первыми входами первого и третьего элементов И и выходом формирователя строба, вход которого соединен с выходом "Конец преобразования" аналого-цифрового преобразователя и управляющими входами "Запись" первого и второго буферных регистров, причем выход первого элемента ИЛИ связан с входом "Пуск" триггера управления, выход которого соединен с третьим входом первого элемента И, а вход "Сброс" - с выходом первого элемента И и первым входом третьего элемента ИЛИ, выход которого подключен к входу счетчика адреса записи, причем выход второго элемента ИЛИ связан с управляющим входом "Запись" блока памяти, вход "Адрес" которого соединен с выходом счетчика адреса записи.

Источники информации, принятые во внимание при экспертизе

1. Авторское свидетельство СССР № 557392, кл. G 06 K 15/18, 1975.
2. Авторское свидетельство СССР по заявке № 2889703/21, кл. G 01 R 29/02 (прототип).

962821



ВНИИПИ Заказ 7500/63
Тираж 717 Подписное

Филиал ППП "Патент",
г. Ужгород, ул. Проектная, 4