

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-234729

(P2004-234729A)

(43) 公開日 平成16年8月19日(2004.8.19)

(51) Int. Cl.⁷

G 1 1 C 11/409
G 1 1 C 11/401
G 1 1 C 11/403
G 1 1 C 11/406

F I

G 1 1 C 11/34 3 5 3 C
G 1 1 C 11/34 3 6 2 B
G 1 1 C 11/34 3 6 3 K
G 1 1 C 11/34 3 6 3 M

テーマコード (参考)

5MO24

審査請求 未請求 請求項の数 10 O L (全 38 頁)

(21) 出願番号 特願2003-20267 (P2003-20267)
(22) 出願日 平成15年1月29日 (2003.1.29)

(71) 出願人 503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目4番1号
(74) 代理人 100064746
弁理士 深見 久郎
(74) 代理人 100085132
弁理士 森田 俊雄
(74) 代理人 100083703
弁理士 仲村 義平
(74) 代理人 100096781
弁理士 堀井 豊
(74) 代理人 100098316
弁理士 野田 久登
(74) 代理人 100109162
弁理士 酒井 将行

最終頁に続く

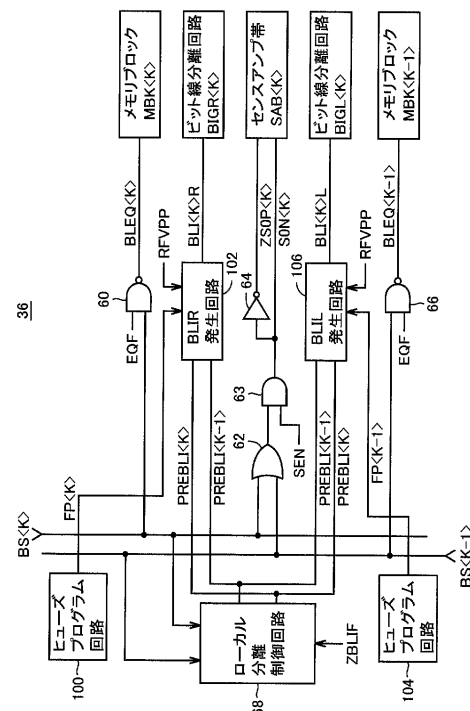
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】少なくともスタンバイ状態時における消費電流を低減する。

【解決手段】メモリブロック(MBK)に、短絡不良の存在の有無を示す情報をヒューズプログラム回路(100, 104)にプログラムする。ヒューズプログラム情報とモード指示信号(RFVPP)に従って、特定モード時、ブロック選択信号と対応のビット線分離指示信号(BLI<K>R, BLI<K>L)の対応関係をビット線分離指示信号を生成する回路(102, 106)において切替える。これにより、特定動作モード時、リーク電流経路の存在するメモリブロックを対応のセンスアンプ帯(SAB<K>)から分離する。

【選択図】 図23



【特許請求の範囲】

【請求項 1】

各々が、行列状に配列される複数のメモリセルを有する複数のメモリブロック、前記複数のメモリブロックに対応して、かつ隣接メモリブロックにより共有されるように配置され、各々が、活性化時対応のメモリブロックのメモリセルのデータの検知および増幅を行なう複数のセンスアンプを含む複数のセンスアンプ帯、前記複数のセンスアンプ帯に対応して配置され、各々が、導通時、対応のセンスアンプ帯と対応のメモリブロックとを電氣的に接続する複数のビット線分離回路、およびスタンバイ動作モード時、少なくとも特定のメモリブロックに対して設けられたビット線分離回路を非導通状態に設定するビット線分離制御回路を備える、半導体記憶装置。

10

【請求項 2】

前記ビット線分離制御回路は、前記スタンバイ動作モード時に、前記複数のビット線分離回路を非導通状態に維持し、前記複数のメモリブロックを対応のセンスアンプ帯から分離する、請求項 1 記載の半導体記憶装置。

【請求項 3】

前記ビット線分離制御回路は、前記特定のメモリブロックを特定する信号を生成するプログラム回路を含み、前記特定のメモリブロックを除くメモリブロックは、前記スタンバイ動作モード時対応のセンスアンプ帯に対応のビット線分離回路を介して電氣的に接続される、請求項 1 記載の半導体記憶装置。

【請求項 4】

前記半導体記憶装置は、データアクセスが行なわれる通常動作モードと前記メモリセルの記憶データの保持を行なうデータ保持モードとを有し、前記ビット線分離制御回路は、前記データ保持モードを指定するリフレッシュモード指示信号の活性化時におけるスタンバイ状態時に、前記ビット線分離回路を非導通状態に設定する、請求項 1 記載の半導体記憶装置。

20

【請求項 5】

前記ビット線分離制御回路は、前記データ保持モード指示信号の非活性化時、前記スタンバイ状態時に前記複数のメモリブロックを対応のセンスアンプ帯に電氣的に接続する様に前記ビット線分離回路を制御する、請求項 4 記載の半導体記憶装置。

30

【請求項 6】

前記ビット線分離制御回路は、各前記ビット線分離回路に対応して配置され、対応のビット線分離回路に対して配置されるメモリブロックを特定する第 1 のメモリブロック選択信号に基づいて生成される第 1 のビット線分離制御信号と対応のセンスアンプ帯を共有するメモリブロックを特定する第 2 のメモリブロック選択信号に基づいて生成される第 2 のビット線分離制御信号の一方をモード選択信号に従って選択して対応のビット線分離回路へ分離制御信号として与える複数のビット線分離選択制御回路を備え、前記第 1 のビット線分離制御信号および前記第 2 のビット線分離制御信号は、論理が互いに反対である、請求項 1 記載の半導体記憶装置。

【請求項 7】

各前記ビット線分離制御回路は、前記メモリセルのデータを保持するデータ保持モードにおいては、前記モード選択信号に従って前記第 2 のビット線分離制御信号を選択し、前記第 2 の分離制御信号は、選択時、前記分離制御信号と同一論理レベルの信号である、請求項 6 記載の半導体記憶装置。

40

【請求項 8】

前記モード選択信号は、データ保持モードを指定する動作モード指定信号である、請求項 6 記載の半導体記憶装置。

【請求項 9】

前記モード選択信号は、それぞれ、各メモリブロックごとに設定される分離選択活性化信号とデータ保持モードを指定するモード指示信号との合成信号であり、各前記メモリブ

50

ックごとにプログラムされる、請求項 6 記載の半導体記憶装置。

【請求項 10】

前記モード選択信号は、各前記メモリブロックごとに配置されるプログラム回路により生成される、請求項 6 記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は半導体記憶装置に関し、特に、データ保持のためにリフレッシュ動作を必要とするダイナミック型半導体記憶装置に関する。より特定的には、この発明は、スタンバイ動作時、特に、データ保持モード時における消費電流を低減するための構成に関する。

10

【0002】

【従来の技術】

ダイナミック型半導体記憶装置（DRAM：ダイナミック・ランダム・アクセス・メモリ）においては、データが、キャパシタに電荷の形態で格納される。メモリセルのデータのアクセス時においては、このキャパシタに格納された電荷を対応のビット線に読出す。ビット線はスタンバイ時、所定電圧レベルにプリチャージされており、対応して設けられたセンスアンプにより、このビット線に生じた電位変化を検出し、メモリセルデータを読出す。このセンスアンプの増幅動作により、ビット線の電圧がフルスイングし、再び、メモリセルへデータの再書込が行なわれる。

【0003】

20

DRAMにおいては、センスアンプの数を低減するために、また、ビット線の負荷を軽減するために、メモリセルアレイをブロックに分割し、隣接ブロックでセンスアンプを共有するシェアードセンスアンプ構成が用いられる。選択メモリセルを含む選択メモリブロックが対応のセンスアンプに接続され、選択メモリブロックとセンスアンプを共有する非選択メモリブロックは、対応のセンスアンプから切離される。このセンスアンプとメモリブロックのビット線との接続／分離を行なうために、各ビット線に対してビット線分離ゲートが設けられる。

【0004】

このビット線分離ゲートへは、センスアンプによりビット線を電源電圧レベルまで駆動するために、センス電源電圧よりも高い高電圧レベルの信号が、ビット線分離制御信号として与えられる。高電圧レベルのビット線分離制御信号を発生する際の消費電流を低減することを意図する構成が、例えば、特許文献 1（特開平 6 - 28856 号公報）において開示されている。この特許文献 1 においては、スタンバイ状態時においては、ビット線分離制御信号を電源電圧レベルに維持し、選択メモリセルとセンスアンプを接続するとき、このビット線分離制御信号を高電圧レベルに駆動する。データの保持を行なうリフレッシュモード時においては、センス動作開始時に、選択メモリブロックに対するビット線分離制御信号を、電源電圧から高電圧レベルに昇圧し、センス動作完了後昇圧を停止して、ビット線分離制御信号を電源電圧レベルに保持する。これにより、高電圧レベルのビット線分離制御信号を発生する期間を短くし、消費電流を低減する。

30

【0005】

40

また、特許文献 2（特開平 9 - 63266 号公報）においては、内部で周期的にリフレッシュ動作を行なうセルフリフレッシュモード時に、消費電流を低減することを意図する構成が開示されている。この特許文献 2 においては、セルフリフレッシュモード時において、メモリセルデータがセンスアンプに伝達された後、ビット線とセンスアンプとを分離する。この状態で、センスアンプを活性化する。センスアンプのセンスノードが、ビット線から切離されているため、その寄生容量は小さく、高速でセンス動作が行なわれ、センスアンプにおいて過渡期にセンス電源ノードからセンス接地ノードへ流れる貫通電流が低減され、消費電流が低減される。センス動作完了後、ビット線分離指示信号を高電圧レベルに駆動し、センスアンプによりラッチされたデータを、元のメモリセルへ書込む。

【0006】

50

【特許文献 1】

特開平 6 - 2 8 8 5 6 号公報

【0007】

【特許文献 2】

特開平 9 - 6 3 2 6 6 号公報

【0008】

【発明が解決しようとする課題】

上述の特許文献 1 および 2 においては、リフレッシュモード時において、ビット線分離制御信号の発生態様を、通常動作モード時と異ならせている。特許文献 1 においては、このビット線分離制御信号の昇圧に必要とされる消費電流を低減することを図り、また、特許文献 2 においては、センス動作時のセンスアンプにおける貫通電流を低減することを図る。しかしながら、これらの特許文献 1 および特許文献 2 に示される D R A M においては、エッチング残滓などのプロセス時における異物（汚染物質）によるリーク経路の存在による消費電流については何ら考慮されていない。

10

【0009】

D R A M においては、ワード線とビット線とが交差する方向に配置されており、プロセス時における異物が存在する場合、そのワード線とビット線が異物を介して電氣的に接続される場合が生じる。この異物が、電氣的導体の場合の、ワード線とビット線とは短絡される。この短絡が、低抵抗の場合、D R A M においては、選択ワード線が選択状態へ駆動されない、または、ビット線が非選択ワード線によりその電圧レベルが固定され、メモリセルデータを読出せないなどの誤動作が生じ、テスト時において不良品として識別される。

20

【0010】

この短絡が、高抵抗の場合、D R A M は、正常に動作する。しかしながら、この短絡が高抵抗であっても、ワード線とビット線とが、電氣的に接続されているため、スタンバイ状態時において、ビット線が所定電圧レベルにプリチャージされる場合でも、ビット線からワード線へ高抵抗体を介して電流が流れる。

【0011】

また、センスアンプは、スタンバイ状態時においては、センス電源供給線（センス電源線およびセンス接地線）から電氣的に分離される。しかしながら、センスアンプの共通ソースノード（センスアンプ活性化トランジスタとの接続ノード）は、ビット線と同様の電圧レベルにプリチャージされる。スタンバイ時においては、ビット線分離ゲートは導通状態になるため、このセンスアンプの共通ソースノードからビット線および高抵抗体を介してワード線に電流が流れる。

30

【0012】

D R A M は、電池駆動される携帯機器などに適用される場合、低スタンバイ電流、または超低スタンバイ電流が仕様により要求される。このような場合、高抵抗体を介してのリーク電流量が、無視することのできない値となる。特に、セルフリフレッシュモードなどのデータ保持を行なう動作モードにおいては、データアクセスは行なわれず、単にデータの保持が行なわれるだけであり、電池の寿命からは、より消費電流を低減することが要求される。

40

【0013】

上述の特許文献 1 および 2 においては、リフレッシュモード時における消費電流を低減することを目的としているものの、このようなワード線とビット線との間の高抵抗を介してのリーク電流の問題については何ら考慮していない。

【0014】

それゆえ、この発明の目的は、スタンバイ状態時における消費電流を低減することのできる半導体記憶装置を提供することである。

【0015】

この発明の他の目的は、データ保持モード時における消費電流をより低減することのできる半導体記憶装置を提供することである。

50

【 0 0 1 6 】

【課題を解決するための手段】

この発明に係る半導体記憶装置は、各々が、行列状に配列される複数のメモリセルを有する複数のメモリブロックと、これらの複数のメモリブロックに対応して、かつ隣接メモリブロックにより共有されるように配置され、各々が活性化時、対応のメモリブロックのメモリセルのデータの検知および増幅を行なう複数のセンスアンプを有する複数のセンスアンプ帯と、これらの複数のセンスアンプ帯に対応して配置され、各々が、導通時、対応のセンスアンプ帯と対応のメモリブロックとを電氣的に接続する複数のビット線分離回路と、スタンバイ動作モード時、少なくとも特定のメモリブロックに対して設けられたビット線分離回路を非導通状態に設定するビット線分離制御回路を含む。

10

【 0 0 1 7 】

シェアードセンスアンプ構成において、スタンバイ状態時、少なくとも特定のメモリブロックのビット線分離回路を非導通状態に設定することにより、この特定のメモリブロックにおいてワード線とビット線との短絡が存在する場合においても、この短絡を介してのリーク電流が、センスアンプ帯から流れるのを防止することができ、消費電流を低減することができる。

【 0 0 1 8 】

【発明の実施の形態】

[実施の形態 1]

図 1 は、この発明に従う半導体記憶装置の全体の構成を概略的に示す図である。図 1 において、半導体記憶装置 1 は、4 分割領域に分散して配置されるメモリマット 2 a - 2 d と、メモリマット 2 a および 2 b とメモリマット 2 c および 2 d の間の領域に配置される周辺回路 3 を含む。

20

【 0 0 1 9 】

メモリマット 2 a - 2 d の各々は、行列状に配列される複数のメモリセルを有するメモリアレイと、メモリセル行を選択する行選択回路と、メモリセル列を選択する列選択回路を含む。メモリマット 2 a - 2 d 各々において、メモリセルが複数のメモリブロックに分割して配置され、このメモリブロックに対応して、隣接メモリブロックに共有されるようにセンスアンプ帯が配置される。

【 0 0 2 0 】

周辺回路 3 は、データの入出力を行なう入出力回路、外部からのアドレス信号および制御信号を受ける入力バッファ、およびメモリマット 2 a - 2 d に対する動作制御信号を生成する主制御回路を含む。

30

【 0 0 2 1 】

このメモリマット 2 a - 2 d が、複数のバンクを構成してもよい。また、これらのメモリマット 2 a - 2 d においては、行選択時、1つのメモリマットが選択されてもよく、また複数のメモリマットが同時に選択されてもよい。また、通常動作モード時とデータ保持モード時に行なわれるセルフリフレッシュモード時において、同時に選択されるメモリマットの数が異ならされてもよい。

【 0 0 2 2 】

図 2 は、図 1 に示すメモリマット 2 a - 2 d の構成を概略的に示す図である。これらのメモリマット 2 a - 2 d は、同一構成を有するため、図 2 においては、1つのメモリマット 2 の構成を代表的に示す。図 2 において、メモリマット 2 は、それぞれが、行列状に配列される複数のメモリセルを有するメモリブロック M B K 0 - M B K m と、メモリブロック M B K 0 - M B K m の間に配置されるセンスアンプ帯 S A B 1 - S A B m と、メモリブロック A B K 0 および A B K m それぞれの外側に配置されるセンスアンプ帯 S A B 0 および S A B m + 1 を含む。

40

【 0 0 2 3 】

センスアンプ帯 S A B 1 - S A B m は、それぞれ、両側のメモリブロックにより共有される。センスアンプ帯 S A B 0 - S A B m + 1 は、それぞれ、対応のメモリブロックの列 (

50

ビット線対)に対応して配置されるセンスアンプを含み、対応のメモリブロックが選択されたとき、活性化されて、対応のメモリブロックのメモリセルのデータの検知および増幅およびラッチを行なう。

【0024】

メモリマツト2は、さらに、メモリブロックMBK0 - MBKmにおいて、行(ワード線)を選択する行選択回路10と、メモリブロックMBK0 - MBKmにおいて列を選択する列選択回路11を含む。行選択回路10へは、負電圧VBBおよび高電圧VPPが与えられる。行選択回路10は、非選択状態のワード線を負電圧VBBレベルに維持し、選択状態のワード線へ高電圧VPPを伝達する。行選択回路10は、行系制御回路12により、その動作が制御される。行系制御回路12は、図1に示す周辺回路3に含まれる主制御回路からの主行系制御信号に従って、行選択回路10などの行選択に関連する回路の動作を制御する。

10

【0025】

センスアンプ帯と対応のメモリブロックとの間には、センスアンプ帯と対応のメモリブロックとの接続を行うビット線分離回路が配置される。しかしながら、図2においては、図面を簡略化するために、ビット線分離回路は示していない。

【0026】

この行系制御回路12の制御の下に、図示しないビット線分離回路の導通/非導通が制御される。セルフリフレッシュモード時においては、メモリブロックMBK0 - MBKmは、それぞれ対応のセンスアンプ帯SAB0 - SABm+1と分離される。選択メモリブロックのみが、対応のセンスアンプ帯に結合されて、メモリセルデータのリフレッシュが実行される。セルフリフレッシュモード時において、センスアンプ帯とメモリブロックとを分離することにより、ワード線とビット線との間に短絡が存在する場合においても、センスアンプ帯のセンスアンプから短絡を介してリーク電流が流れる経路を遮断する。

20

【0027】

通常動作モード時においては、スタンバイ時、センスアンプ帯SAB0 - SABm+1は、それぞれ対応のメモリブロックMBK0 - MBKmに接続される。行選択を行うアクティブサイクル時、選択メモリブロックとセンスアンプ帯を共有する非選択メモリブロックが、対応のセンスアンプ帯から分離される。

【0028】

これらのセンスアンプ帯と対応のメモリブロックとの接続は、行系制御回路12の制御の下にビット線分離回路を選択的に導通/非導通状態に設定することにより実現され、このビット線分離回路の導通/非導通状態の制御が、通常動作モードとデータ保持モードとで異なる。

30

【0029】

図3は、図2に示すセンスアンプ帯に関連する部分の構成を示す図である。図3においては、センスアンプ帯SAB0 - SABm+1をセンスアンプ帯SABで代表的に示す。センスアンプSABは、メモリブロックMBKLおよびMBKRの間に配置される。このセンスアンプ帯SABは、メモリブロックMBKLおよびMBKRのメモリセル列(ビット線対)に対応して配置されるセンスアンプ回路を含む。

40

【0030】

センスアンプ帯SABとメモリブロックMBKLとの間に、ビット線分離指示信号BLILに従ってメモリブロックMBKLのビット線対をセンスアンプ帯SABのセンスアンプ回路群に結合するビット線分離回路BIGLが設けられる。センスアンプ帯SABとメモリブロックMBKRとの間に、ビット線分離指示信号BLIRに従ってメモリブロックMBKRのビット線対をセンスアンプ帯SABのセンスアンプ回路群に接続するビット線分離回路BIGRが設けられる。

【0031】

センスアンプ帯SABのセンスアンプ回路へは、センスアンプ活性化信号ZSOPおよびSONと、センスノードイコライズ指示信号EQが与えられる。センスアンプ活性化信号

50

S O Nは、センスアンプ回路に含まれるNセンスアンプを活性化し、センスアンプ活性化信号Z S O Pは、センスアンプ回路のPセンスアンプを活性化するために用いられる。Nセンスアンプは、交差結合されるNチャンネルM I Sトランジスタ（絶縁ゲート型電界効果トランジスタ）で構成され、Pセンスアンプは、交差結合されるPチャンネルM I Sトランジスタで構成される。センスイコライズ指示信号E Qは、これらのPセンスアンプおよびNセンスアンプの内部電源ノード（共通ソースノード）を所定電圧レベルにプリチャージする。

【0032】

メモリブロックM B K LおよびM B K Rにおいては、メモリセルが行列状に配列され、各メモリセル列に対応してビット線対が配置され、また、各ビット線対に対応してビット線プリチャージ/イコライズ回路が配置される。メモリブロックM B K Lのビット線プリチャージ/イコライズ回路へは、ビット線イコライズ指示信号E Q Lが与えられ、メモリブロックM B K Rのビット線プリチャージ/イコライズ回路には、ビット線イコライズ指示信号E Q Rが与えられる。

【0033】

図4は、図3に示すセンスアンプ帯S A Bの具体的構成の一例を示す図である。図4においては、メモリブロックM B K LおよびM G K Rの1列のメモリセル（ビット線対）に対応して配置される構成を示す。

【0034】

メモリブロックM B K Rにおいては、メモリセルM C Rの各列に対応してビット線対B L Rおよび/ B L Rが設けられる。ビット線B L Rおよび/ B L Rの対に対して、ビット線イコライズ指示信号E Q Rに応答してこれらのビット線B L Rおよび/ B L Rを所定のプリチャージ電圧V B Lレベルにプリチャージしかつイコライズするビット線プリチャージ/イコライズ回路B E Q Rが設けられる。メモリセルM C Rは、情報を記憶するキャパシタM Qと、対応のワード線W L R上の信号に応答してメモリセルキャパシタM Qを対応のビット線B L Rに接続するアクセストランジスタM Tを含む。

【0035】

メモリセルキャパシタM Qは、セルプレート電極C Pとストレージノード電極S Nとを有する。このストレージノード電極S Nに、記憶情報に応じた電荷が蓄積される。セルプレート電極C Pには、通常、ビット線プリチャージ電圧V B Lと同様の電圧レベルのセルプレート電圧が供給される。アクセストランジスタM Tは、NチャンネルM I Sで構成される。ワード線W L Rは、このメモリブロックM B K Rにおける1行のメモリセルアクセストランジスタに接続される。このワード線W L Rは、選択時、高電圧V P Pレベルに駆動され、非選択時、負電圧V B Bレベルに維持される。

【0036】

ビット線プリチャージ/イコライズ回路B E Q Rは、ビット線イコライズ指示信号E Q Rに応答して導通し、導通時、ビット線B L Rおよび/ B L Rを電氣的に短絡するNチャンネルM I SトランジスタN Q 6と、ビット線イコライズ指示信号E Q Rに応答して導通し、導通時、ビット線B L Rおよび/ B L Rにビット線プリチャージ電圧V B Lを伝達するNチャンネルM I SトランジスタN Q 7およびN Q 8を含む。

【0037】

メモリブロックM B K Lにおいても、このメモリブロックM B K Rと同様、メモリセルM C Lの列に対応してビット線B L Lおよび/ B L Lが配置され、また、これらのビット線B L Lおよび/ B L Lに対し、ビット線プリチャージ/イコライズ回路B E Q Lが設けられる。このビット線プリチャージ/イコライズ回路B E Q Lは、イコライズ指示信号E Q Lに応答して活性化され、活性化時、ビット線B L Lおよび/ B L Lを、ビット線プリチャージ電圧V B Lレベルにプリチャージしかつイコライズする。メモリセルM C Lおよびビット線プリチャージ/イコライズ回路B E Q Lの構成は、メモリセルM C Rおよびビット線プリチャージ/イコライズ回路B E Q Rの構成と同じであり、図4においては、単にブロックで示す。このメモリセルM C Lは、ワード線W L Lに接続される。ワード線W L

Lについても、同様、メモリブロックMBKLの1行のメモリセルのアクセストランジスタが接続される。

【0038】

ビット線分離回路BIGLは、ビット線分離指示信号BLILに応答して導通し、導通時、ビット線BLLおよび/BLLを共通ビット線CBLおよび/CBLに電氣的に接続するビット線分離ゲートBTGLを含む。このビット線分離ゲートBTGLは、ビット線BLLおよび/BLLそれぞれに対応して設けられる転送ゲートTXを含む。この転送ゲートTXは、NチャネルMISTランジスタで構成される。この転送ゲートTXにおけるしきい値電圧損失により、メモリセルMCLに格納されるHデータの電圧レベルが低下するのを防止するため、ビット線分離指示信号BLILは、ビット線分離ゲートBTGLの導通時、高電圧VPPレベルに駆動される。

【0039】

ビット線分離回路BIGRは、ビット線分離指示信号BLIRに応答して選択的に導通し、導通時、ビット線BLRおよび/BLRを共通ビット線CBLおよび/CBLに電氣的に接続するビット線分離ゲートBTGRを含む。このビット線分離ゲートBTGRも、ビット線BLRおよび/BLRそれぞれに対応して設けられる転送ゲートTXを含む。したがって、ビット線分離指示信号BLIRも、このビット線分離ゲートBTGRの導通時、高電圧VPPレベルに駆動される。

【0040】

センスアンプ帯SABは、活性化時、共通ビット線CBLおよび/CBLの電位を差動増幅しかつラッチするセンスアンプSAと、センスアンプ活性化信号ZSOPに従ってPセンス共通ソースノードS2Pにアレイ電源電圧VdDSを伝達するセンス活性化トランジスタPQ3と、センスイコライズ指示信号EQの活性化時、Pセンス共通ソースノードS2Pにプリチャージ電圧VBLを伝達するNチャネルMISTランジスタNQ3と、センスアンプ活性化信号SONの活性化時導通し、Nセンス共通ソースノードS2Nへ接地電圧を伝達するNチャネルMISTランジスタNQ4と、センスイコライズ指示信号EQの活性化時導通し、Nセンス共通ソースノードS2Nにプリチャージ電圧VBLを伝達するNチャネルMISTランジスタNQ5を含む。

【0041】

センスアンプ活性化用のMISTランジスタPQ3およびNQ4とイコライズトランジスタNQ3およびNQ5は、所定数のセンスアンプごとに設けられる。すなわち、センス共通ソースノードS2PおよびS2Nには、所定数のセンスアンプSAが接続される。しかしながら、このセンス共通ソースノードS2NおよびS2Pが、センスアンプ帯SAB含まれるセンスアンプに共通に配置されてもよく、また個々のセンスアンプSA毎に設けられてもよい。

【0042】

センスアンプSABは、共通ビット線CBLとPセンス共通ソースノードの間に接続されかつそのゲートが共通ビット線/CBLに接続されるPチャネルMISTランジスタPQ2と、共通ビット線/CBLとPセンス共通ソースノードS2Pの間に接続されかつそのゲートが共通ビット線CBLに接続されるPチャネルMISTランジスタPQ1と、センス共通ビット線/CBLとNセンス共通ソースノードS2Nの間に接続されかつそのゲートが共通ビット線CBLに接続されるNチャネルMISTランジスタNQ1と、共通ビット線CBLとNセンス共通ソースノードS2Nの間に接続されかつそのゲートが共通ビット線/CBLに接続されるNチャネルMISTランジスタNQ2を含む。

【0043】

PチャネルMISTランジスタPQ1およびPQ2により、共通ビット線/CBLおよびCBLの高電位の共通ビット線がアレイ電源電圧VdDSレベルに駆動される。NチャネルMISTランジスタNQ1およびNQ2により、共通ビット線CBLおよび/CBLの低電位の共通ビット線が接地電圧レベルに駆動される。

【0044】

10

20

30

40

50

この図 4 に示す構成において、ワード線 $W L L$ および $W L R$ は、非選択時たとえば $-0.5 V$ の負電圧レベルに維持される。メモリセルのアクセストランジスタ $M T$ のゲートを負電圧レベルに維持することにより、アクセストランジスタのゲート - ソース間を深い逆バイアス状態に設定し、メモリセルのストレージノード $S N$ から対応のビット線へのリーク電流を低減し、データ保持特性を改善する。また、選択ワード線を高電圧 $V P P$ レベルに駆動することにより、アクセストランジスタ $N T$ のしきい値電圧損失を伴うことなく、ストレージノード $S N$ へ、センスアンプ $S A$ により駆動されたアレイ電源電圧 $V d d S$ レベルの電圧を伝達することができる。

【0045】

今、ワード線 $W L R$ とビット線 $B L R$ の間に、高抵抗の短絡 $R Z$ が存在する状態を考える。スタンバイ状態時において、ビット線プリチャージ/イコライズ回路 $B E Q L$ は活性状態にあり、ビット線 $B L R$ は、ビット線プリチャージ電圧 $V B L$ レベルにプリチャージされかつイコライズされる。ワード線 $W L R$ が非選択状態であり、たとえば $-0.5 V$ である。ビット線プリチャージ電圧 $V B L$ は、たとえば $0.8 V$ であり、この場合、アレイ電源電圧 $V d d S$ が、 $1.6 V$ であり、またイコライズ指示信号 $E Q$ は、周辺電源電圧レベルの $1.6 V$ に設定される。この電圧構成の場合、通常、高電圧 $V P P$ は、 $2.9 V$ 程度である。

【0046】

いま、スタンバイ状態においてビット線分離ゲート $B T G R$ を、高電圧 $V P P$ レベルのビット線分離指示信号 $B L I R$ に従って導通状態に維持することを考える。この状態においては、ビット線プリチャージ/イコライズ回路 $B E Q R$ において $M I S$ トランジスタ $N Q 7$ を介してビット線 $B L R$ へプリチャージ電圧 $V B L$ が伝達されると、この高抵抗体 $R Z$ を介してリーク電流 $I r$ が負電圧レベルのワード線 $W L R$ へ流れる。ビット線 $B L R$ の電圧レベルが低下すると、このビット線 $B L R$ の電位低下が、イコライズトランジスタ $N Q 6$ を介してビット線 $B L R$ に伝達され、ビット線 $B L R$ の電圧レベルが低下し、応じて、プリチャージトランジスタ $N Q 8$ からビット線 $B L R$ へ電流が流れる。特に、スタンバイ状態のワード線 $W L R$ が負電圧 $V B B$ レベルの場合、高抵抗体 $R Z$ にかかる電圧は、 $B V L - V B B$ となり、リーク電流 $I r$ が大きくなる。ビット線プリチャージ/イコライズ回路 $B E Q R$ が、このリーク電流 $I r$ を補償することが出来ない場合、ビット線 $B L R$ および $B L R$ の電圧低下が大きくなる。最悪、ビット線 $B L R$ および $B L R$ は負電圧 $V B B$ レベルにまで低下する。

【0047】

この高抵抗体 $R Z$ により、ビット線電圧が低下するまたはワード線 $W L R$ を選択状態へ駆動することができないため、メモリセルデータを正確に読み出せない場合には、冗長行および/または冗長列との置換により、短絡に対応するワード線 $W L R$ および/またはビット線対 $B L R$ 、 $B L R$ を救済する。この場合、不良行および/または不良列が救済されても、高抵抗体 $R Z$ は存在するためリーク電流が流れる経路が存在する（スタンバイ電流などの消費電流の仕様値が満たされていれば、良品として取扱われる）。

【0048】

また、センスアンプ $S A$ においても、 P センス共通ソースノード $S 2 P$ が、プリチャージ電圧 $V B L$ レベルである。ビット線 $B L R$ の電圧レベルが、プリチャージ電圧レベルより低下し、応じて共通ビット線 $C B L$ の電圧レベルが低下した場合、ビット線 $B L R$ および共通ビット線 $C B L$ の電圧レベルが、イコライズトランジスタ $N Q 6$ により低下しており、センスアンプ $S A$ の $M I S$ トランジスタ $P Q 2$ が導通し、 P センス共通センスソースノード $S 2 P$ からビット線 $B L R$ に電流が流れる。

【0049】

また、ビット線 $B L R$ の電圧レベルが、それほど低下せず、ビット線 $B L R$ に接続されるメモリセルのデータが正確に読み出すことが出来る場合においても、センスアンプ $S A$ の $M I S$ トランジスタ $P Q 2$ においては、たとえゲート - ソース間電圧がそのしきい値電圧の絶対値以下であっても、サブシュレシールド電流（オフリーク電流）が流れる。この場

10

20

30

40

50

合、ビット線プリチャージ/イコライズ回路 B E Q R においても、リーク電流が流れる。このようなリーク電流は、特に低消費電流が要求されるデータ保持モード時において無視することのできない程度となる。

【 0 0 5 0 】

このリーク電流は、ビット線プリチャージ/イコライズ回路についてはトランジスタサイズを小さくすることにより低減することが出来る。これは、ビット線のプリチャージ/イコライズ動作時に、イコライズトランジスタ N Q 6 により、電源電圧レベルのビット線および接地電圧レベルのビット線が短絡されるため、ビット線プリチャージ/イコライズ回路 (B E Q R) においては大きなプリチャージ電流供給能力は要求されないためである。

【 0 0 5 1 】

しかしながら、センスアンプ S A においては、センス共通ソースノード S 2 P および S 2 N は、それぞれ電源電圧および接地電圧レベルに駆動され、これらの電圧を高速でプリチャージ電圧 V B L にまで駆動するために、センスノードイコライズトランジスタ N Q 3 および N Q 5 のサイズを低減することはできない。特に、センス共通ソースノード S 2 P および S 2 N には、複数のセンスアンプが接続されるため、これらのセンスノードプリチャージトランジスタ N Q 3 および N Q 5 のサイズを低減することはできない。

【 0 0 5 2 】

従って、短絡による高抵抗体 R Z が存在する場合、スタンバイ状態時においてビット線分離ゲート B T G R を導通状態とした場合、このスタンバイ時の消費電流を、リーク電流 I_r により低減することができない。

【 0 0 5 3 】

ワード線とビット線との短絡が、いずれのメモリブロックにおいて存在していても、従来のように、全メモリブロックを対応のセンスアンプ帯に接続する場合、この短絡を介して対応のセンスアンプ帯からリーク電流が流れるため、消費電流を低減することができない。

【 0 0 5 4 】

この消費電流は、短絡不良が冗長置換により救済されている (消費電流の仕様値は満たされている) および短絡が存在しても短絡不良が生じないのいずれに係らず、短絡部でのリーク電流により増大する。

【 0 0 5 5 】

しかしながら、このスタンバイ状態時、特に、データ保持モード時に設定されるセルフリフレッシュモード時のスタンバイ状態時において、ビット線分離ゲート B T G R をオフ状態に設定することにより、センスアンプ S A から共通ビット線 C B L を介して高抵抗体 R Z へ電流が流れるのを防止することができる。ビット線プリチャージ/イコライズ回路 B E Q R は、その M I S トランジスタ N Q 6 - N Q 8 のサイズ (チャネル幅とチャネル長との比) を小さくすることにより、リーク電流を低減することができる。

【 0 0 5 6 】

センスアンプ S A は、そのセンスノードプリチャージトランジスタ N Q 3 および N Q 5 のサイズを小さくすることができない場合でも、スタンバイ状態時、特にデータ保持モード時に設定されるセルフリフレッシュモード時のスタンバイ状態時にビット線分離ゲート B T G L および B T G R をオフ状態に維持することにより、センスアンプ S A からのリーク電流 I が流れる経路を遮断することができ、スタンバイ状態時の消費電流を低減することができる。

【 0 0 5 7 】

以下、本実施の形態 1 におけるビット線分離制御について具体的に説明する。なお、ビット線とワード線との間の短絡については、この半導体記憶装置が正常に動作する限り、対応のワード線および/またはビット線の冗長置換が行われているおよび対応のワード線およびビット線が正常に信号/データを伝達し、冗長置換は行われていないのいずれであっても良い。しかしながら、以下の説明においては、説明を簡略化するために、ワード線とビット線との短絡は高抵抗であり、微小リーク電流が流れるだけであり、ワード線および

10

20

30

40

50

ビット線は、正常に駆動される場合を考える。すなわち、ワード線 - ビット線間短絡が、消費電流にのみ悪影響を及ぼし、メモリセルデータのセンス動作には何ら影響を及ぼさない状態を考える。

【 0 0 5 8 】

図 5 は、通常動作モード時における図 4 に示す構成の動作を示すタイミング図である。以下、図 5 を参照して、図 4 に示す構成のメモリセル M C R のデータのセンス動作について説明する。

【 0 0 5 9 】

スタンバイサイクル時においては、ワード線 W L L および W L R は、ともに負電圧 V B B レベルである。また、ビット線イコライズ指示信号 E Q L および E Q R はともに H レベルであり、ビット線 B L L , / B L L および B L R , / B L R は、すべて中間電圧 V B L レベルにプリチャージされる。図 5 においては、ビット線 B L R および / B L R のみの電圧波形を示す。また、センスアンプ活性化信号 S 0 N は接地電圧 G N D レベル、センスアンプ活性化信号 Z S 0 P は、センス (アレイ) 電源電圧 V d d レベルである。したがってセンス共通ソース線 S 2 N および S 2 P は、イコライズ用のトランジスタ N Q 3 および N Q 5 により、中間電圧 V B L レベルにプリチャージされている。

10

【 0 0 6 0 】

時刻 T 0 においてアクティブサイクルが始まり、メモリセルの行選択動作が行なわれる。この場合、まずアドレス信号に従って選択メモリセルを含むメモリブロックが選択される。今、図 4 に示すメモリセル M C R が選択される。この場合、まず、ビット線イコライズ指示信号 B E Q R の非活性化に従って、センスイコライズ指示信号 E Q が L レベル (接地電圧レベル) に立下がる。また、ビット線分離指示信号 B L I L が高電圧 V P P レベルから接地電圧 G N D レベルに立下がり、ビット線分離ゲート B T G L が非導通状態となる。応じて、共通ビット線 C B L および / C B L とビット線 B L L および / B L L が分離される。ビット線プリチャージ / イコライズ回路 B E Q R は、この場合、ビット線イコライズ指示信号 E Q L に従って活性状態にある。

20

【 0 0 6 1 】

一方、ビット線分離指示信号 B L I R は、スタンバイサイクル時と同様、高電圧 V P P レベルに維持され、ビット線分離ゲート B T G R は導通状態を維持する。したがって、スタンバイサイクル時と同様、ビット線 B L R および / B L R は、共通ビット線 C B L および / C B L に接続される。

30

【 0 0 6 2 】

時刻 T 1 においてワード線 W L R が選択され、その電圧レベルが負電圧 V B B から高電圧 V P P レベルに駆動される。応じて、メモリセル M C R においてアクセストランジスタ M T が導通し、ビット線 B L R に、ストレージノード S N に蓄積された電荷が伝達される。図 5 においては、ビット線 B L R に、H データが読出された場合の信号波形を示す。ビット線 / B L R は、プリチャージ電圧 V B L レベルを維持する。

【 0 0 6 3 】

ビット線 B L R および / B L R の電圧差が十分に拡大されると、時刻 T 2 において N センスアンプ活性化信号 S N が、H レベル (周辺電源電圧 V d d レベル) へ駆動され、また P センスアンプ活性化信号 Z S 0 P が、接地電圧 G N D レベルの L レベルへ駆動される。応じて、センス共通ソースノード S 2 N および S 2 P が、それぞれ、M I ストランジスタ N Q 4 および P Q 3 により接地電圧およびイコライズ電源電圧 V d d S レベルに駆動され、センスアンプ S A が活性化され、共通ビット線 C B L および / C B L の電圧差を増幅する。

40

【 0 0 6 4 】

また、センスアンプ S A により、ビット線分離ゲート B T G R を介してビット線 B L R および / B L R も駆動され、その電圧レベルが、センス電源電圧 V d d S レベルおよび接地電圧 G N D レベルに駆動される。このビット線の駆動により、メモリセル M C R のストレージノード S N にセンス電源電圧レベルの H データが再書込される。その後、図示しない

50

経路を介して列選択動作が行なわれ、センスアンプ S A によりラッチされているデータの読出が行なわれる（データ読出モード時）。

【 0 0 6 5 】

メモリセルデータをアクセスするアクティブサイクルが完了すると、時刻 T 3 において、再び内部がプリチャージ状態に復帰する。すなわち、選択状態のワード線 W L R が再び負電圧 V B B レベルに駆動され、またセンスアンプ活性化信号 S 0 N および Z S 0 P が、それぞれ接地電圧 G N D および周辺電源電圧 V d d レベルに駆動される。次いで、ビット線分離ゲート B L I L が再び高電圧 V P P レベルに駆動され、ビット線分離ゲート B T G L が再び導通状態となり、またビット線イコライズ指示信号 E Q R の活性化に従ってセンスイコライズ指示信号 E Q が活性化される。ビット線 B L R および / B L R が再びもとの中間電圧レベルにプリチャージされかつイコライズされる。

【 0 0 6 6 】

なお、ここで図 5 において、ビット線 B L R および / B L R のプリチャージ電圧レベルが、アレイ電源電圧 V d d S と接地電圧 G N D の中間電圧レベルより低い電圧レベルのように示しているのは、高抵抗体 R Z におけるリーク電流により、そのプリチャージ / イコライズ電圧レベルが、中間電圧 V B L レベルよりも少し低下していることを強調して示すためである。リーク電流 I r が高抵抗体 R Z を介して流れていても、ビット線 B L R および / B L R において、センスアンプ S A がセンスすることのできる電圧差が生じていれば、正確に、センス動作を行なってメモリセルデータの検知、および増幅を行なうことができる。

【 0 0 6 7 】

また、上述のように、リーク電流 I r は、微小電流であり、仕様上の許容値の範囲内にある。リーク電流 I r が、微小電流であることを示すため、ワード線とビット線との短絡を、高抵抗体 R Z で示す。

【 0 0 6 8 】

スタンバイ状態においては、共通ビット線 C B L および / C B L をビット線分離ゲート B T G L および B T G R を介して、ビット線 B L L , B L R および / B L L および / B L R に接続し、センス共通ビット線 C B L および / C B L を中間電圧レベルに確実にプリチャージしかつイコライズし、正確なセンス動作を保証する。

【 0 0 6 9 】

図 6 は、セルフリフレッシュモード時の図 4 に示すセンスアンプの動作を示すタイミング図である。以下、図 6 を参照して、図 4 に示すセンスアンプ帯 S A B のセルフリフレッシュモード時の動作について説明する。

【 0 0 7 0 】

このセルフリフレッシュモードは、長期に渡ってデータアクセスが行われず、記憶データの保持のみが要求されるときに設定される。セルフリフレッシュモード時においては、スタンバイサイクル（状態）時、ビット線分離指示信号 B L I L および B L I R は接地電圧 G N D レベルに維持される。したがって、ビット線分離ゲート B T G L および B T G R がともに非導通状態となり、共通ビット線 C B L および / C B L が、ビット線 B L R , B L L および / B L R , / B L L と分離される。ビット線イコライズ指示信号 E Q R および E Q L は、周辺電源電圧 V d d レベルであり、ビット線プリチャージ / イコライズ回路 B E Q L および B E Q R は活性状態にあり、ビット線 B L R , / B L R および B L L , / B L L が、それぞれ所定電圧レベルにプリチャージされかつイコライズされる。

【 0 0 7 1 】

センスアンプ S A に対しても、センスイコライズ指示信号 E Q は H レベルであり、センス共通ソースノード S 2 P および S 2 N が、それぞれプリチャージ電圧 V B L レベルにプリチャージされる。センスアンプ S A が、ビット線 B L R および / B L R と分離されるため、センス共通ソースノード S 2 P から高抵抗体 R Z へ電流が流れる経路が遮断され、セルフリフレッシュモード時のスタンバイ状態時の消費電流が低減される。

【 0 0 7 2 】

10

20

30

40

50

共通ビット線 C B L および / C B L は、フローティング状態にある。共通ビット線 C B L および / C B L においてノイズが発生し、その電圧レベルが変化した状態を考える。たとえば共通ビット線 C B L の電圧レベルがノイズによりプリチャージ電圧 V B L よりも上昇し、M I S トランジスタ P Q 2 のしきい値電圧の絶対値以上の電圧差が、ビット線 C B L および / C B L に生じた場合、M I S トランジスタ P Q 2 が導通し、共通ビット線 C B L の電圧レベル上昇は抑制される。このときには、M I S トランジスタ N Q 1 が導通しても、共通ビット線 / C B L は、プリチャージ電圧 V B L レベルにプリチャージされるだけである。一方、共通ビット線 C B L の電圧レベルがノイズの影響などにより低下し、M I S トランジスタ N Q 2 のしきい値電圧以上の電圧差が共通ビット線 C B L および / C B L の間に生じた場合、M I S トランジスタ N Q 2 が導通し、共通ビット線 C B L の電位低下を抑制する。また、共通ビット線 C B L および / C B L 間にセンスアンプトランジスタのしきい値電圧の絶対値以下の電圧差が生じて、センスアンプ S A のトランジスタのリーク電流によりその電圧差は低減される。したがって、共通ビット線 C B L および / C B L がビット線分離ゲート B T G L および B T G R により、フローティング状態に維持されても、その電位変化を十分に抑制して、ほぼ一定のプリチャージ電圧 V B L レベルに維持することができる。

10

【 0 0 7 3 】

リフレッシュ要求が発行され、時刻 T 1 0 において、図示しないリフレッシュ活性化信号が活性化され、リフレッシュが実行される。今、リフレッシュ時においても、ワード線 W L R がリフレッシュアドレスにより指定される場合を考える。この場合、ビット線分離指示信号 B L I R を高電圧 V P P レベルに駆動する。ビット線分離指示信号 B L I L は、接地電圧レベルを維持する。また、ビット線イコライズ指示信号 E Q R を接地電圧レベルに駆動する。ビット線イコライズ指示信号 E Q L は H レベルを維持する。ビット線イコライズ指示信号 E Q R の非活性化に従ってセンスイコライズ指示信号 E Q も非活性化される。

20

【 0 0 7 4 】

ビット線分離指示信号 B L I R が、高電圧 V P P レベルに駆動されると、ビット線 B L R および / B L R が共通ビット線 C B L および / C B L に結合される。ビット線 B L R および / B L R の寄生容量は、共通ビット線 C B L および / C B L の寄生容量よりも十分大きいので、たとえ共通ビット線 C B L および / C B L が、スタンバイ状態時、所定のプリチャージ電圧 V B L レベルから変化しても、ビット線 B L R および / B L R のプリチャージ電圧により、元のプリチャージ電圧レベルに駆動される。

30

【 0 0 7 5 】

ワード線 W L R が時刻 T 1 1 において選択状態へ駆動され、ビット線 B L I R および / B L I R において電圧差が生じる。ビット線 B L I R および / B L I R の電圧差は、共通ビット線 C B L および / C B L に伝達される。

【 0 0 7 6 】

このビット線 B L I R および / B L I R が電圧差が十分に拡大されると、時刻 T 1 2 において、センスアンプ活性化信号 S 0 N および Z S 0 P が活性化され、センス共通ソースノード S 2 N および S 2 P がそれぞれ接地電圧 G N D レベルおよびアレイ電源電圧 V d d S レベルに駆動され、センスアンプ S A が活性化される。応じて、ビット線 B L I R および / B L I R の電圧差が増幅され、ビット線 B L I R および / B L I R が、アレイ電源電圧 V d d S および接地電圧 G N D レベルに駆動される。

40

【 0 0 7 7 】

ここで、図 6 においても、メモリセル M C R に H レベルデータが格納されている場合のビット線の電圧波形を示す。メモリセル M C R にビット線 B C R のアレイ電源電圧が書込まれ、メモリセル M C R の記憶データのリフレッシュが行われる。

【 0 0 7 8 】

メモリブロックの各列において、センスアンプ S A により増幅されたビット線電圧 V d d S および接地電圧 G N D が、対応のメモリセルに格納され、記憶データのリフレッシュが行なわれる。

50

【 0 0 7 9 】

時刻 T 1 3 において、リフレッシュ動作が完了し、選択ワード線 W L R が、非選択状態の負電圧 V B B レベルに駆動される。また、センスアンプ活性化信号 S 0 N および Z S 2 P が非活性化され、センスアンプ S A が非活性化される。また、ビット線分離指示信号 B L I R が接地電圧 G N D レベルとなり、ビット線分離ゲート B T G R が非導通状態となり、またビット線イコライズ指示信号 E Q R が周辺電源電圧 V d d レベルへ駆動され、ビット線プリチャージ/イコライズ回路 B E Q R により、ビット線 B L R および / B L R が元のプリチャージ電圧レベルに駆動される。

【 0 0 8 0 】

したがって、低消費電流が要求されるデータ保持モード時において、スタンバイ状態時、
10 ビット線分離ゲート B T G L および B T G R を非導通状態に設定することにより、センスアンプ S A に対するイコライズトランジスタ N Q 3 および N Q 5 を高抵抗体 R Z から分離することができ、このスタンバイサイクル時におけるセンスアンプ回路部から高抵抗体を介してリーク電流が非選択状態のワード線へ流れるのを防止することができ、消費電流を十分に抑制することができる。

【 0 0 8 1 】

なお、図 6 に示すタイミング図において破線で示すように、ビット線イコライズ指示信号 E Q R およびセンスイコライズ指示信号 E Q は、ワード線 W L R の選択前に非活性状態に駆動されてもよい。また、リフレッシュ時のアクティブサイクル完了時においては、ビット
20 線分離制御信号 B L I R を、イコライズ動作活性化後に接地電圧レベルに駆動してもよい。センスアンプ S A のセンスノード、すなわち、共通ビット線 C B L および / C B L を、確実に、リフレッシュ動作開始時中間電圧レベルにプリチャージすることができ、またスタンバイ状態移行時確実に、共通ビット線 C B L および / C B L をプリチャージ電圧レベルに駆動することができる。

【 0 0 8 2 】

図 7 は、通常動作モード時のビット線分離指示信号とメモリブロック選択信号との対応関係を概念的に示す図である。図 7 においては、また、メモリブロック M B K < N > から M B K < N + 2 > に対するビット線分離指示信号 B L I < N > L , B L I < N > R から B L I < N + 3 > L , B L I < N + 3 > R を示す。ビット線分離回路は図面を簡略化するために示していない。
30

【 0 0 8 3 】

センスアンプ帯 S A B < N > が、図示しないメモリブロック M B K < N - 1 > とメモリブロック M B K < N > とにより共有される。センスアンプ帯 S A B < N + 1 > が、メモリブロック M B K < N + 1 > および M B K < N > により共有される。センスアンプ帯 S A G < N + 2 > が、メモリブロック M B K < N + 2 > および M B K < N + 1 > により共有される。センスアンプ帯 S A B < N + 3 > が、メモリブロック M B K < N + 2 > および図示しないメモリ M B K < N + 3 > により共有される。すなわち、センスアンプ帯の構成においては、センスアンプは対応のメモリブロックのビット線対の両側に交互に配置され、いわゆる交互配置型シェアドセンスアンプ構成に配置される。

【 0 0 8 4 】

センスアンプ帯 S A B < N + 3 > は、ビット線分離指示信号 B L I < N + 3 > R および B L I < N + 3 > L に従って、それぞれメモリブロック M B K < N + 3 > および M B K < N + 2 > に選択的に接続される。センスアンプ帯 S A B < N + 2 > は、ビット線分離指示信号 B L I < N + 2 > R および B L I < N + 2 > L に従って、メモリブロック M B K < N + 2 > および M B K < N + 1 > に選択的に接続される。
40

【 0 0 8 5 】

センスアンプ帯 S A B < N + 1 > は、ビット線分離指示信号 B L I < N + 1 > R および B L I < N + 1 > L に従って、メモリブロック M B K < N + 1 > および M B K < N > に選択的に接続される。センスアンプ帯 S A B < N > は、ビット線分離指示信号 B L I < N > R および B L I < N > L に従って、メモリブロック M B K < N > および図示しないメモリブ
50

ロック $MBK < N - 1 >$ に選択的に接続される。

【0086】

ビット線分離指示信号 $BLI < N > R$ から $BLI < N + 3 > R$ は、それぞれ、ドライブ回路 $DVR < N >$ から $DVR < N + 3 >$ により駆動される。ビット線分離指示信号 $BLI < N > L$ から $BLI < N + 3 > L$ は、それぞれ、ドライブ回路 $DVL < N >$ から $DVL < N + 3 >$ により駆動される。

【0087】

データアクセスが行なわれるノーマルモード時においては、ドライブ回路 $DVR < N >$ は、メモリブロック選択信号 $BS < N - 1 >$ に基づいて生成される信号が与えられる。ドライブ回路 $DVL < N >$ および $DVR < N + 1 >$ には、メモリブロック選択信号 $BS < N >$ に基づいて生成される信号が与えられる。 10

【0088】

ドライブ回路 $DVL < N + 1 >$ および $DVR < N + 2 >$ へは、ブロック選択信号 $BS < N + 1 >$ に基づいて生成される信号が与えられる。ドライブ回路 $DVL < N + 2 >$ および $DVR < N + 3 >$ へは、メモリブロック選択信号 $BS < N + 2 >$ に基づいて生成される信号が与えられる。ドライブ回路 $DVL < N + 3 >$ には、メモリブロック選択信号 $BS < N + 3 >$ に基づいて生成される信号が与えられる。図7においては、選択メモリブロックとビット線分離制御信号の状態との対応を考えるため、ブロック選択信号 $BS < N - 1 >$ から $BS < N + 3 >$ がそれぞれ対応のドライブ回路 $DVL < N + 3 ; N >$ および $DVR < N + 3 ; N >$ へ与えられるように示す。 20

【0089】

今、メモリブロック $MBK < N + 1 >$ が選択された場合を考える。この場合、メモリブロック選択信号 $BS < N + 1 >$ が選択状態へ駆動される。残りのメモリブロック選択信号 $BS < N >$ および $BS < N + 2 >$ および $BS < N + 3 >$ は、非選択状態にある。ドライブ回路 $DVL < N >$, $DVR < N >$ から $DVL < N + 3 >$, $DVR < N + 3 >$ は、インバータ回路で構成される。したがって、ドライブ回路 $DVL < N + 1 >$ および $DVR < N + 2 >$ から出力されるビット線分離指示信号 $BLI < N + 2 > R$ および $BLI < N + 1 > L$ が、接地電圧 GND レベルへ駆動される。他のビット線分離指示信号が高電圧 VPP レベルを維持する。したがってセンスアンプ帯 $SAB < N + 1 >$ はメモリブロック $MBK < N >$ から分離され、またセンスアンプ帯 $SAB < N + 2 >$ がメモリブロック $MBK < N + 2 >$ から分離される。残りのビット線分離指示信号は高電圧 VPP を維持する。 30

【0090】

図8は、セルフリフレッシュモード時のビット線分離指示信号とクロック選択信号との対応関係を概念的に示す図である。メモリブロックおよびドライブ回路の構成は図7に示す構成と同じである。図8においても、ビット線分離回路は、対応のビット線分離指示信号で示す。ビット線分離指示信号は、メモリブロック選択信号に基づいて生成される信号をトリガとして生成されるが、図8においても、選択メモリブロックとビット線分離指示信号との対応関係を示すために、ビット線分離指示信号が、メモリブロック選択信号から生成されるように示す。 40

【0091】

図8に示すセルフリフレッシュモード時においては、ブロック選択信号に基づいて生成される信号を反転するインバータ回路 $IV < N >$ から $IV < N + 2 >$ が、それぞれブロック選択信号 $BS < N >$ から $BS < N + 2 >$ に対して設けられる。したがって、セルフリフレッシュモード時においては、ブロック選択信号 $BS < N >$ から $BS < N + 2 >$ とビット線分離指示信号 $BLI < N > L$, $BLI < N + 2 > L$ から $BLI < N > R$, $BLI < N + 2 > R$ との間のロジックが、通常動作モード時のロジックと反転される。 40

【0092】

インバータ回路 $IV < N >$ の出力信号がドライブ回路 $DVR < N >$ および $DVL < N + 1 >$ へ与えられる。インバータ回路 $IV < N + 1 >$ の出力信号が、ドライブ回路 $DVR < N + 1 >$ および $DVL < N + 2 >$ へ与えられる。インバータ回路 $IV < N + 2 >$ の出力信号 50

がドライブ回路 $DVR < N + 2 >$ および $DVL < N + 3 >$ へ与えられる。ドライブ回路 $DVL < N >$ へは、クロック選択信号の反転信号 $ZBS < N - 1 >$ に基づいて生成される信号が与えられる。ドライブ回路 $DVR < N + 3 >$ へは、ブロック選択信号 $BS < N + 3 >$ の反転信号 $ZBS < N + 3 >$ に基づいて生成される信号が与えられる。

【0093】

この図8に示す構成の場合、スタンバイ状態時においては、メモリブロック選択信号 $BS < N >$ から $BS < N + 2 >$ はすべて非選択状態であり、従って、反転メモリブロック選択信号 $ZBS < N - 1 >$ および $ZBS < N + 3 >$ は、スタンバイ状態時Hレベルである。応じて、ドライブ回路 $DVL < N >$, $DVR < N >$ - $DVL < N + 3 >$, $DVR < N + 3 >$ から出力されるビット線分離指示信号 $BLI < N > L$, $BLI < N > R$ から $BLI < N + 3 > L$, $BLI < N + 3 > R$ は、すべて接地電圧 GND レベルである。

【0094】

セルフリフレッシュモード時において、メモリブロック $MBK < N + 1 >$ が選択された状態を考える。この場合、メモリブロック選択信号 $BS < N + 1 >$ が選択状態へ駆動される。したがって、ドライブ回路 $DVR < N + 1 >$ および $DVL < N + 2 >$ からのビット線分離指示信号 $BLI < N + 1 > R$ および $BLI < N + 2 > L$ が、接地電圧 GND レベルから高電圧 VPP レベルに駆動される。残りのビット線分離指示信号は、対応のメモリブロック選択信号が非選択状態にあるため、接地電圧 GND レベルを維持する。

【0095】

したがって、選択メモリブロック $MBK < N + 1 >$ のみセンスアンプ帯 $SAB < N + 1 >$ および $SAB < N + 2 >$ を接続し、他のメモリブロック $MBK < N >$ および $MBK < N + 2 >$ を、すべて対応のセンスアンプ帯から分離することができる。これらのメモリブロック $MBK < N >$ および $MBK < N + 2 >$ においては、ビット線プリチャージ/イコライズ回路によりビット線プリチャージ/イコライズ動作が行なわれている。

【0096】

すなわち、セルフリフレッシュモード時においては、スタンバイ状態にあるメモリブロックは全て対応のセンスアンプ帯から分離し、選択メモリブロックのみを対応のセンスアンプ帯に接続する。短絡不良が存在していても、センスアンプ帯と高抵抗の短絡とは、スタンバイ状態のときに分離されるため、スタンバイ電流を低減することができる。

【0097】

図9は、この発明の実施の形態1に従うロウ系制御信号を発生する部分の構成を概略的に示す図である。図9において、ロウ系制御信号発生部は、外部からのコマンド CMD をデコードし、内部動作モード指示信号を発生するコマンドデコード回路20と、コマンドデコード回路20からのセルフリフレッシュモード指示信号 $SREF$ とオートリフレッシュモード指示信号 $AREF$ とに従って、リフレッシュに必要な制御信号を生成するリフレッシュ制御回路22を含む。

【0098】

コマンドデコード回路20は、たとえば、クロック信号の立上がりエッジで、外部から与えられるコマンド CMD を取込みデコードする。コマンドデコード回路20は、コマンド CMD が行選択動作を指定するときには、ノーマルロウアクセス指示信号 $NRACTE$ を活性化し、コマンド CMD が行選択動作完了を規定するときには、プリチャージ指示信号 PRG を活性化する。また、コマンドデコード回路20は、コマンド CMD が、セルフリフレッシュモードを指定するときには、セルフリフレッシュモード指示信号 $SREF$ を活性化し、オートリフレッシュモードを指定するときには、オートリフレッシュモード指示信号 $AREF$ を活性化する。

【0099】

このコマンドデコード回路20は、コマンド CMD がセルフリフレッシュモードエントリを示すときに、セルフリフレッシュモードエントリ指示信号を生成し、セルフリフレッシュモード完了をコマンド CMD が示すときには、セルフリフレッシュイグジット信号を生成してもよい。この場合には、セルフリフレッシュモード指示信号 $SREF$ が、セルフリ

フレッシュモードエントリ指示信号に従って活性化され、セルフリフレッシュモードイグジット指示信号に従って非活性化される。

【0100】

リフレッシュ制御回路22は、このオートリフレッシュモードまたはセルフリフレッシュモードが指定されたときに、リフレッシュアドレスR F A D Dを生成し、またリフレッシュアドレスと外部からのアドレスとを切替えるアドレス切替信号M Xを発生する。リフレッシュ制御回路22は、オートリフレッシュモード指示信号A R E Fの活性化時には、所定の時間幅を有するリフレッシュロウ活性化信号R F A C Tを発生する。セルフリフレッシュモードが指定されたときには、このリフレッシュ制御回路22は、内部のタイマを駆動し、所定の時間間隔でリフレッシュロウ活性化信号R F A C Tを活性化し、またリフレッシュアドレスR F A D Dを、各リフレッシュごとに更新する。また、セルフリフレッシュモード時と通常動作モード時とで、ビット線分離ゲートの論理を変換するために、高電圧V P Pレベルの分離制御切替信号R F V P Pを発生する。このセルフリフレッシュモード時に、分離制御切替信号R F V P Pを発生することにより、ビット線分離指示信号を発生する分離制御回路における論理が切換えられる。

10

【0101】

ロウ系制御信号発生部は、さらに、コマンドデコード回路20からのノーマルロウアクセス指示信号N R A C T E、プリチャージ指示信号P R Gおよびリフレッシュロウ活性化信号R F A C Tを受け、メインロウ系制御信号群M R C T Lを生成するロウ系メイン制御回路24を含む。このロウ系メイン制御回路24は、図1に示す周辺回路3に含まれ、各メモリマットに含まれる行選択回路に対し、メインロウ系制御信号M R C T Lを伝達する。メモリマットの活性/非活性は、マットの構成に応じて適当に定められ、バンク構成の場合には、バンク単位でマットの活性化が行なわれ、またマット単位での活性化が行なわれる場合には、マットを特定するアドレス信号により、選択マットに対して与えられるメイン制御信号が活性化される。メモリマットの活性化の方法はいずれであってもよいので、図9においては、単に、このロウ系メイン制御回路24は、対応のメモリマットに対しメインロウ系制御信号群M R C T Lを生成するように示す。

20

【0102】

ロウ系制御信号発生部は、さらに、各センスアンプ帯に対応して配置されるロウ系ローカル制御回路36を含む。このロウ系ローカル制御回路36は、図2に示す行系制御回路12に含まれ、ブロックデコーダ30からのブロック選択信号B Sに従って対応のセンスアンプ帯およびビット線分離回路に対するビット線分離制御信号B L I、センスアンプ活性化信号S O NおよびZ S O P、ならびにビット線イコライズ指示信号B E Qを生成する。図9においては、センスアンプ帯S A B < K >、ビット線分離回路B I G R < K >およびB I G L < K >に対するビット線分離制御信号B L I < K >、センスアンプ活性化信号S O N < K >およびZ S O P < K >、ならびにビット線イコライズ指示信号B E Q < K >を代表的に示す。ここで、ビット線分離制御信号B L I < K >は、ビット線分離回路B I G R < K >に対するビット線分離指示信号B L I R < K >とビット線分離回路B I G L < K >に対するビット線分離指示信号B L I L < K >両者を含む。

30

【0103】

センスアンプ帯S A B < K >は、メモリブロックM B K < K >およびM B K < K - 1 >により共有される。ロウ系ローカル制御回路36には、またリフレッシュ制御回路22からの分離制御切替信号R F V P Pが与えられる。この分離制御切替信号R F V P Pに従って、ブロック選択信号B Sとビット線分離制御信号B L I < K >の対応関係が切換えられ、その論理が切換えられる。

40

【0104】

行選択に関連する回路として、外部からのアドレス信号A D Dを取込み内部アドレスを生成するアドレス入力バッファ26と、リフレッシュ制御回路22からのアドレス切替信号M Xに従ってアドレス入力バッファ26からの内部アドレス信号とリフレッシュアドレスR F A D Dの一方を選択するマルチプレクサ28と、マルチプレクサ28からのブロック

50

アドレスをデコードしブロック選択信号BSを生成するブロックデコーダ30と、マルチプレクサ28から与えられる内部ロウアドレス信号をプリデコードし、ロウプリデコード信号を生成するロウプリデコーダ32が、メモリマットの各ブロックに共通に設けられる。メモリブロックそれぞれに対してロウデコーダ34が設けられる。

【0105】

このロウデコーダ34は、図2に示す行選択回路に含まれ、ブロックデコーダ30からのブロック選択信号BSが選択状態のとき活性化され、ロウプリデコーダ32からのロウプリデコード信号をプリデコードし、アドレス指定されたワード線WLを選択状態へ駆動する。このロウデコーダ34は、図9においてメモリブロックMBK<K-1>に対して設けられるように示す。この場合、ロウデコーダ34は、ブロック選択信号BS<K-1>が選択状態のときに活性化され、メモリブロックMBK<K-1>においてアドレス指定された行に対するワード線を選択状態へ駆動する。

10

【0106】

図10は、図9に示すリフレッシュ制御回路22の構成の一例を概略的に示す図である。図10において、リフレッシュ制御回路22は、セルフリフレッシュエントリ指示信号SRFENの活性化に応答してセットされかつセルフリフレッシュイグジット指示信号SRFEXTに従ってリセットされるセット/リセットフリップフロップ40と、セット/リセットフリップフロップ40の出力Qからのセルフリフレッシュモード指示信号SREFに従って起動され所定の周期でリフレッシュ要求RFREQを発行するタイマ41と、タイマ41からのリフレッシュ要求RFREQに従って、カウント動作を行ない、リフレッシュアドレスRFADDを発生するリフレッシュアドレスカウンタ42と、リフレッシュ要求RFREQとオートリフレッシュモード指示信号AREFとを受けるOR回路43と、OR回路43の出力信号の立上がりに対応して所定の時間幅を有するワンショットのパルス信号を発生するパルス発生回路45と、オートリフレッシュモード指示信号AREFとセルフリフレッシュモード指示信号SREFとを受けてアドレス切換信号MXを発生するOR回路44と、セルフリフレッシュモード指示信号SREFをレベル変換して分離制御切換信号RFVPPを生成するレベル変換回路46を含む。

20

【0107】

パルス発生回路45からリフレッシュロウ活性化信号RFACCTが発生される。レベル変換回路46は、周辺電源電圧レベルのセルフリフレッシュモード指示信号SREFを高電圧VPPレベルの信号に変換して分離制御切換信号RFVPPを生成する。レベル変換回路46は、単に電圧レベルの変換を行うだけであり、論理レベルの変換は行わない。従って、分離制御切換信号RFVPPは、セルフリフレッシュモード時に高電圧レベルに設定され、通常動作モード時およびオートリフレッシュモード時にはLレベルに設定される。

30

【0108】

セット/リセットフリップフロップ40へ与えられるリフレッシュエントリ指示信号SRFENおよびセルフリフレッシュイグジット指示信号SRFEXTは、図9に示すコマンドデコード回路20から与えられる。次に、図10に示すリフレッシュ制御回路22の動作を、図11に示すタイミング図を参照して説明する。

40

【0109】

セルフリフレッシュエントリ指示信号SRFENが図9に示すコマンドデコード回路20から与えられると、セット/リセットフリップフロップ40がセットされ、セルフリフレッシュモード指示信号SREFがHレベルとなる。セルフリフレッシュモード指示信号SREFの活性化に応答してタイマ41が起動され、所定の周期でリフレッシュ要求RFREQを発行する。このリフレッシュ要求RFREQに従ってパルス発生回路45から、所定の時間幅を有するリフレッシュロウ活性化信号RFACCTが生成される。

【0110】

また、セット/リセットフリップフロップ40からのセルフリフレッシュモード指示信号SREFに従ってアドレス切換制御信号MXがHレベルとなり、図9に示すマルチプレク

50

サ 2 8 がリフレッシュアドレス R F A D D を選択する。

【 0 1 1 1 】

また、レベル変換回路 4 6 が、Hレベルのセルフリフレッシュモード指示信号 S R E F に従って、分離制御切換信号 R F V P P を高電圧 V P P レベルに設定する。

【 0 1 1 2 】

したがって、セルフリフレッシュモード時には、リフレッシュ要求 R F R E Q の発行間隔で、リフレッシュロウ活性化信号 R F A C T が活性化されて、リフレッシュアドレスカウンタ 4 2 からのリフレッシュアドレス R F A D D に従ってメモリセル行の選択が行なわれ、選択行のメモリセルのデータのリフレッシュが実行される。

【 0 1 1 3 】

図 1 2 は、図 9 に示すロウ系メイン制御回路 2 4 の構成を概略的に示す図である。図 1 2 において、ロウ系メイン制御回路 2 4 は、ノーマルロウアクセス指示信号 N R A C T E の活性化に 응답してセットされかつプリチャージ指示信号 P R G の活性化に 응답してリセットされるセット/リセットフリップフロップ 5 0 と、セット/リセットフリップフロップ 5 0 の出力 Q からの信号とリフレッシュロウ活性化信号 R F A C T とを受ける O R 回路 5 1 と、O R 回路 5 1 からのロウ活性化信号 A C T に従ってメインビット線分離制御信号 Z B L I F を生成する分離制御回路 5 2 と、ロウ活性化信号 A C T に 응답してブロックデコードイネーブル信号 B D E N を生成するブロックデコード制御回路 5 3 と、分離制御回路 5 2 の出力信号と分離制御切換信号 R F V P P とに従ってイコライズ制御信号 E Q F を発生するイコライズ制御回路 5 4 と、イコライズ制御回路 5 4 の出力信号に従ってロウデコードイネーブル信号 R D E F を発生するロウデコード制御回路 5 5 と、ロウデコード制御回路 5 5 の出力信号に従ってワード線駆動タイミング信号 R X T を発生するワード線選択制御回路 5 6 と、ワード線選択制御回路 5 6 の出力信号に従ってセンスアンプイネーブル信号 S E N を発生するセンス制御回路 5 7 を含む。

【 0 1 1 4 】

これらの制御回路 5 2 から 5 7 は、また、ロウ活性化信号 A C T の非活性化に 응답して、所定のシーケンスで対応の制御信号をスタンバイ状態へ駆動する。

【 0 1 1 5 】

これらの制御回路 5 2 から 5 7 は、それぞれ、実質的に遅延回路で構成され、前段回路の出力信号の活性化に 응답して、所定時間経過後に対応の制御信号を所定の状態へ駆動する。イコライズ制御回路 5 4 は、この遅延時間が可変とされ、セルフリフレッシュモード時には、ビット線分離制御信号 Z B L I F が H レベルに立上がった後に、イコライズ制御信号 E Q F を L レベルに駆動する。すなわち、セルフリフレッシュモード時には、選択メモリブロックが対応のセンスアンプ帯に接続され、共通ビット線が所定電圧レベルにプリチャージされた後に、ビット線イコライズ動作を停止する。通常動作モード時には、このイコライズ制御回路 5 4 は、その遅延時間が短くされ、ビット線分離制御信号 Z B L I F とほぼ同様のタイミングで、イコライズ制御信号 E Q F を L レベルへ駆動する。

【 0 1 1 6 】

図 1 3 は、図 1 2 に示すロウ系メイン制御回路 2 4 のセルフリフレッシュモード時の動作を示す信号波形図である。以下、図 1 3 を参照して、この図 1 2 に示すロウ系メイン制御回路 2 4 のセルフリフレッシュモード時の動作について説明する。ノーマルロウアクセス指示信号 N R A C T E およびプリチャージ指示信号 P R E は共に L レベルである。

【 0 1 1 7 】

セルフリフレッシュモード時には、分離制御切換信号 R F V P P は高電圧 V P P レベルの H レベルであり、イコライズ制御回路 5 4 の遅延時間が、通常動作モード時に較べて長くされる。リフレッシュ要求に従って、リフレッシュロウ活性化信号 R F A C T が、所定時間 H レベルに維持される。このリフレッシュロウ活性化信号 R F A C T の立上がり に 応答して、ブロックデコード制御回路 5 3 がブロックデコードイネーブル信号 B D E N を活性化し、次いで、分離制御回路 5 2 が分離制御信号 Z B L I F を H レベルへ駆動する

10

20

30

40

50

。ブロックデコード制御回路 53 からのブロックデコーダイネーブル信号 B D E N を早いタイミングで活性化することにより、選択メモリブロックを特定するブロック選択信号を早いタイミングで確定状態へ駆動する。

【0118】

分離制御信号 Z B L I F が H レベルに立上がり、選択メモリブロックと対応のセンスアンプ帯とが接続された後に、イコライズ制御信号 E Q F を H レベルに立上げる。センスアンプのセンスノードを、対応の選択メモリブロックのビット線プリチャージ/イコライズ回路によりプリチャージ/イコライズした後に、ビット線のプリチャージ/イコライズ動作を停止する。このイコライズ制御信号 E Q F が L レベルに駆動されると、ほぼ同様のタイミングで、ロウデコード制御回路 55 からのロウデコーダイネーブル信号 R D E F が H レベルへ駆動される。ロウデコーダイネーブル信号 R D E F により、選択メモリブロックに対して設けられたロウデコーダがデコード動作を開始する。

10

【0119】

次いで、ワード線選択制御回路 56 からのワード線駆動タイミング信号 R X T が H レベルへ駆動され、デコード動作により選択されたワード線 W L が、高電圧レベルへ駆動される。これにより、ビット線 B L および / B L に、選択メモリセルのデータが読出される。

【0120】

ワード線 W L が選択状態へ駆動されてから所定時間が経過した後に、センス制御回路 57 がセンスアンプイネーブル信号 S E N を活性状態へ駆動する。これにより、選択メモリブロックに対して設けられたセンスアンプ帯においてセンス動作が行なわれ、ビット線 B L および / B L が、対応のメモリセルの記憶データに応じて電源電圧および接地電圧レベルに駆動される。センスアンプにより増幅してラッチされたメモリセルデータが、元のメモリセルに再書込され、メモリセルの記憶データのリフレッシュが実行される。

20

【0121】

所定時間が経過すると、リフレッシュロウ活性化信号 R F A C T が L レベルに立下がり、リフレッシュ時のアクティブサイクルが完了する。応じて、まずワード線駆動タイミング信号 R X T が L レベルへ駆動され、ワード線 W L が非選択状態へ駆動される。次いでロウデコーダイネーブル信号 R D E F およびセンスアンプイネーブル信号 S E N がそれぞれ非活性状態へ駆動される。

【0122】

さらに、イコライズ制御信号 E Q F が L レベルへ駆動され、選択メモリブロックにおけるビット線のプリチャージ/イコライズ動作が行なわれ、また同時に対応のセンスアンプのセンスノード（共通ビット線）のプリチャージ/イコライズ動作が実行される。その後、分離制御信号 Z B L I F が H レベルとなり、センスアンプ帯とメモリブロックとが分離される。

30

【0123】

上述の動作シーケンスにおいては、セルフリフレッシュモード時において、センスアンプ帯と選択メモリブロックとを接続した後にビット線のプリチャージ/イコライズ動作を完了し、またリフレッシュ後においては、ビット線イコライズ実行後に、ビット線分離ゲートを非導通状態に設定している。したがって、センスアンプ帯とメモリブロックとを分離した状態でスタンバイ状態を維持する場合においても、確実に、センスアンプのセンスノード（共通ビット線）を所定電圧レベルにプリチャージした後に、メモリセルデータの読出を行なうことができ、また、リフレッシュ完了後センスノード（共通ビット線）を所定電圧レベルにプリチャージ/イコライズした後にスタンバイ状態へ復帰することができる。

40

【0124】

また、イコライズ制御信号 E Q F を、ビット線分離制御信号 Z B L I F の立ち上がりよりも遅くしているため、ワード線選択開始およびセンス動作開始タイミングが通常動作モード時よりも遅れるものの、セルフリフレッシュモード時においては、データアクセスは行われないため、特に問題は生じない。

50

【 0 1 2 5 】

図 1 4 は、図 1 2 に示すロウ系メイン制御回路 2 4 の通常動作モード時の動作を示す信号波形図である。以下、図 1 4 を参照して、この通常動作モード時のロウ系メイン制御回路 2 4 の動作について説明する。

【 0 1 2 6 】

通常動作モード時においては、リフレッシュロウ活性化信号分離 R F A C T および分離制御切換信号 R F V P P は、L レベルである。

【 0 1 2 7 】

この通常動作モード時においては、外部からのコマンドに従って動作モードが指定される。行選択時には、まずノーマルロウアクセス指示信号 N R A C T E がワンショットのパルスの形で発生され、応じてセット/リセットフリップフロップ 5 0 がセットされる。この状態において、O R 回路 5 1 からのロウ活性化信号 A C T が H レベルに立上がり、応じて、分離制御回路 5 2 からの分離制御信号 Z B L I F が H レベルに立上がり、またブロックデコード制御回路 5 3 からのブロックデコードダイネーブル信号 B D E N が H レベルに立上がる。

10

【 0 1 2 8 】

通常動作モード時においては、センスアンプ帯とメモリブロックとは、スタンバイ状態時において接続されている。センスアンプ回路のセンスノード（共通ビット線）は、中間電圧レベルにプリチャージされているため、イコライズ制御回路 5 4 は、分離制御切換信号 R F V P P は L レベルであるため、分離制御信号 Z B L I F とほぼ同様のタイミングで、イコライズ制御信号 E Q F を H レベルに立上げる。このイコライズ制御信号 E Q F の H レベルの立上がりによって、ロウデコード制御回路 5 5、ワード線選択制御回路 5 6 およびセンス制御回路 5 7 が、それぞれ、ロウデコードダイネーブル信号 R D E F、ワード線駆動タイミング信号 R X T およびセンスアンプイネーブル信号 S E N を順次活性状態へ駆動する。

20

【 0 1 2 9 】

イコライズ制御回路 5 4 においては、イコライズ制御信号 E Q F の立上がりがセルフリフレッシュモード時よりも早くされているため、これらのワード線 W L の選択タイミングがセルフリフレッシュモード時よりも早くされ、また、センスアンプ活性化信号 S E N の活性化も早くなる。このビット線 B L および / B L の電圧はセンスアンプ回路によりセンス、増幅およびラッチされた後、列選択動作が行なわれ、データアクセスが実行される。

30

【 0 1 3 0 】

アクセスサイクルが完了すると、プリチャージ指示信号 P R G が発生され、応じてロウ活性化信号 A C T が L レベルとなる。次いで、制御回路 5 2 から 5 7 が、順次、所定のシーケンスで対応の制御信号をスタンバイ状態へ駆動する。この場合においても、イコライズ制御回路 5 4 は、セルフリフレッシュモード時と異なり、イコライズ制御信号 E Q F を、分離制御信号 Z B L I F とほぼ同様のタイミングで L レベルへ駆動する。この場合、選択メモリブロックが、スタンバイ状態時においてもセンスアンプ帯と接続されるため、非選択メモリブロックとセンスアンプ帯の接続およびビット線イコライズを同様のタイミングで行なっても、特に問題は生じない。この場合、通常動作モード時においても、イコライズ制御信号 E Q F が、ビット線制御信号 Z B L I F よりも早いタイミングで L レベルへ立下げられてもよい。

40

【 0 1 3 1 】

したがって、この通常動作モード時においては、イコライズ制御信号 E Q F を、分離制御信号 Z B L I F とほぼ同様のタイミングで変化させており、セルフリフレッシュモード時と異なり、早いタイミングでワード線を選択状態へ駆動することができ、アクセス時間が長くなるのを防止することができる。

【 0 1 3 2 】

なお、通常動作モード時においても、ワード線選択前に、イコライズ制御信号 E Q F が H レベルに駆動され、ビット線のプリチャージ/イコライズ動作が完了していれば正確にセ

50

ンス動作を行なうことができるため、ビット線分離制御信号 ZBLIF が L レベルとなった後に、イコライズ制御信号 EQF が L レベルに駆動されてもよい。すなわち、図 15 に示すように、イコライズ制御信号 EQF が H レベルに立上がる時刻 t_0 は、ワード線 WL が選択状態へ駆動される時刻 t_1 よりも早い条件が満たされれば、通常動作モード時およびセルフリフレッシュモード時いずれにおいても正確にメモリセルデータの検知、増幅およびラッチをセンスアンプにより行なうことができる。したがって、このイコライズ制御信号 EQF の非活性化タイミングは、アクセス時間等を考慮して、適当なタイミングに定められればよい。

【0133】

図 16 は、図 9 に示すロウ系ローカル制御回路 36 の構成を概略的に示す図である。図 16 において、ロウ系ローカル制御回路 36 は、イコライズ制御信号 EQF とブロック選択信号 BS<K>を受け、ビット線イコライズ指示信号 BLEQ<K>を生成する NAND 回路 60 と、ブロック選択信号 BS<K-1>およびイコライズ制御信号 BLEQ<K-1>を生成する NAND 回路 66 と、ブロック選択信号 BS<K>および BS<K-1>を受け、OR 回路 62 と、センスアンプイネーブル信号 SEN と OR 回路 62 の出力信号を受け、センスアンプ活性化信号 SON<K>を生成する AND 回路 63 と、AND 回路 63 の出力信号を反転してセンスアンプ活性化信号 ZSOP<K>を生成するインバータ回路 64 と、ブロック選択信号 BS<K>および BS<K-1>と分離制御信号 ZBLIF とを受け、分離制御信号 ZBLIF に従って、プリビット線分離制御信号 PREBLI<K-1>および PREBLI<K-1>を生成するローカル分離制御回路 68 と、プリビット線分離制御信号 PREBLI<K-1>および PREBLI<K-1>を受け、分離制御信号 RFVPP に従って一方を選択してビット線分離指示信号 BLI<K>R を発生する BLIR 発生回路 61 と、プリビット線分離制御信号 PREBLI<K-1>および PREBLI<K-1>を受け、分離制御信号 RFVPP に従って一方を選択してビット線分離指示信号 BLI<K>L を発生する BLIL 発生回路 65 とを含む。

【0134】

NAND 回路 60 および 66 からのビット線分離指示信号 BLEQ<K>および BLEQ<K-1>は、メモリブロック MBK<K>および MBK<K-1>に含まれるビット線プリチャージ/イコライズ回路へ、それぞれ与えられる。

【0135】

センスアンプ活性化信号 SON<K>および ZSOP<K>は、センスアンプ帯 SAB<K>に含まれる N センスアンプおよび P センスアンプにそれぞれ与えられる。

【0136】

メモリブロック MBK<K>が選択されたときには、ブロック選択信号 BS<K>が H レベルとなる。したがってイコライズ制御信号 EQF の立上がりに対応してビット線イコライズ指示信号 BLEQ<K>が L レベルとなり、メモリブロック MBK<K>におけるビット線のプリチャージ/イコライズ動作が停止する。この場合、ブロック選択信号 BS<K-1>は、L レベルであり、NAND 回路 66 からのビット線イコライズ指示信号 BLEQ<K-1>は H レベルであり、非選択メモリブロック MBK<K-1>においてビット線のプリチャージ/イコライズ動作が行なわれる。

【0137】

メモリブロック MB<K>および MBK<K-1>の一方が選択された場合には、ブロック選択信号 BS<K>および BS<K-1>に従って OR 回路 62 の出力信号が H レベルとなる。したがって、センスアンプ活性化信号 SEN の活性化に従ってセンスアンプ活性化信号 SON<K>および ZSOP<K>が活性化され、センスアンプ帯 SAB<K>におけるセンスアンプが活性化される。

【0138】

BLIR 発生回路 61 および BLIL 発生回路 66 は、通常動作モード時とセルフリフレッシュモード時と、ビット線分離指示信号 BLI<K>R および BLI<K>L の発生態様を異ならせる。通常動作モード時には、BLIR 発生回路 61 は、ビット線分離

10

20

30

40

50

指示信号 $BLI < K > R$ を、メモリブロック $MBK < K - 1 >$ の選択時に接地電圧レベルに駆動し、それ以外においては高電圧 VPP レベルに維持する。 $BLIL$ 発生回路 65 は、ビット線分離指示信号 $BLI < K - 1 > L$ を、メモリブロック $MBK < K >$ の選択時に接地電圧レベルに駆動し、それ以外高電圧 VPP レベルに維持する。

【0139】

セルフリフレッシュモード時には、 $BLIR$ 発生回路 65 は、ビット線分離指示信号 $BLI < K > R$ を、メモリブロック $MBK < K >$ の選択時に、高電圧 VPP レベルに駆動し、それ以外は接地電圧レベルに維持する。 $BLIL$ 発生回路 65 は、ビット線分離指示信号 $BLI < K > L$ を、メモリブロック $MBK < K - 1 >$ の選択時に高電圧 VPP レベルに駆動し、それ以外は、設置電圧レベルに維持する。

10

【0140】

図 17 は、図 16 に示すローカル分離制御回路 68 の構成を概略的に示す図である。図 17 において、ローカル分離制御回路 68 は、ブロック選択信号 $BS < K >$ と分離制御信号 $ZBLIF$ を受ける $NAND$ 回路 70 と、 $NAND$ 回路 70 の出力信号の周辺電源電圧レベルの H レベルを高電圧 VPP レベルに変換するレベル変換回路 71 と、レベル変換回路 71 の出力信号を反転して高電圧 VPP の振幅のプリビット線分離制御信号 $PREBLI < K >$ を生成するインバータ回路 72 を含む。レベル変換回路 71 は、 $NAND$ 回路 70 の出力信号の電圧レベルの変換を行なうだけであり、論理レベルの変換は行なわない。

【0141】

ローカル分離制御回路 68 は、さらに、分離制御信号 $ZBLIF$ とブロック選択信号 $BS < K - 1 >$ を受ける $NAND$ 回路 73 と、 $NAND$ 回路 73 の出力信号のレベル変換を行なうレベル変換回路 74 と、レベル変換回路 74 の出力信号を反転して高電圧 VPP の振幅のプリビット線分離制御信号 $PREBLI < K - 1 >$ を生成するインバータ回路 75 を含む。レベル変換回路 74 は、レベル変換回路 71 と同様の構成を有する。これらのレベル変換回路 71 および 74 は、通常の、ラッチ型レベル変換回路を利用して構成され、周辺電源電圧 Vdd レベルの信号を、高電圧 VPP レベルの信号の変換する。

20

【0142】

スタンバイ状態時には、ブロック選択信号 $BS < K >$ および $BS < K - 1 >$ はともに L レベルであり、 $NAND$ 回路 70 および 73 の出力信号は H レベルである。したがってインバータ 72 および 75 から出力されるプリビット線分離制御信号 $PREBLI < K >$ および $PREBLI < K - 1 >$ は、ともに L レベルである。

30

【0143】

メモリブロック選択時、ブロック選択信号 $BS < K >$ が H レベルに駆動された場合、分離制御信号 $ZBLIF$ が H レベルとなると、 $NAND$ 回路 70 の出力信号が L レベルとなる。したがって、レベル変換回路 71 は、論理レベルの変換は行なわないため、インバータ回路 72 からのプリビット線分離制御信号 $PREBLI < K >$ が高電圧 VPP レベルとなる。ブロック選択信号 $BS < K - 1 >$ は L レベルであるため、プリビット線分離制御信号 $PREBLI < K - 1 >$ は、 L レベルを維持する。

【0144】

このローカル分離制御回路 68 へは、セルフリフレッシュモード時のビット線分離指示信号の論理を切換える制御信号は与えられていない。したがってローカル分離制御回路 68 は、通常動作モード時およびセルフリフレッシュモード時で、同じ動作を行なう。

40

【0145】

図 18 は、図 16 に示す $BLIR$ 発生回路 61 の構成を概略的に示す図である。図 18 において、 $BLIR$ 発生回路 61 は、プリビット線分離制御信号 $PREBLI < K >$ を反転するインバータ 80 と、分離制御切換信号 $RFVPP$ および補の分離制御切換信号 $ZRFVPP$ に従ってプリビット線分離制御信号 $PREBLI < K - 1 >$ を伝達する $CMOS$ トランスミッションゲート 81 と、分離制御切換信号 $RFVPP$ および $ZRFVPP$ に従って、インバータ回路 80 の出力信号を伝達する $CMOS$ トランスミッションゲート 82 と、 $CMOS$ トランスミッションゲート 81 または 82 の出力信号を反転してビット線分離

50

指示信号 $BLI < K > R$ を生成するインバータ回路 83 を含む。

【0146】

CMOS トランスミッションゲート 81 および 82 は、互いに相補的に導通する。通常動作モード時において、CMOS トランスミッションゲート 81 が導通状態、CMOS トランスミッションゲート 82 が非導通状態である。したがって、ビット線分離指示信号 $BLI < K > R$ は、プリビット線分離制御信号 $PREBLI < K - 1 >$ に従って生成される。

【0147】

セルフリフレッシュモード時においては、CMOS トランスミッションゲート 81 が非導通状態、CMOS トランスミッションゲート 82 が導通状態である。したがって、ビット線分離指示信号 $BLI < K > R$ は、プリビット線分離制御信号 $PREBLI < K >$ に従って生成される。 10

【0148】

図 19 は、図 16 に示す $BLIL$ 発生回路 65 の構成を示す図である。図 19 において、 $BLIL$ 発生回路 65 は、プリビット線分離制御信号 $PREBLI < K - 1 >$ を反転するインバータ回路 85 と、分離制御切換信号 $RFVPP$ および補の分離制御切換信号 $ZRFVPP$ に従って選択的に導通し、導通時プリビット線分離制御信号 $PREBLI < K >$ を伝達する CMOS トランスミッションゲート 86 と、分離制御切換信号 $RFVPP$ および $ZRFVPP$ に従って、インバータ回路 85 の出力信号を伝達する CMOS トランスミッションゲート 87 と、CMOS トランスミッションゲート 86 または 87 の出力信号を反転してビット線分離指示信号 $BLI < K > L$ を生成するインバータ回路 88 を含む。イン 20
バータ回路 85 および 88 は、高電圧 VPP を、動作電源電圧として受ける。

【0149】

図 19 に示す $BLIL$ 発生回路 65 において、通常動作モード時においては、CMOS トランスミッションゲート 86 が導通状態、CMOS トランスミッションゲート 87 が非導通状態であるため、ビット線分離指示信号 $BLI < K > L$ は、プリビット線分離制御信号 $PREBLI < K >$ に従って生成される。セルフリフレッシュモード時においては、CMOS トランスミッションゲート 86 が非導通状態、CMOS トランスミッションゲート 87 が導通状態であり、ビット線分離指示信号 $BLI < K > L$ は、プリビット線分離制御信号 $PREBLI < K - 1 >$ に従って生成される。

【0150】

図 20 は、図 17 から図 19 に示す回路の通常動作モード時の動作を示す信号波形図である。図 20 においては、ブロック選択信号 $BS < K >$ が選択状態へ駆動され、図 16 に示すメモリブロック $MB < K >$ のメモリセルが選択される場合の動作を示す。 30

【0151】

通常動作モード時においては、分離制御切換信号 $RFVPP$ は L レベルであり、図 18 に示す CMOS トランスミッションゲート 81 および図 19 に示す CMOS トランスミッションゲート 86 が導通状態であり、一方、図 18 に示す CMOS トランスミッションゲート 82 および図 19 に示す CMOS トランスミッションゲート 87 が非導通状態である。

【0152】

メモリサイクル（アクティブサイクル）が始まると、まず、ブロック選択信号 $BS < K >$ が H レベルへ駆動される。分離制御信号 $ZBLIF$ が H レベルに駆動されると、図 17 に示す $NAND$ 回路 70 の出力信号が L レベルとなり、応じてプリビット線分離制御信号 $PREBLI < K >$ が H レベルに立上がる。ブロック選択信号 $BS < K - 1 >$ は L レベルであるため、プリビット線分離制御信号 $PREBLI < K - 1 >$ は L レベルを維持する。 40

【0153】

したがって、ビット線分離指示信号 $BLI < K > R$ は、プリビット線分離制御信号 $PREBLI < K - 1 >$ に従って生成されるため、 H レベル（高電圧 VPP レベル）を維持する。一方、図 19 に示すように、ビット線分離指示信号 $BLI < K > L$ は、通常動作モード時、プリビット線分離制御信号 $PREBLI < K >$ に従って生成されるため、このビット線分離指示信号 $BLI < K > L$ は、プリビット線分離制御信号 $PREBLI < K >$ の立上 50

がりに応答してLレベルに低下する。

【0154】

メモリサイクルが完了すると、ブロック選択信号BS<K>がLレベルとなる。応じて、図17に示すNAND回路70の出力信号がHレベルとなり、プリビット線分離制御信号PREBLI<K>がLレベルとなる。このプリビット線分離制御信号PREBLI<K>の立下がりに応答して、図19に示すビット線分離指示信号BLI<K>LがHレベルに立上がり、図16に示すビット線分離回路BIGL<K>が導通状態となる。

【0155】

したがって、通常動作モード時においては、図16に示すメモリブロックMBK<K>が選択されたときには、ビット線分離回路BIGR<K>は導通状態を維持し、一方、ビット線分離回路BIGL<K>は非導通状態に設定される。この場合、非選択のメモリブロックMBK<K-1>においては、ビット線イコライズ指示信号BLEQ<K-1>に従ってビット線のプリチャージ/イコライズが行なわれている。

10

【0156】

選択メモリブロックMB<K>においては、ビット線イコライズ指示信号BLEQ<K>がLレベルとなり、メモリサイクル期間中、プリチャージ動作が停止する。

【0157】

図21は、図17から図19に示す回路のセルフリフレッシュモード時の動作を示す信号波形図である。以下、図21を参照して、この図17から図19に示す回路のセルフリフレッシュモード時の動作について、メモリブロックMBK<K>が選択されてリフレッシュされる場合を一例として説明する。

20

【0158】

図17に示すローカル分離制御回路68の動作は、セルフリフレッシュモード時においても、通常動作モード時と同じであり、ブロック選択信号BS<K>および分離制御信号ZBLIFに従って、プリビット線分離制御信号PREBLI<K>がHレベルに立上がる。プリビット線分離制御信号PREBLI<K-1>は、Lレベルを維持する。

【0159】

この状態において、図18に示すBLIR発生回路61は、CMOSトランスマッションゲート82が導通状態であり、ビット線分離指示信号BLI<K>Rを、プリビット線分離制御信号PREBLI<K>に従って生成する。BLIL発生回路65は、図19で示すように、CMOSトランスマッションゲート87が導通状態にあり、ビット線分離指示信号BLI<K>Lが、プリビット線分離制御信号PREBLI<K-1>に従って生成される。したがって、プリビット線分離制御信号PREBLI<K>がHレベルに立上がると、ビット線分離指示信号BLI<K>RがHレベルに立上がる。ビット線分離指示信号BLI<K>Lは、プリビット線分離制御信号PREBLI<K-1>がLレベルであるため、Lレベルを維持する。リフレッシュ動作が完了し、ブロック選択信号BS<K>がLレベルに立下がると、プリビット線分離指示信号PREBLI<K>がLレベルとなり、応じてビット線分離指示信号BLI<K>RがLレベルに立下がる。

30

【0160】

したがって、このセルフリフレッシュモード時においては、スタンバイ状態時、ビット線分離指示信号BLI<K>RおよびBLI<K>LがLレベルであり、図16に示すセンスアンプ帯SA<K>は対応のメモリブロックMBK<K>およびMBK<K-1>から分離される。メモリブロックMB<K>が選択されたときに、ビット線分離回路BIGR<K>が導通し、センスアンプ帯SAB<K>とメモリブロックMB<K>とが接続される。

40

【0161】

図16に示す構成が、各センスアンプ帯に対応して配置される。したがって、通常動作モード時においては、センスアンプ帯を共有する隣接メモリブロックに対するブロック選択信号に基づいてビット線分離指示信号を生成して、対象のメモリブロックとセンスアンプ帯の接続を制御する。一方、セルフリフレッシュモード時においては、対象のメモリブ

50

ックに対するメモリブロック選択信号に基づいて生成される信号に従ってビット線分離指示信号を生成して、対象のメモリブロックとセンスアンプ帯との接続を制御する。これにより、通常動作モード時においてスタンバイ状態時、センスアンプ帯を対応のメモリブロックとすべて電氣的に接続し、一方、セルフリフレッシュモード時においては、リフレッシュ動作時に選択メモリブロックのみを対応のセンスアンプ帯に接続し、残りのメモリブロックはすべて対応のセンスアンプ帯から分離することができる。

【 0 1 6 2 】

[変更例]

図 2 2 は、この発明の実施の形態 1 の変更例に従うロウ系ローカル制御回路の構成を概略的に示す図である。この図 2 2 に示すロウ系ローカル制御回路 3 6 においては、ビット線分離指示信号 $BLI < K > R$ および $BLI < K > L$ を生成する部分の構成が、図 1 6 に示すロウ系ローカル制御回路の構成と異なる。ビット線分離指示信号 $BLI < K > R$ に対しては、ブロック選択信号 $BS < K >$ と分離制御信号 $ZBLIF$ を受ける AND 回路 9 0 と、AND 回路 9 0 の出力信号を高電圧 VPP レベルの信号に変換してビット線分離指示信号 $BLI < K > R$ を生成するレベル変換回路 9 1 が設けられる。

10

【 0 1 6 3 】

ビット線分離指示信号 $BLI < K > L$ に対しては、ブロック選択信号 $BS < K - 1 >$ と分離制御信号 $ZBLIF$ を受ける AND 回路 9 2 と、AND 回路 9 2 の出力信号をレベル変換してビット線分離指示信号 $BLI < K > L$ を生成するレベル変換回路 9 3 が設けられる。このレベル変換回路 9 3 は、AND 回路 9 2 の周辺電源電圧レベルの出力信号を高電圧 VPP レベルの信号に変換する。

20

【 0 1 6 4 】

図 2 2 に示すロウ系ローカル制御回路 3 6 の他の構成は、図 1 6 に示すロウ系ローカル制御回路の構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【 0 1 6 5 】

図 2 2 に示すロウ系ローカル制御回路 3 6 の構成において、スタンバイ状態時、AND 回路 9 0 および 9 2 の出力信号は L レベルであり、ビット線分離指示信号 $BLI < K > R$ および $BLI < K > L$ はともに接地電圧レベルである。したがって、ビット線分離回路 $BIGR < K >$ および $BIGL < K >$ は非導通状態であり、センスアンプ帯 $SAB < K >$ は、メモリブロック $MB < K >$ および $MBK < K - 1 >$ から分離される。

30

【 0 1 6 6 】

メモリブロック選択時、たとえば、ブロック選択信号 $BS < K >$ が H レベルへ駆動されると、分離制御信号 $ZBLIF$ の立上がりに応答して、AND 回路 9 0 の出力信号が H レベルとなり、応じてビット線分離指示信号 $BLI < K > R$ が、高電圧 VPP レベルとなり、ビット線分離回路 $BIGR < K >$ が導通し、メモリブロック $MB < K >$ とセンスアンプ帯 $SAB < K >$ とが接続される。ブロック選択信号 $BS < K - 1 >$ が、非選択状態であるために、ビット線分離指示信号 $BLI < K > L$ は、接地電圧レベルであり、ビット線分離回路 $BIGL < K >$ は、非導通状態を維持する。したがって、選択メモリブロックのみが対応のセンスアンプ帯に接続され、非選択メモリブロックは、すべて、対応のセンスアンプ帯から分離される。

40

【 0 1 6 7 】

この図 2 2 に示すロウ系ローカル制御回路 3 6 の構成においては、セルフリフレッシュモード時にビット線分離指示信号の論理を切換えるための指示信号は用いられていない。したがって通常動作モード時およびセルフリフレッシュモード時に共通の動作が行なわれ、選択メモリブロックのみが対応のセンスアンプ帯に接続される。したがって通常動作モード時においても、スタンバイ状態時、センスアンプ帯のイコライズトランジスタからビット線 - ワード線間高抵抗短絡を介してリーク電流が流れるのを防止することができ、スタンバイ電流を低減することができる。

【 0 1 6 8 】

50

図 2 2 に示すロウ系ローカル制御回路 3 6 に対するロウ系メイン制御回路 2 4 の構成としては、図 1 2 に示す構成を利用することができる。この場合、図 1 2 に示す構成において、特に、イコライズ制御信号 E Q F の発生タイミングをセルフリフレッシュモード時と通常動作モードで切換える必要はない。ビット線分離ゲートを導通状態とした後、ワード線が選択状態へ駆動される前に、ビット線のプリチャージ/イコライズ動作を完了する。データアクセス時においても、アクセス時間に悪影響を及ぼすことなく、早いタイミングでワード線選択状態へ駆動して、センスアンプ回路を活性化することができる。

【 0 1 6 9 】

短絡抵抗が高抵抗であり、ビット線およびワード線を正常に駆動することが出来る場合に、スタンバイ時の消費電流を低減することができる。また、短絡抵抗が低抵抗であり、冗長置換が行われている場合においても、短絡低抵抗体とセンスアンプとを分離することにより、スタンバイ時の消費電流は低減することができる。ただし、ビット線プリチャージ/イコライズ回路からのリーク電流を十分に小さくするために、このビット線プリチャージトランジスタおよびイコライズトランジスタのサイズを低減する必要がある。

10

【 0 1 7 0 】

以上のように、この発明の実施の形態 1 に従えば、少なくともスタンバイ状態時、センスアンプ帯を対応のメモリブロックからすべて切離すように構成し、選択メモリブロックを対応のセンスアンプ帯に接続するように構成している。したがって、スタンバイ状態時において、ワード線とビット線の間の短絡抵抗体を介してリーク電流がセンスアンプ帯から流れるのを防止することができ、消費電流を低減することができる。特に、セルフリフレッシュモード時にメモリブロックとセンスアンプ帯の接続制御を実行することにより、低消費電流が要求されるデータ保持モード時の消費電流を低減することができる。

20

【 0 1 7 1 】

[実施の形態 2]

図 2 3 は、この発明の実施の形態 2 に従うロウ系ローカル制御回路の構成を概略的に示す図である。この図 2 3 に示すロウ系ローカル制御回路 3 6 の構成は、図 1 6 に示すロウ系ローカル制御回路 3 6 と以下の点で、その構成が異なっている。すなわち、メモリブロック $MB < K >$ および $MBK < K - 1 >$ それぞれに対応して、ヒューズプログラム回路 1 0 0 および 1 0 4 が設けられる。これらのヒューズプログラム回路 1 0 0 および 1 0 4 は、それぞれ対応のメモリブロック $MB < K >$ および $MBK < K - 1 >$ において、ビット線 - ワード線短絡が存在するかの情報がリンク素子の溶断/非溶断によりプログラムされる。

30

【 0 1 7 2 】

ビット線分離指示信号 $BLI < K > R$ を発生する $BLIR$ 発生回路 1 0 2 は、ヒューズプログラム回路 1 0 0 のプログラム情報 $FP < K >$ と分離制御切換信号 $RFVPP$ とに従って、ローカル分離制御回路 6 8 から与えられるプリビット線分離制御信号 $PREBLI < K >$ および $PREBLI < K - 1 >$ の一方を選択して、ビット線分離指示信号 $BLI < K > R$ を発生する。

【 0 1 7 3 】

ビット線分離指示信号 $BLI < K > L$ を発生する $BLIL$ 発生回路 1 0 6 は、ヒューズプログラム回路 1 0 4 からのプログラム情報 $FP < K - 1 >$ と分離制御切換信号 $RFVPP$ とに従って、ローカル分離制御回路 6 8 から与えられるプリビット線分離制御信号 $PREBLI < K - 1 >$ および $PREBLI < K >$ の一方を選択して、ビット線分離指示信号 $BLI < K > L$ を発生する。この図 2 3 に示すロウ系ローカル制御回路 3 6 の他の構成は、図 1 6 に示すロウ系ローカル制御回路 3 6 の構成と同じであり、その対応部分については同一参照番号を付し、その詳細説明は省略する。

40

【 0 1 7 4 】

図 2 3 に示すロウ系ローカル制御回路 3 6 の構成においては、メモリブロックごとに、セルフリフレッシュモード時においてセンスアンプ帯とメモリブロックとの接続を制御する。メモリブロックにおけるワード線とビット線との間の短絡の存在は、各メモリブロック単位でセンスアンプの共通ソースノードのプリチャージ電圧のリーク電流をテスト時に検

50

出することにより識別することができる（１つのメモリブロックのみをセンスアンプ帯に接続してプリチャージ電圧線のリーク電流を検出する）。

【０１７５】

また、テスト時、テストにおいて、いずれのメモリブロックにビット線とワード線と間の短絡が存在するかを記憶することができる。このテスト時の不良検出結果に基づいて、ヒューズプログラム回路１００および１０４においてテスト最終工程において不良メモリセルの救済のために行なわれる不良アドレスプログラムと同一工程において、ヒューズプログラム回路１００および１０４のリンク素子をプログラムする（溶断／非溶断を設定する）。

【０１７６】

メモリブロック単位でのセンスアンププリチャージ電圧のリーク電流の検出は、単に、各センスアンプ帯ごとに、センスアンププリチャージ電圧を供給する経路にスイッチングトランジスタを設け、各センスアンプ帯ごとに、センスアンププリチャージ電圧を供給する。また、ビット線分離指示信号により１つのメモリブロックのみを対応のセンスアンプ帯に接続する。プリチャージ電圧発生回路を流れる電流を、たとえばカレントミラー回路を用いて外部で検出する。または、外部のテストから、このプリチャージ電圧を供給し、そのときの流れる電流を外部テストで検出する。

【０１７７】

プリチャージ電圧発生回路がセンスアンププリチャージ電圧とビット線プリチャージ電圧両者を生成する場合には、ビット線イコライズ指示信号を全て非活性状態に設定してビット線プリチャージ／イコライズトランジスタを非導通状態に設定する。プリチャージ電圧発生回路が、ビット線とセンスアンプとに対して別々に設けられる場合には、ビット線プリチャージ電圧発生回路を非活性状態に設定する。

【０１７８】

メモリブロック単位で消費電流を測定して、リーク電流の有無を検出する。リーク電流異常でかつ正常にデータを読み出せるメモリブロックを、ワード線とビット線の間に短絡が存在するメモリブロックであると判定する。この正常動作かつリーク電流異常のメモリブロックの特定方法としては、各種テスト項目のテスト結果を参照して判定する方法が利用されればよい。テスト項目としては、従来のテスト項目と同様の項目が用いられればよい。

【０１７９】

図２４は、図２３に示すヒューズプログラム回路１００および１０４の構成の一例を示す図である。これらのヒューズプログラム回路１００および１０４は同一構成を有するため、図２４においては、ヒューズプログラム回路１００の構成を代表的に示す。

【０１８０】

図２４において、ヒューズプログラム回路１００は、電源ノードとノード１１５の間に接続されかつそのゲートにリセット信号ＺＲＳＴを受けるＰチャネルＭＩＳトランジスタ（絶縁ゲート型電界効果トランジスタ）１１０と、ノード１１５にその一端が接続されるリンク素子１１２と、リンク素子１１２の他方端と接地ノードとの間に接続されかつそのゲートにリセット信号ＺＲＳＴを受けるＮチャネルＭＩＳトランジスタ１１４と、ノード１１５の信号を反転してプログラム情報ＦＰ＜Ｋ＞を生成するインバータ回路１１６と、インバータ回路１１６の出力信号がＬレベルのとき導通し、導通時、ノード１１５を周辺電源電圧Ｖｄｄレベルに維持するＰチャネルＭＩＳトランジスタ１１８を含む。

【０１８１】

リセット信号ＺＲＳＴは、電源投入時またはシステムリセット後の初期動作時に、Ｌレベルに設定される。対応のメモリブロックが短絡不良のときに、リンク素子１１２が溶断される。初期化シーケンス時において、リセット信号ＺＲＳＴに従って、ＭＯＳトランジスタ１１０が所定期間導通し、ノード１１５へ周辺電源電圧Ｖｄｄを伝達する。リンク素子１１２の溶断時においては、ノード１１５の放電経路は存在しないため、ノード１１５は、Ｈレベルに維持される。このときには、インバータ回路１１６からのプログラム情報Ｆ

10

20

30

40

50

P < K > が L レベルとなる。応じて、M I S トランジスタ 1 1 8 が導通し、ノード 1 1 5 は、周辺電源電圧 V d d レベルに維持される。

【 0 1 8 2 】

リンク素子 1 1 2 の非溶断時においては、初期化動作完了後、リセット信号 Z R S T が H レベルとなるため、ノード 1 1 5 が、リンク素子 1 1 2 および M I S トランジスタ 1 1 4 により接地電圧レベルに放電される。応じてインバータ回路 1 1 6 からのプログラム情報 F P < K > が H レベルとなる。この状態においては、M I S トランジスタ 1 1 8 は非導通状態にある。このリンク素子 1 1 2 のプログラムにより、対応のメモリブロックにおいて、ワード線とビット線との間に短絡が存在するかがプログラムされる。

【 0 1 8 3 】

ヒューズプログラム回路 1 0 4 の場合には、図 2 4 において括弧内において示すように、プログラム情報 F P < K - 1 > が生成される。

【 0 1 8 4 】

図 2 5 は、図 2 3 に示す B L I R 発生回路 1 0 2 の構成を示す図である。この図 2 5 に示す B L I R 発生回路 1 0 2 は、図 1 8 に示す B L I R 発生回路 6 1 と、以下の点でその構成が異なっている。すなわち、周辺電源電圧 V d d レベルのプログラム情報 F P < K > を高電圧 V P P レベルにレベル変換するレベル変換回路 1 1 0 と、レベル変換回路 1 1 0 の出力信号を反転するインバータ回路 1 1 2 と、インバータ回路 1 1 2 の出力信号と分離制御切換信号 R F V P P とを受ける N A N D 回路 1 1 4 と、N A N D 回路 1 1 4 の出力信号を反転するインバータ回路 1 1 6 が、ヒューズプログラム情報に従って選択的にセンスアンプ帯とメモリブロックの接続を制御するために設けられる。プリビット線分離制御信号 P R E B L I < K - 1 > を受ける C M O S トランسمッションゲート 8 1 は、インバータ回路 1 1 6 の出力信号 S が L レベルのときに導通する。インバータ 8 0 の出力信号を受ける C M O S トランسمッションゲート 8 2 は、N A N D 回路 1 1 4 の出力信号 Z S が L レベルのときに導通する。インバータ回路 8 3 は、図 1 8 に示す構成と同様、C M O S トランسمッションゲート 8 1 または 8 2 の出力信号を反転してビット線分離指示信号 B L I < K > R を生成する。インバータ回路 8 0 は、プリビット線分離制御信号 P R E B L I < K > を反転する。

【 0 1 8 5 】

この図 2 5 に示す B L I R 発生回路 1 0 2 においては、プログラム情報 F P < K > が H レベルに設定されたときには、インバータ 1 1 2 の出力信号が L レベルに固定され、応じて、N A N D 回路 1 1 4 の出力信号が H レベルに固定される。したがって、C M O S トランسمッションゲート 8 1 が常時導通状態、C M O S トランسمッションゲート 8 2 が常時非導通状態に設定される。すなわち、対応のメモリブロックにワード線とビット線の間の短絡が存在しない場合には、通常動作モード時およびセルフリフレッシュモード時いずれにおいても、プリビット線分離制御信号 P R E B L I < K - 1 > に従ってビット線分離指示信号 B L I < K > R が生成される。プリビット線分離制御信号 P R E B L I < K - 1 > は、メモリブロック選択信号 B S < K - 1 > に基づいて生成される。したがって、対応のメモリブロック (M B K < K >) が正常であり、短絡が存在しない場合には、スタンバイ状態時にはこの対応のメモリブロックと対応のセンスアンプ帯とが接続され、センスアンプ帯を共有するメモリブロック (M B K < K - 1 >) が選択されたときに、対応のセンスアンプ帯からこのメモリブロックが分離される。

【 0 1 8 6 】

プログラム情報 F P < K > が L レベルに設定された場合には、インバータ回路 1 1 2 の出力信号が H レベルとなり、N A N D 回路 1 1 4 がインバータ回路として動作する。分離制御切換信号 R F V P P が H レベルのときには、N A N D 回路 1 1 4 の出力信号 Z S が L レベルとなり、C M O S トランسمッションゲート 8 2 が導通する。したがって、セルフリフレッシュモード時においては、対応のメモリブロック (M B K < K >) がスタンバイ状態時、対応のセンスアンプ帯から分離され、対応のメモリブロックが選択されたときに、対応のセンスアンプ帯に接続される。分離切換制御信号 R F V P P が L レベルのときには

10

20

30

40

50

、インバータ回路 116 の出力信号 S が L レベルとなり、CMOS トランスマッションゲート 81 が導通し、プリビット線分離制御信号 $PREBLI < k - 1 >$ に従ってビット線分離指示信号 $BLI < K > R$ が生成される。この状態では対応のメモリブロックとセンスアンプ帯を共有するメモリブロック ($MBK < K - 1 >$) が選択されたときに対応のメモリブロックが、対応のセンスアンプ帯と分離される。

【0187】

BLIL 発生回路 106 の場合には、プリビット線分離制御信号 $PREBLI < K >$ が CMOS トランスマッションゲート 81 に与えられ、プリビット線分離制御信号 $PREBLI < K - 1 >$ がインバータ回路 80 に与えられる。インバータ回路 83 から、ビット線分離指示信号 $BLI < K > L$ が出力される。

10

【0188】

したがって、セルフリフレッシュモード時、短絡が存在するメモリブロックのみ、スタンバイ状態時に対応のセンスアンプ帯から分離し、短絡の存在しないメモリブロックはスタンバイ状態時対応のセンスアンプ帯と接続する。セルフリフレッシュモードから抜け出るときに、この短絡の存在するメモリブロックに対するビット線分離指示信号のみを接地電圧レベルから高電圧 VPP レベルに駆動することが要求されるだけであり、このセルフリフレッシュモードから通常動作モード移行時における消費電流を低減でき、また、高電圧 VPP の電圧レベルが低下し、誤動作が生じるのを防止することができる。

【0189】

[変更例]

20

図 26 は、図 25 に示す BLIR 発生回路 102 の変更例を示す図である。この図 26 に示す BLIR 発生回路 102 においては、プログラム情報 $FP < K >$ を受けるレベル変換回路 110 の出力信号が、CMOS トランスマッションゲート 81 および 82 に対する切換制御信号 ZS として用いられる。したがって、CMOS トランスマッションゲート 81 および 82 の導通 / 非導通状態は、通常動作モードおよびセルフリフレッシュモードにかかわらず、プログラム情報 $FP < K >$ に従って固定される。この BLIR 発生回路 102 の他の構成は図 25 に示す構成と同じであり、対応する部分には同一参照番号を付し、その詳細説明は省略する。

【0190】

対応のメモリブロックに短絡が存在する場合、プログラム情報 $FP < K >$ は、L レベルに設定され、応じてレベル変換回路 110 の出力信号 ZS も L レベルとなる。この場合、インバータ回路 116 の出力信号 S が H レベルとなり、CMOS トランスマッションゲート 82 が導通状態、CMOS トランスマッションゲート 81 が非導通状態となり、対応のメモリブロックは、スタンバイ状態時、対応のセンスアンプ帯から分離され、選択状態のときにのみ対応のセンスアンプ帯と電氣的に接続される。

30

【0191】

プログラム情報 $FP < K >$ が H レベルに設定された場合には、レベル変換回路 110 の出力信号 ZS が H レベル、インバータ回路 116 の出力信号 S が L レベルである。この状態においては、CMOS トランスマッションゲート 81 が導通状態、CMOS トランスマッションゲート 82 が非導通状態となる。したがって、対応のメモリブロックに短絡が存在しない場合に、ビット線分離指示信号 $BLI < K >$ は、プリビット線分離制御信号 $PREBLI < K - 1 >$ に従って生成されるため、スタンバイ状態時においては、対応のセンスアンプ帯と対応のメモリブロックとが電氣的に接続される。センスアンプ帯を共有するメモリブロックの選択時にのみ、対応のメモリブロックが対応のセンスアンプ帯から分離される。

40

【0192】

図 23 に示す BLIL 発生回路 106 も、本変更例においては、この図 26 に示す BLIR 発生回路 102 と同様の構成を備える。BLIL 発生回路 106 に関連する信号を図 26 において括弧内において示す。

【0193】

50

各メモリブロックごとに、ヒューズプログラム回路を設け、対応のメモリブロックにおけるビット線とワード線との間の短絡の有無に応じて、ヒューズプログラム回路をプログラムする。これにより、対応のメモリブロックとセンスアンプ帯の接続を、各メモリブロックごとに設定することができる。

【0194】

以上のように、この発明の実施の形態2に従えば、短絡不良が存在するメモリブロックのみをスタンバイ時、対応のセンスアンプ帯から分離するように構成しており、スタンバイ状態時におけるリーク電流を低減することができる。特に、不良メモリブロックとセンスアンプ帯を共有するメモリブロックが対応のセンスアンプ帯にスタンバイ状態時接続されるため、センスノードを確実に、ビット線プリチャージ/イコライズ回路を用いて中間電圧レベルに維持することができ、正確にセンス動作を早いタイミングで行なうことができる。

10

【0195】

また、このセルフリフレッシュモード時においてのみ、短絡不良が存在するメモリブロックを対応のセンスアンプ帯と分離することにより、セルフリフレッシュモード解除時における消費電流を低減することができる。

【0196】

なお、上述の説明においては、ビット線とワード線との間の短絡について説明している。しかしながら、ビット線と接地線などの他の内部配線との間の短絡であっても、本発明は適用可能である。

20

【0197】

また、非選択ワード線が、負電圧ではなく接地電圧レベルに設定されるDRAMであってもよい。

【0198】

また、DRAMとしては、個別素子であってもよく、またロジックと同一半導体基板上に集積化される混載メモリであってもよい。

【0199】

【発明の効果】

以上のように、この発明に従えば、少なくとも短絡によるリーク電流経路が存在するメモリブロックをスタンバイ状態時、対応のセンスアンプ帯と分離するように構成しており、スタンバイ状態時におけるリーク電流を低減することができる。また、データ保持動作のみが要求されるセルフリフレッシュモード時において、短絡によるリーク電流経路が存在するメモリブロックを、非選択時対応のセンスアンプ帯から分離することにより、データ保持モード時における消費電流を低減することができる。

30

【図面の簡単な説明】

【図1】この発明に従う半導体記憶装置の全体の構成を概略的に示す図である。

【図2】図1に示すメモリマットの構成を概略的に示す図である。

【図3】図2に示すセンスアンプ帯部分の構成を示す図である。

【図4】図4に示すビット線分離回路およびセンスアンプ帯の構成を具体的に示す図である。

40

【図5】図4に示す構成の動作を示す信号波形図である。

【図6】図4に示す半導体記憶装置のセルフリフレッシュモード時の動作を示す信号波形図である。

【図7】この発明の実施の形態1におけるメモリブロック選択信号とビット線分離指示信号との対応を概念的に示す図である。

【図8】この発明の実施の形態1におけるセルフリフレッシュモード時のメモリブロック選択信号とビット線分離指示信号との対応を概念的に示す図である。

【図9】この発明の実施の形態1における行系制御回路および行系回路の構成を概略的に示す図である。

【図10】図9に示すリフレッシュ制御回路の構成の一例を示す図である。

50

【図 1 1】図 1 0 に示すリフレッシュ制御回路の動作を示すタイミング図である。

【図 1 2】図 9 に示すロウ系メイン制御回路の構成を概略的に示す図である。

【図 1 3】図 1 2 に示すロウ系メイン制御回路のセルフリフレッシュモード時の動作を示す信号波形図である。

【図 1 4】図 1 2 に示すロウ系メイン制御回路の通常動作モード時の動作を示す信号波形図である。

【図 1 5】この発明の実施の形態 1 におけるイコライズ制御信号と選択ワード線活性化のタイミング関係を示す図である。

【図 1 6】図 9 に示すロウ系ローカル制御回路の構成を概略的に示す図である。

【図 1 7】図 1 6 に示すローカル分離制御回路の構成を概略的に示す図である。

10

【図 1 8】図 1 6 に示す B L I R 発生回路の構成の一例を示す図である。

【図 1 9】図 1 6 に示す B L I L 発生回路の構成の一例を示す図である。

【図 2 0】図 1 7 から図 1 9 に示す回路の通常動作モード時の動作を示すタイミング図である。

【図 2 1】図 1 7 から図 1 9 に示す回路のセルフリフレッシュモード時の動作を示すタイミング図である。

【図 2 2】この発明の実施の形態 1 の変更例のロウ系ローカル制御回路の構成を概略的に示す図である。

【図 2 3】この発明の実施の形態 2 に従うロウ系ローカル制御回路の構成を概略的に示す図である。

20

【図 2 4】図 2 3 に示すヒューズプログラム回路の構成の一例を示す図である。

【図 2 5】図 2 5 に示す B L I R 発生回路および B L I L 発生回路の構成の一例を示す図である。

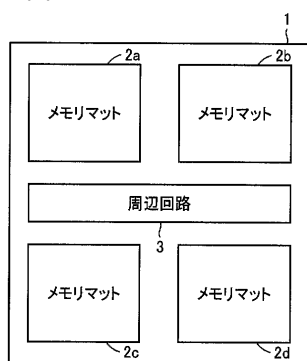
【図 2 6】この発明の実施の形態 2 の変更例に従う B L I R 発生回路および B L I L 発生回路の構成の一例を示す図である。

【符号の説明】

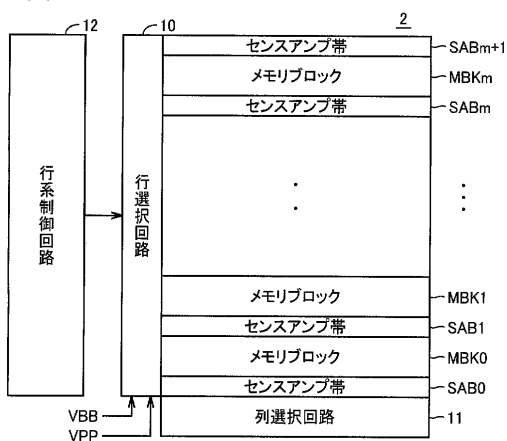
1 半導体記憶装置、2, 2 a - 2 d メモリマツト、M B K 0 - M B K m, M B K R, M B K L, M B K < N > - M B K < N + 2 >, M B K < K >, M B K < K - 1 > メモリブロック、S A B 0 - S A B m + 1, S A B, S A B < N > - S A B < N + 3 >, S A B < K > センスアンプ帯、B I G L, B I G R, B I G R < K >, B I G L < K > ビット線分離回路、2 2 リフレッシュ制御回路、2 4 ロウ系メイン制御回路、3 0 ブロックデコーダ、3 6 ロウ系ローカル制御回路、6 1 B L I R 発生回路、6 5 B L I L 発生回路、6 8 ローカル分離制御回路、8 1, 8 2, 8 6, 8 7 C M O S トランسمッションゲート、9 0, 9 2 A N D 回路、9 1, 9 3 レベル変換回路、1 0 0, 1 0 4 ヒューズプログラム回路、1 0 2 B L I R 発生回路、1 0 6 B L I L 発生回路。

30

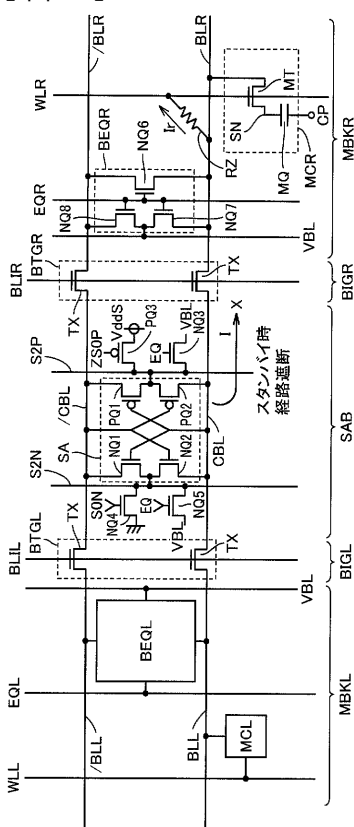
【图 1】



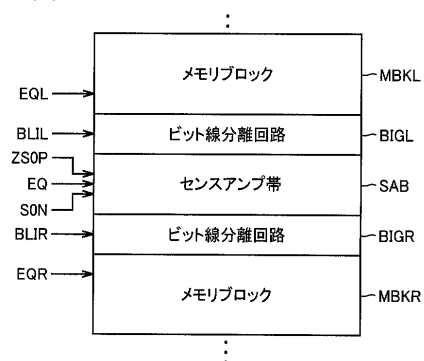
【 圖 2 】



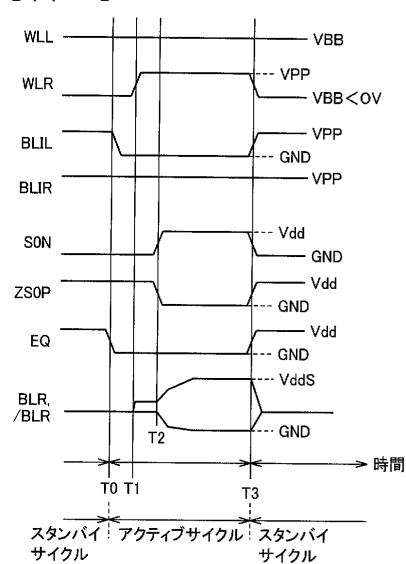
【图 4】



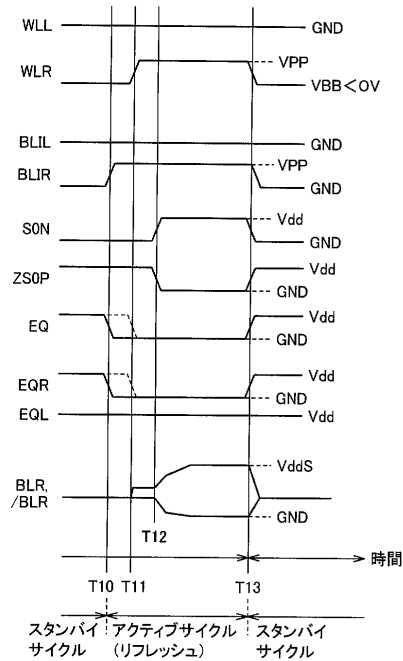
【图 3】



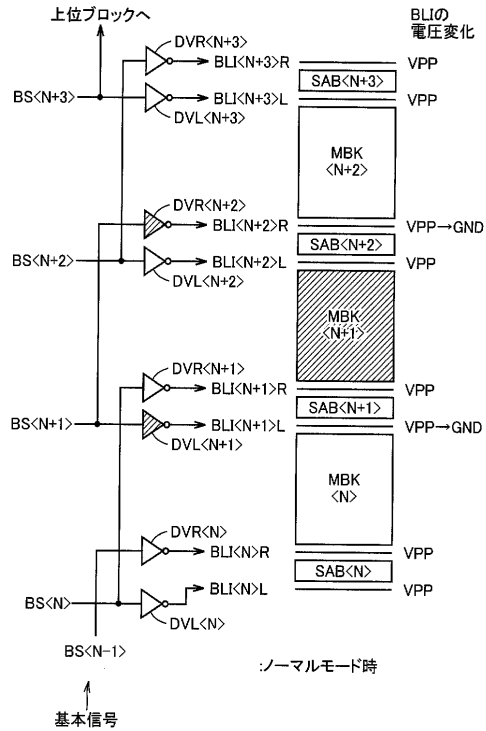
【 図 5 】



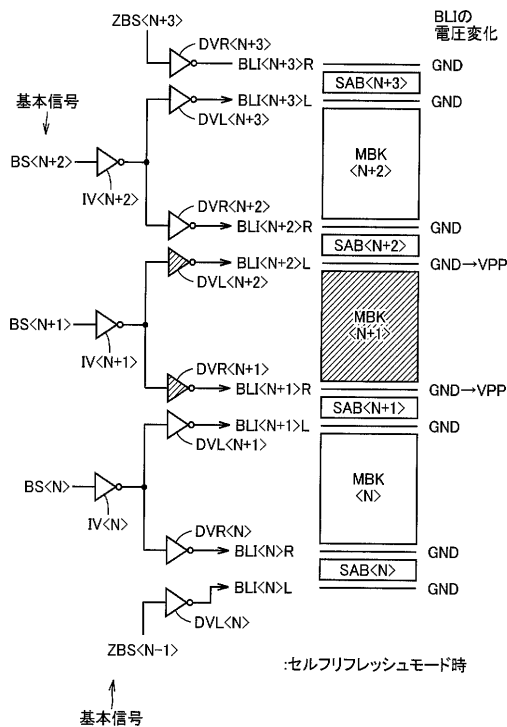
【図 6】



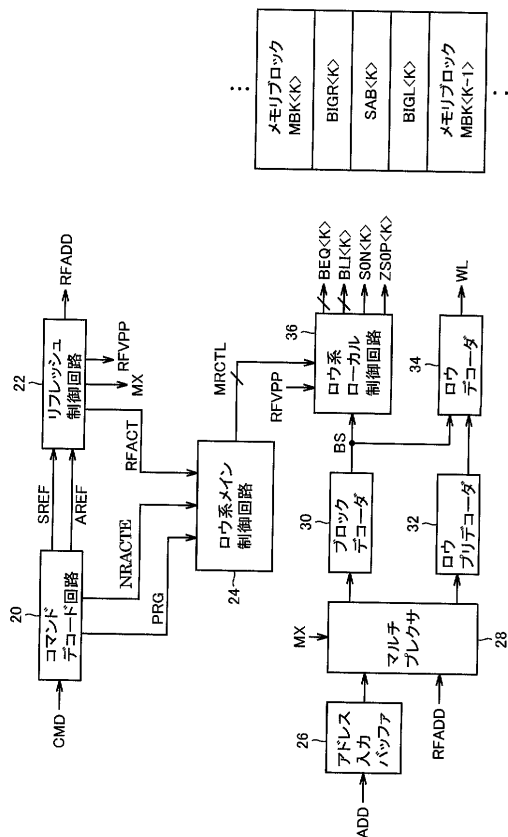
【図 7】



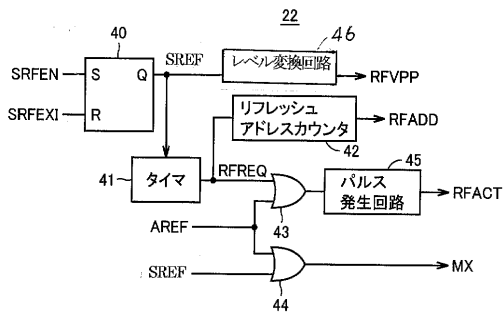
【図 8】



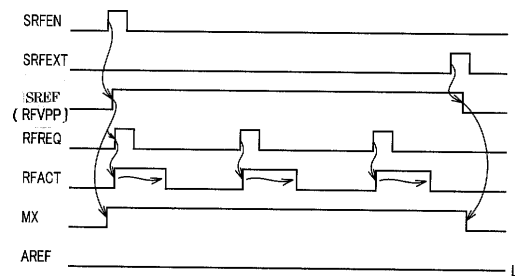
【図 9】



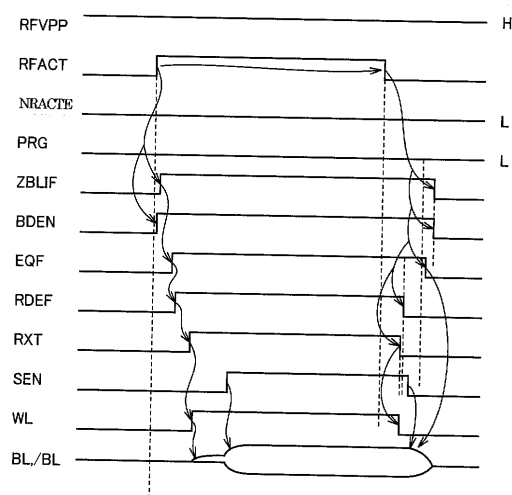
【図 10】



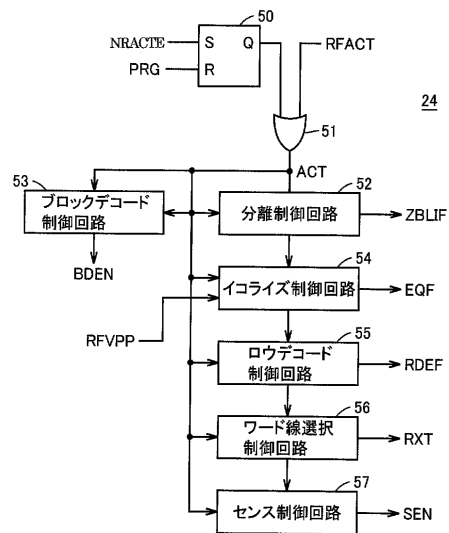
【図 11】



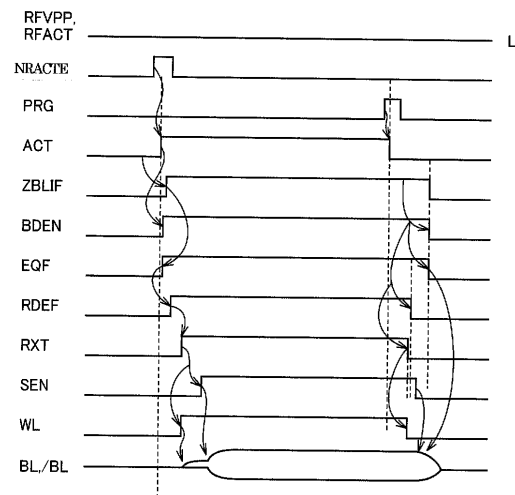
【図 13】



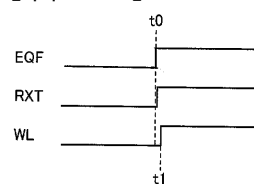
【図 12】



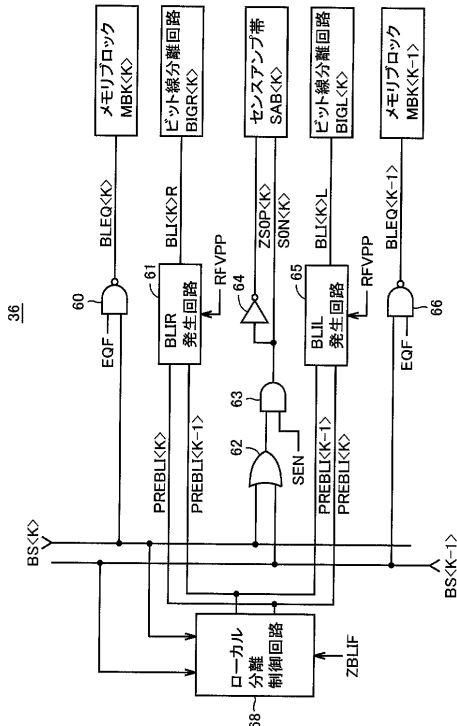
【図 14】



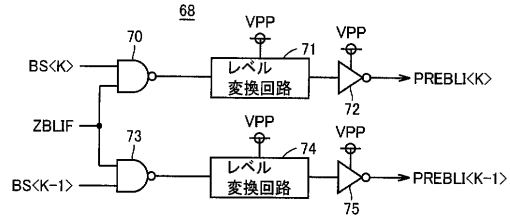
【図 15】



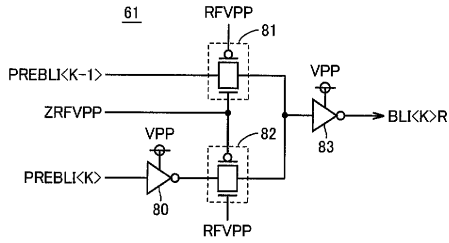
【図 16】



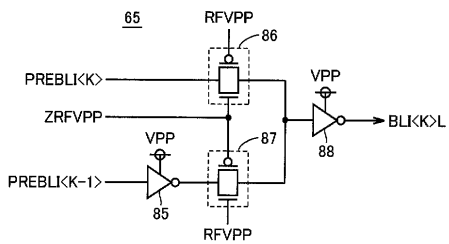
【図 17】



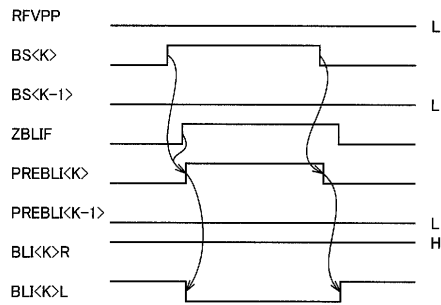
【図 18】



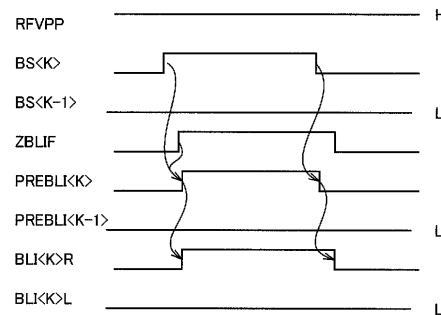
【図 19】



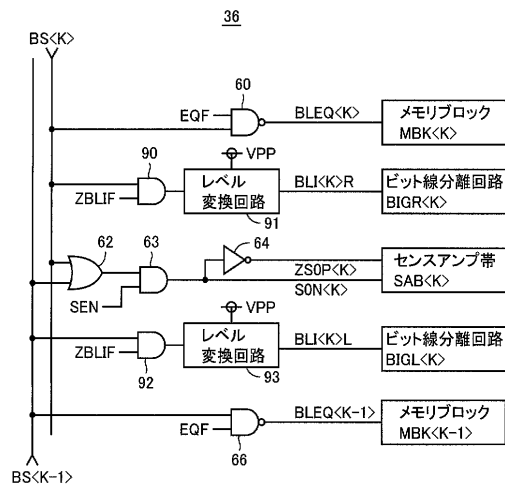
【図 20】



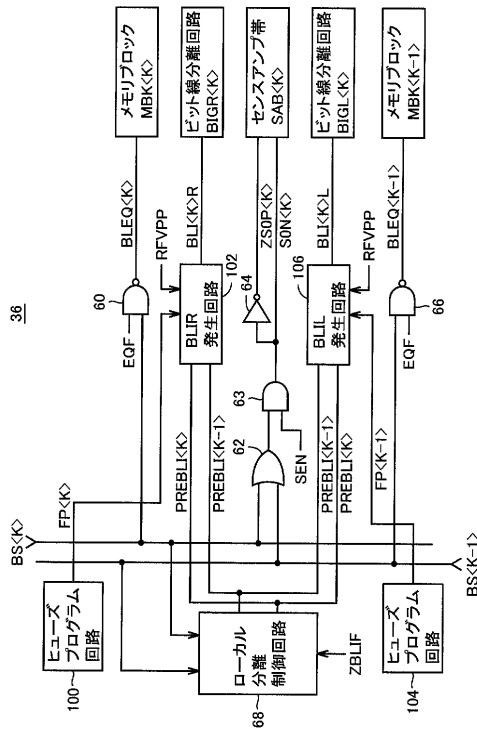
【図 21】



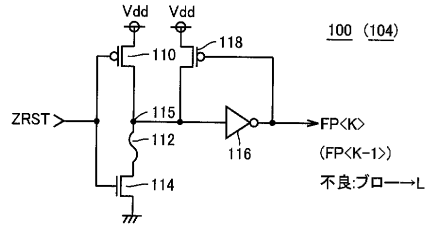
【図 22】



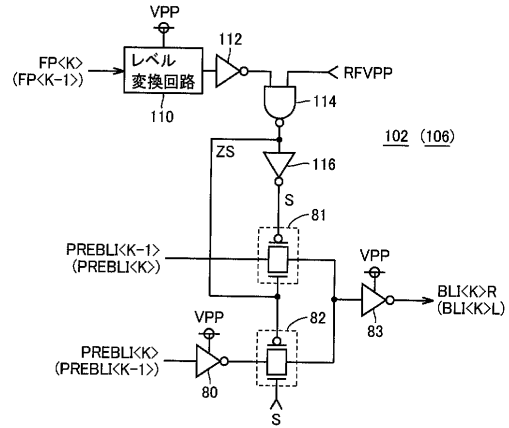
【図 2 3】



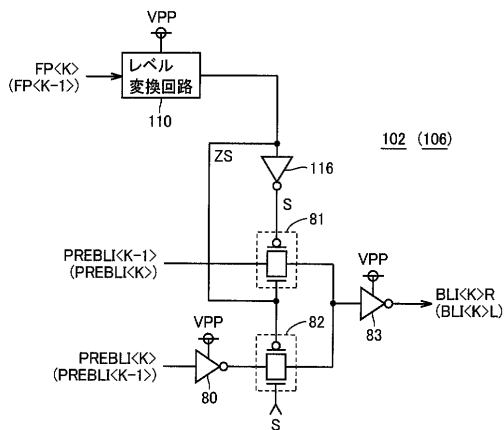
【図 2 4】



【図 2 5】



【図 2 6】



フロントページの続き

(72)発明者 久家 重博

東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社内

(72)発明者 濱本 武史

東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社内

F ターム(参考) 5M024 AA06 AA20 BB13 BB37 CC74 CC87 EE05 HH10 LL01 PP01
PP02 PP03 PP07 PP10