(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[7]
H01L 21/311

(45) 공고일자 2005년07월01일
(11) 등록번호 10-0497609
(24) 등록일자 2005년06월17일

(21) 출원번호 10-2003-0012772
(22) 출원일자 2003년02월28일

(65) 공개번호 10-2004-0077272
(43) 공개일자 2004년09월04일

(73) 특허권자 삼성전자주식회사
경기도 수원시 영통구 매탄동 416

(72) 발명자 송종희
경기도수원시권선구권선동1265보성아파트611동1104호

정상섭
경기도수원시권선구곡반정동580번지69통4반삼성아파트104동305호

이승민
경기도성남시분당구금곡동(청솔마을)영남아파트105동701호

(74) 대리인 박영우

심사관 : 백양규

(54) 실리콘 질화막 식각방법

요약

실리콘 산화막에 대해 높은 선택비를 갖는 실리콘 질화막의 식각 방법이 개시되어 있다. 반도체 기판 상에 실리콘 산화물로 이루어진 버퍼막을 형성한다. 상기 버퍼막 상에 실리콘 질화막을 증착한다. 상기 기판에 40℃ 이상의 온도를 가하면서 불화 탄화 수소(CH_2F_2) 가스를 포함한 식각 가스로 상기 실리콘 질화막을 식각한다. 실리콘 산화막에 대한 실리콘 질화막의 식각 선택비를 5 이상으로 증가시킬 수 있으므로 기판의 식각 손상을 방지할 수 있다.

대표도

도 1b

명세서

도면의 간단한 설명

도 1a 내지 도 1f는 본 발명에 의한 반도체 장치의 제조방법을 설명하기 위한 단면도들이다.

<도면의 주요 부분에 대한 부호의 설명>

10 : 반도체 기판 12 : 게이트 절연막

18 : 게이트 전극 20 : 게이트 마스크층

22 : 제1 버퍼막 24 : 실리콘 질화막

26 : 게이트 스페이서 28 : 제2 버퍼막

30 : 식각 저지막 32 : 층간 절연막

34 : 콘택홀 영역 36 : 셀프-얼라인 콘택홀

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치의 제조 방법에 관한 것으로, 보다 상세하게는 실리콘 산화막에 대해 높은 선택비를 갖는 실리콘 질화막의 식각 방법에 관한 것이다.

반도체 집적회로의 제조 공정이 서브마이크론(sub-micron) 레벨로 진행됨에 따라 가공치수가 미세화하여 0.4㎛ 이하 레벨의 패턴 가공이 필요하게 되었다. 따라서, 식각 공정에 있어서, 하지막과의 높은 식각선택비와 미세 선폭 제어 등의 요구가 강조됨에 따라 이방성 프로파일을 형성하는 건식식각 방식이 식각 공정의 대다수를 차지하게 되었다. 이러한 건식식각 공정은 크게, 물리적 스퍼터링 방법, 반응성 이온 식각(Reactive ion etching) 방법 및 플라즈마 식각 방법으로 나뉘어진다. 최근에는 포토레지스트 마스크와 하지층 모두에 대해 높은 선택비를 갖는 플라즈마 식각이 주로 사용되고 있다.

한편, 반도체 장치의 집적도가 증가함에 따라 실리콘 기판의 액티브 영역 크기 및 게이트들 사이의 간격(space)이 축소되어 액티브 영역에 상부 도전층을 접속시키기 위한 콘택홀의 형성시 액티브 영역과 게이트에 대한 얼라인먼트 마진이 감소하게 된다. 이에 따라, 셀프-얼라인 콘택 공정이 널리 사용되고 있다. 셀프-얼라인 콘택 공정은 주변 구조물의 높이, 콘택이 형성될 위치에서의 절연층의 두께 및 식각 방법 등에 의해 다양한 크기의 콘택홀을 마스크의 사용 없이 형성할 수 있으므로, 얼라인 마진을 필요로 하지 않으면서 미세 콘택홀을 형성할 수 있다.

셀프-얼라인 콘택 공정을 간단하게 설명하면 다음과 같다.

먼저, 액티브 영역과 필드 영역으로 구분되어진 실리콘 기판 상에 게이트 산화막을 형성한 후, 상기 게이트 산화막 상에 폴리실리콘막, 텅스텐 실리사이드막 및 실리콘 질화막을 차례로 증착한다. 사진식각 공정으로 상기 실리콘 질화막을 패터닝하여 게이트 마스크층을 형성한 후, 상기 게이트 마스크층을 이용하여 상기 텅스텐 실리사이드막 및 폴리실리콘막을 패터닝하여 게이트 전극을 형성한다. 여기서, 실리콘 질화막으로 이루어진 상기 게이트 마스크층은 셀프-얼라인 콘택 식각시 게이트 전극을 보호하는 역할을 한다.

상기 게이트 전극을 포함한 기판의 전면에 실리콘 질화막을 증착하고 이를 이방성 식각하여 상기 게이트 마스크층 및 게이트 전극의 측벽에 게이트 스페이서를 형성한다. 실리콘 질화물로 이루어진 상기 게이트 스페이서는 게이트 마스크층과 함께 셀프-얼라인 콘택 식각시 게이트 전극을 보호하는 역할을 한다.

상기 게이트 전극 및 게이트 스페이서를 이온주입 마스크로 이용하여 소오스/드레인 이온주입을 실시함으로써 상기 게이트 스페이서 양측의 기판 표면에 소오스/드레인 영역을 형성한 후, 결과물의 전면에 실리콘 질화물로 이루어진 식각 저지막을 형성한다. 상기 식각 저지막 상에 산화물로 이루어진 층간 절연막을 형성한 후, 실리콘 질화막에 대해 높은 선택비를 갖는 식각 가스를 이용하여 상기 층간 절연막을 식각한다. 이어서, 노출된 식각 저지막을 식각하여 게이트 전극들 사이의 액티브 영역(즉, 소오스/드레인 영역)을 노출하는 셀프-얼라인 콘택홀을 형성한다.

상술한 셀프-얼라인 콘택 공정에 의하면, 게이트 전극의 형성 단계부터 셀프-얼라인 콘택의 형성 단계까지 액티브 영역의 실리콘 기판에 2번(게이트 스페이서 식각, 식각 저지막의 식각)의 식각 손상이 가해진다. 특히, 밀집된 패턴 부위와 덜 밀집된 패턴 부위에서 동시에 실리콘 질화막을 건식 식각할 때, 식각 로딩 효과에 의해 플라즈마 상태의 에천트와 식각될 부위의 반응 생성물의 증기압이 밀집된 패턴 부위에서 현저하게 떨어짐으로써 식각 균일성이 악화된다.

이러한 식각 속도(etch rate)의 차이를 고려하여 실리콘 질화막을 과도 식각할 경우에는 실리콘 기판의 표면에 과다한 식각 손상을 가하여 식각 가스에 의한 반응 생성물, 예컨대 CFx 또는 C 등의 오염층이 형성되게 된다. 이러한 식각 손상 및 오염층은 콘택 저항을 증가시키고 누설 전류의 원인으로 작용하여 리프레시(refresh) 특성을 저하시키게 된다. 반면에, 실리콘 질화막의 식각량을 줄일 경우에는 게이트 전극과 게이트 전극 사이의 간격이 좁아져서 콘택이 낫-오픈(not-open)되는 문제가 발생하게 된다.

따라서, 게이트 스페이서 식각 및 식각 저지막의 식각 공정시 실리콘 기판이 식각 손상을 받지 않도록 하기 위하여 게이트 전극 및 게이트 마스크층으로 이루어진 게이트 적층물 상에 버퍼 산화막을 형성한 후, 실리콘 질화막을 식각하는 방법이 사용되고 있다. 통상적으로, 실리콘 산화막(SiO_2)에 대해 실리콘 질화막을 플라즈마 건식 식각하기 위하여 CF_4 또는 CHF_3 가스와 O_2 가스와의 혼합 가스가 주로 사용되는데, 이 경우 실리콘 산화막에 대한 실리콘 질화막의 선택비는 2 이하로 낮은 편이다. 따라서, 실리콘 질화막의 식각시 버퍼 산화막에 대한 선택비가 부족하여 실리콘 기판에 부분적으로 식각 손상이 가해지게 된다.

미합중국 공개특허 제2002-084254호 및 일본국 공개특허 제2001-203208호에는 불화 탄화 수소(CH_2F_2) 가스를 이용하여 실리콘 산화막에 대한 선택비를 높일 수 있는 실리콘 질화막 식각 방법이 개시되어 있다. 그러나, 이 방법들은 30℃ 이하의 저온에서 실리콘 질화막을 식각하기 때문에 실리콘 산화막에 비해 실리콘 질화막의 식각 속도를 높이는데 한계가 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 일 목적은 실리콘 산화막에 대해 높은 선택비를 갖는 실리콘 질화막의 식각 방법을 제공하는데 있다.

본 발명의 다른 목적은 실리콘 산화막에 대한 실리콘 질화막의 식각 선택비를 증가시켜 반도체 기판의 식각 손상을 방지할 수 있는 반도체 장치의 제조방법을 제공하는데 있다.

발명의 구성 및 작용

상술한 일 목적을 달성하기 위하여 본 발명은, 반도체 기판 상에 실리콘 산화물로 이루어진 버퍼막을 형성하는 단계; 상기 버퍼막 상에 실리콘 질화막을 증착하는 단계; 및 상기 기판에 40℃ 이상의 온도를 가하면서 불화 탄화 수소(CH_2F_2) 가스를 포함한 식각 가스로 상기 실리콘 질화막을 식각하는 단계를 구비하는 것을 특징으로 하는 실리콘 질화막 식각방법을 제공한다.

바람직하게는, 상기 식각 가스는 불화 탄소(CF_4) 가스, 아르곤(Ar)과 같은 불활성 가스 또는 산소(O_2) 가스를 더 포함한다.

바람직하게는, 상기 기판의 온도는 60~100℃ 정도의 범위 내에서 제어한다.

상술한 다른 목적을 달성하기 위하여 본 발명은, 반도체 기판 상에 게이트 절연막을 형성하는 단계; 상기 게이트 절연막 상에 게이트 전극 및 게이트 마스크층을 포함한 게이트 적층물을 형성하는 단계; 상기 게이트 적층물 및 기판 상에 실리콘 산화물로 이루어진 제1 버퍼막을 형성하는 단계; 상기 제1 버퍼막 상에 실리콘 질화막을 형성하는 단계; 및 상기 기판에 40℃ 이상의 온도를 가하면서 CH_2F_2 가스를 포함한 식각 가스로 상기 실리콘 질화막을 식각하여 상기 게이트 적층물의 양측벽 상에 게이트 스페이서들을 형성하는 단계를 구비하는 것을 특징으로 하는 반도체 장치의 제조방법을 제공한다.

본 발명의 바람직한 실시예에 의하면, 상기 게이트 스페이서들을 형성하는 단계 후, 상기 게이트 적층물, 게이트 스페이서 및 기판의 표면 상에 실리콘 산화물로 이루어진 제2 버퍼막을 형성하는 단계; 상기 제2 버퍼막 상에 실리콘 질화물로 이루어진 식각 저지막을 형성하는 단계; 상기 식각 저지막 상에 층간 절연막을 형성하는 단계; 상기 층간 절연막을 식각하여 콘택홀 영역을 정의하는 단계; 상기 기판에 40℃ 이상의 온도를 가하면서 CH_2F_2 가스를 포함한 식각 가스로 상기 콘택홀 영역의 노출된 식각 저지막을 식각하는 단계; 및 상기 콘택홀 영역의 노출된 제2 버퍼막을 제거하는 단계를 더 구비한다.

본 발명에 의하면, 기판의 온도를 40℃ 이상으로 하고 CH_2F_2 가스를 포함한 식각 가스를 이용하여 실리콘 질화막을 식각함으로써 실리콘 산화막의 식각 속도를 크게 감소시키면서 실리콘 질화막의 식각 속도를 높일 수 있다. 따라서, 실리콘 산화막에 대한 실리콘 질화막의 식각 선택비를 5 이상으로 증가시킬 수 있으므로 기판의 식각 손상을 방지할 수 있다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예에 대해 상세히 설명하고자 한다.

도 1a 내지 도 1f는 본 발명에 의한 반도체 장치의 제조방법을 설명하기 위한 단면도들이다.

도 1a는 제1 버퍼막(22)을 형성하는 단계를 도시한다. 실리콘과 같은 반도체 기판(10) 상에 통상의 소자분리 공정을 실시하여 상기 기판(10)을 액티브 영역과 필드 영역으로 구분한다.

이어서, 열산화 공정을 통해 상기 기판(10)의 액티브 영역 상에 게이트 산화막(12)을 형성한 후, 그 위에 불순물이 도핑된 폴리실리콘막(14), 금속 실리사이드막(16) 및 실리콘 질화물로 이루어진 게이트 마스크층(20)을 차례로 증착한다. 사진식각 공정으로 상기 게이트 마스크층(20)을 패터닝한 후, 상기 패터닝된 게이트 마스크층(20)을 식각 마스크로 이용하여 상기 금속 실리사이드막(16) 및 폴리실리콘막(14)을 패터닝하여 폴리사이드 구조의 게이트 전극(18)을 형성한다. 여기서, 실리콘 질화물로 이루어진 상기 게이트 마스크층(20)은 후속의 셀프-얼라인 콘택 식각 공정시 상기 게이트 전극(18)을 보호하는 역할을 한다.

상기 게이트 전극(18) 및 게이트 마스크층(20)으로 이루어진 게이트 적층물이 형성된 기판(10)의 전면에 실리콘 산화막을 증착하여 제1 버퍼막(22)을 형성한다. 상기 제1 버퍼막(22)은 후속하는 게이트 스페이서 형성을 위한 식각 공정시 그 하부의 기판(10)이 손상되는 것을 방지하는 역할을 한다.

도 1b는 상기 제1 버퍼막(22) 상에 실리콘 질화막(24)을 증착하는 단계를 도시한다. 상기 실리콘 질화막(24)은 저압 화학 기상 증착(LPCVD) 또는 플라즈마-증진 화학 기상 증착(PECVD) 공정으로 증착한다.

도 1c는 게이트 스페이서(26)를 형성하는 단계를 도시한다. 상기 실리콘 질화막(24)이 증착되어 있는 기판(10)을 플라즈마 건식 식각 설비로 이송하고, 반응 챔버 내부의 지지대 위에 상기 기판(10)을 올려놓는다. 상기 지지대의 하부에는 알루미늄 재질로 이루어진 캐소드(cathode)가 설치되고, 상기 캐소드에는 RF(radio frequency) 전력이 인가된다. RF 전력을 인가할 수 있는 애노드(anode)로는 반응 챔버의 벽(wall)이 이용된다.

상기 지지대에 연결된 히터를 통해 상기 기판(10)의 온도를 40℃ 이상, 바람직하게는 60~100℃ 정도로 올리고, 상기 지지대 위에 위치한 샤워 헤드를 통해 반응 챔버 내부로 CH_2F_2 가스를 포함한 식각 가스를 공급한다. 바람직하게는, 상기 식각 가스는 CH_2F_2 가스에 CF_4 가스 또는 산소(O_2) 가스를 혼합하여 사용한다. 또한, 플라즈마 점화 가스 및 캐리어 가스로서 아르곤(Ar)과 같은 불활성 가스를 상기 식각 가스에 혼합한다.

상기 캐소드 및 애노드에 각각 RF 전력을 인가하면 상기 반응 챔버 내부의 식각 가스가 플라즈마화되고, 이 플라즈마에 의해 상기 실리콘 질화막(24)이 식각되어 상기 게이트 적층물의 양 측벽에 실리콘 질화막으로 이루어진 게이트 스페이서(26)가 형성된다. 상기 게이트 스페이서(26)는 게이트 마스크층(20)과 함께 후속의 셀프-얼라인 콘택 식각 공정시 상기 게이트 전극(18)을 보호하는 역할을 한다.

CH_2F_2를 이용한 식각 방법에 의하면, 실리콘 질화막의 식각 속도가 종래의 CHF_3의 경우와 유사하게 나타나지만 실리콘 산화막의 식각 속도는 크게 감소한다. 또한, 통상적인 실리콘 질화막의 식각 공정은 40℃ 미만의 저온에서 수행되지만, 본 발명에서와 같이 기판(10)의 온도를 40℃ 이상으로 올린 상태에서 식각 공정을 수행하면 실리콘 질화막의 식각 속도를 실리콘 산화막에 비해 더욱 증가시킬 수 있다. 따라서, 40℃ 이상의 기판 온도에서 CH_2F_2 가스를 이용하여 실리콘 질화막을 식각하면, 실리콘 산화막의 식각 속도는 크게 감소하는 반면 실리콘 질화막의 식각 속도는 빨라지므로 실리콘 산화막에 대한 식각 선택비를 5 이상으로 높일 수 있다.

도 1d는 제2 버퍼막(28), 식각 저지막(30) 및 층간 절연막(32)을 형성하는 단계를 도시한다. 상술한 바와 같이 게이트 스페이서(26)를 형성한 후, 통상의 소오스/드레인 이온주입 공정을 실시하여 상기 게이트 스페이서(26) 양측의 기판 표면에 소오스/드레인 영역(도시하지 않음)을 형성한다.

그런 다음, 상기 게이트 적층물, 게이트 스페이서(26) 및 기판(10)의 표면 상에 연속적으로 실리콘 산화물을 증착하여 제2 버퍼막(28)을 형성한다. 상기 제2 버퍼막(28)은 후속하는 식각 저지막의 식각 공정시 그 하부의 기판(10)이 손상되는 것을 방지하는 역할을 한다.

상기 제2 버퍼막(28) 상에 실리콘 질화물을 증착하여 식각 저지막(30)을 형성하고, 계속해서 그 위에 실리콘 산화물을 증착하여 층간 절연막(32)을 형성한다.

도 1e는 콘택홀 영역(34)을 정의하는 단계를 도시한다. 상기 층간 절연막(32) 상에 포토레지스트막을 도포하고 이를 노광 및 현상하여 콘택홀 영역(34)을 정의하는 포토레지스트 패턴(도시하지 않음)을 형성한다.

이어서, 실리콘 질화막에 대해 높은 선택비를 갖는 가스, 예컨대 CxFy 계열의 가스를 이용하여 상기 층간 절연막(32)을 선택적으로 식각한다.

도 1f는 셀프-얼라인 콘택홀(36)을 형성하는 단계를 도시한다. 에싱 및 스트립 공정으로 상기 포토레지스트 패턴을 제거한 후, 상기 기판(10)을 플라즈마 건식 식각 설비로 이송한다.

상기 식각 설비의 반응 챔버 내부의 지지대 위에 상기 기판(10)을 올려놓은 후, 상기 지지대에 연결된 히터를 통해 상기 기판(10)의 온도를 40℃ 이상, 바람직하게는 60~100℃ 정도로 올린다.

그런 다음, 상기 지지대 위에 위치한 샤워 헤드를 통해 반응 챔버 내부로 CH_2F_2 가스를 포함한 식각 가스를 공급한다. 바람직하게는, 상기 식각 가스는 CH_2F_2 가스에 CF_4 가스 또는 산소(O_2) 가스를 혼합하여 사용한다. 또한, 플라즈마 점화 가스 및 캐리어 가스로서 아르곤(Ar)과 같은 불활성 가스를 상기 식각 가스에 혼합한다.

이어서, 상기 캐소드 및 애노드에 각각 RF 전력을 인가하여 상기 반응 챔버의 내부에 상기 식각 가스의 플라즈마를 형성하고, 상기 플라즈마에 의해 상기 콘택홀 영역(34)의 노출된 식각 저지막(30)을 식각한다.

이어서, 상기 CH_2F_2 가스를 포함한 식각 가스의 공급을 중단하고, 실리콘 산화막에 대한 식각 가스를 상기 반응 챔버 내부로 공급하여 상기 콘택홀 영역(34)의 노출된 제2 버퍼막(28)을 식각한다. 상술한 공정의 결과로, 게이트 전극(18)들 사이의 액티브 영역(즉, 소오스/드레인 영역)을 노출하는 셀프-얼라인 콘택홀(36)이 형성된다.

발명의 효과

상술한 바와 같이 본 발명에 의하면, 기판의 온도를 40℃ 이상으로 하고 CH_2F_2 가스를 포함한 식각 가스를 이용하여 실리콘 질화막을 식각함으로써, 실리콘 산화막의 식각 속도를 크게 감소시키면서 실리콘 질화막의 식각 속도를 높일 수 있다. 따라서, 실리콘 산화막에 대한 실리콘 질화막의 식각 선택비를 5 이상으로 증가시킬 수 있으므로 기판의 식각 손상을 방지할 수 있다.

상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야의 숙련된 당업자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

(57) 청구의 범위

청구항 1.

반도체 기판 상에 산화물로 이루어진 버퍼막을 형성하는 단계;

상기 버퍼막 상에 실리콘 질화막을 증착하는 단계; 및

상기 기판에 60 내지 100℃의 온도를 가하면서 CH_2F_2 가스를 포함한 식각 가스로 상기 실리콘 질화막을 선택적으로 식각하는 단계를 구비하는 것을 특징으로 하는 실리콘 질화막 식각 방법.

청구항 2.

제1항에 있어서, 상기 식각 가스는 CF_4 가스를 더 포함하는 것을 특징으로 하는 실리콘 질화막 식각방법.

청구항 3.

제1항에 있어서, 상기 식각 가스는 아르곤(Ar)과 같은 불활성 가스를 더 포함하는 것을 특징으로 하는 실리콘 질화막 식각방법.

청구항 4.

제2항에 있어서, 상기 식각 가스는 산소(O_2) 가스를 더 포함하는 것을 특징으로 하는 실리콘 질화막 식각방법.

청구항 5.

삭제

청구항 6.

제1항에 있어서, 상기 실리콘 질화막을 식각하는 단계는,

상기 실리콘 질화막이 증착된 기판을 식각 챔버 내의 지지대 위에 위치시키는 단계;

상기 지지대에 60 내지 100℃의 온도를 가하여 상기 기판을 가열하는 단계; 및

상기 식각 챔버 내에 CH_2F_2 가스를 포함한 식각 가스를 유입하여 상기 실리콘 질화막을 식각하는 단계를 포함하여 이루어지는 것을 특징으로 하는 실리콘 질화막 식각방법.

청구항 7.

반도체 기판 상에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상에 게이트 전극 및 게이트 마스크층을 포함한 게이트 적층물을 형성하는 단계;

상기 게이트 적층물 및 기판 상에 실리콘 산화물로 이루어진 제1 버퍼막을 형성하는 단계;

상기 제1 버퍼막 상에 실리콘 질화막을 형성하는 단계; 및

상기 기판에 60 내지 100℃의 온도를 가하면서 CH_2F_2 가스를 포함한 식각 가스로 상기 실리콘 질화막을 선택적으로 식각하여 상기 기판 상에 제1 버퍼막을 남기면서 상기 게이트 적층물의 양측벽 상에 게이트 스페이서를 형성하는 단계를 구비하는 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 8.

제7항에 있어서, 상기 식각 가스는 CF_4 가스를 더 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 9.

제7항에 있어서, 상기 식각 가스는 아르곤(Ar)과 같은 불활성 가스를 더 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 10.

제7항에 있어서, 상기 식각 가스는 산소(O_2) 가스를 더 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 11.

제7항에 있어서, 상기 게이트 스페이서들을 형성하는 단계 후,

상기 게이트 적층물, 게이트 스페이서 및 기판의 표면 상에 실리콘 산화물로 이루어진 제2 버퍼막을 형성하는 단계;

상기 제2 버퍼막 상에 실리콘 질화물로 이루어진 식각 저지막을 형성하는 단계;

상기 식각 저지막 상에 층간 절연막을 형성하는 단계;

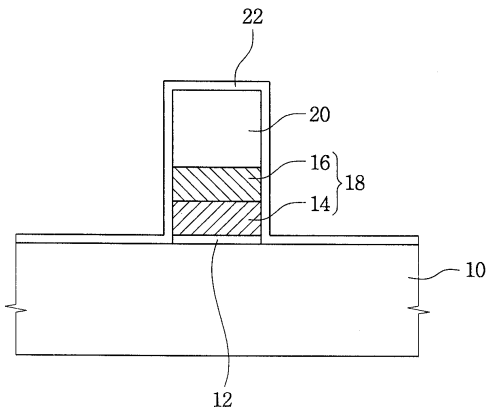
상기 층간 절연막을 식각하여 콘택홀 영역을 정의하는 단계;

상기 기판에 60 내지 100℃의 온도를 가하면서 CH_2F_2 가스를 포함한 식각 가스로 상기 콘택홀 영역의 노출된 식각 저지막을 식각하는 단계; 및

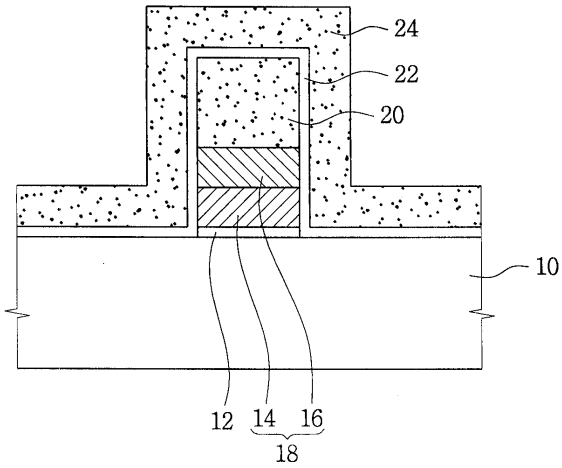
상기 콘택홀 영역의 노출된 제2 버퍼막을 제거하는 단계를 더 구비하는 것을 특징으로 하는 반도체 장치의 제조방법.

도면

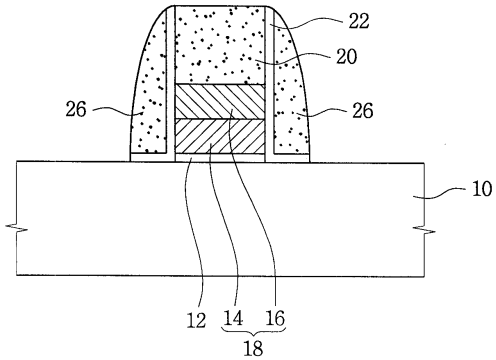
도면1a



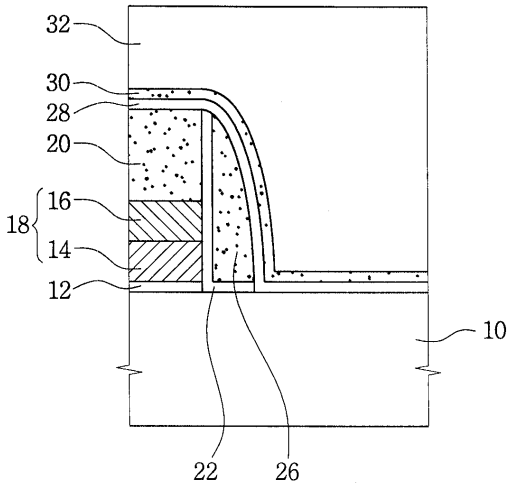
도면1b



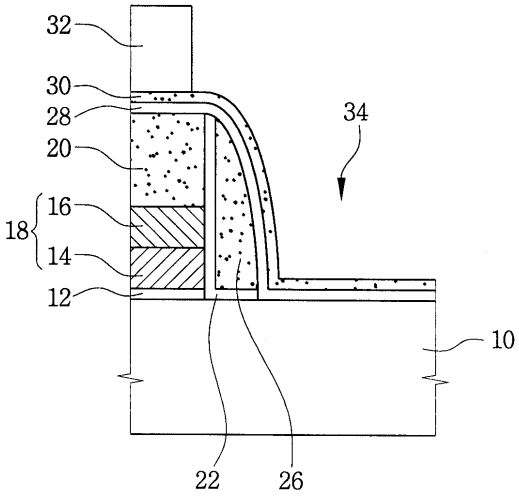
도면1c



도면1d



도면1e



도면1f

