



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0101932
(43) 공개일자 2017년09월06일

- (51) 국제특허분류(Int. Cl.)
H01L 21/02 (2006.01) *H01L 29/778* (2006.01)
H01L 29/78 (2006.01) *H01L 29/812* (2006.01)
- (52) CPC특허분류
H01L 21/02293 (2013.01)
H01L 21/02381 (2013.01)
- (21) 출원번호 10-2017-7018664
- (22) 출원일자(국제) 2015년12월18일
심사청구일자 없음
- (85) 번역문제출일자 2017년07월05일
- (86) 국제출원번호 PCT/JP2015/006313
- (87) 국제공개번호 WO 2016/110906
국제공개일자 2016년07월14일
- (30) 우선권주장
JP-P-2015-002047 2015년01월08일 일본(JP)

- (71) 출원인
 신에쓰 한도타이 가부시키가이샤
 일본 도쿄도 치요다구 오테마치 2쵸메 2-1
 산젠텐카 가부시키가이샤
 일본국 사이타마켄 나이자시 기타노 3쵸메 6반 3
고
- (72) 발명자
 하기모토, 가즈노리
 일본 3790196 군마현 안나까시 이소베 2쵸메 13-1
 신에쓰 한도타이 가부시키가이샤 이소베 알앤디
센터 내
- 시노미야, 마사루
 일본 3790196 군마현 안나까시 이소베 2쵸메 13-1
 신에쓰 한도타이 가부시키가이샤 이소베 알앤디
센터 내
(뒷면에 계속)
- (74) 대리인
 박봉훈, 장수길

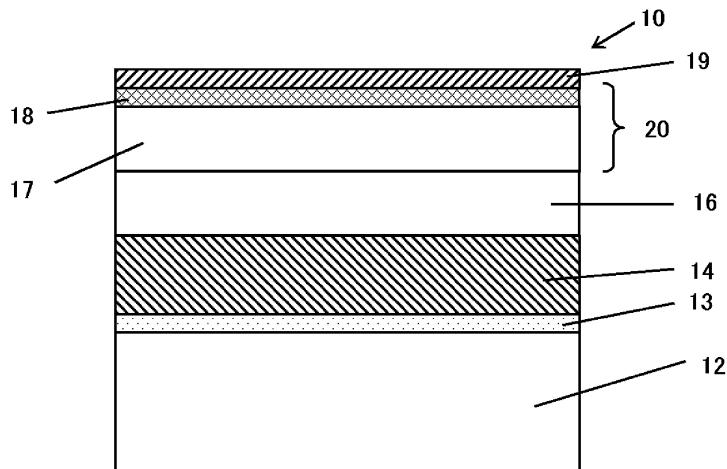
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 전자 디바이스용 에피택셜 기판, 전자 디바이스, 전자 디바이스용 에피택셜 기판의 제조 방법, 그리고 전자 디바이스의 제조 방법

(57) 요 약

본 발명은 Si계 기판과, 해당 Si계 기판 상에 형성된 AlN 초기층과, 해당 AlN 초기층 상에 형성된 베퍼층을 갖는 전자 디바이스용 에피택셜 기판이며, 상기 AlN 초기층의 상기 베퍼층의 표면의 조도 S_a 가 4nm 이상인 것을 특징으로 하는 전자 디바이스용 에피택셜 기판이다. 이에 의해, 베퍼층 구조의 V 페트를 억제하고, 전자 디바이스를 제작하였을 때의 종방향 누설 전류 특성을 개선할 수 있는 전자 디바이스용 에피택셜 기판이 제공된다.

대 표 도 - 도1



(52) CPC특허분류

H01L 29/778 (2013.01)

H01L 29/78 (2013.01)

H01L 29/812 (2013.01)

H01L 2924/05032 (2013.01)

H01L 2924/10323 (2013.01)

(72) 발명자

즈찌야, 게이따로

일본 3790196 군마Ken 안나까시 이소베 2초메 13-1
신에쓰 한도타이 가부시키가이샤 이소베 알앤디 쎈
터 내

고또, 히로까즈

일본 3528666 사이따마Ken 니이자시 기파노 3-6-3
산肯 덴키 가부시키가이샤 내

사또, 겐

일본 3528666 사이따마Ken 니이자시 기파노 3-6-3
산肯 덴키 가부시키가이샤 내

시까우찌, 히로시

일본 3528666 사이따마Ken 니이자시 기파노 3-6-3
산肯 덴키 가부시키가이샤 내

명세서

청구범위

청구항 1

Si계 기판과, 상기 Si계 기판 상에 형성된 AlN 초기층과, 상기 AlN 초기층 상에 형성된 베퍼층을 갖는 전자 디바이스용 에피택셜 기판으로서,

상기 AlN 초기층의 상기 베퍼층의 표면의 조도 S_a 가 4nm 이상인 것을 특징으로 하는 전자 디바이스용 에피택셜 기판.

청구항 2

제1항에 있어서, 상기 AlN 초기층 표면의 상기 베퍼층의 조도 S_a 가 8nm 이하인 것을 특징으로 하는 전자 디바이스용 에피택셜 기판.

청구항 3

제1항 또는 제2항에 있어서, 상기 베퍼층은, 상기 AlN 초기층에 접해 있는 $\text{Al}_z\text{Ga}_{1-z}\text{N}(0 \leq z < 1)$ 층을 포함하고,

상기 $\text{Al}_z\text{Ga}_{1-z}\text{N}(0 \leq z < 1)$ 층의 상기 AlN 초기층과 반대측의 표면의 조도 S_a 가 0.6nm 이하인 것을 특징으로 하는 전자 디바이스용 에피택셜 기판.

청구항 4

제3항에 있어서, 상기 베퍼층은, 상기 $\text{Al}_z\text{Ga}_{1-z}\text{N}(0 \leq z < 1)$ 층에 접하고, 또한 $\text{Al}_x\text{Ga}_{1-x}\text{N}(0 < x \leq 1)$ 층과 $\text{Al}_y\text{Ga}_{1-y}\text{N}(0 \leq y < x)$ 층이 교대로 적층된 다층막을 포함하고,

상기 다층막의 상기 $\text{Al}_z\text{Ga}_{1-z}\text{N}(0 \leq z < 1)$ 층과 반대측의 표면의 조도 S_a 가 0.3nm 이하인 것을 특징으로 하는 전자 디바이스용 에피택셜 기판.

청구항 5

제1항 내지 제4항 중 어느 한 항에 있어서, 상기 베퍼층 상에 형성된 채널층과,

상기 채널층 상에 형성된 배리어층과,

상기 배리어층 상에 형성된 캡층을 더 갖는 것을 특징으로 하는 전자 디바이스용 에피택셜 기판.

청구항 6

제1항 내지 제5항 중 어느 한 항에 기재된 전자 디바이스용 에피택셜 기판을 사용하여 제작된 전자 디바이스로서, 상기 전자 디바이스용 에피택셜 기판 상에 전극이 설치되어 있는 것인 것을 특징으로 하는 전자 디바이스.

청구항 7

Si계 기판 상에 AlN 초기층을 형성하는 공정과,

상기 AlN 초기층 상에 베퍼층을 형성하는 공정과,

상기 베퍼층 상에 채널층을 형성하는 공정과,

상기 채널층 상에 배리어층을 형성하는 공정과,

상기 배리어층 상에 캡층을 형성하는 공정을 갖고,

상기 AlN 초기층의 상기 베퍼층의 표면의 조도 S_a 를 4nm 이상으로 하는 것을 특징으로 하는 전자 디바이스용 에피택셜 기판의 제조 방법.

청구항 8

Si계 기판 상에 AlN 초기층을 형성하는 공정과,
 상기 AlN 초기층 상에 베퍼층을 형성하는 공정과,
 상기 베퍼층 상에 채널층을 형성하는 공정과,
 상기 채널층 상에 배리어층을 형성하는 공정과,
 상기 배리어층 상에 캡층을 형성하는 공정과,
 상기 캡층 상에 전극을 형성하는 공정을 갖고,
 상기 AlN 초기층의 상기 베퍼층측의 표면의 조도 S_a 를 4nm 이상으로 하는 것을 특징으로 하는 전자 디바이스의 제조 방법.

발명의 설명

기술 분야

[0001]

본 발명은 전자 디바이스용 에피택셜 기판, 전자 디바이스, 전자 디바이스용 에피택셜 기판의 제조 방법, 그리고 전자 디바이스의 제조 방법에 관한 것이다.

배경기술

[0002]

전자 디바이스용 화합물 반도체 에피택셜 웨이퍼의 제조 기술에 관하여, Si 기판 상에 GaN막을 에피택셜 성장시킨 반도체 에피택셜 웨이퍼에 대하여, 그의 전기 특성, 특히 종방향에서의 누설 전류를 개선할 수 있는 제조 방법의 검토가 행해지고 있다.

[0003]

이러한 검토에 있어서, 반도체 에피택셜 웨이퍼 제조 후에는, 반도체 에피택셜 웨이퍼 표면에 디바이스를 제작하고, 전기 특성 평가를 행하고 있다.

[0004]

종래, 에피택셜 성장을 행하기 위해서는, 에피택셜 성장하는 하지의 표면이 평탄한 편이 바람직하다고 여겨져 왔다.

[0005]

예를 들어, 특허문헌 1은 초기층인 AlN층의 조도에 관한 것이며, AlN층에 접하는 실리콘 기판의 표면 조도 R_a 를 0.2 내지 1nm로 함으로써, 그 상방에 성장하는 III족 질화물 반도체의 결정성을 향상시키는 것을 개시하고 있다. 그러나, 특허문헌 1에는 전기 특성에 관한 언급은 없다.

선행기술문헌

특허문헌

[0006]

(특허문헌 0001) 일본 특허 공개 제2011-066333호 공보

발명의 내용

해결하려는 과제

[0007]

본 발명자들은, 상기와 같은 에피택셜 웨이퍼의 전기적 특성에 대하여 검토를 행하여, 베퍼층 구조의 V 피트와 종방향 누설 전류 특성에 상관 관계가 있고, 베퍼층 구조의 V 피트가 적으면, 종방향 누설 전류가 감소된다는 것을 알아냈다.

[0008]

그러나, 베퍼층 구조의 V 피트를 어떻게 하여 억제할지에 대해서는, 검토의 여지가 있었다.

[0009]

본 발명은 상기 문제점에 비추어 이루어진 것이며, 베퍼층 구조의 V 피트를 억제하고, 전자 디바이스를 제작하였을 때의 전류 누설 특성을 개선할 수 있는 전자 디바이스용 에피택셜 기판을 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0010] 상기 목적을 달성하기 위해, 본 발명은 Si계 기판과, 해당 Si계 기판 상에 형성된 AlN 초기층과, 해당 AlN 초기층 상에 형성된 베퍼층을 갖는 전자 디바이스용 에피택셜 기판이며, 상기 AlN 초기층의 상기 베퍼층의 표면의 조도 Sa가 4nm 이상인 것을 특징으로 하는 전자 디바이스용 에피택셜 기판을 제공한다.
- [0011] 이와 같이 AlN 초기층의 베퍼층의 표면의 조도 Sa가 4nm 이상이면, AlN 초기층 상에 형성되는 베퍼층 구조의 V 피트를 억제하고, 전자 디바이스를 제작하였을 때의 종방향 누설 전류 특성을 개선할 수 있다.
- [0012] 이때, 상기 AlN 초기층의 상기 베퍼층의 표면의 조도 Sa가 8nm 이하인 것이 바람직하다.
- [0013] 이와 같이 AlN 초기층의 베퍼층의 표면의 조도 Sa가 8nm 이하이면, AlN 초기층 상에 형성되는 베퍼층 구조의 V 피트를 확실하게 억제할 수 있다.
- [0014] 이때, 상기 베퍼층은, 상기 AlN 초기층에 접해 있는 $\text{Al}_z\text{Ga}_{1-z}\text{N}$ ($0 \leq z < 1$)층을 포함하고, 상기 $\text{Al}_z\text{Ga}_{1-z}\text{N}$ ($0 \leq z < 1$)층의 상기 AlN 초기층과 반대측의 표면의 조도 Sa가 0.6nm 이하인 것이 바람직하다.
- [0015] 이와 같이 $\text{Al}_z\text{Ga}_{1-z}\text{N}$ 층의 AlN 초기층과 반대측의 표면의 조도 Sa가 0.6nm 이하이면, 전자 디바이스를 제작하였을 때의 종방향 누설 전류 특성을 효과적으로 개선할 수 있다.
- [0016] 이때, 상기 베퍼층은, 상기 $\text{Al}_z\text{Ga}_{1-z}\text{N}$ ($0 \leq z < 1$)층에 접하고, 또한 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 < x \leq 1$)층과 $\text{Al}_y\text{Ga}_{1-y}\text{N}$ ($0 \leq y < x$)층이 교대로 적층된 다층막을 포함하고, 상기 다층막의 상기 $\text{Al}_z\text{Ga}_{1-z}\text{N}$ ($0 \leq z < 1$)층과 반대측의 표면의 조도 Sa가 0.3nm 이하인 것이 바람직하다.
- [0017] 이와 같이 다층막의 $\text{Al}_z\text{Ga}_{1-z}\text{N}$ ($0 \leq z < 1$)층과 반대측의 표면의 조도 Sa가 0.3nm 이하이면, 전자 디바이스를 제작하였을 때의 종방향 누설 전류 특성을 보다 효과적으로 개선할 수 있다.
- [0018] 이때, 상기 베퍼층 상에 형성된 채널층과, 해당 채널층 상에 형성된 배리어층과, 해당 배리어층 상에 형성된 캡층을 더 갖는 것이 바람직하다.
- [0019] 이러한 구성이면, 전자 디바이스용 에피택셜 기판으로서 적합하게 사용할 수 있다.
- [0020] 또한, 본 발명은 상기 전자 디바이스용 에피택셜 기판을 사용하여 제작된 전자 디바이스이며, 상기 전자 디바이스용 에피택셜 기판 상에 전극이 설치되어 있는 것인 것을 특징으로 하는 전자 디바이스를 제공한다.
- [0021] 이러한 전자 디바이스라면, AlN 초기층 상에 형성되는 베퍼층 구조의 V 피트를 억제하고, 종방향 누설 전류 특성을 개선할 수 있다.
- [0022] 또한, 본 발명은 Si계 기판 상에 AlN 초기층을 형성하는 공정과, 상기 AlN 초기층 상에 베퍼층을 형성하는 공정과, 상기 베퍼층 상에 채널층을 형성하는 공정과, 상기 채널층 상에 배리어층을 형성하는 공정과, 상기 배리어층 상에 캡층을 형성하는 공정을 갖고, 상기 AlN 초기층의 상기 베퍼층의 표면의 조도 Sa를 4nm 이상으로 하는 것을 특징으로 하는 전자 디바이스용 에피택셜 기판의 제조 방법을 제공한다.
- [0023] 이러한 전자 디바이스용 에피택셜 기판의 제조 방법이면, AlN 초기층 상에 형성되는 베퍼층 구조의 V 피트가 억제되고, 전자 디바이스를 제작하였을 때의 종방향 누설 전류 특성이 개선되는 전자 디바이스용 에피택셜 기판을 제조할 수 있다.
- [0024] 또한, 본 발명은 Si계 기판 상에 AlN 초기층을 형성하는 공정과, 상기 AlN 초기층 상에 베퍼층을 형성하는 공정과, 상기 베퍼층 상에 채널층을 형성하는 공정과, 상기 채널층 상에 배리어층을 형성하는 공정과, 상기 배리어층 상에 캡층을 형성하는 공정과, 상기 캡층 상에 전극을 형성하는 공정을 갖고, 상기 AlN 초기층의 상기 베퍼층의 표면의 조도 Sa를 4nm 이상으로 하는 것을 특징으로 하는 전자 디바이스의 제조 방법을 제공한다.
- [0025] 이러한 전자 디바이스의 제조 방법이면, AlN 초기층 상에 형성되는 베퍼층 구조의 V 피트가 억제되고, 종방향 누설 전류 특성이 개선되는 전자 디바이스를 제조할 수 있다.

발명의 효과

- [0026] 이상과 같이, 본 발명에 따르면, AlN 초기층 상에 형성되는 베퍼층 구조의 V 피트를 억제하고, 전자 디바이스를 제작하였을 때의 종방향 누설 전류 특성을 개선할 수 있다.

도면의 간단한 설명

[0027]

도 1은, 본 발명의 전자 디바이스용 에피택셜 기판의 실시 형태의 일례를 도시하는 단면도이다.

도 2는, 본 발명의 전자 디바이스용 에피택셜 기판의 베퍼층의 상세한 구성을 도시하는 단면도이다.

도 3은, 본 발명의 전자 디바이스용 에피택셜 기판의 AlN 초기층 및 베퍼층의 표면 조도도 포함시킨 상세한 구성을 도시하는 단면도이다.

도 4는, 본 발명의 전자 디바이스의 실시 형태의 일례를 도시하는 단면도이다.

도 5는, 본 발명의 전자 디바이스용 에피택셜 기판의 제조 플로우를 도시하는 공정 단면도이다.

도 6은, 실험예에 있어서의 베퍼층 구조의 V 피트 밀도와 AlN 초기층의 표면 조도 Sa의 관계를 나타내는 도면이다.

도 7은, 실험예에 있어서의 종방향 누설 전류와 AlN 초기층의 표면 조도 Sa의 관계를 나타내는 도면이다.

도 8은, 실시예에 있어서의 AlN 초기층 성장 후의 AlN 초기층의 표면의 사진을 도시하는 도면이다.

도 9는, 실시예에 있어서의 $Al_zGa_{1-z}N(0 \leq z < 1)$ 층(제1층) 성장 후의 $Al_zGa_{1-z}N(0 \leq z < 1)$ 층(제1층)의 표면의 사진을 도시하는 도면이다.

도 10은, 실시예에 있어서의 제1 다층막 성장 후의 제1 다층막의 표면의 사진을 도시하는 도면이다.

도 11은, 비교예에 있어서의 AlN 초기층 성장 후의 AlN 초기층의 표면의 사진을 도시하는 도면이다.

도 12는, 비교예의 전자 디바이스용 에피택셜 기판의 AlN 초기층 및 베퍼층의 표면 조도도 포함시킨 상세한 구성을 도시하는 단면도이다.

도 13은, 베퍼층 구조의 V 피트를 설명하기 위한 단면도이다.

도 14는, 베퍼층 구조의 V 피트가 발생하고 있는 전자 디바이스용 에피택셜 기판을 도시하는 단면도이다.

도 15는, 종방향 누설 전류 특성을 도시하는 도면이다.

도 16은, 베퍼층 구조의 V 피트의 수와 종방향 누설 전류의 관계를 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0028]

이하, 본 발명에 대하여, 실시 형태의 일례로서, 도면을 참조하면서 상세하게 설명하지만, 본 발명은 이것에 한정되는 것은 아니다.

[0029]

전술한 바와 같이, 본 발명자들은, Si 기판 상에 GaN막을 에피택셜 성장시킨 에피택셜 웨이퍼의 전기적 특성에 대하여 검토를 행하였다. 그 검토에 있어서, 종방향 누설 전류 특성이 나쁜 것에서부터 좋은 것까지를 임의로 선택하여, 각각의 웨이퍼를 2분할하고, 한쪽의 2분할 웨이퍼에서 종방향 누설 전류 특성 평가를 행하고, 다른 쪽의 2분할 웨이퍼에서 고장 해석(단면 관찰)을 행하였다.

[0030]

고장 해석은, 에피택셜 웨이퍼를 벽개하고, 그 단면을 SEM의 배율을 25k로 하여 베퍼층 구조의 V 피트를 관찰함으로써 행하였다.

[0031]

여기서, 베퍼층 구조의 V 피트에 대하여 설명한다. 원래, 베퍼층의 각 층은, 기판에 대하여 평행하게 적층되지 않으면 안된다. 「V 피트」란, 기판에 대하여 평행이 아니라 일부에 오목부가 생겨, 다층막이나 $Al_zGa_{1-z}N(0 \leq z < 1)$ 삽입층이 평평하게 되어 있지 않은 부분(도 13의 타원으로 둘러싼 부분)을 말한다.

[0032]

각 웨이퍼에 대하여, 인접하지 않는 임의의 5점(즉, 약간 이격된 5개소)을 관찰하여, 베퍼층 구조의 V 피트의 수를 세었다(도 13, 도 14 참조).

[0033]

여기서, 도 13은 베퍼층 구조의 V 피트를 설명하기 위한 단면도이고, 도 14는 베퍼층 구조의 V 피트가 발생한 전자 디바이스용 에피택셜 기판을 도시하는 단면도이다. 또한, 도 13, 도 14에 있어서, 전자 디바이스용 에피택셜 기판(100)은, Si 기판(112)과, Si 기판(112) 상에 형성된 AlN 초기층(113)과, AlN 초기층(113) 상에 형성된 베퍼층(114)을 갖고 있다. 베퍼층(114)은, $Al_zGa_{1-z}N$ 을 포함하는 제1층(114a)과, 제1 다층막(115')이 적층되고, 제1 다층막(115') 상에 추가로 $Al_\alpha Ga_{1-\alpha}N(0 \leq \alpha < 1)$ 삽입층(114d)과, 제2 다층막(115)이 교대로 적층됨으로써 형성되어 있다. 전자 디바이스용 에피택셜 기판(100)은, 베퍼층(114) 상에 형성된 고저항층(116)과, 고저항

층(116) 상에 형성된 채널층(117)과, 채널층(117) 상에 형성된 배리어층(118)과, 배리어층(118) 상에 형성된 캡층(119)을 더 갖고 있다.

[0034] 각 웨이퍼의 종방향 누설 전류 특성을 도 15에 도시한다. 도 15에는, 각 웨이퍼의 베퍼층 구조의 표면에 있어서의 V 피트의 수도 도시되어 있다. 도 15를 베퍼층 구조의 표면에 있어서의 V 피트의 수와 종방향 누설 전류의 관계로 다시 기재한 것이 도 16으로 된다.

[0035] 도 15, 도 16으로부터 베퍼 구조의 V 피트의 수가 증가함에 수반하여 누설 전류가 증가함을 알 수 있다.

[0036] 따라서, 종방향 누설 전류 특성을 개선하기 위해서는, 베퍼층 구조의 V 피트를 억제할 필요가 있다.

[0037] 그래서, 본 발명자들은, 베퍼층 구조의 V 피트를 억제하고, 전자 디바이스를 제작하였을 때의 종방향 누설 전류 특성을 개선할 수 있는 전자 디바이스용 에피택셜 기판에 대하여 예의 검토한바, AlN 초기층의 베퍼층측의 표면의 조도 Sa가 4nm 이상이면, AlN 초기층 상에 형성되는 베퍼층 구조의 V 피트를 억제하고, 전자 디바이스를 제작하였을 때의 종방향 누설 전류 특성을 개선할 수 있다는 것을 알아내어, 본 발명을 이루기에 이르렀다.

[0038] 우선, 도 1 내지 도 3을 참조하면서, 본 발명의 전자 디바이스용 에피택셜 기판을 설명한다.

[0039] 도 1에 도시하는 본 발명의 전자 디바이스용 에피택셜 기판(10)은, Si 계 기판(12)과, Si 계 기판(12) 상에 형성된 AlN 초기층(13)과, AlN 초기층(13) 상에 형성된 베퍼층(14)을 갖고 있으며, AlN 초기층(13)의 베퍼층(14)측의 표면의 조도 Sa는 4nm 이상이다. 여기서, 조도 Sa는 2차원의 산술적 평균 조도 Ra를 3차원화한 것으로서 정의되는 것이다. 또한, Si 계 기판이란, Si 기판 또는 SiC 기판이다.

[0040] 도 1의 전자 디바이스용 에피택셜 기판(10)은, 베퍼층(14) 상에 형성된 고저항층(16)과, 고저항층(16) 상에 형성된 채널층(17)과, 채널층(17) 상에 형성된 배리어층(18)과, 배리어층(18) 상에 형성된 캡층(19)을 더 가질 수 있다. 여기서, 채널층(17)과 배리어층(18)은 능동층(20)을 형성하고 있다.

[0041] 고저항층(16)은, 예를 들어 C 또는 Fe를 포함하는 GaN층으로 할 수 있고, 채널층(17)은, 예를 들어 C 또는 Fe 중 어느 것이 고저항층(16)보다 적은 GaN층으로 할 수 있고, 배리어층(18)은, 예를 들어 AlGaN층으로 할 수 있고, 캡층(19)은, 예를 들어 GaN층으로 할 수 있다.

[0042] 베퍼층(14)의 상세한 구성을 도 2에 도시하고, AlN 초기층(13) 및 베퍼층(14)의 표면의 조도 Sa도 포함하는 상세한 구성을 도 3에 도시한다. 베퍼층(14)은, $Al_zGa_{1-z}N$ ($0 \leq z < 1$)을 포함하는 제1층($Al_zGa_{1-z}N$ 층)(14a)과, 제1 다층막(다층막)(15')이 적층된 것으로 할 수 있다. 제1 다층막(15')은, $Al_xGa_{1-x}N$ ($0 < x \leq 1$)층(14b)과, $Al_yGa_{1-y}N$ ($0 \leq y < x$)층(14c)이 교대로 적층된 것으로 할 수 있고, 복수 페어가 교대로 적층된 것으로 할 수 있다. 또한, 도 2에서 도시하는 바와 같이, 제1 다층막(15') 상에 삽입층(14d)과 제2 다층막(15)이 교대로 복수 페어 또는 단수 페어 적층되어 있다(도 2에서는 복수 페어 적층되어 있지만, 단수 페어여도 됨).

[0043] 삽입층(14d)은, $Al_aGa_{1-a}N$ ($0 \leq a < 1$)층으로 할 수 있고, 제2 다층막(15)은 $Al_xGa_{1-x}N$ ($0 < x \leq 1$)층(14b)과 $Al_yGa_{1-y}N$ ($0 \leq y < x$)층(14c)이 교대로 적층된 것으로 할 수 있다.

[0044] 전자 디바이스용 에피택셜 기판(10)은, AlN 초기층(13)의 베퍼층(14)측의 표면의 조도 Sa를 4nm 이상으로 함으로써, AlN 초기층(13) 상에 형성되는 베퍼층(14)의 구조의 V 피트를 억제하고, 전자 디바이스를 제작하였을 때의 종방향 누설 전류 특성을 개선할 수 있다.

[0045] 이 경우, 전자 디바이스용 에피택셜 기판(10)에 있어서, AlN 초기층(13) 표면의 조도 Sa가 8nm 이하인 것이 바람직하다.

[0046] 이와 같이 AlN 초기층(13)의 베퍼층(14)측의 표면의 조도 Sa가 4nm 이상 8nm 이하이면, AlN 초기층(13) 상에 형성되는 베퍼층(14)의 구조의 V 피트를 확실하게 억제할 수 있다.

[0047] 전자 디바이스용 에피택셜 기판(10)에 있어서, AlN 초기층(13)과 접해 있는 $Al_zGa_{1-z}N$ ($0 \leq z < 1$)을 포함하는 제1층(14a)의 AlN 초기층(13)과 반대측의 표면의 조도 Sa가, 0.6nm 이하인 것이 바람직하다.

[0048] 이와 같이 제1층(14a)의 AlN 초기층(13)과 반대측의 표면의 조도 Sa가 0.6nm 이하이면, 전자 디바이스를 제작하였을 때의 종방향 누설 전류 특성을 효과적으로 개선할 수 있다.

[0049] 전자 디바이스용 에피택셜 기판(10)에 있어서, 제1층(14a)과 접해 있는 제1 다층막(15')의 AlN 초기층(13)과 반

대측의 표면의 조도 Sa가, 0.3nm 이하인 것이 바람직하다.

[0050] 이와 같이 제1 다층막(15')의 제1층(14a)과 반대측의 표면의 조도 Sa가 0.3nm 이하이면, 전자 디바이스를 제작하였을 때의 종방향 누설 전류 특성을 보다 효과적으로 개선할 수 있다.

[0051] 이어서, 도 4를 참조하면서, 본 발명의 전자 디바이스의 실시 형태의 일례를 설명한다.

[0052] 도 4의 전자 디바이스(11)는, 도 1의 전자 디바이스용 에피택셜 기판(10)의 채널층(17)과 배리어층(18)을 포함하는 능동층(20) 상의 캡층(19) 상에, 소스 전극(26), 드레인 전극(28), 게이트 전극(30)을 설치한 것이다. 전자 디바이스(11)에 있어서, 소스 전극(26) 및 드레인 전극(28)은, 소스 전극(26)으로부터, 채널층(17) 내에 형성된 2차원 전자 가스층(21)을 개재시켜, 드레인 전극(28)으로 전류가 흐르도록 배치되어 있다. 소스 전극(26)과 드레인 전극(28)의 사이에 흐르는 전류는, 게이트 전극(30)에 인가되는 전위에 의해 컨트롤할 수 있다. 또한, 소스 전극(26), 드레인 전극(28)은 2차원 전자 가스층(21)과 저저항 접속되어 있으면 되고, 캡층(19)을 제거한 영역, 또는 캡층(19) 및 배리어층(18)을 제거한 영역에 배치해도 된다.

[0053] 이러한 전자 디바이스라면, AlN 초기층 상에 형성되는 베퍼층 구조의 V 피트를 억제하고, 종방향 누설 전류 특성을 개선할 수 있다.

[0054] 이어서, 도 1 내지 도 3, 도 5를 참조하면서, 본 발명의 전자 디바이스용 에피택셜 기판의 제조 방법의 실시 형태의 일례를 설명한다.

[0055] 우선, 도 5의 (a)에 도시하는 바와 같이, 두께 1mm 정도의 Si계 기판(12) 상에, 예를 들어 MOVPE법(유기 금속 기상 성장법)에 의해, AlN 초기층(13)을 20 내지 200nm의 두께로 에피택셜 성장시킨다.

[0056] 여기서 AlN 초기층(13)의 표면의 조도 Sa를 4nm 이상, 바람직하게는 4nm 이상 8nm 이하로 한다. 또한, AlN 초기층(13)의 표면을 거칠게 하기 위해서는, 성장 온도, 가스 유량, III족 원소/V족 원소비를 변경함으로써 표면의 조도를 조정할 수 있다.

[0057] 이어서, 도 5의 (b)에 도시하는 바와 같이, AlN 초기층(13) 상에, 예를 들어 MOVPE법에 의해 베퍼층(14)을 에피택셜 성장시킨다.

[0058] 구체적으로는, 도 2에 도시하는 바와 같이, 두께 100 내지 500nm 정도의 $Al_xGa_{1-x}N$ 을 포함하는 제1층(14a)과, 두께 3 내지 7nm 정도의 $Al_xGa_{1-x}N$ (14b)과 두께 2 내지 5nm 정도의 $Al_yGa_{1-y}N$ (14c)이 교대로 적층된 제1 다층막(15')을 적층하고, 제1 다층막(15') 상에 추가로 두께 100 내지 500nm 정도의 $Al_aGa_{1-a}N$ 을 포함하는 삽입층(14d)과, 두께 3 내지 7nm 정도의 $Al_xGa_{1-x}N$ (14b)과 두께 2 내지 5nm 정도의 $Al_yGa_{1-y}N$ (14c)이 교대로 적층된 제1 다층막(15')을 교대로 적층하여 베퍼층(14)을 형성한다. 여기서, 제1층(14a)은 제1 다층막(15'), 제2 다층막(15)을 구성하는 각 층보다 두껍게 형성한다.

[0059] 이때, AlN 초기층(13)의 베퍼층(14)측의 표면의 조도 Sa를 상기와 같이 크게 하고 있으므로, AlN 초기층(13) 상에 형성되는 제1층(14a)의 횡방향 성장이 촉진되고, 제1층(14a)에 의한 AlN 초기층(13)의 표면의 구멍 메움이 촉진되고, 그 결과, 제1층(14a) 성장 후의 표면이 평탄하게 되고(도 3을 참조), 제1층(14a) 상의 제1 다층막(15')의 평탄성도 향상시킬 수 있고(도 3을 참조), 전자 디바이스를 제작하였을 때의 종방향 누설 전류 특성을 개선할 수 있다.

[0060] 이어서, 도 5의 (c)에 도시하는 바와 같이, 고저항층(16), 예를 들어 C 또는 Fe를 포함하는 GaN층, 계속해서 채널층(17), 예를 들어 고저항층(16)보다 적어도 C 또는 Fe가 적은 GaN층을, 예를 들어 MOVPE법에 의해 에피택셜 성장시킨다.

[0061] 이어서, 배리어층(18), 예를 들어 AlGaN층, 그 위에 캡층(19), 예를 들어 GaN층을, 예를 들어 MOVPE법에 의해 에피택셜 성장시켜, 도 1에 도시하는 전자 디바이스용 에피택셜 기판(10)을 제조할 수 있다.

[0062] 상기와 같은 전자 디바이스용 에피택셜 기판의 제조 방법이면, AlN 초기층 상에 형성되는 베퍼층 구조의 V 피트가 억제되고, 전자 디바이스를 제작하였을 때의 종방향 누설 전류 특성이 개선되는 전자 디바이스용 에피택셜 기판을 제조할 수 있다.

[0063] 이어서, 본 발명의 전자 디바이스의 제조 방법의 실시 형태의 일례를 설명한다.

[0064] 상기에서 설명한 바와 같이, 도 1의 전자 디바이스용 에피택셜 기판(10)을 제조하고, 또한 전자 디바이스용 에

피택셜 기판(10)의 채널층(17)과 배리어층(18)을 포함하는 능동층(20) 상의 캡층(19) 상에, 소스 전극(26), 드레인 전극(28), 게이트 전극(30)을 형성한다. 소스 전극(26) 및 드레인 전극(28)은, 예를 들어 Ti/Al의 적층막으로 형성할 수 있고, 게이트 전극(30)은, 예를 들어 SiO, SiN 등의 금속 산화물을 포함하는 하층막과, Ni, Au, Mo, Pt 등이 금속을 포함하는 상층막의 적층막으로 형성할 수 있다. 이와 같이 하여, 도 4에 도시하는 전자 디바이스(11)가 얻어진다.

[0065] 상기와 같은 전자 디바이스의 제조 방법이면, AlN 초기층 상에 형성되는 베퍼층 구조의 V 피트가 억제되고, 종방향 누설 전류 특성이 개선되는 전자 디바이스를 제조할 수 있다.

[0066] <실시예>

[0067] 이하, 실험예, 실시예 및 비교예를 나타내어 본 발명을 보다 구체적으로 설명하지만, 본 발명은 이들에 한정되는 것은 아니다.

[0068] (실험예)

[0069] AlN 초기층 표면의 조도를 2nm 내지 7.5nm의 범위에서 바꾸어(6 수준 작성), 도 1에 도시하는 바와 같은 전자 디바이스용 에피택셜 기판(10)을 제조하였다. 베퍼층 구조의 V 피트 밀도(개소/cm²)와 AlN 초기층 표면의 조도 Sa의 관계를 도 6에 도시한다. 또한, 종방향 누설 전류와 AlN 초기층 표면의 조도 Sa의 관계를 도 7에 도시한다. 도 6으로부터 알 수 있는 바와 같이 AlN 초기층 표면의 조도가 4nm 이상이고 V 피트는 없어지고(4nm 이상에서는 V 피트는 거의 없어지고, 도 6 상에는 플롯이 없음), 도 7로부터 알 수 있는 바와 같이 AlN 초기층 표면의 조도가 4nm 이상이고 종방향 누설 전류도 개선되어 있다.

[0070] (실시예)

[0071] 두께 1mm 정도의 실리콘 기판 상에 MOVPE법에 의해 AlN 초기층(13)을 160nm의 두께로 성장시켰다. 여기서, AlN 초기층을 성장 온도 1100°C 내지 1200°C, 예를 들어 1130°C에서 형성하고, AlN 초기층(13)의 표면의 조도 Sa를 4.79nm로 하였다.

[0072] 이어서 베퍼층(14)을 성장시켰다. 베퍼층(14)은 두께 300nm의 GaN을 포함하는 제1층(14a)과, 제1 다층막(15')을 적층시키고, 제1 다층막(15') 상에 추가로 두께 300nm의 GaN을 포함하는 삽입층(14d)과, 제2 다층막(15)을 교대로 적층시켰다. 제1 다층막(15'), 제2 다층막(15)은, 두께 5nm의 AlN층(14b)과 두께 3nm의 GaN층(14c)을 교대로 적층하였다.

[0073] 이어서 GaN을 포함하는 고탄소 농도층(고저항층(16)), 계속해서 동일하게 GaN을 포함하는 저탄소 농도층(채널층(17))을 성장시켰다. 계속해서, AlGaN을 포함하는 배리어층(18), 그 위에 GaN층(캡층(19))을 성장시킴으로써, 도 1의 전자 디바이스용 에피택셜 기판(10)을 제조하였다.

[0074] 도 8에 AlN 초기층(13)의 표면의 사진을 도시한다. 또한, 도 3에 에피택셜 성장 후의 베퍼층(14)의 단면을 도시한다. 이와 같이 AlN 초기층(13)의 표면은 요철 형상이지만, 그 위의 제1층(14a)의 표면은 평坦하게 되어 있음을 알 수 있다.

[0075] 도 9에 제1층(14a) 표면의 사진을 도시한다. 제1층(14a) 표면의 조도 Sa는, 0.6nm 이하로 되어 있었다. 또한, 도 9의 3개의 사진은, 상이한 3매의 웨이퍼의 사진이다.

[0076] 도 10에 제1 다층막(15') 표면의 사진을 도시한다. 제1 다층막(15') 표면의 조도 Sa는, 0.3nm 이하로 되어 있었다. 또한, 도 10의 2개의 사진은, 상이한 2매의 웨이퍼의 사진이다.

[0077] 이 전자 디바이스용 에피택셜 기판에 전극을 형성하고, 도 4에 도시하는 전자 디바이스(11)를 제조하여, 600V의 전압을 걸어 종방향(두께 방향) 누설 전류를 측정한바, 4×10^{-9} (A)으로 되어, 후술하는 비교예에 비하여 대폭 종방향 누설 전류를 억제할 수 있었다.

[0078] (비교예)

[0079] 실시예와 마찬가지로 하여, 전자 디바이스용 에피택셜 기판(10)을 제조하였다. 단, AlN 초기층(13)을 성장 온도 1240°C에서 형성하고, AlN 초기층의 표면의 조도 Sa를 2.16nm로 하고, 그 밖에는 실시예와 동일하게 하였다.

[0080] 도 11에 AlN 초기층(13) 표면의 사진을 도시한다. 또한, 도 12에 에피택셜 성장 후의 AlN 초기층(13) 및 베퍼층(14)의 단면을 도시한다. 이와 같이 AlN 초기층(13)의 표면은 평평하지만, 그 위의 제1층(14a) 표면, 및 제1 다층막(15') 표면은 요철 형상으로 되어 있음을 알 수 있다. 이 반도체 에피택셜 웨이퍼에 전극을 형성하고,

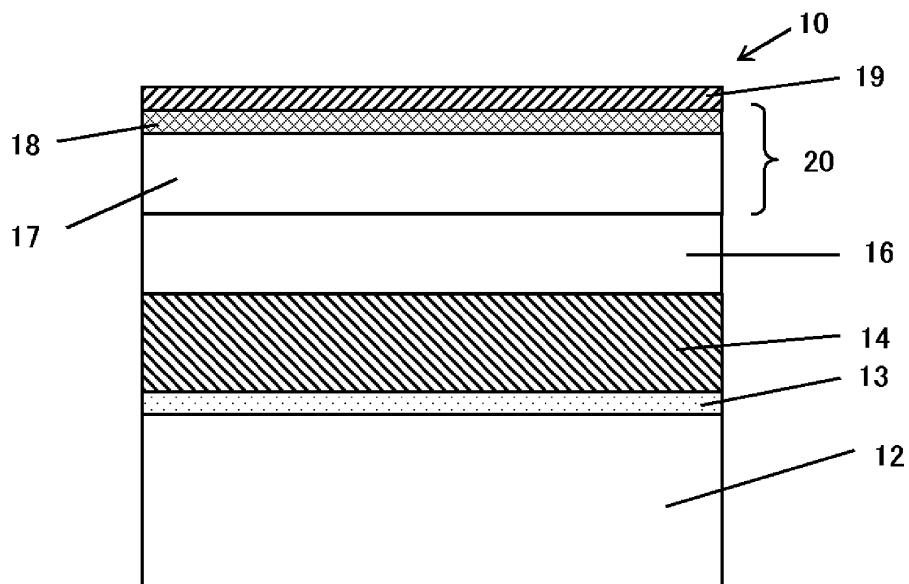
도 4에 도시하는 전자 디바이스(11)를 제조하여, 600V의 전압을 걸어 종방향 누설 전류를 측정한바, 8.6×10^{-6} (A)으로 되었다.

[0081]

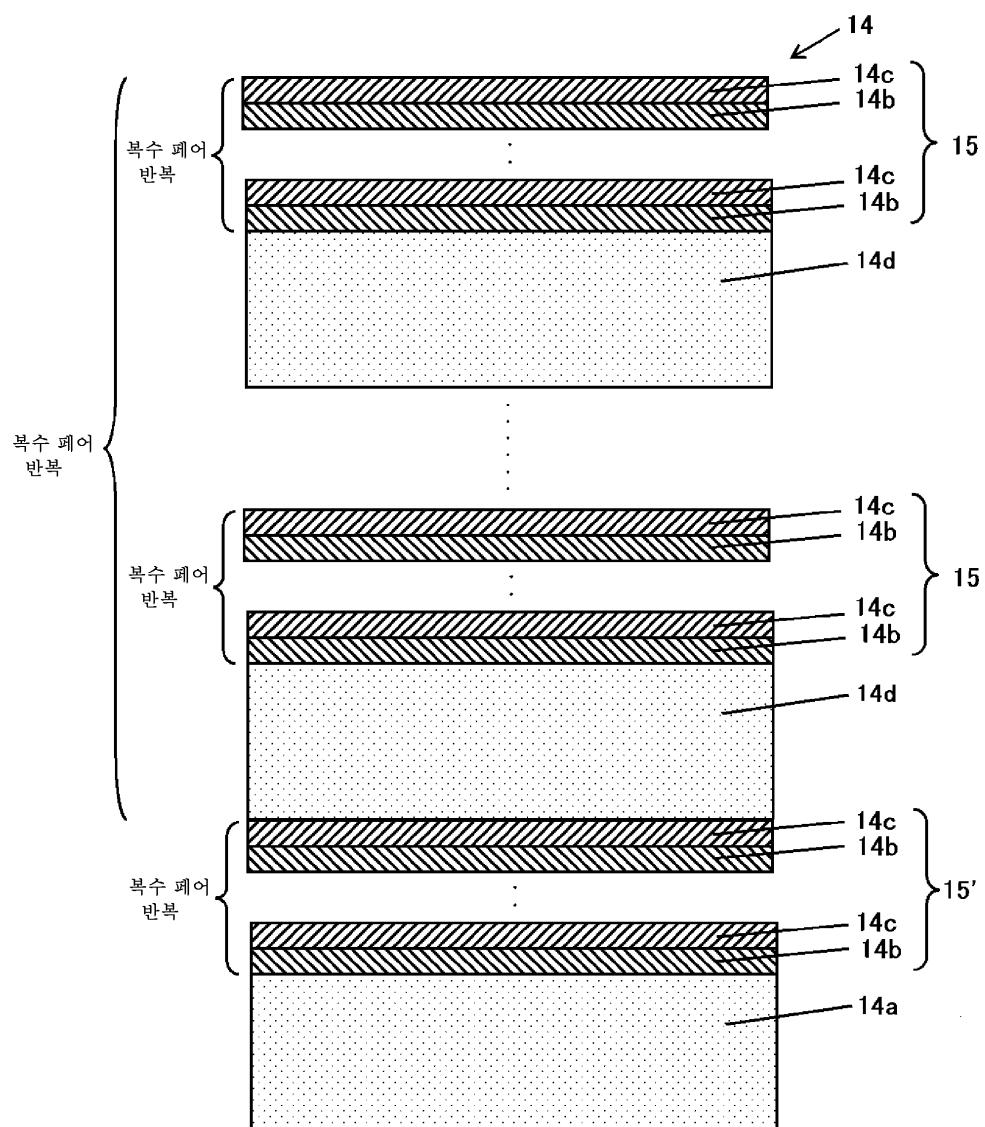
또한, 본 발명은 상기 실시 형태에 한정되는 것은 아니다. 상기 실시 형태는 예시이며, 본 발명의 특허청구범위에 기재된 기술적 사상과 실질적으로 동일한 구성을 갖고, 마찬가지의 작용 효과를 발휘하는 것은, 어떠한 것이라도 본 발명의 기술적 범위에 포함된다. 예를 들어, 제1 다층막(15'), 제2 다층막(15)은 Al 조성의 경사를 갖게 한 단일층이어도 된다. 또한, 제2 다층막(15) 또는 삽입층(14)은 형성하지 않아도 된다.

도면

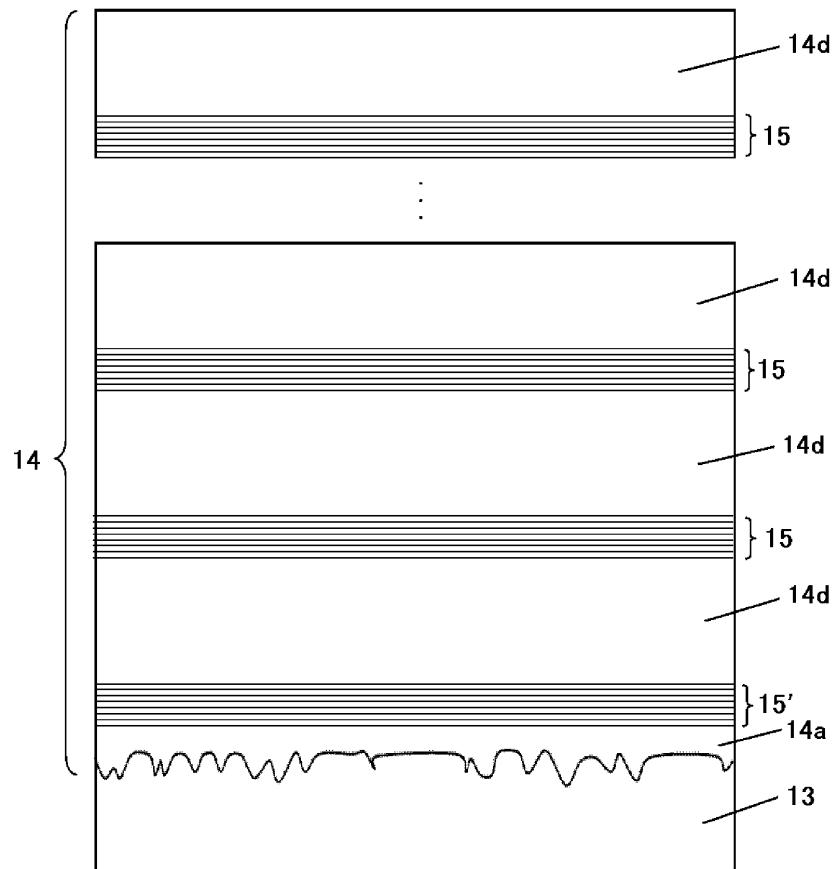
도면1



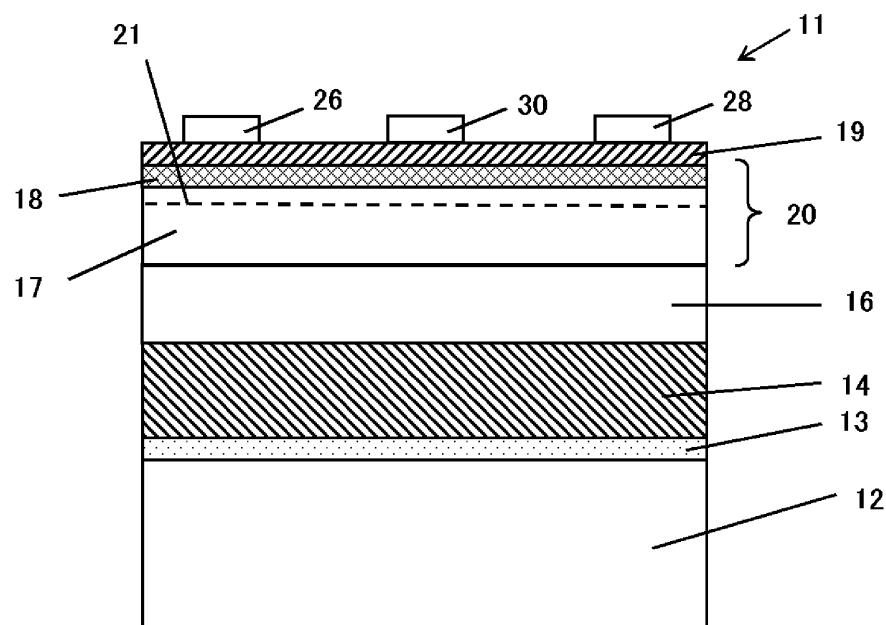
도면2



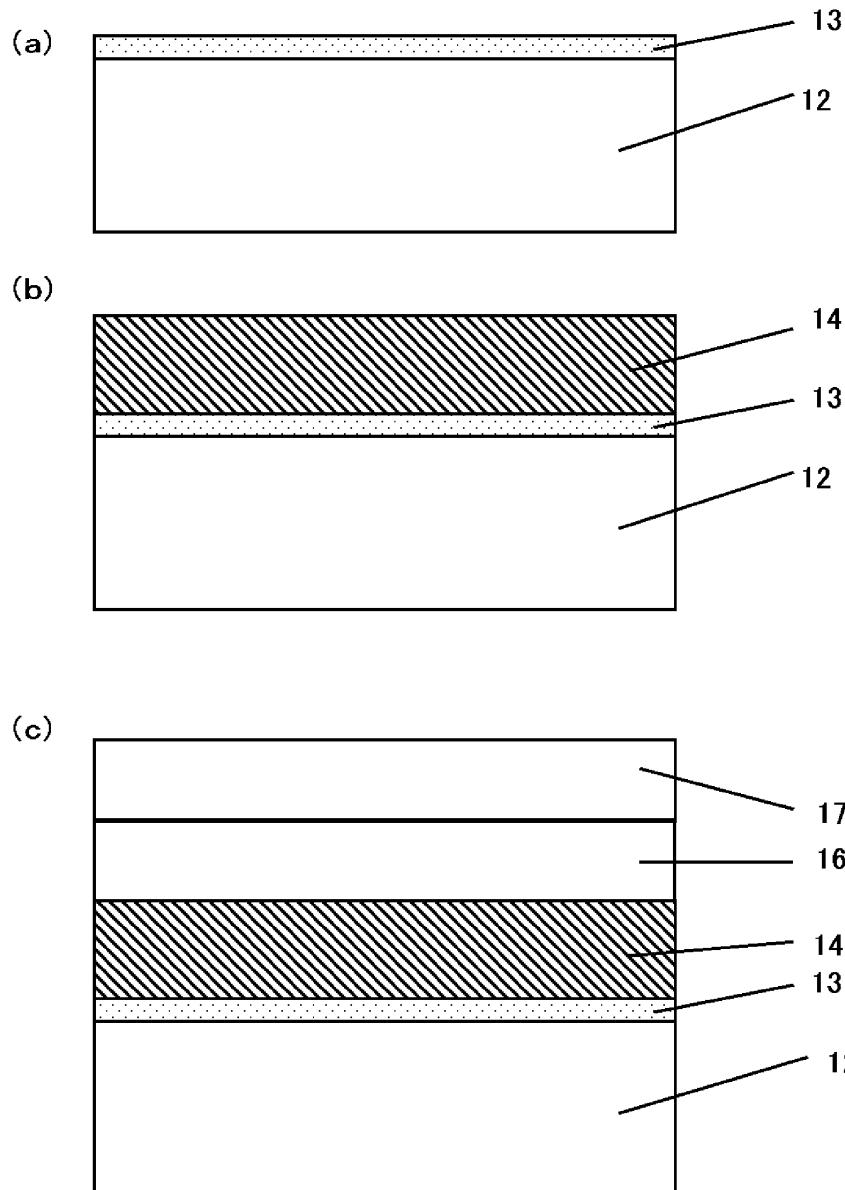
도면3



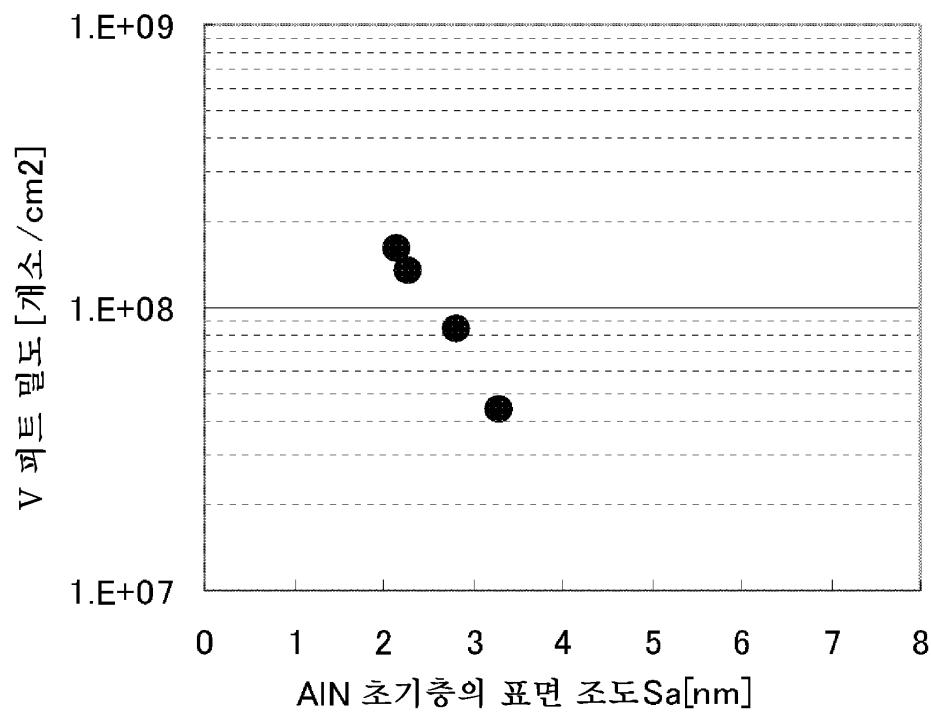
도면4



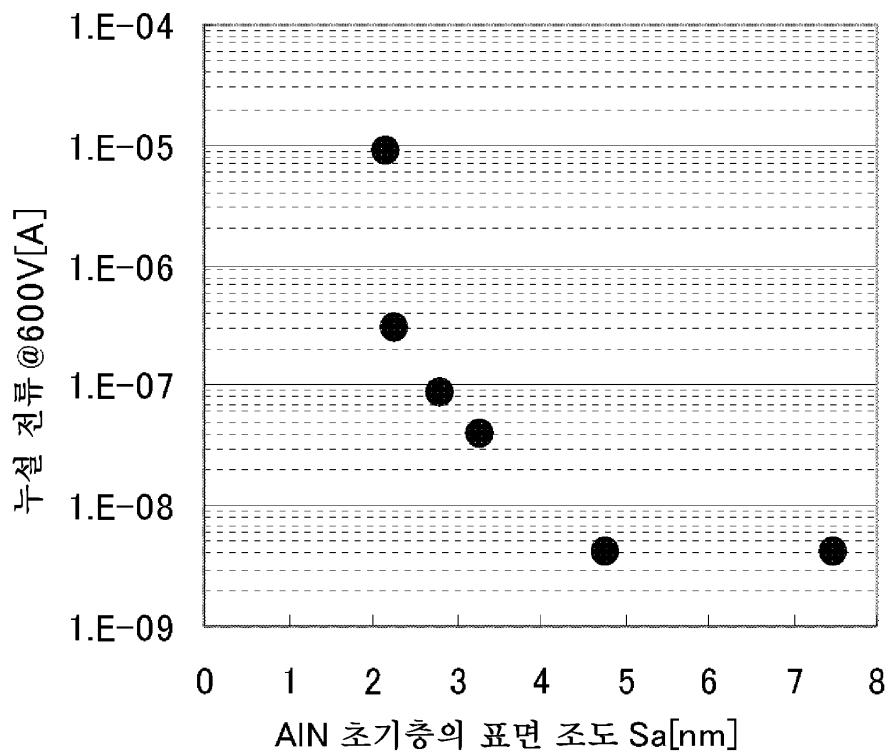
도면5



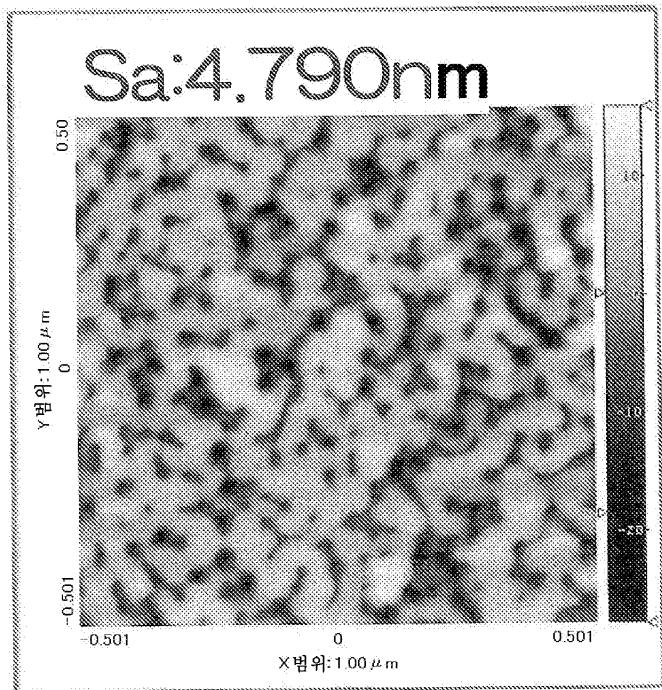
도면6



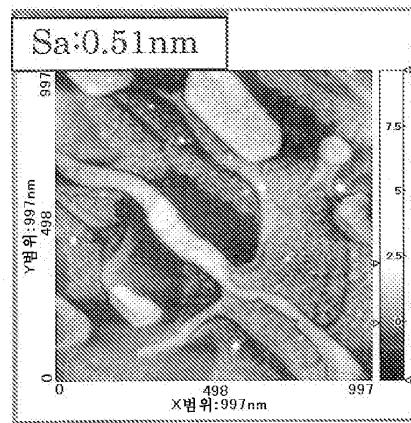
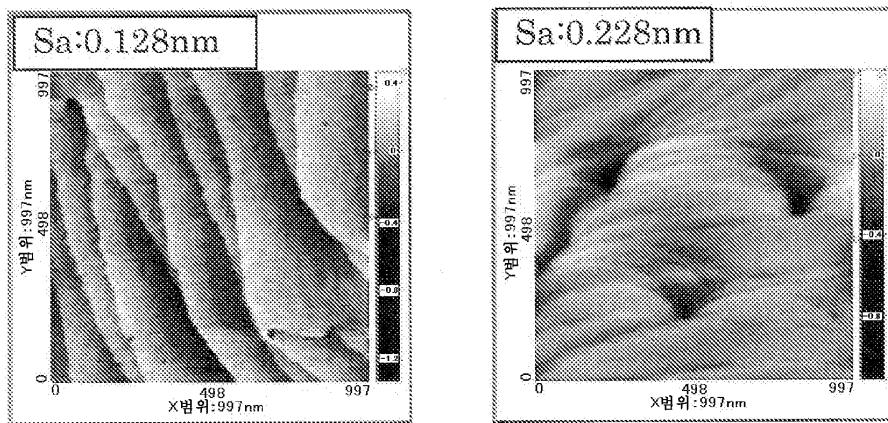
도면7



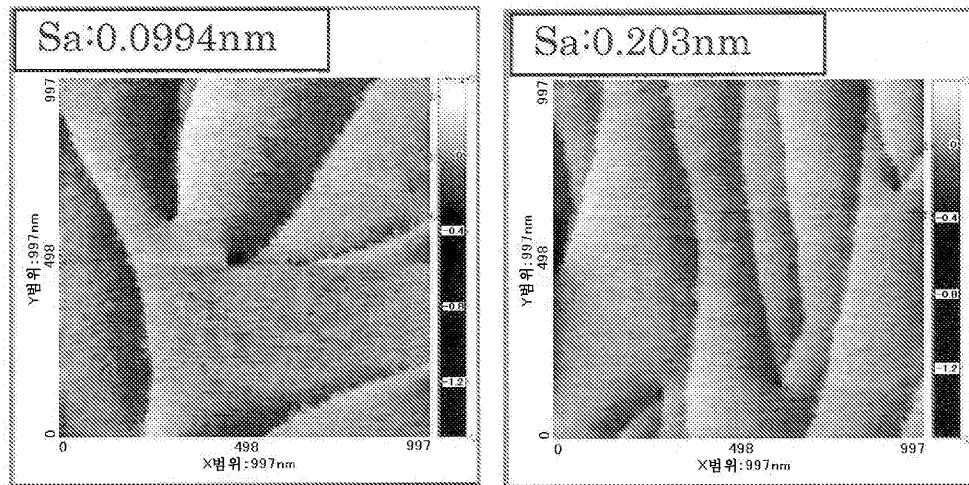
도면8



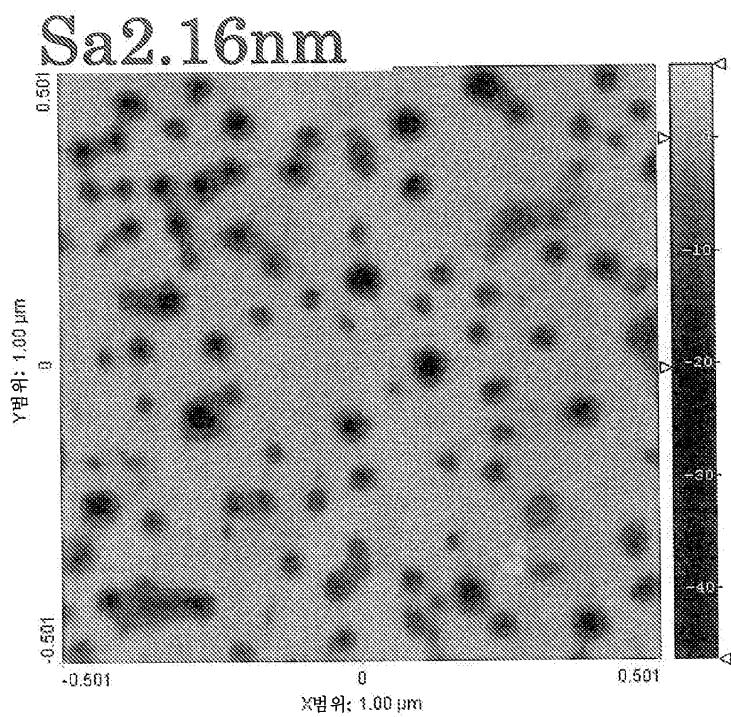
도면9



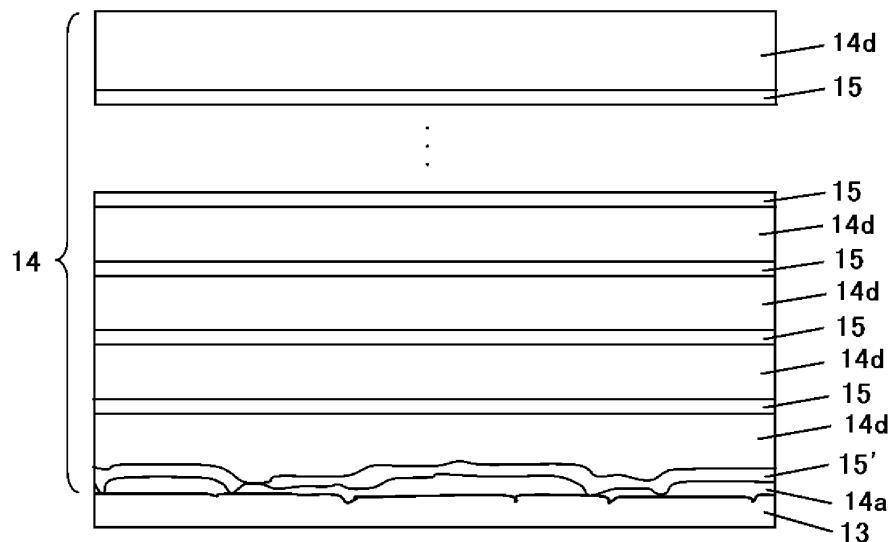
도면10



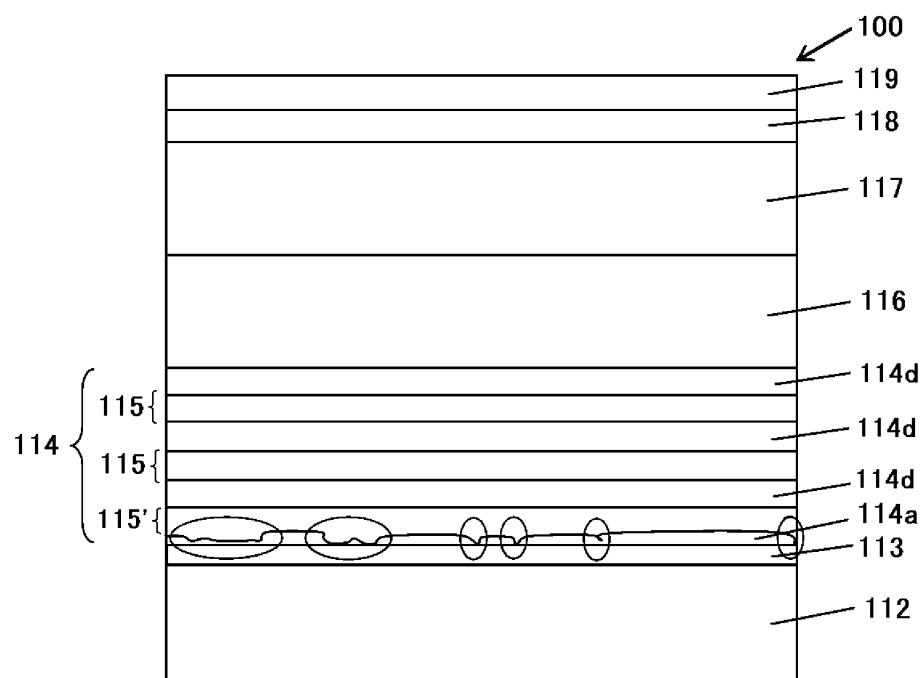
도면11



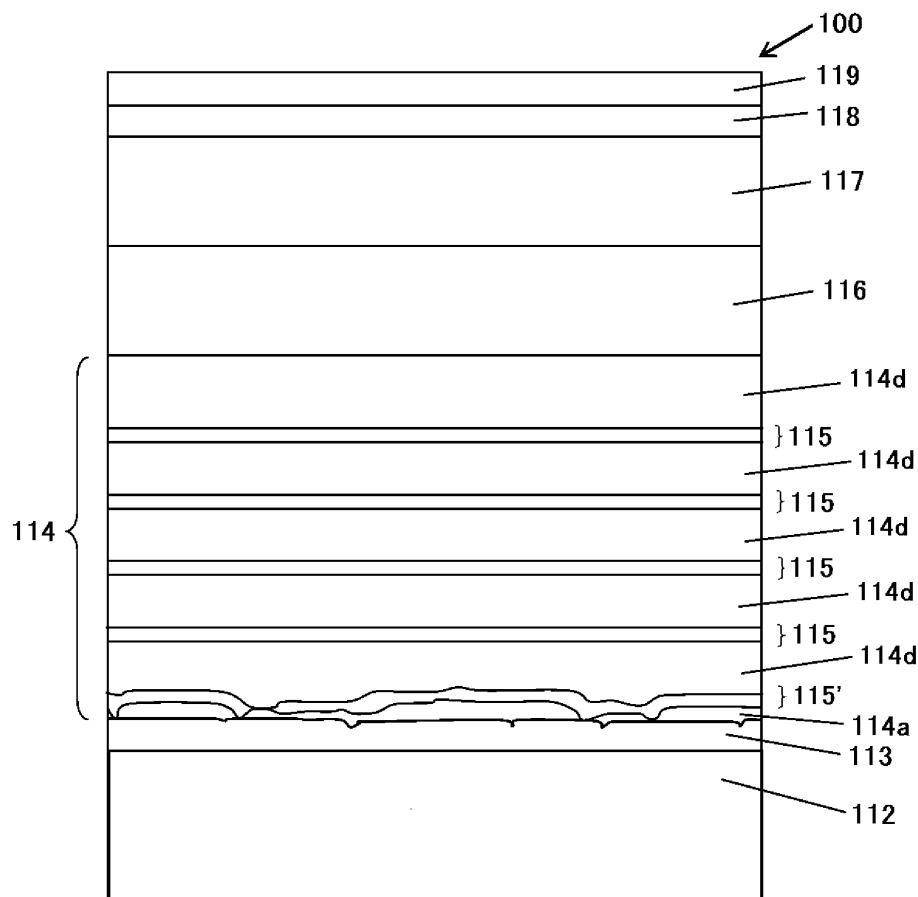
도면12



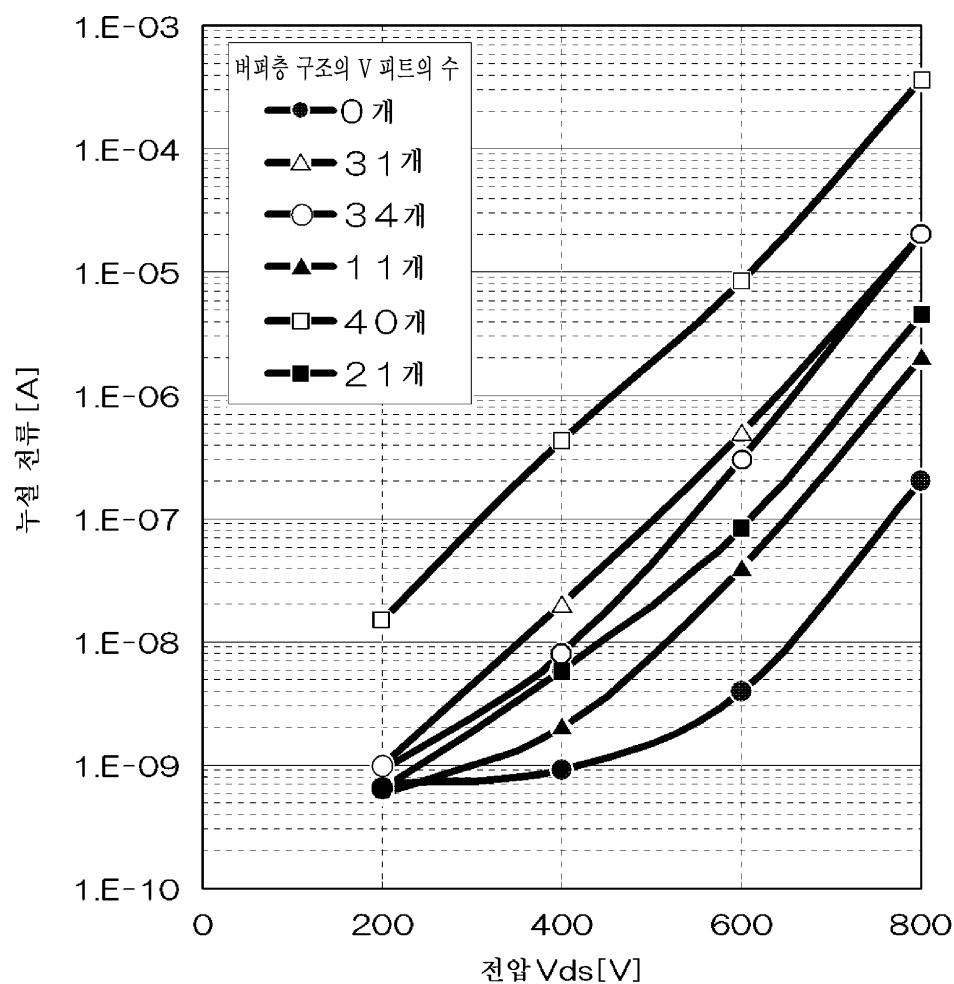
도면13



도면14



도면15



도면16

