

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年12月24日(24.12.2020)



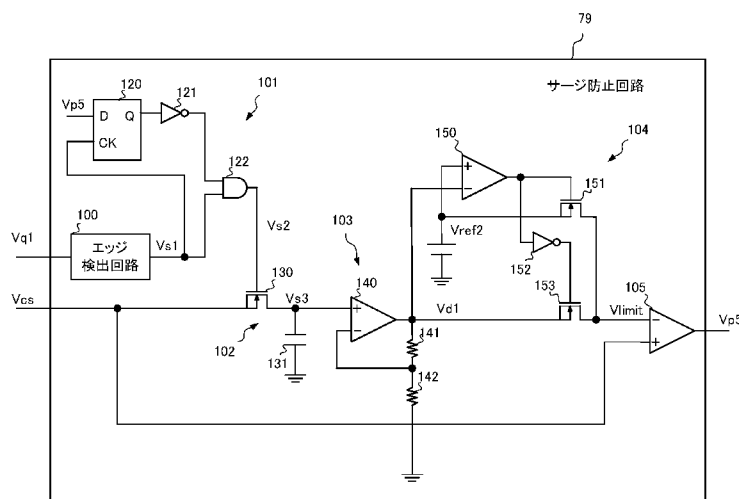
(10) 国際公開番号

WO 2020/255702 A1

- (51) 国際特許分類:
H02M 3/155 (2006.01) *H02M 7/12* (2006.01)
- (21) 国際出願番号: PCT/JP2020/021807
- (22) 国際出願日: 2020年6月2日(02.06.2020)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2019-115104 2019年6月21日(21.06.2019) JP
- (71) 出願人: 富士電機株式会社 (FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 Kanagawa (JP).
- (72) 発明者: 菅原 敬人 (SUGAWARA, Takato); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 一色国際特許業務法人 (ISSHIKI & CO.); 〒1080073 東京都港区三田三丁目 1 1 番 3 6 号三田日東ダイビル Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,

(54) Title: INTEGRATED CIRCUIT AND POWER SUPPLY CIRCUIT

(54) 発明の名称: 集積回路、電源回路



79 Surge prevention circuit
100 Edge detection circuit

(57) Abstract: Provided is an integrated circuit that switches a transistor, which controls an inductor current, on the basis of an output voltage, generated from an AC voltage, and the inductor current, which flows to an inductor to which is applied a rectified voltage from a rectifying circuit that rectifies the AC voltage. The integrated circuit comprises: a sample-and-hold circuit that samples and holds a voltage corresponding to the rectified voltage at a prescribed timing; an output circuit that outputs, on the basis of the voltage held by the sample-and-hold circuit, a limit voltage indicating a limit value for limiting the inductor current; and a first signal output circuit, which, on the basis of the limit voltage and a voltage corresponding to the inductor current, turns the transistor off when the current value of the inductor current becomes larger than the limit value.

QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

(57) 要約: 交流電圧を整流する整流回路からの整流電圧が印加されるインダクタに流れるインダクタ電流と、前記交流電圧から生成される出力電圧と、に基づいて、前記インダクタ電流を制御するトランジスタをスイッチングする集積回路であって、所定のタイミングで前記整流電圧に応じた電圧をサンプリングして保持するサンプルホールド回路と、前記サンプルホールド回路に保持された電圧に基づいて、前記インダクタ電流を制限するためのリミット値を示すリミット電圧を出力する出力回路と、前記インダクタ電流に応じた電圧及び前記リミット電圧に基づいて、前記インダクタ電流の電流値が前記リミット値より大きくなると、前記トランジスタをオフする第1信号を出力する第1信号出力回路と、を備える。

明 細 書

発明の名称：集積回路、電源回路

技術分野

[0001] 本発明は、集積回路及び電源回路に関する。

背景技術

[0002] 一般的な力率改善回路には、インダクタ電流が過電流を示す所定値を超えた際に、トランジスタをオフし、トランジスタを過電流から保護する過電流保護回路が設けられる（例えば、特許文献１）。

先行技術文献

特許文献

[0003] 特許文献１：特開２００９－１１１４７号公報

発明の概要

発明が解決しようとする課題

[0004] ところで、力率改善回路に入力される交流電圧が急激に大きくなると、それに伴いインダクタ電流も増加する。この際、インダクタ電流は、過電流を示す所定値より小さいが、サージ電圧をトランジスタに発生させる程度に大きくなることがある。このようなサージ電圧は、過電流保護回路で防ぐことができないため、トランジスタの特性を劣化させることがある。

[0005] 本発明は、上記のような従来の問題に鑑みてなされたものであって、その目的は、インダクタ電流を制御するトランジスタを適切に保護することができ集積回路を提供することにある。

課題を解決するための手段

[0006] 前述した課題を解決する本発明の第１の態様は、交流電圧を整流する整流回路からの整流電圧が印加されるインダクタに流れるインダクタ電流と、前記交流電圧から生成される出力電圧と、に基づいて、前記インダクタ電流を制御するトランジスタをスイッチングする集積回路であって、所定のタイミングで前記整流電圧に応じた電圧をサンプリングして保持するサンプルホー

ルド回路と、前記サンプルホールド回路に保持された電圧に基づいて、前記インダクタ電流を制限するためのリミット値を示すリミット電圧を出力する出力回路と、前記インダクタ電流に応じた電圧及び前記リミット電圧に基づいて、前記インダクタ電流の電流値が前記リミット値より大きくなると、前記トランジスタをオフする第1信号を出力する第1信号出力回路と、を備える。

[0007] 本発明の第2の態様は、所定の交流電圧から出力電圧を生成する電源回路であって、前記所定の交流電圧を整流する整流回路と、前記整流回路からの整流電圧が印加されるインダクタと、前記インダクタに流れるインダクタ電流と、前記出力電圧と、に基づいて前記インダクタ電流を制御するトランジスタを駆動する集積回路と、を含み、前記集積回路は、所定のタイミングで前記整流電圧に応じた電圧をサンプリングして保持するサンプルホールド回路と、前記サンプルホールド回路に保持された電圧に基づいて、前記インダクタ電流を制限するためのリミット値を示すリミット電圧を出力する出力回路と、前記インダクタ電流に応じた電圧及び前記リミット電圧に基づいて、前記インダクタ電流の電流値が前記リミット値より大きくなると、前記トランジスタをオフする第1信号を出力する第1信号出力回路と、を備える。

発明の効果

[0008] 本発明によれば、インダクタ電流を制御するトランジスタを適切に保護することができる集積回路を提供することができる。

図面の簡単な説明

[0009] [図1] AC-DCコンバータ10の一例を示す図である。

[図2] 力率改善IC25の一例を示す図である。

[図3] サージ防止回路79の一例を示す図である。

[図4] 力率改善IC25の動作を説明するための図である。

[図5] AC-DCコンバータ10の動作を説明するための図である。

[図6] 交流電圧Vacが急変した際のAC-DCコンバータ10の主要な波形を示す図である。

[図7]交流電圧 V_{ac} が急変した際の AC-DC コンバータ 10 の主要な波形を示す図である。

[図8] AC-DC コンバータ 15 の一例を示す図である。

[図9]力率改善 IC 310 の一例を示す図である。

[図10]サージ防止回路 400 の一例を示す図である。

発明を実施するための形態

[0010] 関連出願の相互参照

この出願は、2019年6月21日に提出された日本特許出願、特願2019-115104に基づく優先権を主張し、その内容を援用する。

[0011] 本明細書及び添付図面の記載により、少なくとも以下の事項が明らかとなる。

[0012] ===== 本実施形態 =====

図1は、本発明の一実施形態である AC-DC コンバータ 10 の構成を示す図である。AC-DC コンバータ 10 は、商用電源の交流電圧 V_{ac} から目的レベルの出力電圧 V_{out} を生成する昇圧チョッパ型の電源回路である。

[0013] 負荷 11 は、例えば、DC-DC コンバータや直流電圧で動作する電子機器である。

[0014] <<< AC-DC コンバータ 10 の概要 >>>

AC-DC コンバータ 10 は、全波整流回路 20、コンデンサ 21, 24, 34A, 34B、トランス 22、ダイオード 23、力率改善 IC 25、NMOS トランジスタ 26、及び抵抗 30~33 を含んで構成される。

[0015] 全波整流回路 20 は、印加される所定の交流電圧 V_{ac} を全波整流した整流電圧 V_{rec} を、コンデンサ 21 と、トランス 22 の主コイル L1 とに印加する。ここで、交流電圧 V_{ac} は、例えば、100~240V、周波数が 50~60Hz の電圧である。

[0016] コンデンサ 21 は、整流電圧 V_{rec} を平滑化する素子であり、トランス 22 は、主コイル L1 と、主コイル L1 に磁気的に結合された補助コイル L

2とを有する。ここで、本実施形態では、補助コイルL2に生じる電圧が、主コイルL1に生じる電圧とは極性が逆になるよう、補助コイルL2は巻かれている。そして、端子ZCDには、補助コイルL2で発生する電圧 V_{zcd} が印加される。

[0017] 主コイルL1は、「インダクタ」に相当し、主コイルL1に流れる電流は、「インダクタ電流 I_L 」である。なお、整流電圧 V_{rec} は、主コイルL1に直接印加されているが、例えば、抵抗（不図示）等の素子を解して主コイルL1に印加されても良い。

[0018] また、主コイルL1は、ダイオード23、コンデンサ24、及びNMOSトランジスタ26とともに昇圧チョッパ回路を構成する。このため、コンデンサ24の充電電圧が直流の出力電圧 V_{out} となる。なお、出力電圧 V_{out} は、例えば、400Vである。

[0019] 力率改善IC25は、AC-DCコンバータ10の力率を改善しつつ、出力電圧 V_{out} のレベルが目的レベル（例えば、400V）となるよう、NMOSトランジスタ26のスイッチングを制御する集積回路である。具体的には、力率改善IC25は、主コイルL1に流れるインダクタ電流 I_L 、及び出力電圧 V_{out} に基づいて、NMOSトランジスタ26を駆動する。

[0020] 力率改善IC25の詳細については後述するが、力率改善IC25には、端子CS、FB、ZCD、COMP、OUTが設けられている。なお、力率改善IC25には、上述した5つの端子CS、FB、ZCD、COMP、OUT以外にも端子が設けられているが、ここでは便宜上省略されている。

[0021] NMOSトランジスタ26は、AC-DCコンバータ10の負荷11への電力を制御するためのトランジスタである。なお、本実施形態では、NMOSトランジスタ26は、MOS (Metal Oxide Semiconductor) トランジスタであることとしたがこれに限られない。NMOSトランジスタ26は、電力を制御できるトランジスタであれば、例えば、バイポーラトランジスタであっても良い。また、NMOSトランジスタ26のゲート電極は、端子OUTからの信号により駆動されるように接続されている。

[0022] 抵抗30, 31は、出力電圧 V_{out} を分圧する分圧回路を構成し、NMOSトランジスタ26をスイッチングする際に用いられる帰還電圧 V_{fb} を生成する。なお、抵抗30, 31が接続されるノードに生成される帰還電圧 V_{fb} は、端子FBに印加される。

[0023] 抵抗32は、インダクタ電流 I_L を検出するための抵抗であり、一端は、NMOSトランジスタ26のソース電極に接続され、他端は、端子CSに接続されている。なお、本実施形態では、端子CSに入力される、インダクタ電流 I_L に応じた電圧を電圧 V_{cs} とする。

[0024] 電圧 V_{cs} は、例えば、接地されたNMOSトランジスタ26のソース電極を基準(0V)として、抵抗32に発生する電圧を反転増幅する反転増幅回路(不図示)から端子CSに印加される電圧である。この場合には、インダクタ電流 I_L の増加に応じて、端子CSに印加される電圧 V_{cs} が大きくなる。また、このような正負の反転は、力率改善IC25の内部で実施してもよい。例えば、力率改善IC25の内部の電源と端子CS間に分圧抵抗(不図示)を挿入することで、端子CSの電圧 V_{cs} を正電圧にレベルシフトして用いてもよい。

[0025] そして、本実施形態の電圧 V_{cs} は、例えば、式(1)で表される。

[0026] $V_{cs} = A \times I_L \cdots (1)$

なお、式(1)の“A”は、所定の係数であり、抵抗32の抵抗値や増幅率に基づいて定まる所定値である。

[0027] 抵抗33及びコンデンサ34A, 34Bは、詳細は後述するが、フィードバック制御される力率改善IC25の位相補償用の素子である。端子COMPと、接地との間に、抵抗33及びコンデンサ34Aが直列に設けられ、これらに対し並列にコンデンサ34Bが設けられている。

[0028] <<<力率改善IC25の構成>>>

図2は、力率改善IC25の構成の一例を示す図である。力率改善IC25は、駆動信号生成回路50、駆動回路51、及びコンパレータ52を含んで構成される。なお、図2において、便宜上、図1と異なる位置に端子を描

いているが、夫々の端子に接続される配線、素子等は、図 1 及び図 2 で同じである。

[0029] <<駆動信号生成回路 50>>

駆動信号生成回路 50 は、インダクタ電流 I_L に応じた電圧 V_{cs} と、帰還電圧 V_{fb} とに基づいて、NMOS トランジスタ 26 をオンオフする駆動信号 V_{q1} を生成する回路である。駆動信号生成回路 50 は、ゼロ電流検出回路 70、遅延回路 71、パルス回路 72、ターンオンタイマ回路 73、OR 回路 74, 78, 80、誤差増幅回路 75、発振回路 76、コンパレータ 77、サージ防止回路 79、及び SR フリップフロップ 81 を含んで構成される。

[0030] ゼロ電流検出回路 70 は、端子 ZCD の電圧 V_{zcd} に基づいて、インダクタ電流 I_L の電流値が、ほぼゼロを示す“電流値 I_a ”（以下、便宜上、「ほぼゼロ」を単にゼロと称する。）であるかを検出する回路である。なお、本実施形態のゼロ電流検出回路 70 は、インダクタ電流 I_L の電流値が、“ゼロ”である“電流値 I_a ”であることを検出すると、ハイレベル（以下、“H”レベル）の信号 V_z を出力する。また、ゼロ電流検出回路 70 は、インダクタ電流 I_L が“電流値 I_a ”となる際の補助コイル L_2 の所定電圧と、電圧 V_{zcd} とを比較するコンパレータ（不図示）を含んで構成される。

[0031] 遅延回路 71 は、ゼロ電流検出回路 70 から“H”レベルの信号 V_z が出力されると、所定時間だけ遅延させて出力する。

[0032] パルス回路 72 は、遅延回路 71 から“H”レベルの信号 V_z が出力されると、Hレベルのパルス信号 V_{p1} を出力する。

[0033] ターンオンタイマ回路 73 は、力率改善 IC 25 の起動時や、交流電圧 V_{ac} が遮断され、パルス信号 V_{p1} が出力されない場合に、NMOS トランジスタ 26 をオンするためのパルス信号 V_{p2} を出力する。具体的には、パルス信号 V_{p1} が所定期間出力されない場合、“H”レベルのパルス信号 V_{p2} を所定周期毎に出力する。

- [0034] OR回路74は、パルス信号 V_{p1} 、 V_{p2} の論理和を演算して出力する。このため、本実施形態では、OR回路74からは、パルス信号 V_{p1} または、パルス信号 V_{p2} が、信号 V_{p3} として出力される。
- [0035] 誤差増幅回路75は、端子FBに印加される帰還電圧 V_{fb} と、所定の基準電圧 V_{ref0} との誤差を増幅する回路である。なお、基準電圧 V_{ref0} は、目的レベルの出力電圧 V_{out} に応じて定められる電圧である。また、誤差増幅回路75の出力と接地との間には、端子COMPを介して、位相補償用の抵抗33及びコンデンサ34A、34Bが接続されている。ここで、誤差増幅回路75の出力と端子COMPとが接続されたノードの電圧を、電圧 V_e とする。
- [0036] 発振回路76は、OR回路74からの“H”レベルの信号 V_{p3} が入力する毎に、振幅が徐々に大きくなるランプ波 V_r を出力する。
- [0037] コンパレータ77は、電圧 V_e とランプ波 V_r との大小を比較して、比較結果として信号 V_{c1} を出力する。ここでは、電圧 V_e がコンパレータ77の反転入力端子に印加され、ランプ波 V_r がコンパレータ77の非反転入力端子に印加されている。このため、ランプ波 V_r のレベルが電圧 V_e のレベルより低い場合、信号 V_{c1} はローレベル（以下、“L”レベルとする。）となり、ランプ波 V_r のレベルが電圧 V_e のレベルより高くなると信号 V_{c1} は“H”レベルとなる。
- [0038] OR回路78は、信号 V_{c1} と、過電流が発生したこと示す“H”レベルの信号 V_{oc} （後述）と、の論理和を演算して出力する。このため、信号 V_{c1} または信号 V_{oc} が“H”レベルのとなると、OR回路78からは、“H”レベルの信号 V_{p4} が出力される。
- [0039] サージ防止回路79は、例えば、交流電圧 V_{ac} が急激に上昇した際に、インダクタ電流 I_L の増加に伴うサージ電圧が、NMOSトランジスタ26に発生することを抑制するための回路である。サージ防止回路79は、インダクタ電流 I_L に応じた電圧 V_{cs} が、過去のインダクタ電流 I_L に基づいて定まるリミット電圧 V_{limt} より大きい場合、NMOSトランジスタ2

6をオフすべく、“H”レベルの信号V_{p5}を出力する。なお、サージ防止回路79の詳細については後述する。

[0040] OR回路80は、OR回路78からの信号V_{p4}と、サージ防止回路79からの信号V_{p5}との論理和を演算して出力する。このため、信号V_{p4}または信号V_{p5}が、“H”レベルとなると、信号V_{p6}も“H”レベルとなる。

[0041] SRフリップフロップ81のS入力には、信号V_{p3}が入力され、R入力には、信号V_{p6}が入力される。このため、SRフリップフロップ81のQ出力である駆動信号V_{q1}は、信号V_{p3}が“H”レベルになると“H”レベルとなる。一方、信号V_{p6}が“H”レベルになると、駆動信号V_{q1}は、“L”レベルになる。

[0042] <<駆動回路51>>

駆動回路51は、駆動信号V_{q1}に基づいてNMOSトランジスタ26を駆動するバッファ回路である。具体的には、駆動回路51は、入力される信号と同じ論理レベルの信号V_{d1}で、ゲート容量等の大きいNMOSトランジスタ26を駆動する。また、駆動回路51は、“H”レベルの駆動信号V_{q1}に基づいて、NMOSトランジスタ26をオンし、“L”レベルの駆動信号V_{q1}に基づいて、NMOSトランジスタ26をオフする。

[0043] <<コンパレータ52>>

コンパレータ52は、電圧V_{cs}と、基準電圧V_{ref1}とを比較することにより、インダクタ電流I_Lが過電流の状態となることを防ぐための過電流保護回路である。なお「過電流」とは、インダクタ電流I_Lが、“電流値I_b”（例えば、主コイルL1やNMOSトランジスタ26に許容される電流値の90%の電流値）となる状態をいう。

[0044] このため、本実施形態では、インダクタ電流I_Lが“電流値I_b”を超えると、電圧V_{cs}が基準電圧V_{ref1}より大きくなるよう、電圧V_{ref1}のレベルが定められている。なお、コンパレータ52は、インダクタ電流I_Lが過電流状態となり、電圧V_{cs}が基準電圧V_{ref1}より大きくなる

と、電圧 V_{oc} を“H”レベルに変化させる。この結果、駆動信号 V_{q1} は“L”レベルになるため、NMOSトランジスタ26はオフされる。なお、コンパレータ52は、「第2信号出力回路」に相当し、“H”レベルの電圧 V_{oc} は、「第2信号」に相当する。

[0045] <<<サージ防止回路79>>>

図3は、サージ防止回路79の一例を示す図である。サージ防止回路79は、NMOSトランジスタ26がオフする毎に、インダクタ電流 I_L に応じた電圧 V_{cs} をサンプリングし、サンプリング結果に基づいて、次のサンプリング周期のインダクタ電流 I_L を制限する“リミット値 L_{im} ”を設定する。そして、サージ防止回路79は、インダクタ電流 I_L が、リミット値 L_{im} より大きくなると、NMOSトランジスタ26をオフすべく、“H”レベルの信号 V_{p5} を出力する。

[0046] ところで、本実施形態では、上述したように、インダクタ電流 I_L と、電圧 V_{cs} との間には、式(1)の関係がある。

[0047] $V_{cs} = A \times I_L \cdots (1)$

このため、詳細は後述するが、サージ防止回路79は、インダクタ電流 I_L に応じた電圧 V_{cs} と、“リミット値 L_{im} ”を示す“リミット電圧 V_{limit} ”との比較結果に応じて、インダクタ電流 I_L がリミット値 L_{im} を超えているか否かを検出する。

[0048] サージ防止回路79は、エッジ検出回路100、サンプリング阻止回路101、サンプルホールド回路102、増幅回路103、選択回路104、及びコンパレータ105を含んで構成される。

[0049] <<エッジ検出回路100>>

エッジ検出回路100は、NMOSトランジスタ26がオフするタイミングで、インダクタ電流 I_L に応じた電圧 V_{cs} をサンプリングするためのパルス信号 V_{s1} を出力する。具体的には、エッジ検出回路100は、駆動信号 V_{q1} の立下りエッジを検出し、“H”レベルのパルス信号 V_{s1} を出力する。

[0050] <<サンプリング阻止回路 101>>

サンプリング阻止回路 101 は、インダクタ電流 I_L がリミット値 L_{im} より大きくなると、つまり、電圧 V_{cs} がリミット電圧 V_{limit} より大きくなると、サンプルホールド回路 102（後述）が、電圧 V_{cs} をサンプリングすることを阻止する回路である。

[0051] なお、詳細は後述するが、本実施形態では、NMOS トランジスタ 26 がオフとなる毎に、サンプリングで取得されたインダクタ電流 I_L の例えば 1.1 倍のリミット値 L_{im} が設定される。これにより、インダクタ電流 I_L が、リミット値 L_{im} を超えた場合には、更にリミット値 L_{im} が大きくなることを防ぐことができる。

[0052] サンプリング阻止回路 101 は、D フリップフロップ 120、インバータ 121、及び AND 回路 122 を含んで構成される。

[0053] D フリップフロップ 120 の D 入力には、インダクタ電流 I_L がリミット値 L_{im} より大きいかな否かを判定するコンパレータ 105（後述）の比較結果である信号 V_{p5} が入力される。なお、コンパレータ 105 は、インダクタ電流 I_L が、リミット値 L_{im} より大きいと、“H” レベルの信号 V_{p5} を出力し、インダクタ電流 I_L が、リミット値 L_{im} より小さいと、“L” レベルの信号 V_{p5} を出力する。

[0054] このため、D フリップフロップの CK 入力に、パルス信号 V_{s1} が入力されるタイミングで、インダクタ電流 I_L が、リミット値 L_{im} より小さいと、D フリップフロップ 120 の Q 出力は、“L” レベルとなる。

[0055] この結果、インバータ 121 の出力は、“H” レベルとなるため、AND 回路 122 は、“H” レベルのパルス信号 V_{s1} を通過させる。したがって、インダクタ電流 I_L が、リミット値 L_{im} より小さい場合、電圧 V_{cs} をサンプリングさせるためのパルス信号 V_{s2} が、サンプルホールド回路 102 に出力されることになる。

[0056] 一方、D フリップフロップの CK 入力にパルス信号 V_{s1} が入力されるタイミングで、インダクタ電流 I_L が、リミット値 L_{im} より大きいと、D フ

リップフロップ120のQ出力は、“H”レベルとなる。

[0057] この結果、インバータ121の出力は、“L”レベルとなるため、AND回路122からは常に“L”レベルの信号 V_{s2} が出力される。したがって、インダクタ電流 I_L が、リミット値 I_{lim} より大きい場合、電圧 V_{cs} をサンプリングさせるためのパルス信号 V_{s2} は、サンプルホールド回路102に出力されることはない。

[0058] <<サンプルホールド回路102>>

サンプルホールド回路102は、NMOSトランジスタ26がオフとなる際のインダクタ電流 I_L をサンプリングし、保持する。具体的には、サンプルホールド回路102は、サンプリングを実行させるための“H”レベルのパルス信号 V_{s2} が入力されると、電圧 V_{cs} をサンプリングし、保持する。

[0059] サンプルホールド回路102は、NMOSトランジスタ130、及びコンデンサ131を含んで構成される。なお、NMOSトランジスタ130は、“H”レベルのパルス信号 V_{s2} が入力される期間のみオンするため、この期間における電圧 V_{cs} が、コンデンサ131の電圧 V_{s3} として保持される。

[0060] <<増幅回路103>>

増幅回路103は、サンプリングされた電圧 V_{cs} に基づいて、リミット電圧 V_{limit} を設定するための電圧 V_{d1} を生成する回路である。具体的には、増幅回路103では、オペアンプ140が、コンデンサ131の電圧 V_{s3} を、抵抗141、142の抵抗比に応じた倍率で増幅して出力する。増幅回路103から出力される電圧 V_{d1} は、式(2)で表される。

[0061] $V_{d1} = (1 + (R2/R1)) \times V_{s3} \cdots (2)$

ここでは、抵抗141の抵抗値を“ $R2$ ”とし、抵抗142の抵抗値を“ $R1$ ”としている。また、詳細は後述するが、電圧 V_{d1} は、後述する電圧 V_{min} より大きい場合、リミット電圧 V_{limit} となる。そして、電圧 V_{s3} は、インダクタ電流 I_L に応じた電圧 V_{cs} である。

[0062] このため、“ $R2/R1$ ”の値を選択してリミット電圧 V_{limit} を調整することにより、リミット値 L_{im} を、サンプリングされたインダクタ電流 I_L の所定倍 X （例えば、 1.1 倍）とすることができる。なお、増幅回路 103 は、「電圧生成回路」に相当し、電圧 V_{d1} は、「第 1 電圧」に相当する。

[0063] <<選択回路 104 >>

選択回路 104 は、増幅回路 103 で生成される電圧 V_{d1} と、インダクタ電流 I_L が所定の“電流値 I_c ”となる際の電圧 V_{cs} のレベルを示す電圧 V_{ref2} と、を比較し、リミット値 L_{im} が大きくなる電圧を、リミット電圧 V_{limit} として出力する回路である。

[0064] 例えば、交流電圧 V_{ac} の位相角が $0^\circ \pm 30^\circ$ の範囲で、交流電圧 V_{ac} の振幅が小さいと、整流電圧 V_{rec} のレベルも低くなる。この結果、このような範囲でサンプリングされたインダクタ電流 I_L に基づいて、リミット値 L_{im} が設定されると、サージ電圧が発生する可能性が低いにも関わらずインダクタ電流 I_L が制限されてしまうことがある。

[0065] そこで、選択回路 104 は、電圧 V_{d1} に対するインダクタ電流 I_L が所定値 I_c より小さいと、所定値 I_c をリミット値 L_{im} とし、電圧 V_{d1} に対するインダクタ電流 I_L が所定値 I_c より大きくなると、電圧 V_{d1} に基づく値をリミット値 L_{im} としている。なお、“電流値 I_c ”は、例えば、位相角が 90° の際のインダクタ電流 I_L の 30% となる値である。

[0066] 選択回路 104 は、コンパレータ 150 、NMOSトランジスタ 151 、 153 、及びインバータ 152 を含んで構成される。

[0067] コンパレータ 150 は、サンプリングされたインダクタ電流 I_L の所定倍 X （例えば、 1.1 倍）を示す電圧 V_{d1} と、“電流値 I_c ”を示す電圧 V_{ref2} とを比較する。

[0068] そして、電圧 V_{d1} が電圧 V_{ref2} より小さい場合、コンパレータ 150 は、“H”レベルの信号を出力する。この結果、NMOS 151 はオンされ、NMOS 153 はオフされるため、電圧 V_{ref2} がリミット電圧 V_{limit}

limitとして、コンパレータ105に出力される。

[0069] 一方、電圧 V_{d1} が電圧 V_{ref2} より大きい場合、コンパレータ150は、“L”レベルの信号を出力する。この結果、NMOS151はオフされ、NMOS153はオンされるため、電圧 V_{d1} がリミット電圧 V_{limit} として、コンパレータ105に出力される。なお、電圧 V_{ref2} は、「第2電圧」に相当する。

[0070] <<コンパレータ105>>

コンパレータ105は、インダクタ電流 I_L に応じた電圧 V_{cs} が、リミット値 I_{lim} を示すリミット電圧 V_{limit} より大きいと、“H”レベルの信号 V_{p5} を出力し、電圧 V_{cs} が、リミット電圧 V_{limit} より小さいと、“L”レベルの信号 V_{p5} を出力する。

[0071] なお、“H”レベルの信号 V_{p5} が出力されると、図2のOR回路80の出力も“H”レベルとなる。この結果、SRフリップフロップ81のQ出力である駆動信号 V_{q1} は“L”レベルになるため、NMOSトランジスタ26はオフされる。したがって、本実施形態では、インダクタ電流 I_L は、リミット値 I_{lim} を超えて流れることはない。

[0072] なお、増幅回路103及び選択回路104は、「出力回路」に相当し、コンパレータ105は、「第1信号出力回路」に相当し、“H”レベルの信号 V_{p5} は、「第1信号」に相当する。

[0073] ===力率改善IC25の動作===

<<<所定の交流電圧 V_{ac} が入力されている場合>>>

図4を参照しつつ、AC-DCコンバータ10が所定の交流電圧 V_{ac} から目的レベルの出力電圧 V_{out} を生成し、一定の負荷に電力を供給している際の力率改善IC25の動作を説明する。なお、ここでは、交流電圧 V_{ac} に急激な上昇や過電流は発生していないこととする。このため、図2のサージ防止回路79及びコンパレータ52は、ともに“L”レベルの信号を出力している。

[0074] まず、時刻 t_0 にインダクタ電流 I_L が減少し、ほぼゼロの“電流値 I_a

”になると、ゼロ電流検出回路70は、インダクタ電流 I_L の電流値が“ゼロ”であることを検出し、“H”レベルの信号 V_z を出力する。

[0075] また、時刻 t_0 から遅延回路71の遅延時間だけ経過した時刻 t_1 になると、パルス回路72は、パルス信号 V_{p1} を出力する。この結果、OR回路74から、“H”レベルのパルス信号 V_{p3} が出力されることになる。

[0076] そして、パルス信号 V_{p3} が出力されると、SRフリップフロップ81は、“H”レベルの駆動信号 V_{q1} を出力するため、信号 V_{dr} も“H”レベルとなる。この結果、NMOSトランジスタ26はオンし、インダクタ電流 I_L は増加する。

[0077] また、“H”レベルのパルス信号 V_{p3} が出力されると、発振回路76からのランプ波 V_r の振幅が増加する。そして、時刻 t_2 に、ランプ波 V_r の振幅レベルが電圧 V_e のレベルより高くなると、コンパレータ77は、信号 V_{c1} を“H”レベルに変化させる。この結果、SRフリップフロップ81はリセットされ、信号 V_{dr} は“L”レベルとなる。

[0078] そして、信号 V_{dr} がLレベルとなると、NMOSトランジスタ26はオフするため、インダクタ電流 I_L は徐々に減少する。また、時刻 t_3 にインダクタ電流 I_L が減少し、ほぼゼロの“電流値 I_a ”になると、時刻 t_0 の動作が繰り返される。

[0079] ここで、AC-DCコンバータ10が所定の交流電圧 V_{ac} から目的レベルの出力電圧 V_{out} を生成し、一定の負荷に電力を供給している際、帰還電圧 V_{fb} は一定となる。この結果、誤差増幅回路75から出力される電圧 V_e も一定になるため、NMOSトランジスタ26がオンする期間（例えば、時刻 $t_1 \sim t_2$ までの期間）も一定となる。

[0080] また、NMOSトランジスタ26がオンする際に、交流電圧 V_{ac} を整流した整流電圧 V_{rec} のレベルが高くなると、インダクタ電流 I_L の電流値も大きくなる。この結果、図5に示すように、インダクタ電流 I_L のピークの波形は、電圧 V_{rec} の波形と相似形となり、力率が改善される。

[0081] <<<交流電圧 V_{ac} が急変した場合>>>

交流電圧 V_{ac} が急変し上昇すると、整流電圧 V_{rec} もそれに伴い急増する。この結果、インダクタ電流 I_L が増加するため、NMOSトランジスタ 26 がオフの際に、NMOSトランジスタ 26 にサージ電圧が発生することがある。

[0082] ここでは、図 6、図 7 を参照しつつ、このような現象が発生した際に、力率改善 IC 25 がサージ電圧を抑制する際の動作を、図 3 のサージ防止回路 79 を中心に説明する。なお、ここでは、図 6 の時刻 t_{13} に交流電圧 V_{ac} が急変し、図 7 の時刻 t_{16} に交流電圧 V_{ac} の急変が収まったこととする。

[0083] まず、時刻 t_{10} において、NMOSトランジスタ 26 をオフすべく、駆動信号 V_{q1} が“L”レベルとなると、サージ防止回路 79 のエッジ検出回路 100 は、電圧 V_{cs} をサンプリングするための“H”レベルのパルス信号 V_{s1} を出力する。

[0084] なお、このタイミングでは、インダクタ電流 I_L は、リミット値 L_{im} より小さいため、コンパレータ 105 の信号 V_{p5} は、“L”レベルである。このため、サンプリング阻止回路 101 は、インダクタ電流 I_L のサンプリングを阻止することなく、パルス信号 V_{s1} を、パルス信号 V_{s2} としてサンプルホールド回路 102 に出力する。

[0085] サンプルホールド回路 102 は、時刻 t_{10} におけるインダクタ電流 I_L を示す電圧 V_{cs} を、電圧 V_{s3} として保持する。ただし、この時刻 t_{10} における電圧 V_{s3} の“所定倍 X ”の電圧 V_{d1} は、電圧 V_{ref2} より低いいため、リミット電圧 V_{limit} として、“電圧 V_{ref2} ”が出力される。

[0086] そして、NMOSトランジスタ 26 がオフとなった後、時刻 t_{11} に、インダクタ電流 I_L が、ほぼゼロの“電流値 I_a ”（例えば、図 4 で説明）となると、駆動信号 V_{q1} は“H”レベルとなり、NMOSトランジスタ 26 はオンされる。この結果、インダクタ電流 I_L は増加する。なお、図 6、図 7 では、インダクタ電流 I_L が、ほぼゼロとなる“電流値 I_a ”は、便宜上

省略している。

[0087] そして、時刻 t_{12} に、図4の時刻 t_2 と同様に、ランプ波 V_r が電圧 V_e より大きくなると、駆動信号 V_{q1} は“L”レベルとなり、再びNMOSトランジスタ26はオフされる。この結果、サンプルホールド回路102は、時刻 t_{12} におけるインダクタ電流 I_L を示す電圧 V_{cs} を、電圧 V_{s3} として保持する。

[0088] ここで、時刻 t_{12} における電圧 V_{s3} の“所定倍 X ”の電圧 V_{d1} は、電圧 V_{ref2} より高いため、リミット電圧 V_{limit} として、“電圧 V_{d1} ”が出力される。以降、NMOSトランジスタ26をオフすべく、駆動信号 V_{q1} が“L”レベルとなる毎に、時刻 t_{12} における動作が、繰り返される。したがって、インダクタ電流 I_L を制限するリミット値 L_{im} は、インダクタ電流 I_L の増加に応じて、段階的に増加することになる。

[0089] 時刻 t_{13} に交流電圧 V_{ac} が急変して上昇すると、整流電圧 V_{rec} のレベルも高くなる。そして、インダクタ電流 I_L が増加し、リミット値 L_{im} より大きくなると、コンパレータ105は、“H”レベルの信号 V_{p5} を出力する。この結果、図2のSRフリップフロップ81は、時刻 t_{14} に、Q出力である駆動信号 V_{q1} を“L”レベルに変化させるため、NMOSトランジスタ26はオフする。

[0090] また、時刻 t_{14} に駆動信号 V_{q1} が“L”レベルになると、“H”レベルの信号 V_{p5} がDフリップフロップ120に保持されるため、Dフリップフロップ120のQ出力は、“H”レベルになる。したがって、時刻 t_{14} 以降、サンプリング阻止回路101は、サンプルホールド回路102が、電圧 V_{cs} をサンプリングすることを阻止する。この結果、リミット値 L_{im} は、時刻 t_{14} における値が保持される。

[0091] そして、時刻 t_{15} 以降、インダクタ電流 I_L がゼロとなると、NMOSトランジスタ26はオンし、インダクタ電流 I_L が、時刻 t_{14} のリミット値 L_{im} となると、NMOSトランジスタ26がオフする動作が繰り返される。

[0092] 図7の時刻 t_{16} になると、交流電圧 V_{ac} の急変が収まり、所定の交流電圧 V_{ac} の波形となる。この結果、インダクタ電流 I_L は、リミット値 I_{lim} より小さくなり、力率改善IC25の各回路は、例えば、図4で説明した通常の動作を行うことになる。

[0093] そして、時刻 t_{17} では、ランプ波 V_r が電圧 V_e より高くなり、駆動信号 V_{q1} が“L”レベルとなり、NMOSトランジスタ26はオフされる。

[0094] また、時刻 t_{17} においては、電圧 V_{cs} は、リミット電圧 V_{limit} より低いため、コンパレータ105の信号 V_{p5} は“L”レベルが出力されている。したがって、Dフリップフロップ120のQ出力は、“L”レベルに変化する。

[0095] 時刻 t_{18} 以降、サンプルホールド回路102は、NMOSトランジスタ26がオフされる毎に、電圧 V_{cs} をサンプリングし、リミット電圧 V_{limit} を更新する。なお、時刻 t_{19} において、電圧 V_{d1} が、電圧 V_{ref2} より低くなるまで、電圧 V_{d1} が、リミット電圧 V_{limit} として出力され続ける。

[0096] そして、時刻 t_{19} に、電圧 V_{d1} が、電圧 V_{ref2} より低くなると、電圧 V_{ref2} がリミット電圧 V_{limit} として出力される。これにより、位相角が 0° に近く、インダクタ電流 I_L が小さくなる領域であっても、リミット値 I_{lim} が低くなりすぎることはない。この結果、インダクタ電流 I_L が小さい領域であっても、サージ防止回路79を安定して動作させることができる。

[0097] ===その他の実施例===

図8は、AC-DCコンバータ15の一例を示す図である。AC-DCコンバータ15は、全波整流回路20、コンデンサ21, 24, 34A, 34B、トランス22、ダイオード23、力率改善IC310、NMOSトランジスタ26、及び抵抗30~33, 300, 301を含んで構成される。

[0098] 以下、AC-DCコンバータ15と、図1のAC-DCコンバータ10とでは、同じ符号が付されたブロックは同じである。このため、ここでは、抵

抗300、301と、力率改善IC310について説明する。

[0099] 抵抗300、301は、整流電圧 V_{rec} と相似形の電圧を生成すべく、整流電圧 V_{rec} を分圧する分圧回路である。なお、抵抗300、301で分圧される電圧を、電圧 V_{in} とする。

[0100] 力率改善IC310は、力率改善IC25と同様に、NMOSトランジスタ26をスイッチングする集積回路であり、力率改善IC25の5つの端子に加え、電圧 V_{in} が印加される端子INを有する。

[0101] <<力率改善IC310>>

図9は、力率改善IC310の一例を示す図である。力率改善IC310は、図2の力率改善IC25の駆動信号生成回路50の代わりに、駆動信号生成回路53をもちいている。そして、駆動信号生成回路53において、サージ防止回路79の代わりに、サージ防止回路400を用いている。このため、ここでは、サージ防止回路400について説明する。

[0102] <<サージ防止回路400>>

サージ防止回路400では、サージ防止回路79のサンプルホールド回路102の代わりに、サンプルホールド回路500が用いられ、増幅回路103の代わりに、増幅回路510が用いられている。

[0103] サンプルホールド回路500は、電圧 V_{in} を、信号 V_{s2} に基づいてサンプリングする回路であり、NMOSトランジスタ501と、コンデンサ502を含んで構成される。

[0104] 増幅回路510は、サンプルホールド回路500で保持された電圧 V_{in} に基づいて、リミット値 L_{im} を示す電圧 V_{d1} を生成する回路であり、オペアンプ520、抵抗521、522を含んで構成される。

[0105] ここで、インダクタ電流 I_L は、 $I_L = (T_{on} \times V_{rec}) / L$ であるため、インダクタ電流 I_L と、整流電圧 V_{rec} に応じた電圧 V_{in} とは相似形となる。なお、“ T_{on} ”は、NMOSトランジスタ26のオン時間であり、“ L ”は、主コイルL1のインダクタンス値である。

[0106] このため、上述した増幅回路103と同様に、増幅回路510は、電圧 V

i_n に基づいて、リミット値 L_{im} を示す電圧 V_{d1} を生成することができる。この結果、サージ防止回路400を用いる場合であっても、NMOSトランジスタ26に発生するサージ電圧を防止できる。

[0107] ===まとめ===

以上、本実施形態のAC-DCコンバータ10, 15について説明した。例えば、力率改善IC25では、過去にサンプリングされた電圧 V_{cs} に基づいて、インダクタ電流 I_L を制限するリミット値 L_{im} が生成される。このため、リミット値 L_{im} をインダクタ電流 I_L に応じて変化させることができ、サージ電圧がNMOSトランジスタ26に発生することを防ぐことができる。この結果、NMOSトランジスタ26は適切に保護される。

[0108] また、図8に示すように、整流電圧 V_{rec} を分圧した電圧 V_{in} をサンプリングする力率改善IC310を用いても、サージ電圧は防止できる。ただし、図1に力率改善IC25では、整流抵抗 V_{rec} を抵抗300, 301で分圧する必要がない。このため、力率改善IC25は、より消費電力を低減することができる。

[0109] また、サンプルホールド回路102は、例えば、NMOSトランジスタ26がオフされる際のタイミングで、インダクタ電流 I_L に応じた電圧 V_{cs} をサンプリングする。つまり、サンプルホールド回路102は、インダクタ電流 I_L のピーク値（つまり、最大値）を示す電圧 V_{cs} を取得する。本実施形態では、インダクタ電流 I_L のピーク値に基づいてリミット値 L_{im} が生成されるため、適切にサージ電圧を防止できる。

[0110] また、インダクタ電流 I_L がリミット値 L_{im} となると、サンプリング阻止回路101は、サンプルホールド回路102が、電圧 V_{cs} をサンプリングすることを阻止する。この結果、リミット値 L_{im} は維持され、リミット値 L_{im} 以上、大きなインダクタ電流 I_L が流れることはない。したがって、NMOSトランジスタ26は適切に保護される。

[0111] また、一般に、インダクタ電流 I_L は、位相角が 0° 付近では非常に小さくなるため、このようなインダクタ電流 I_L に応じた電圧 V_{cs} に基づいて

リミット値 L_{im} を生成すると、サージ電圧が発生しない状態でも、インダクタ電流 I_L が制限されてしまうことがある。しかしながら、本実施形態では、リミット値 L_{im} は、所定の“電流値 I_c ”より小さくなることはない。したがって、例えば、サージ防止回路79は、交流電圧 V_{ac} の位相角の範囲に関わらず、適切にサージ電圧の発生を抑制できる。

[0112] また、リミット値 L_{im} は、サンプリングされた電圧 V_{cs} に基づいて生成されるため、サンプリングされた電圧 V_{cs} が大きくなると、リミット値 L_{im} も大きくなる。

[0113] また、リミット値 L_{im} は、抵抗141, 142の抵抗比に基づいて調整できる。したがって、主コイル L_1 のインダクタンス値、駆動信号 V_{q1} の周期、NMOSトランジスタ26のオン時間等に応じて、適切なリミット値 L_{im} を設定できる。

[0114] また、力率改善IC25は、インダクタ電流 I_L が過電流となると、NMOSトランジスタ26をオフするコンパレータ52を含んでいる。このため、NMOSトランジスタ26が過電流により破壊されることを防止できる。

[0115] 上記の実施形態は、本発明の理解を容易にするためのものであり、本発明を限定して解釈するためのものではない。また、本発明は、その趣旨を逸脱することなく、変更や改良され得るとともに、本発明にはその等価物が含まれるのはいうまでもない。

符号の説明

- [0116] 10, 15 AC-DCコンバータ
20 全波整流回路
21, 24, 34A, 34B, 131, 502 コンデンサ
22 トランス
23 ダイオード
25, 310 力率改善IC
26, 130, 151, 153, 501 NMOSトランジスタ
30~33, 141, 142, 300, 301, 521, 522 抵抗

5 0, 5 3 駆動信号生成回路
5 1 駆動回路
5 2, 7 7, 1 0 5, 1 5 0 コンパレータ
7 0 ゼロ電流検出回路
7 1 遅延回路
7 2 パルス回路
7 3 ターンオンタイマ回路
7 4, 7 8, 8 0 O R 回路
7 5 誤差増幅回路
7 6 発振回路
7 9, 4 0 0 サージ防止回路
8 1 S R フリップフロップ
1 0 0 エッジ検出回路
1 0 1 サンプリング阻止回路
1 0 2, 5 0 0 サンプルホールド回路
1 0 3, 5 1 0 増幅回路
1 0 4 選択回路
1 2 0 D フリップフロップ
1 2 1, 1 5 2 インバータ
1 2 2 A N D 回路
1 4 0, 5 2 0 オペアンプ

請求の範囲

- [請求項1] 交流電圧を整流する整流回路からの整流電圧が印加されるインダクタに流れるインダクタ電流と、前記交流電圧から生成される出力電圧と、に基づいて、前記インダクタ電流を制御するトランジスタをスイッチングする集積回路であって、
- 所定のタイミングで前記整流電圧に応じた電圧をサンプリングして保持するサンプルホールド回路と、
- 前記サンプルホールド回路に保持された電圧に基づいて、前記インダクタ電流を制限するためのリミット値を示すリミット電圧を出力する出力回路と、
- 前記インダクタ電流に応じた電圧及び前記リミット電圧に基づいて、前記インダクタ電流の電流値が前記リミット値より大きくなると、前記トランジスタをオフする第1信号を出力する第1信号出力回路と、
- を備えることを特徴とする集積回路。
- [請求項2] 請求項1に記載の集積回路であって、
- 前記サンプルホールド回路は、前記インダクタ電流に応じた電圧を、前記整流電圧に応じた電圧としてサンプリングして保持すること、を特徴とする集積回路。
- [請求項3] 請求項1または請求項2に記載の集積回路であって、
- 前記所定のタイミングは、前記トランジスタをオフするタイミングであることを特徴とする集積回路。
- [請求項4] 請求項1～3の何れか一項に記載の集積回路であって、
- 前記第1信号が出力されると、前記サンプルホールド回路が前記整流電圧に応じた電圧をサンプリングすることを阻止するサンプリング阻止回路を更に含むこと、
- を特徴とする集積回路。
- [請求項5] 請求項1～4の何れか一項に記載の集積回路であって、

前記出力回路は、

前記サンプルホールド回路に保持された電圧に基づいて、前記インダクタ電流を制限するための第1電圧を生成する電圧生成回路と、

前記インダクタ電流を所定の電流値で制限するための第2電圧と、
前記第1電圧とのうち、前記リミット値が大きくなる電圧を、前記リミット電圧として選択する選択回路と、

を含むことを特徴とする集積回路。

[請求項6] 請求項5に記載の集積回路であって、

前記電圧生成回路は、

前記サンプルホールド回路がサンプリングした際の前記インダクタ電流の所定倍の電流値を示す前記第1電圧を、前記サンプルホールド回路に保持された電圧に基づいて生成すること、

を特徴とする集積回路。

[請求項7] 請求項6に記載の集積回路であって、

前記電圧生成回路は、

前記サンプルホールド回路に保持された電圧を、所定の抵抗比に基づいて増幅し、前記第1電圧として出力する増幅回路であること、

を特徴とする集積回路。

[請求項8] 請求項1～7の何れか一項に記載の集積回路であって、

前記トランジスタに流れる電流が過電流となると、前記トランジスタをオフする第2信号を出力する第2信号出力回路をさらに備えることを特徴とする集積回路。

[請求項9] 所定の交流電圧から出力電圧を生成する電源回路であって、

前記所定の交流電圧を整流する整流回路と、

前記整流回路からの整流電圧が印加されるインダクタと、

前記インダクタに流れるインダクタ電流と、前記出力電圧と、に基づいて前記インダクタ電流を制御するトランジスタを駆動する集積回路と、

を含み、

前記集積回路は、

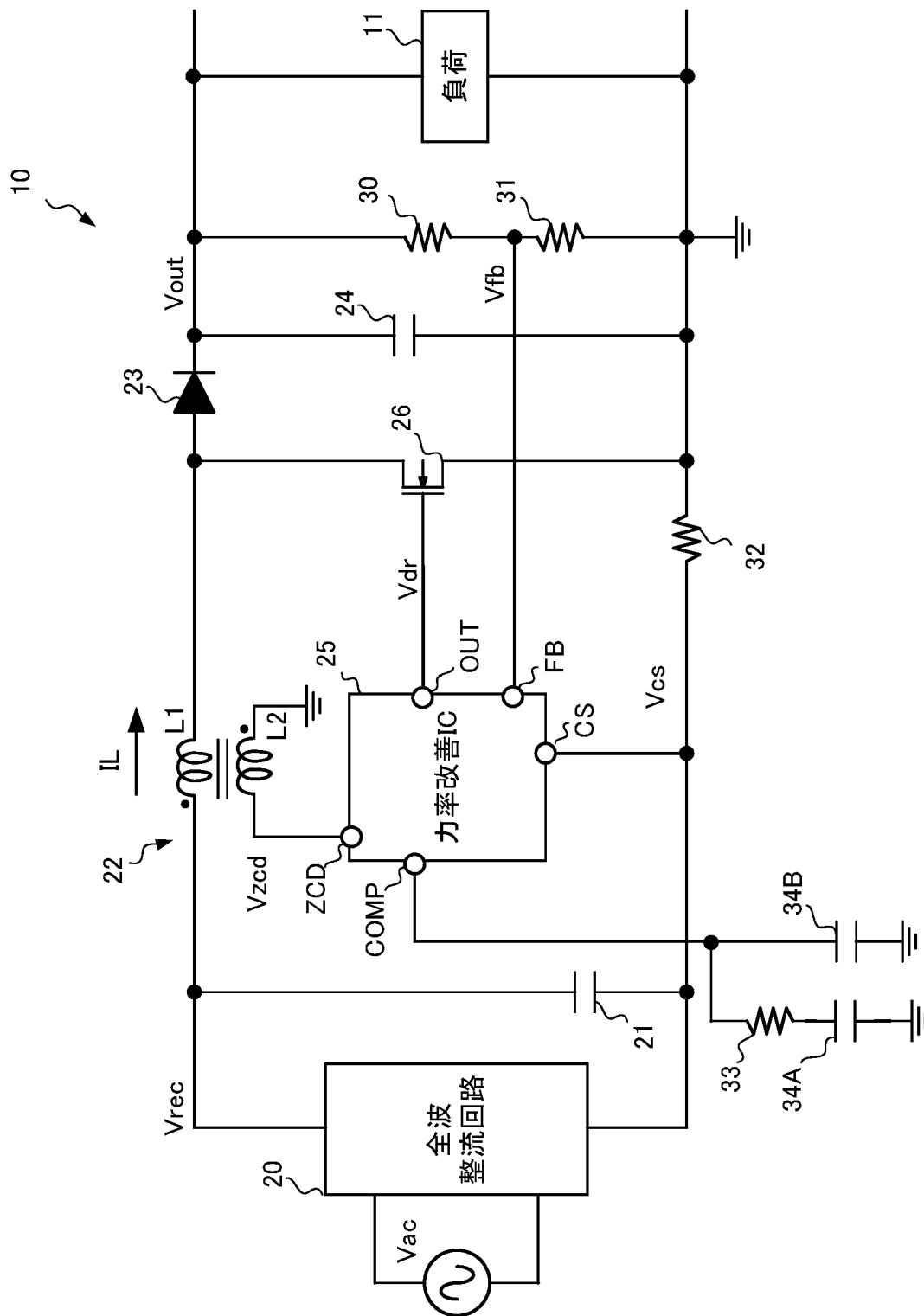
所定のタイミングで前記整流電圧に応じた電圧をサンプリングして保持するサンプルホールド回路と、

前記サンプルホールド回路に保持された電圧に基づいて、前記インダクタ電流を制限するためのリミット値を示すリミット電圧を出力する出力回路と、

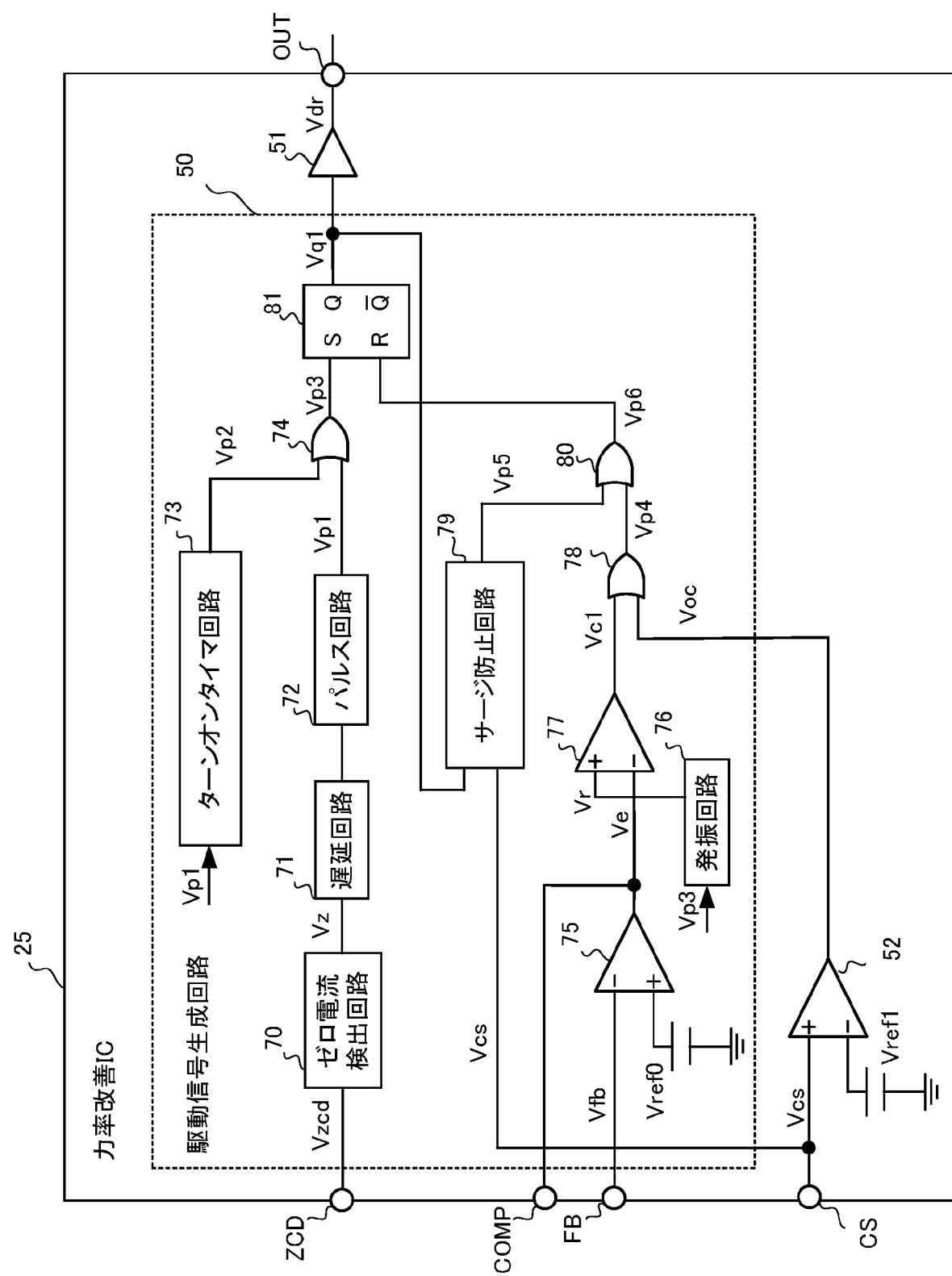
前記インダクタ電流に応じた電圧及び前記リミット電圧に基づいて、前記インダクタ電流の電流値が前記リミット値より大きくなると、前記トランジスタをオフする第1信号を出力する第1信号出力回路と、

を備えることを特徴とする電源回路。

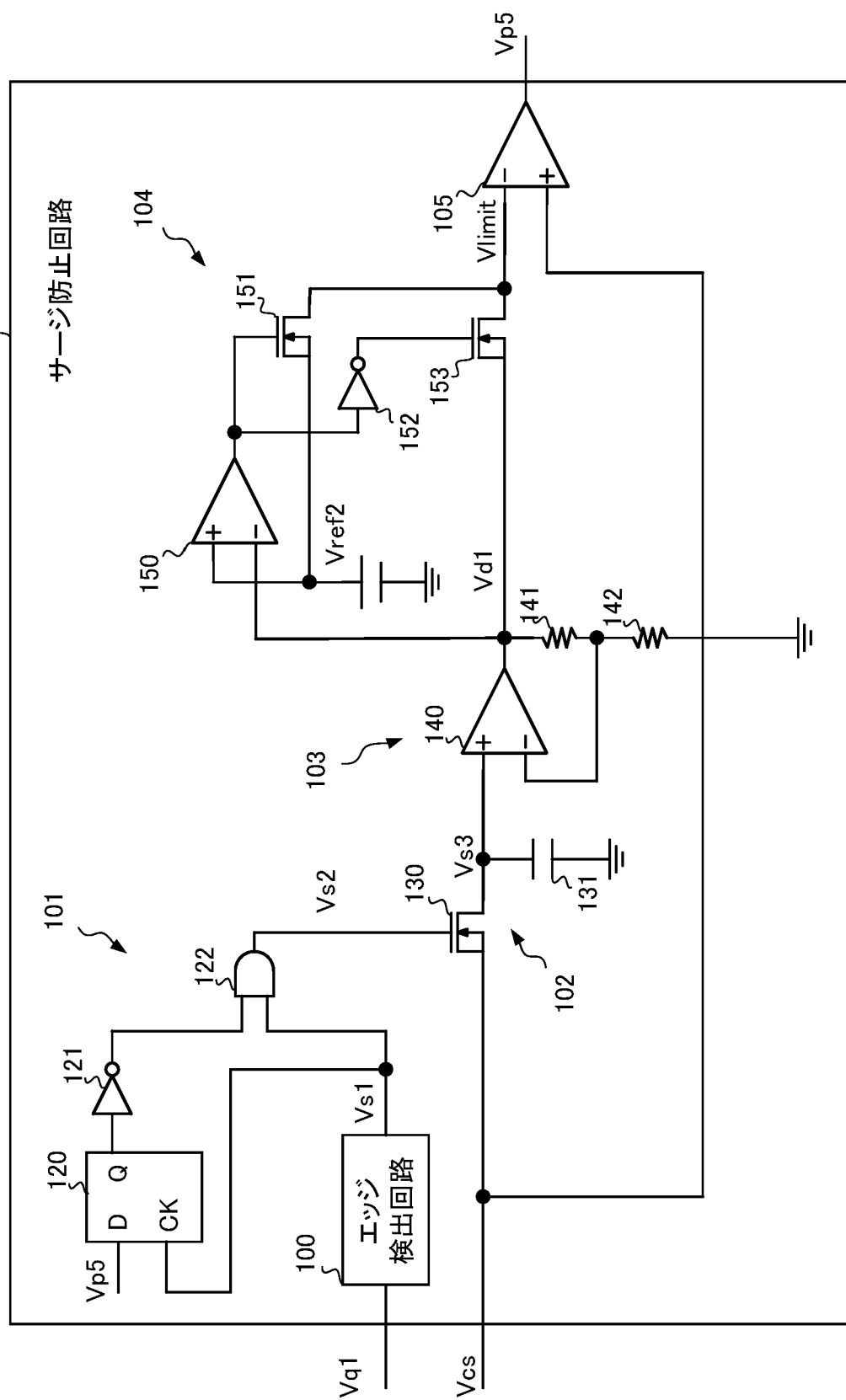
[図1]



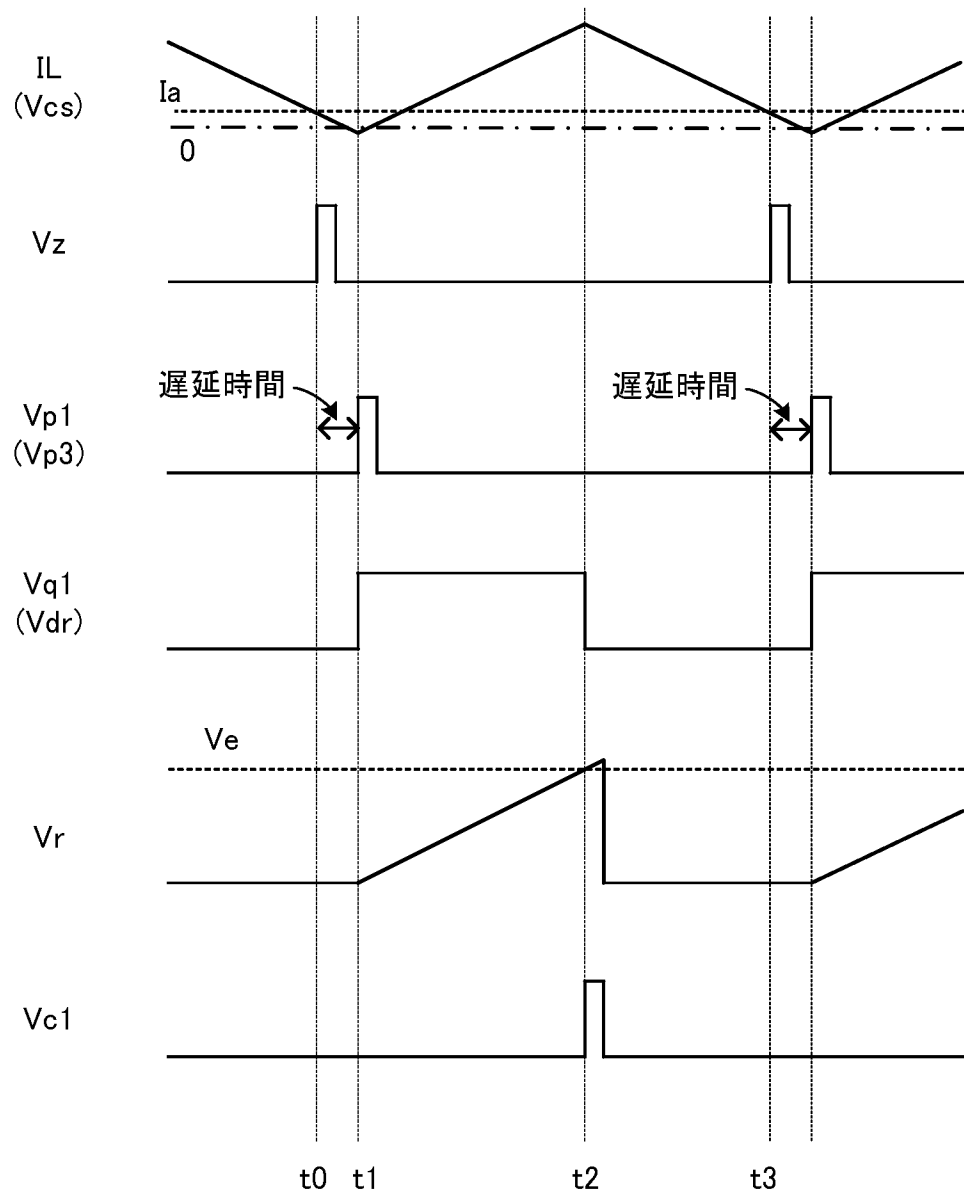
25



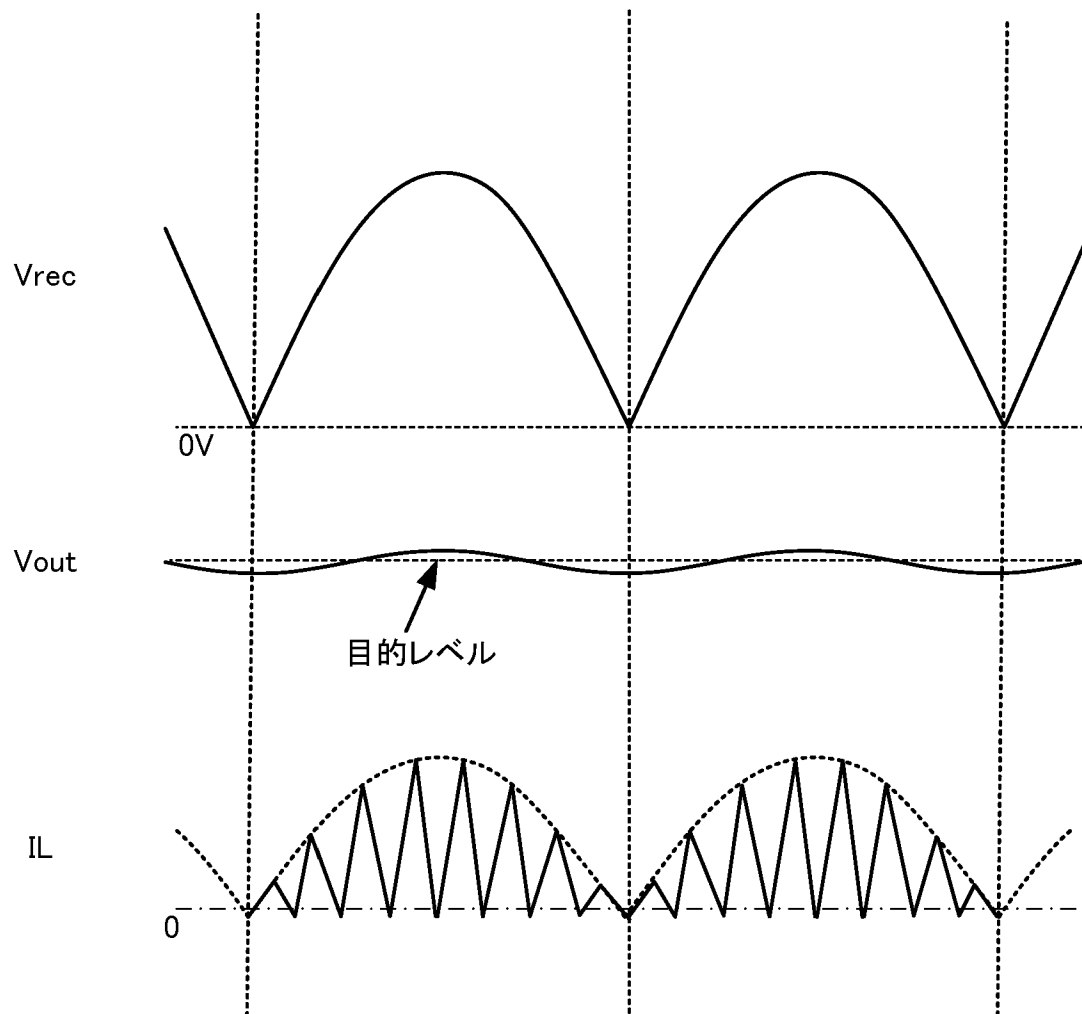
67



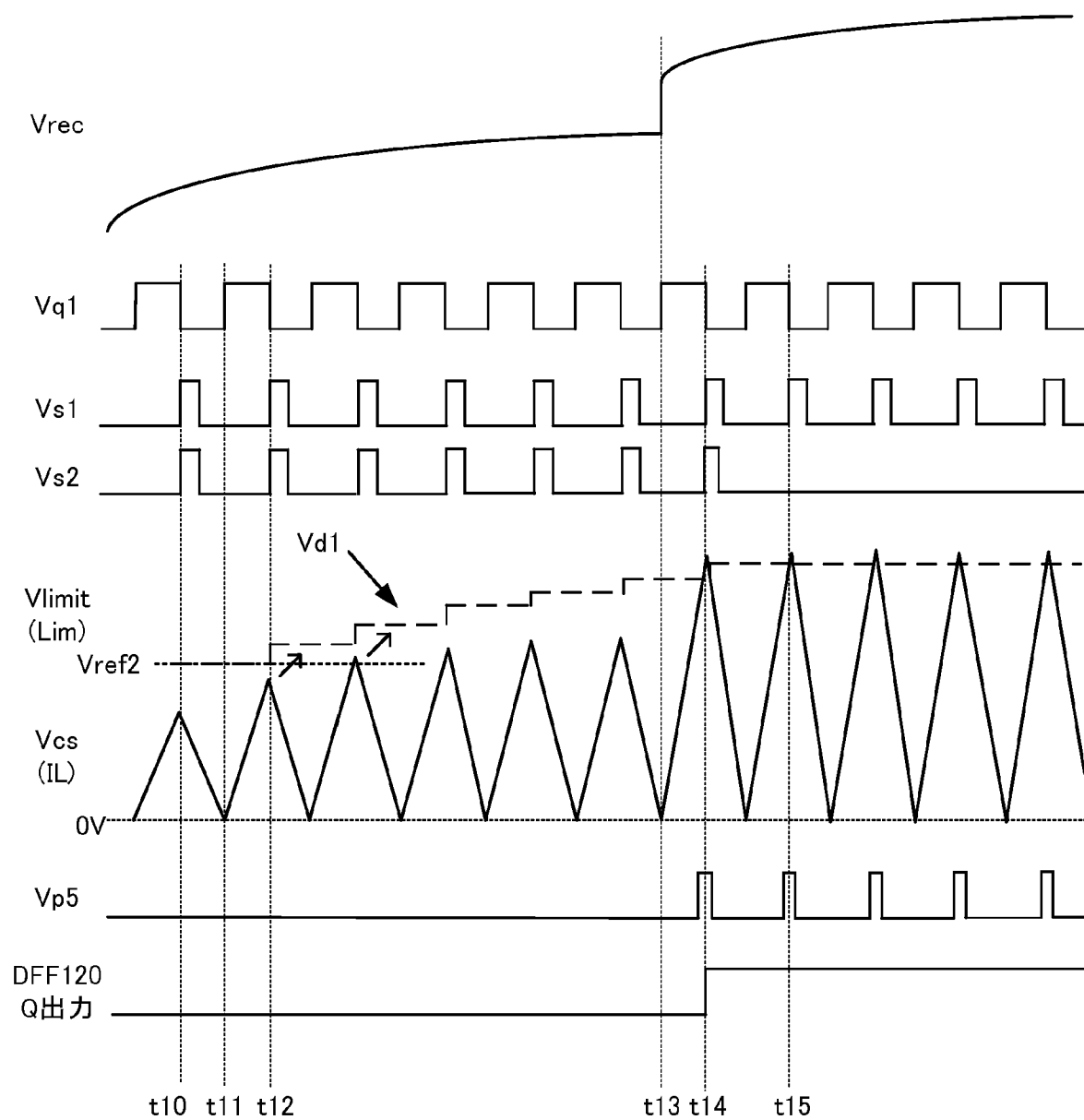
[図4]



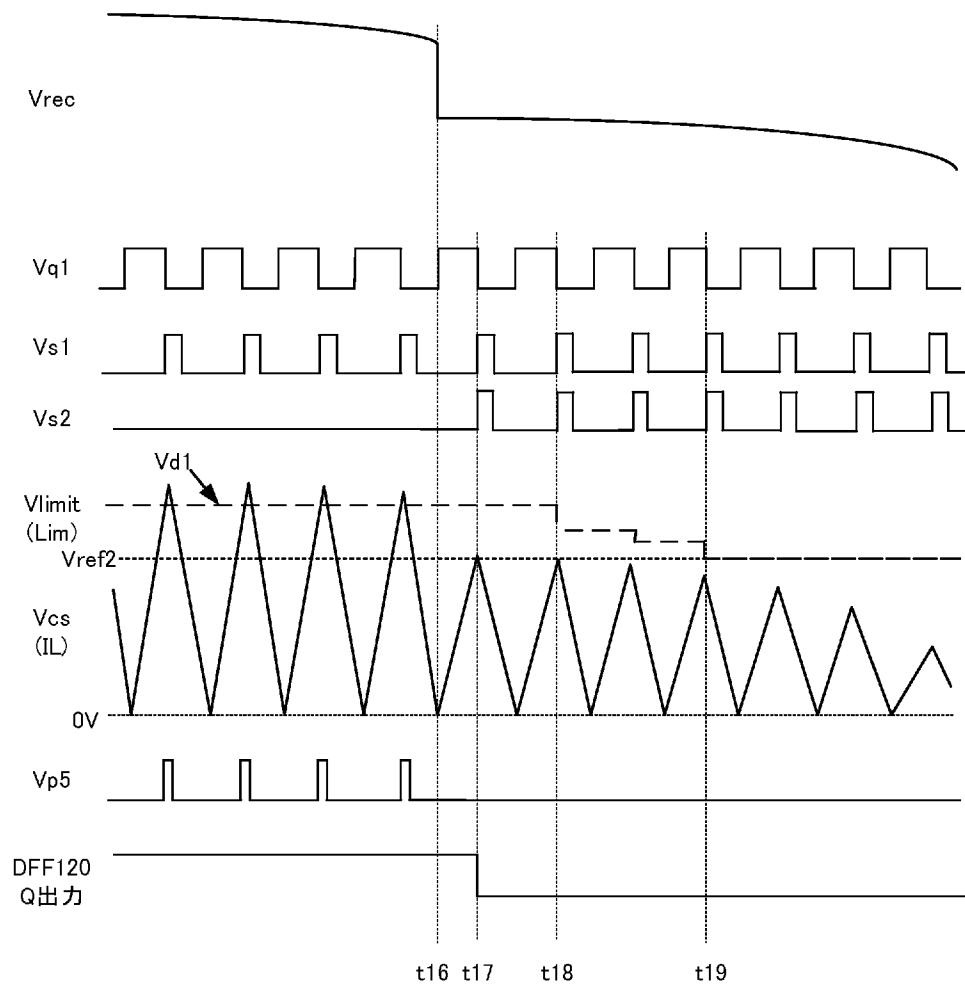
[図5]



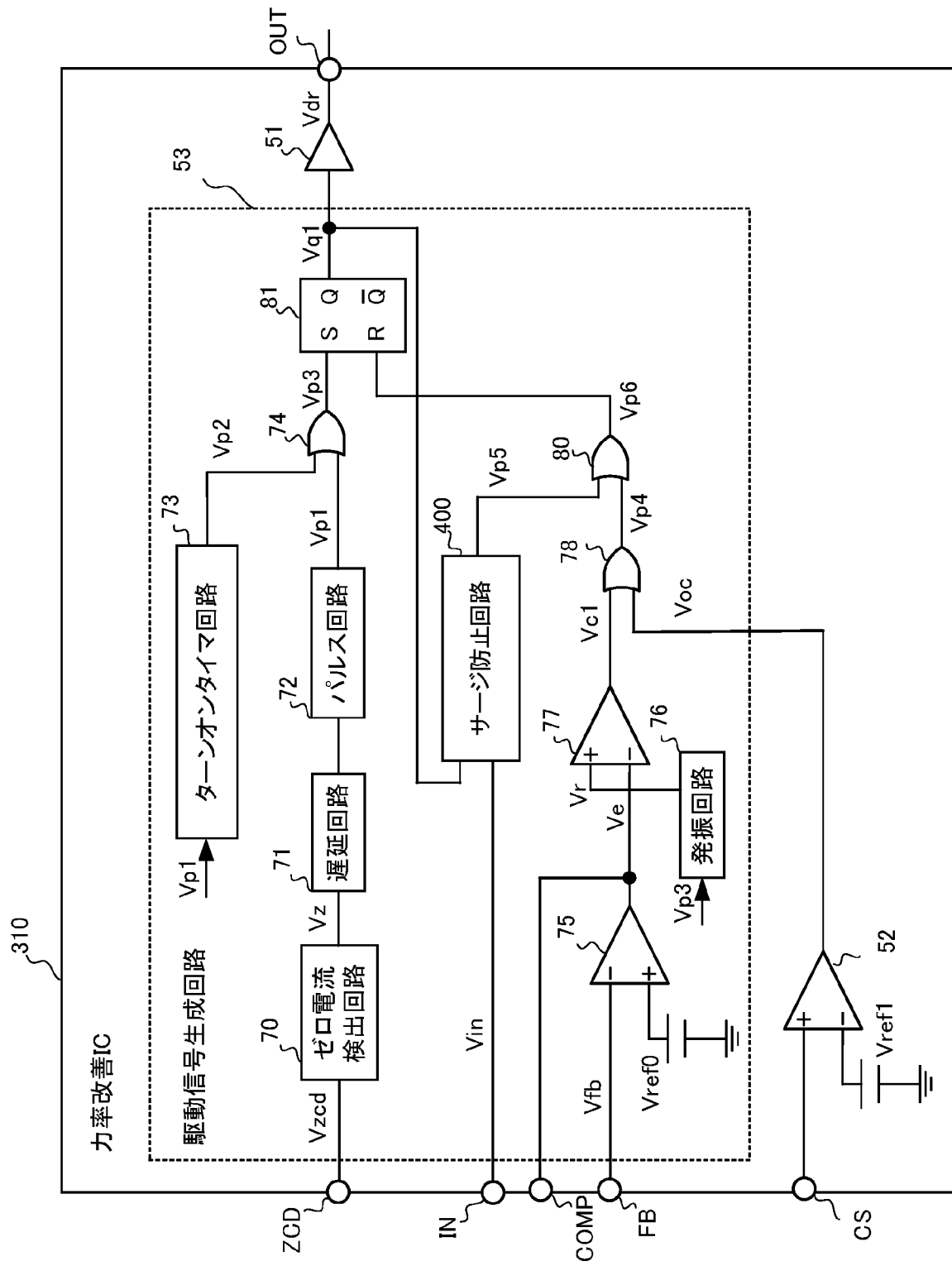
[図6]



[図7]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/021807

A. CLASSIFICATION OF SUBJECT MATTER

H02M 3/155(2006.01)i; H02M 7/12(2006.01)i

FI: H02M3/155 C; H02M7/12 H; H02M7/12 P

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M3/155; H02M7/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2020

Registered utility model specifications of Japan 1996-2020

Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2014-143791 A (RENESAS ELECTRONICS CORP.) 07.08.2014 (2014-08-07) paragraphs [0010]-[0094], [0126]-[0141], fig. 1-8, 11-12	1-9
A	JP 2016-152679 A (FUJI ELECTRIC CO., LTD.) 22.08.2016 (2016-08-22) paragraphs [0061]-[0064], fig. 1-2	1-9
A	JP 2002-051563 A (SHINDENGEN ELECTRIC MANUFACTURING CO., LTD.) 15.02.2002 (2002-02-15) paragraphs [0011]-[0013], fig. 1-2	1-9

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

11 August 2020 (11.08.2020)

Date of mailing of the international search report

18 August 2020 (18.08.2020)

Name and mailing address of the ISA/

Japan Patent Office

3-4-3, Kasumigaseki, Chiyoda-ku,

Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application no.

PCT/JP2020/021807

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2014-143791 A	07 Aug. 2014	(Family: none)	
JP 2016-152679 A	22 Aug. 2016	US 2016/0241134 A1 paragraphs [0081]- [0085], fig. 1-2 CN 105897016 A	
JP 2002-051563 A	15 Feb. 2002	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H02M 3/155(2006.01)i; H02M 7/12(2006.01)i FI: H02M3/155 C; H02M7/12 H; H02M7/12 P														
B. 調査を行った分野														
調査を行った最小限資料（国際特許分類（IPC）） H02M3/155; H02M7/12														
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2020年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2020年	日本国実用新案登録公報	1996 - 2020年	日本国登録実用新案公報	1994 - 2020年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2020年													
日本国実用新案登録公報	1996 - 2020年													
日本国登録実用新案公報	1994 - 2020年													
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）														
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
A	JP 2014-143791 A (ルネサスエレクトロニクス株式会社) 07.08.2014 (2014 - 08 - 07) 段落 [0010] - [0094], [0126] - [0141], 図1-8, 11-12	1-9												
A	JP 2016-152679 A (富士電機株式会社) 22.08.2016 (2016 - 08 - 22) 段落 [0061] - [0064], 図1-2	1-9												
A	JP 2002-051563 A (新電元工業株式会社) 15.02.2002 (2002 - 02 - 15) 段落 [0011] - [0013], 図1-2	1-9												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 11.08.2020	国際調査報告の発送日 18.08.2020													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 宮本 秀一 5G 3357 電話番号 03-3581-1101 内線 3568													

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2020/021807

引用文献			公表日	パテントファミリー文献	公表日
JP	2014-143791	A	07.08.2014	(ファミリーなし)	
JP	2016-152679	A	22.08.2016	US 2016/0241134 A1 段落 [0 0 8 1] - [0 0 8 5] , 図 1 - 2 CN 105897016 A	
JP	2002-051563	A	15.02.2002	(ファミリーなし)	