

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-86762

(P2007-86762A)

(43) 公開日 平成19年4月5日(2007.4.5)

(51) Int.C1.	F 1	テーマコード (参考)
G09G 3/30	(2006.01) G09G 3/30	K 3K107
G09G 3/20	(2006.01) G09G 3/20	641E 5C058
H04N 5/66	(2006.01) G09G 3/20	641G 5C080
H01L 51/50	(2006.01) G09G 3/20	641K
	G09G 3/20	641R

審査請求 未請求 請求項の数 17 O L (全 87 頁) 最終頁に続く

(21) 出願番号	特願2006-226415 (P2006-226415)	(71) 出願人	000153878
(22) 出願日	平成18年8月23日 (2006.8.23)		株式会社半導体エネルギー研究所
(31) 優先権主張番号	特願2005-242295 (P2005-242295)		神奈川県厚木市長谷398番地
(32) 優先日	平成17年8月24日 (2005.8.24)	(72) 発明者	宍戸 英明
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		(72) 発明者	木村 肇
			神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		(72) 発明者	山崎 舜平
			神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		F ターム (参考)	3K107 AA01 BB01 CC31 EE03 EE07 HH04 HH05 5C058 AA11 BA33

最終頁に続く

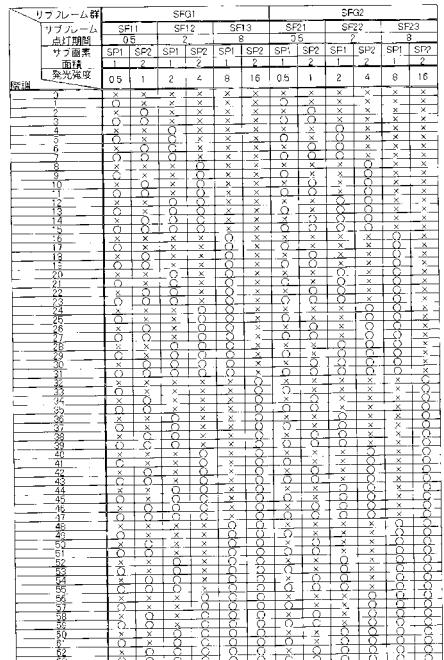
(54) 【発明の名称】表示装置及びその駆動方法

(57) 【要約】

【課題】時間階調方式で表示するときに発生する擬似輪郭の低減を課題とする。

【解決手段】1つの画素をm個 (mはm-2の整数) のサブ画素に分割し、s番目 (sは1~mの整数) のサブ画素の面積比を 2^{s-1} とする。また、1フレームに、複数のサブフレームから構成されるk個 (kはk-2の整数) のサブフレーム群を設けるとともに、1フレームをn個 (nはn-2の整数) のサブフレームに分割し、t番目 (tは1~nの整数) のサブフレームの点灯期間の長さの比率を $2^{(t-1)m}$ とする。そしてさらに、n個の各サブフレームを、概ね $1/k$ の長さの点灯期間を有するk個のサブフレームに分割し、k個の各サブフレーム群に1個ずつ配置する。このとき、k個のサブフレーム群で、サブフレームの出現順序が概ね同じになるように、サブフレームを配置する。

【選択図】図1



○: 点灯

×: 非点灯

【特許請求の範囲】

【請求項 1】

発光素子が設けられたm個（mはm-2の整数）のサブ画素を含む画素を複数有する表示装置の駆動方法であって、

前記m個のサブ画素の面積比を $2^0 : 2^1 : 2^2 : \dots : 2^{m-3} : 2^{m-2} : 2^{m-1}$ とし、

前記m個のサブ画素の点灯期間において、1フレームに、複数のサブフレームから構成されるk個（kはk-2の整数）のサブフレーム群を設けるとともに、

前記k個のサブフレーム群の各々において、点灯期間の長さの比が $2^0 : 2^m : 2^{2m} : \dots : 2^{(n-3)m} : 2^{(n-2)m} : 2^{(n-1)m}$ となるn個（nはn-2の整数）のサブフレームを設け、10

前記k個の各サブフレーム群において、点灯期間の長さが同じサブフレームの出現順序を概ね同じくし、

前記サブフレームにおいて、前記m個のサブ画素の点灯状態または非点灯状態を選択することによって、前記画素の階調を表現することを特徴とする表示装置の駆動方法。

【請求項 2】

発光素子が設けられたm個（mはm-2の整数）のサブ画素を含む画素を複数有する表示装置の駆動方法であって、

前記m個のサブ画素の面積比を $2^0 : 2^1 : 2^2 : \dots : 2^{m-3} : 2^{m-2} : 2^{m-1}$ とし、20

前記m個のサブ画素の点灯期間において、1フレームに、複数のサブフレームから構成されるk個（kはk-2の整数）のサブフレーム群を設けるとともに、

前記1フレームを点灯期間の長さの比が $2^0 : 2^m : 2^{2m} : \dots : 2^{(n-3)m} : 2^{(n-2)m} : 2^{(n-1)m}$ となるn個（nはn-2の整数）の第1のサブフレームに分割し、

前記n個の第1のサブフレームの各々を、当該第1のサブフレームの概ね $1/k$ の長さの点灯期間を有するk個の第2のサブフレームに分割し、

前記n個の第1のサブフレームの各々において、前記k個に分割された第2のサブフレームの各々を、点灯期間の長さが同じ第2のサブフレームの出現順序が概ね同じになるよう前記k個のサブフレーム群の各々に1個ずつ配置し、30

前記各第2のサブフレームにおいて、前記m個のサブ画素の点灯状態または非点灯状態を選択することによって、前記画素の階調を表現することを特徴とする表示装置の駆動方法。

【請求項 3】

発光素子が設けられたm個（mはm-2の整数）のサブ画素を含む画素を複数有する表示装置の駆動方法であって、

前記m個のサブ画素の面積比を $2^0 : 2^1 : 2^2 : \dots : 2^{m-3} : 2^{m-2} : 2^{m-1}$ とし、

前記m個のサブ画素の点灯期間において、1フレームに、複数のサブフレームから構成されるk個（kはk-2の整数）のサブフレーム群を設けるとともに、40

前記1フレームを点灯期間の長さの比が $2^0 : 2^m : 2^{2m} : \dots : 2^{(n-3)m} : 2^{(n-2)m} : 2^{(n-1)m}$ となるn個（nはn-2の整数）の第1のサブフレームに分割し、

前記n個の第1のサブフレームのうち少なくとも1個の第1のサブフレームを、当該第1のサブフレームの概ね $1/(a \times k)$ （aはa-2の整数）の長さの点灯期間を有する（ $a \times k$ ）個の第2のサブフレームに分割し、

前記n個の第1のサブフレームにおいて、（ $a \times k$ ）個に分割された第2のサブフレームの各々を前記k個のサブフレーム群の各々にa個ずつ配置し、

前記n個の第1のサブフレームの残りの第1のサブフレームの各々を、当該第1のサブフレームの概ね $1/k$ の長さの点灯期間を有するk個の第2のサブフレームに分割し、50

前記残りの第1のサブフレームの各々において前記k個に分割された第2のサブフレームの各々を前記k個のサブフレーム群の各々に1個ずつ配置し、

前記分割されて配置された第2のサブフレームは、前記k個の各サブフレーム群において、点灯期間の長さが同じ第2のサブフレームの出現順序が概ね同じになるよう配置されており、

前記各第2のサブフレームにおいて、前記m個のサブ画素の点灯状態または非点灯状態を選択することによって、前記画素の階調を表現することを特徴とする表示装置の駆動方法。

【請求項4】

請求項3において、

前記点灯期間を($a \times k$)個に分割する第2のサブフレームが、前記n個の第1のサブフレームのうち最長の点灯期間を有するサブフレームであることを特徴とする表示装置の駆動方法。

【請求項5】

請求項1乃至請求項4のいずれか一項において、

前記k個の各サブフレーム群において、前記各サブフレーム群を構成する前記第2のサブフレームが点灯期間の昇順に配置されていることを特徴とする表示装置の駆動方法。

【請求項6】

請求項1乃至請求項4のいずれか一項において、

前記k個の各サブフレーム群において、前記各サブフレーム群を構成する前記第2のサブフレームが点灯期間の降順に配置されていることを特徴とする表示装置の駆動方法。

【請求項7】

請求項5又は請求項6において、

前記k個の各サブフレーム群において、前記各サブフレーム群を構成する前記第2のサブフレームのうち、1番長い点灯期間を有する第2のサブフレームのうち少なくとも1個のサブフレームとその次に長い点灯期間を有する第2のサブフレームとの順序が逆になっていることを特徴とする表示装置の駆動方法。

【請求項8】

請求項1乃至請求項7のいずれか一項において、

前記画素の輝度と前記階調が比例関係となる階調領域と、前記画素の輝度と前記階調の関係が非線形になる階調領域を有することを特徴とする表示装置の駆動方法。

【請求項9】

面積比が $2^0 : 2^1 : 2^2 : \dots : 2^{m-3} : 2^{m-2} : 2^{m-1}$ となるm個(mはm-2の整数)のサブ画素を含む画素を複数有し、

前記m個のサブ画素はそれぞれ、発光素子と、信号線と、走査線と、第1の電源線と、第2の電源線と、選択トランジスタと、駆動トランジスタとを有し、

前記選択トランジスタのソース又はドレイン電極の一方は前記信号線と電気的に接続され、他方は前記駆動トランジスタのゲート電極と電気的に接続され、

前記駆動トランジスタのソース又はドレイン電極の一方は前記第1の電源線と電気的に接続され、

前記発光素子は、第1の電極及び第2の電極を有し、前記第1の電極は前記駆動トランジスタのソース又はドレイン電極の他方と電気的に接続され、前記第2の電極は前記第2の電源線に接続されており、

前記m個のサブ画素の点灯期間において、1フレームに、複数のサブフレームから構成されるk個(kはk-2の整数)のサブフレーム群を設けるとともに、

前記1フレームを点灯期間の長さの比が $2^0 : 2^m : 2^{2m} : \dots : 2^{(n-3)m} : 2^{(n-2)m} : 2^{(n-1)m}$ となるn個(nはn-2の整数)の第1のサブフレームに分割し、

前記n個の第1のサブフレームの各々を、当該第1のサブフレームの概ね $1/k$ の長さの点灯期間を有するk個の第2のサブフレームに分割し、

10

20

30

40

50

前記 n 個の第 1 のサブフレームの各々において、前記 k 個に分割された第 2 のサブフレームの各々を、点灯期間の長さが同じ第 2 のサブフレームの出現順序が概ね同じになるよう前記 k 個のサブフレーム群の各々に 1 個ずつ配置し、

前記各第 2 のサブフレームにおいて、前記 m 個のサブ画素の点灯状態または非点灯状態を選択することによって、前記画素の階調を表現することを特徴とする表示装置。

【請求項 10】

面積比が $2^0 : 2^1 : 2^2 : \dots : 2^{m-3} : 2^{m-2} : 2^{m-1}$ となる m 個 (m は m - 2 の整数) のサブ画素を含む画素を複数有し、

前記 m 個のサブ画素はそれぞれ、発光素子と、信号線と、走査線と、第 1 の電源線と、第 2 の電源線と、選択トランジスタと、駆動トランジスタとを有し、

前記選択トランジスタのソース又はドレイン電極の一方は前記信号線と電気的に接続され、他方は前記駆動トランジスタのゲート電極と電気的に接続され、

前記駆動トランジスタのソース又はドレイン電極の一方は前記第 1 の電源線と電気的に接続され、

前記発光素子は、第 1 の電極及び第 2 の電極を有し、前記第 1 の電極は前記駆動トランジスタのソース又はドレイン電極の他方と電気的に接続され、前記第 2 の電極は前記第 2 の電源線に接続されており、

前記 m 個のサブ画素の点灯期間において、1 フレームに、複数のサブフレームから構成される k 個 (k は k - 2 の整数) のサブフレーム群を設けるとともに、

前記 1 フレームを点灯期間の長さの比が $2^0 : 2^m : 2^{2m} : \dots : 2^{(n-3)m} : 2^{(n-2)m} : 2^{(n-1)m}$ となる n 個 (n は n - 2 の整数) の第 1 のサブフレームに分割し、

前記 n 個の第 1 のサブフレームのうち少なくとも 1 個の第 1 のサブフレームを、当該第 1 のサブフレームの概ね $1/(a \times k)$ (a は a - 2 の整数) の長さの点灯期間を有する ($a \times k$) 個の第 2 のサブフレームに分割し、

前記 n 個の第 1 のサブフレームにおいて、($a \times k$) 個に分割された第 2 のサブフレームの各々を前記 k 個のサブフレーム群の各々に a 個ずつ配置し、

前記 n 個の第 1 のサブフレームの残りの第 1 のサブフレームの各々を、当該第 1 のサブフレームの概ね $1/k$ の長さの点灯期間を有する k 個の第 2 のサブフレームに分割し、

前記残りの第 1 のサブフレームの各々において前記 k 個に分割された第 2 のサブフレームの各々を前記 k 個のサブフレーム群の各々に 1 個ずつ配置し、

前記分割されて配置された第 2 のサブフレームは、前記 k 個の各サブフレーム群において、点灯期間の長さが同じ第 2 のサブフレームの出現順序が概ね同じになるよう配置されており、

前記各第 2 のサブフレームにおいて、前記 m 個のサブ画素の点灯状態または非点灯状態を選択することによって、前記画素の階調を表現することを特徴とする表示装置

【請求項 11】

請求項 9 又は請求項 10 において、

前記 m 個のサブ画素で、前記信号線が共有されていることを特徴とする表示装置。

【請求項 12】

請求項 9 乃至請求項 11 のいずれか一項において、

前記 m 個のサブ画素で、前記走査線が共有されていることを特徴とする表示装置。

【請求項 13】

請求項 9 又は請求項 12 のいずれか一項において、

前記 m 個のサブ画素で、前記第 1 の電源線もしくは前記第 2 の電源線の少なくとも一方が共有されていることを特徴とする表示装置。

【請求項 14】

請求項 9 又は請求項 10 において、

前記画素が有する前記信号線の本数が 2 本以上 m 本以下であり、

前記 m 個のサブ画素のいずれか一のサブ画素が有する前記選択トランジスタが、他のサブ

10

20

30

40

50

画素が有する前記選択トランジスタとは異なる前記信号線と電気的に接続されることを特徴とする表示装置。

【請求項 15】

請求項 9、請求項 10、請求項 14 のいずれか一項において、
前記画素が有する前記走査線の本数が 2 本以上であり、

前記 m 個のサブ画素のいずれか一のサブ画素が有する前記選択トランジスタが、他のサブ画素が有する前記選択トランジスタとは異なる前記走査線と電気的に接続されることを特徴とする表示装置。

【請求項 16】

請求項 9、請求項 10、請求項 14、請求項 15 のいずれか一項において、
前記画素が有する前記第 1 の電源線の本数が 2 本以上 m 本以下であり、

前記 m 個のサブ画素のいずれか一のサブ画素が有する前記駆動トランジスタが、他のサブ画素が有する前記駆動トランジスタとは異なる前記第 1 の電源線と電気的に接続されることを特徴とする表示装置。

【請求項 17】

請求項 9 乃至請求項 16 のいずれか一項に記載の表示装置を有する電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は表示装置およびその駆動方法、特に面積階調方式を適用した表示装置及びその駆動方法に関する。 20

【背景技術】

【0002】

近年、画素を発光ダイオード (LED) などの発光素子で形成した、いわゆる自発光型の表示装置が注目を浴びている。このような自発光型の表示装置に用いられる発光素子としては、有機発光ダイオード (Organic Light Emitting Diode)、有機EL素子、エレクトロルミネッセンス (Electro Luminescence : EL) 素子などとも言う) が注目を集めており、ELディスプレイなどに用いられるようになってきている。OLEDなどの発光素子は自発光型であるため、液晶ディスプレイに比べて画素の視認性が高く、バックライトが不要で応答速度が速い等の利点がある。また発光素子の輝度は、発光素子に流れる電流値によって制御される。 30

【0003】

このような表示装置の発光階調を制御する駆動方式として、デジタル階調方式とアナログ階調方式がある。デジタル階調方式はデジタル制御で発光素子をオンオフさせ、階調を表現している。一方、アナログ階調方式には、発光素子の発光強度をアナログ制御する方式と発光素子の発光時間をアナログ制御する方式がある。

【0004】

デジタル階調方式の場合、発光・非発光の 2 状態しかないとため、このままでは、2 階調しか表現できない。そこで、別の手法を組み合わせて、多階調化を図ることが行われている。多階調化のための手法としては、面積階調方式や時間階調方式を用いられることが多い。

【0005】

面積階調方式とは、点灯している部分の面積を制御して、階調を表現する方法である。つまり、1 つの画素を複数のサブ画素に分割し、点灯しているサブ画素の数や面積を制御して、階調を表現している(例えば、特許文献 1、特許文献 2 参照)。面積階調方式の欠点としては、サブ画素の数を多くすることができないため、高解像度化や多階調化が難しいことが挙げられる。

【0006】

また、時間階調方式とは、発光している期間の長さや、発光した回数を制御して、階調を表現する方法である。つまり、1 フレームを複数のサブフレームに分割し、各サブフレー

10

20

30

40

50

ムに、発光回数や発光時間などの重み付けを行い、重み付けの総量（発光回数の総和や、発光時間の総和）を階調ごとに差を付けることによって、階調を表現している。このような時間階調方式を用いると、擬似輪郭（または偽輪郭）などと呼ばれる表示不良を起こすことが知られており、その対策が検討されている（例えば、特許文献3～特許文献9参照）。

【0007】

しかしながら、さまざまな擬似輪郭を低減する方法が提案されているが、擬似輪郭低減の効果はまだ十分に得られていない。

【0008】

例えば、特許文献4における図1を参考する。そして、画素Aでは階調127を表現し、その隣の画素Bでは、階調128を表現するとする。その場合の、各サブフレームにおける点灯・非点灯の状態を、図60に示す。例えば、視線が動かすに、ずっと画素Aのみ、もしくは、画素Bのみを見ていた場合を図60(A)に示す。この場合、擬似輪郭は生じない。なぜなら、視線が通っていった場所の明るさについて、和を取ったもので、目が明るさを感じる。よって、画素Aでは、階調が $127 (= 1 + 2 + 4 + 8 + 16 + 32 + 32)$ であると感じ、画素Bでは、階調が $128 (= 32 + 32 + 32 + 32)$ であると感じる。すなわち、正しい階調を目が感じていることになる。

【0009】

一方、視線が、画素Aから画素Bへ、もしくは、画素Bから画素Aに移ったとする。その場合を図60(B)に示す。この場合、視線の動き方によって、あるときは、階調が96($= 32 + 32 + 32$)と感じ、あるときは、階調が159($= 1 + 2 + 4 + 8 + 16 + 32 + 32 + 32 + 32$)と感じてしまう。本来は、階調が127と128に見えるべきであるのに、階調が96や159に見えてしまい擬似輪郭が発生してしまう。

【0010】

図60では、8ビット階調(256階調)の場合について示した。次に、図61では、6ビット階調(64階調)の場合を示す。ここでも同様に、視線の動き方によって、あるときは、階調が16($= 16$)と感じ、あるときは、階調が47($= 1 + 2 + 4 + 8 + 16 + 16$)と感じてしまう。本来は、階調が31と32に見えるべきであるのに、階調が16や47に見えてしまい擬似輪郭が発生してしまう。

【特許文献1】特開平11-73158号公報

30

【特許文献2】特開2001-125526号公報

20

【特許文献3】特許第2903984号公報

【特許文献4】特許第3075335号公報

【特許文献5】特許第2639311号公報

【特許文献6】特許第3322809号公報

【特許文献7】特開平10-307561号公報

【特許文献8】特許第3585369号公報

【特許文献9】特許第3486884号公報

【発明の開示】

【発明が解決しようとする課題】

40

【0011】

このように、従来の面積階調方式だけでは、高解像度化や多階調化が難しく、従来の時間階調方式だけでは、擬似輪郭が発生してしまい、画質の劣化を抑えることが十分ではなかった。

【0012】

本発明はこのような問題点に鑑み、多階調表示が可能であると同時に、少ないサブフレーム数で構成され、擬似輪郭を低減できる表示装置、およびそれを用いた駆動方法を提供することを目的とする。

【課題を解決するための手段】

【0013】

50

本発明の一は、発光素子が設けられたm個（mはm-2の整数）のサブ画素を含む画素を複数有する表示装置の駆動方法であって、m個のサブ画素の面積比を $2^0 : 2^1 : 2^2 : \dots : 2^{m-3} : 2^{m-2} : 2^{m-1}$ とし、m個のサブ画素の点灯期間において、1フレームに、複数のサブフレームから構成されるk個（kはk-2の整数）のサブフレーム群を設けるとともに、k個のサブフレーム群の各々において、点灯期間の長さの比が $2^0 : 2^m : 2^{2m} : \dots : 2^{(n-3)m} : 2^{(n-2)m} : 2^{(n-1)m}$ となるn個（nはn-2の整数）のサブフレームを設け、k個の各サブフレーム群において、点灯期間の長さが同じサブフレームの出現順序が概ね同じようになるように配置し、サブフレームにおいて、m個のサブ画素の点灯状態または非点灯状態を選択することによって、画素の階調を表現することにある。

10

【0014】

本発明の一は、発光素子が設けられたm個（mはm-2の整数）のサブ画素を含む画素を複数有する表示装置の駆動方法であって、m個のサブ画素の面積比を $2^0 : 2^1 : 2^2 : \dots : 2^{m-3} : 2^{m-2} : 2^{m-1}$ とし、m個のサブ画素の点灯期間において、1フレームに、複数のサブフレームから構成されるk個（kはk-2の整数）のサブフレーム群を設けるとともに、1フレームを点灯期間の長さの比が $2^0 : 2^m : 2^{2m} : \dots : 2^{(n-3)m} : 2^{(n-2)m} : 2^{(n-1)m}$ となるn個（nはn-2の整数）の第1のサブフレームに分割し、n個の第1のサブフレームの各々を、当該第1のサブフレームの概ね $1/k$ の長さの点灯期間を有するk個の第2のサブフレームに分割し、n個の第1のサブフレームの各々において、k個に分割された第2のサブフレームの各々を、点灯期間の長さが同じ第2のサブフレームの出現順序が概ね同じになるようにk個のサブフレーム群の各々に1個ずつ配置し、各第2のサブフレームにおいて、m個のサブ画素の点灯状態または非点灯状態を選択することによって、画素の階調を表現することにある。

20

【0015】

本発明の一は、発光素子が設けられたm個（mはm-2の整数）のサブ画素を含む画素を複数有する表示装置の駆動方法であって、m個のサブ画素の面積比を $2^0 : 2^1 : 2^2 : \dots : 2^{m-3} : 2^{m-2} : 2^{m-1}$ とし、m個のサブ画素の点灯期間において、1フレームに、複数のサブフレームから構成されるk個（kはk-2の整数）のサブフレーム群を設けるとともに、1フレームを点灯期間の長さの比が $2^0 : 2^m : 2^{2m} : \dots : 2^{(n-3)m} : 2^{(n-2)m} : 2^{(n-1)m}$ となるn個（nはn-2の整数）の第1のサブフレームに分割し、n個の第1のサブフレームのうち少なくとも1個の第1のサブフレームを、当該第1のサブフレームの概ね $1/(a \times k)$ （aはa-2の整数）の長さの点灯期間を有する（ $a \times k$ ）個の第2のサブフレームに分割し、n個の第1のサブフレームにおいて、（ $a \times k$ ）個に分割された第2のサブフレームの各々をk個のサブフレーム群の各々にa個ずつ配置し、n個の第1のサブフレームの残りの第1のサブフレームの各々を、当該第1のサブフレームの概ね $1/k$ の長さの点灯期間を有するk個の第2のサブフレームに分割し、残りの第1のサブフレームの各々においてk個に分割された第2のサブフレームの各々をk個のサブフレーム群の各々に1個ずつ配置し、分割されて配置された第2のサブフレームは、k個の各サブフレーム群において、点灯期間の長さが同じ第2のサブフレームの出現順序が概略同じになるよう配置されており、各第2のサブフレームにおいて、m個のサブ画素の点灯状態または非点灯状態を選択することによって、画素の階調を表現することにある。

30

40

【0016】

なお、本発明において、点灯期間を（ $a \times k$ ）個に分割するサブフレームが、n個のサブフレームのうち最長の点灯期間を有するサブフレームであってもよい。

【0017】

なお、本発明において、k個の各サブフレーム群において、各サブフレーム群を構成するサブフレームが点灯期間の昇順もしくは降順に配置されていてもよい。また、各サブフレーム群を構成するサブフレームのうち、最長の点灯期間を有するサブフレームのうち少なくとも1個のサブフレームと2番目に長い点灯期間を有するサブフレームとの順序が逆に

50

なっていてもよい。

【0018】

なお、本発明の駆動方法において、階調が低階調では、画素の輝度と階調の関係が線形になり、階調が高階調では、画素の輝度と階調の関係が非線形になってもよい。

【0019】

本発明は、前記本発明の駆動方法を行う表示装置であって、 m 個のサブ画素はそれぞれ、発光素子と、信号線と、走査線と、第1の電源線と、第2の電源線と、選択トランジスタと、駆動トランジスタとを有し、選択トランジスタは、第1の電極が信号線と電気的に接続され、第2の電極が駆動トランジスタのゲート電極と電気的に接続され、駆動トランジスタは、第1の電極が第1の電源線と電気的に接続され、発光素子は、第1の電極が駆動トランジスタの第2の電極と電気的に接続され、第2の電極が第2の電源線に接続されることを特徴とする表示装置である。10

【0020】

なお、本発明の表示装置において、 m 個のサブ画素で、信号線、もしくは走査線、もしくは第1の電源線が共有されていてもよい。

【0021】

なお、本発明の表示装置において、画素が有する信号線の本数が2本以上 m 本以下であり、 m 個のサブ画素のいずれか一のサブ画素が有する選択トランジスタが、他のサブ画素が有する選択トランジスタと異なる信号線と電気的に接続されてもよい。20

【0022】

なお、本発明の表示装置において、画素が有する走査線の本数が2本以上であり、 m 個のサブ画素のいずれか一のサブ画素が有する選択トランジスタが、他のサブ画素が有する選択トランジスタと異なる走査線と電気的に接続されてもよい。20

【0023】

なお、本発明の表示装置において、画素が有する第1の電源線の本数が2本以上 m 本以下であり、 m 個のサブ画素のいずれか一のサブ画素が有する駆動トランジスタが、他のサブ画素が有する駆動トランジスタと異なる第1の電源線と電気的に接続されてもよい。

【0024】

ここで、サブフレーム群とは、複数のサブフレームで構成されるグループを指す。なお、1フレームに複数のサブフレーム群を設ける場合、各サブフレーム群を構成するサブフレームの数に限定はない。ただし、概ね等しいサブフレーム数で構成するのが望ましい。また、各サブフレーム群の点灯期間の長さに限定はない。ただし、各サブフレーム群で、点灯期間の長さを概ね等しくするのが望ましい。30

【0025】

なお、サブフレームの分割とは、サブフレームの有する点灯期間の長さを分けることを言う。

【0026】

なお、本発明においては、1画素とは、1つの色要素を示すものとする。従って、R(赤) G(緑) B(青)の色要素からなるカラー表示装置の場合には、画像の最小単位は、Rの画素とGの画素とBの画素との3画素から構成されるものとする。なお、色要素は、3色に限定されず、それ以上の数を用いてもよいし、RGB以外の色を用いてもよい。例えば、白色(W)を加えてRGBWとしてもよい。また、RGBに、例えば、イエロー、シアン、マゼンダなど1色以上を追加したものでもよい。また、例えば、RGBの中の少なくとも1色について、類似した色を追加してもよい。例えば、R、G、B1、B2としてもよい。B1とB2とは、どちらも青色であるが、波長が異なっている。このような色要素を用いることにより、より実物に近い表示を行うことができたり、消費電力を低減したりすることができる。なお、1つの色要素について、複数の領域を用いて明るさを制御してもよい。この場合は、1つの色要素を1画素とし、その明るさを制御する各領域をサブ画素とする。よって、例えば、面積階調方式を行う場合、1つの色要素につき、明るさを制御する領域が複数あり、その全体で階調を表現するわけであるが、明るさを制御する各40

領域をサブ画素とする。よって、その場合は、1つの色要素は、複数のサブ画素で構成されることとなる。また、その場合、サブ画素によって、表示に寄与する領域の大きさが異なっている場合がある。また、1つの色要素につき複数ある、明るさを制御する領域において、つまり、1つの色要素を構成する複数のサブ画素において、各々に供給する信号をわずかに異なるようにして、視野角を広げるようにしてよい。

【0027】

なお、本発明において、画素は、マトリクス状に配置（配列）されている場合を含んでいる。ここで、画素がマトリクスに配置（配列）されているとは、縦方向もしくは横方向において、直線上に並んで配置されている場合や、ギザギザな線上に並んでいる場合を含んでいる。よって、例えば3色の色要素（例えばRGB）でフルカラー表示を行う場合に、ストライプ配置されている場合や、3つの色要素のドットがいわゆるデルタ配置されている場合も含むものとする。さらに、ベイヤー配置されている場合も含んでいる。

【0028】

なお、本発明において、トランジスタは、様々な形態のトランジスタを適用させることができる。よって、適用可能なトランジスタの種類に限定はない。従って、例えば、非晶質シリコンや多結晶シリコンに代表される非単結晶半導体膜を有する薄膜トランジスタ（TFT）などを適用することができる。これらにより、製造温度が高くなくても製造できたり、低コストで製造できたり、大型基板上に製造できたり、透明基板上に製造できたり、光を透過させることができたトランジスタを製造できたり、トランジスタを用いて表示素子での光の透過を制御したりすることができる。また、半導体基板やSOI基板を用いて形成されるMOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタなどを適用することができる。これらにより、バラツキの少ないトランジスタを製造できたり、電流供給能力の高いトランジスタを製造できたり、サイズの小さいトランジスタを製造できたり、消費電力の少ない回路を構成したりすることができる。また、ZnO、a-InGaZnO、SiGe、GaAsなどの化合物半導体を有するトランジスタや、さらに、それらを薄膜化した薄膜トランジスタなどを適用することができる。これらにより、製造温度が高くなくても製造できたり、室温で製造できたり、耐熱性の低い基板、例えばプラスチック基板やフィルム基板に直接トランジスタを形成したりすることができる。また、インクジェットや印刷法を用いて作成したトランジスタなどを適用することができる。これらにより、室温で製造したり、真空度の低い状態で製造したり、大型基板で製造したりすることができる。また、マスク（レチカル）を用いなくても製造することができるため、トランジスタのレイアウトを容易に変更することができる。また、有機半導体やカーボンナノチューブを有するトランジスタ、その他のトランジスタを適用することができる。これらにより、曲げることが可能な基板上にトランジスタを形成することができる。なお、非単結晶半導体膜には水素またはハロゲンが含まれていてもよい。また、トランジスタが配置されている基板の種類は、様々なものを用いることができ、特定のものに限定されることはない。従って例えば、単結晶基板、SOI基板、ガラス基板、石英基板、プラスチック基板、紙基板、セロファン基板、石材基板、ステンレス・スチール基板、ステンレス・スチール・ホイルを有する基板などに配置することができる。また、ある基板でトランジスタを形成し、その後、別の基板にトランジスタを移動させて、別の基板上に配置するようにしてよい。これらの基板を用いることにより、特性のよいトランジスタを形成したり、消費電力の小さいトランジスタを形成したり、壊れにくい装置にしたり、耐熱性を持たせたりすることができる。

【0029】

なお、本発明において、接続されているとは、電気的に接続されていることと同義である。したがって、本発明が開示する構成において、所定の接続関係に加え、その間に電気的な接続を可能とする他の素子（例えば、別の素子やスイッチなど）が配置されていてよい。

【0030】

なお、本発明に示すスイッチは、様々な形態のものを用いることができ、一例として、電

10

20

30

40

50

気的スイッチや機械的なスイッチなどがある。つまり、電流の流れを制御できるものであればよく、特定のものに限定されず、様々なものを用いることができる。例えば、トランジスタでもよいし、ダイオード（例えば、P Nダイオード、P I Nダイオード、ショットキーダイオード、ダイオード接続のトランジスタなど）でもよいし、サイリスタでもよいし、それらを組み合わせた論理回路でもよい。よって、スイッチとしてトランジスタを用いる場合、そのトランジスタは、単なるスイッチとして動作するため、トランジスタの極性（導電型）は特に限定されない。ただし、オフ電流が少ない方が望ましい場合、オフ電流が少ない方の極性のトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、L D D領域を設けているものやマルチゲート構造にしているもの等がある。また、スイッチとして動作させるトランジスタのソース端子の電位が、低電位側電源（V S S、G N D、0 Vなど）に近い状態で動作する場合はNチャネル型を、反対に、ソース端子の電位が、高電位側電源（V D Dなど）に近い状態で動作する場合はPチャネル型を用いることが望ましい。なぜなら、ゲート・ソース間電圧の絶対値を大きくできるため、スイッチとして、動作しやすいからである。なお、Nチャネル型とPチャネル型の両方を用いて、C M O S型のスイッチにしてもよい。C M O S型のスイッチにすると、Pチャネル型かNチャネル型かのどちらかのスイッチが導通すれば電流を流すことができるため、スイッチとして機能しやすくなる。例えば、スイッチへの入力信号の電圧が高い場合でも、低い場合でも、適切に電圧を出力させることができる。また、スイッチをオン・オフさせるための信号の電圧振幅値を小さくすることができるので、消費電力を小さくすることもできる。

10

20

30

【0031】

なお、本発明において、ある物の上に形成されている、あるいは、～上に形成されている、というように、～の上に、あるいは、～上に、という記載については、ある物の上に直接接していることに限定されない。直接接してはいない場合、つまり、間に別のものが挟まっている場合も含むものとする。従って例えば、層Aの上に（もしくは層A上に）、層Bが形成されている、という場合は、層Aの上に直接接して層Bが形成されている場合と、層Aの上に直接接して別の層（例えば層Cや層Dなど）が形成されていて、その上に直接接して層Bが形成されている場合とを含むものとする。また、～の上方に、という記載についても同様であり、ある物の上に直接接していることに限定されず、間に別のものが挟まっている場合も含むものとする。従って例えば、層Aの上方に、層Bが形成されている、という場合は、層Aの上に直接接して層Bが形成されている場合と、層Aの上に直接接して別の層（例えば層Cや層Dなど）が形成されていて、その上に直接接して層Bが形成されている場合とを含むものとする。なお、～の下に、あるいは、～の下方に、の場合についても、同様であり、直接接している場合と、接していない場合とを含むこととする。

40

【0032】

なお、本発明において、半導体装置とは、半導体素子（トランジスタやダイオードなど）を含む回路を有する装置をいう。また、半導体特性を利用することで機能しうる装置全般でもよい。また、表示装置とは、表示素子（液晶素子や発光素子など）を有する装置のこととを言う。なお、基板上に液晶素子やE L素子などの表示素子を含む複数の画素やそれらの画素を駆動させる周辺駆動回路が形成された表示パネル本体のことでもよい。さらに、フレキシブルプリントサーキット（F P C）やプリント配線基盤（P W B）が取り付けられたもの（I Cや抵抗素子や容量素子やインダクタやトランジスタなど）も含んでもよい。さらに、偏光板や位相差板などの光学シートを含んでいてもよい。さらに、バックライト（導光板やプリズムシートや拡散シートや反射シートや光源（L E Dや冷陰極管など）を含んでいてもよい）を含んでいてもよい。

50

【0033】

なお、本発明の表示装置は、様々な形態を用いたり、様々な表示素子を有したりすることができます。例えば、E L素子（有機E L素子、無機E L素子又は有機物及び無機物を含むE L素子）、電子放出素子、液晶素子、電子インク、グレーティングライトバルブ（G L

50

V)、プラズマディスプレイ(PDP)、デジタル・マイクロミラー・デバイス(DMD)、圧電セラミックディスプレイ、カーボンナノチューブ、など、電気磁気的作用によりコントラストが変化する表示媒体を適用することができる。なお、EL素子を用いた表示装置としてはELディスプレイ、電子放出素子を用いた表示装置としてはフィールドエミッショニングディスプレイ(FED)やSED方式平面型ディスプレイ(SED: Surface-conduction Electron-emitter Display)など、液晶素子を用いた表示装置としては液晶ディスプレイ、透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、電子インクを用いた表示装置としては電子ペーパーがある。

【0034】

なお、本明細書中における発光素子とは、表示素子の中で、素子に流れる電流値によって発光輝度を制御することが可能な素子のことを指す。代表的には、EL素子を指す。EL素子以外にも、例えば、電子放出素子なども発光素子に含まれる。

【0035】

なお、本明細書中では、表示素子として主に発光素子を有する場合を例に挙げて説明するが、本発明の内容において、表示素子は発光素子に限定されない。上記に示した、様々な表示素子を適用することができる。

【発明の効果】

【0036】

本発明では、面積階調方式と時間階調方式を組み合わせることにより、多階調表示が可能となるとともに、擬似輪郭を低減することが可能となる。したがって、表示品位が向上し、綺麗な画像をみることが出来るようになる。また、従来の時間階調方式よりもデューティー比(1フレームにおける点灯期間の割合)を向上させることができ、発光素子にかかる電圧が小さくなる。したがって、消費電力を低減でき、発光素子の劣化も少なくなる。

【発明を実施するための最良の形態】

【0037】

以下に、本発明の実施の形態を図面に基づいて説明する。ただし、本発明は多くの異なる形態で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々なに変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。

【0038】

(実施の形態1)

本実施形態では、本発明の駆動方式を6ビット表示(64階調)の場合に適用した例について述べる。

【0039】

本実施形態に係る駆動方式は、1つの画素を複数のサブ画素に分割し、点灯しているサブ画素の数や面積を制御して階調を表現する面積階調方式と、1フレームを複数のサブフレームに分割し、各サブフレームに、発光回数や発光時間などの重み付けを行い、重み付けの総量を階調ごとに差を付けることによって階調を表現する時間階調方式を組み合わせるものである。つまり、1つの画素を、m個のサブ画素に分割し、m個のサブ画素の面積比を $2^0 : 2^1 : 2^2 : \dots : 2^{m-3} : 2^{m-2} : 2^{m-1}$ とする。また、1フレームに、複数のサブフレームから構成されるk個(kはk=2の整数)のサブフレーム群を設けるとともに、1フレームをn個のサブフレームに分割し、n個のサブフレームの点灯期間の長さの比を $2^0 : 2^m : 2^{2m} : \dots : 2^{(n-3)m} : 2^{(n-2)m} : 2^{(n-1)m}$ とする。さらに、n個の各サブフレームを、当該サブフレームの概ね $1/k$ の長さの点灯期間を有するk個のサブフレームに分割し、k個の各サブフレーム群に1個ずつ配置する。このとき、k個のサブフレーム群で、サブフレームの出現順序が概ね同じになるように、サブフレームを配置する。そして、各サブフレームにおいてm個の各サブ画素の点灯のさせ方を制御することにより、階調を表現する。

【0040】

10

20

30

40

50

始めに、各階調の表現方法、つまり、各階調において、各サブフレームで各サブ画素をどのように点灯させるのかについて説明する。本実施形態では、1つの画素を、各サブ画素の面積比が1：2となるように、2個のサブ画素（S P 1、S P 2）に分割するとともに、1フレームに2個のサブフレーム群（S F G 1、S F G 2）を設け、1フレームを、各サブフレームの点灯期間の比率が1：4：16となるように、3個のサブフレーム（S F 1、S F 2、S F 3）に分割した場合を例に挙げて説明する。なお、この例は、m = 2、n = 3、k = 2に対応する。

【0041】

ここで、各サブ画素の面積を、S P 1 = 1、S P 2 = 2、各サブフレームの点灯期間をS F 1 = 1、S F 2 = 4、S F 3 = 16とする。

10

【0042】

本実施形態では、点灯期間の比率が1：4：16となるように、1フレームを3個に分割して得られたサブフレーム（S F 1～S F 3）のそれぞれを、当該サブフレームの1/2の長さの点灯期間を有する2個のサブフレームにさらに分割する。つまり、点灯期間1を有するS F 1を、点灯期間0.5を有する2個のサブフレームS F 1 1、S F 2 1に分割する。同様に、点灯期間4を有するS F 2を、点灯期間2を有する2個のサブフレームS F 1 2、S F 2 2に分割し、点灯期間16を有するS F 3を、点灯期間8を有する2個のサブフレームS F 1 3、S F 2 3に分割する。そして、S F 1 1、S F 1 2、S F 1 3をサブフレーム群1（S F G 1）に、S F 2 1、S F 2 2、S F 2 3をサブフレーム群2（S F G 2）に配置する。このとき、サブフレーム群1とサブフレーム群2とで、S F 1 1、S F 1 2、S F 1 3とS F 2 1、S F 2 2、S F 2 3の出現順序を同じにする。

20

【0043】

これにより、2個の各サブフレーム群はそれぞれ3個のサブフレームから構成され、各サブフレームの点灯期間はS F 1 1 = 0.5、S F 1 2 = 2、S F 1 3 = 8、S F 2 1 = 0.5、S F 2 2 = 2、S F 2 3 = 8となる。

【0044】

この場合の各階調の表現方法を図1に示す。なお、図1の見方として、各サブフレームにおいて印がついているサブ画素は点灯し、×印がついているサブ画素は非点灯であることを示している。

30

【0045】

本発明では、各サブ画素の面積と各サブフレームの点灯期間の積を、実質的な発光強度と考える。例えば、サブフレーム群1において、点灯期間0.5を有するS F 1 1では、面積1のサブ画素1のみが点灯した場合の発光強度は $1 \times 0.5 = 0.5$ となり、面積2のサブ画素2のみが点灯した場合の発光強度は $2 \times 0.5 = 1$ となる。同様に、点灯期間2を有するS F 1 2では、サブ画素1のみが点灯した場合の発光強度は2となり、サブ画素2のみが点灯した場合の発光強度は4となる。同様に、点灯期間8を有するS F 1 3では、サブ画素1のみが点灯した場合の発光強度は8となり、サブ画素2のみが点灯した場合の発光強度は16となる。なお、サブフレーム群2を構成するサブフレームでも同様に発光強度が定められる。このように、サブ画素の面積とサブフレームの点灯期間の組合せによって、異なる発光強度を作り出すことができ、この発光強度もって階調を表現する。

40

【0046】

次に、階調の表現方法、つまり、各サブフレームの選択方法の一例について述べる。特に、点灯期間の長さが等しいサブフレームに関して、サブフレームの選択に次のような規則性がある方が望ましい。

【0047】

例えば、点灯期間0.5を有するサブフレームS F 1 1とS F 2 1については、選択・非選択の状態を一致させるとともに、サブ画素の点灯・非点灯の状態も一致させる。つまり、S F 1 1を選択すればS F 2 1も選択し、S F 1 1を選択しなければS F 2 1も選択しない。また、例えば、S F 1 1でサブ画素1が点灯すればS F 2 1でもサブ画素1を点灯させ、S F 1 1でサブ画素2が点灯すればS F 2 1でもサブ画素2を点灯させる。なぜな

50

ら、元来は点灯期間が 1 のサブフレームであり、それを S F 1 1 と S F 2 1 に分割しただけであるからである。同様に、点灯期間 2 を有するサブフレーム S F 1 2 と S F 2 2 も選択・非選択の状態を一致させるとともに、サブ画素の点灯・非点灯の状態も一致させる。なぜなら、S F 1 2 と S F 2 2 は元来点灯期間が 4 のサブフレームを分割したものであるからである。同様に、点灯期間 8 を有するサブフレーム S F 1 3 と S F 2 3 も選択・非選択の状態を一致させるとともに、サブ画素の点灯・非点灯の状態も一致させる。なぜなら、S F 1 3 と S F 2 3 は元来点灯期間が 16 のサブフレームを分割したものであるからである。

【 0 0 4 8 】

このため、例えば、階調 1 を表現する場合は、S F 1 1 と S F 2 1 とでサブ画素 1 を点灯させる。また、階調 2 を表現する場合は、S F 1 1 と S F 2 1 とでサブ画素 2 を点灯させる。また、階調 3 を表現する場合は、S F 1 1 と S F 2 1 とでサブ画素 1 とサブ画素 2 を点灯させる。また、階調 6 を表現する場合は、S F 1 1 と S F 2 1 とでサブ画素 2 を点灯させ、S F 1 2 と S F 2 2 とでサブ画素 1 を点灯させる。その他の階調についても同様に、各サブフレームで点灯させる各サブ画素を選択する。

【 0 0 4 9 】

以上のように、各サブフレームで点灯させるサブ画素を選択することにより、6 ビット階調（64 階調）を表現することができる。

【 0 0 5 0 】

本発明の駆動方式を用いると、擬似輪郭を低減させることができる。例えば、図 1において、画素 A では、階調 3 1 を表示し、画素 B では、階調 3 2 で表示しているとする。その場合の、各サブフレームにおける各サブ画素の点灯・非点灯の状態を、図 2 に示す。

【 0 0 5 1 】

ここで、図 2 の見方を説明する。図 2 は、1 フレームでの画素の点灯・非点灯の状態を示す図である。図 2 の横方向は時間を示し、縦方向は画素の位置を示している。そして、図 2 に示された四角形の縦方向の長さが、各サブ画素の面積比を示し、横方向の長さが、各サブフレームの点灯期間の長さの比を示している。また、図 2 に描かれたそれぞれの四角形の面積が、発光強度を示している。

【 0 0 5 2 】

例えば、視線が動いたとすると、視線の追い方によって、あるときは階調が 26 (= 2 + 8 + 16) と感じ、あるときは、階調が 29 (= 16 + 1 + 4 + 8) と感じる。本来は、階調が 31 と 32 に見えるべきであるのに、階調が 26 や 29 に見えてしまい、擬似輪郭が発生してしまう。しかし、階調のずれが従来の駆動方式よりも小さくなるため、従来の駆動方式を用いるよりも擬似輪郭が低減される。

【 0 0 5 3 】

なお、本実施形態では、サブフレーム群と同じ個数に分割する前のサブフレーム（S F 1 、 S F 2 、 S F 3 ）の点灯期間の長さは 1 、 4 、 16 であるとしたが、これに限定されない。

【 0 0 5 4 】

また、本実施形態では、点灯期間の比率が 1 : 4 : 16 である 3 個のサブフレーム（S F 1 、 S F 2 、 S F 3 ）のそれぞれを、さらに、サブフレーム群の個数と同じ 2 個のサブフレーム（S F 1 1 ~ S F 2 3 ）に分割したが、各サブフレームの分割数は、サブフレーム群の個数と異なっていてもよい。

【 0 0 5 5 】

例えば、点灯期間の長さの比が $2^0 : 2^m : 2^{2m} : \dots : 2^{(n-3)m} : 2^{(n-2)m} : 2^{(n-1)m}$ である n 個のサブフレームのうち少なくとも 1 個のサブフレームを、当該サブフレームの概ね $1 / (a \times k)$ (a は $a = 2$ の整数) の長さの点灯期間を有する ($a \times k$) 個のサブフレームに分割し、 k 個の各サブフレーム群に a 個ずつ配置し、残りのサブフレームを、当該サブフレームの概ね $1 / k$ の長さの点灯期間を有する k 個のサブフレームに分割し、 k 個の各サブフレーム群に 1 個ずつ配置してもよい。特に、点

10

20

30

40

50

灯期間を($a \times k$)個のサブフレームに分割するサブフレームとして、n個のサブフレームのうち最長の点灯期間を有するサブフレームを選択してもよい。

【0056】

例えば、1つの画素を、各サブ画素の面積比が1:2となるように、2個のサブ画素(S P 1、S P 2)に分割するとともに、1フレームに2個のサブフレーム群(S F G 1、S F G 2)を設け、1フレームを点灯期間の比率が1:4:16となるように3個のサブフレーム(S F 1、S F 2、S F 3)に分割し、その内で最長の点灯期間16を有するサブフレームを、当該サブフレームの1/4の長さの点灯期間を有する4個のサブフレームに分割し、残りの2個のサブフレームを、当該サブフレームの1/2の長さの点灯期間を有する2個のサブフレームに分割した場合の例を、図3に示す。なお、この例は、m=2、n=3、k=2、a=2に対応する。10

【0057】

ここで、各サブ画素の面積を、S P 1 = 1、S P 2 = 2、各サブフレームの点灯期間をS F 1 = 1、S F 2 = 4、S F 3 = 16とする。

【0058】

図3では、点灯期間の比率が1:4:16となるように1フレームを3個に分割して得られたサブフレームのうち、最長の点灯期間16を有するS F 3を、当該サブフレームの1/4の長さの点灯期間4を有する4個のサブフレームS F 1 3、S F 1 4、S F 2 3、S F 2 4に分割する。また、残りのS F 1、S F 2については、当該サブフレームの1/2の長さの点灯期間を有する2個のサブフレームにさらに分割する。つまり、点灯期間1を有するS F 1を、点灯期間0.5を有する2個のサブフレームS F 1 1、S F 2 1に分割し、点灯期間4を有するS F 2を、点灯期間2を有する2個のサブフレームS F 1 2、S F 2 2に分割する。そして、S F 1 1、S F 1 2、S F 1 3、S F 1 4をサブフレーム群1(S F G 1)に、S F 2 1、S F 2 2、S F 2 3、S F 2 4をサブフレーム群2(S F G 2)に配置する。このとき、サブフレーム群1とサブフレーム群2とで、S F 1 1、S F 1 2、S F 1 3、S F 1 4とS F 2 1、S F 2 2、S F 2 3、S F 2 4の出現順序を同じにする。20

【0059】

これにより、2個の各サブフレーム群はそれぞれ4個のサブフレームから構成され、各サブフレームの点灯期間はS F 1 1 = 0.5、S F 1 2 = 2、S F 1 3 = 4、S F 1 4 = 4、S F 2 1 = 0.5、S F 2 2 = 2、S F 2 3 = 4、S F 2 4 = 4となる。30

【0060】

図3において、各サブ画素の面積と各サブフレームの点灯期間の積を、実質的な発光強度と考える。例えば、サブフレーム群1において、点灯期間0.5を有するS F 1 1では、面積1のサブ画素1のみが点灯した場合の発光強度は0.5となり、面積2のサブ画素2のみが点灯した場合の発光強度は1となる。同様に、点灯期間2を有するS F 1 2では、サブ画素1のみが点灯した場合の発光強度は2となり、サブ画素2のみが点灯した場合の発光強度は4となる。同様に、点灯期間4を有するS F 1 3、S F 1 4では、サブ画素1のみが点灯した場合の発光強度は4となり、サブ画素2のみが点灯した場合の発光強度は8となる。なお、サブフレーム群2を構成するサブフレームでも同様に発光強度が定められる。このように、サブ画素の面積とサブフレームの点灯期間の組合せによって、異なる発光強度を作り出すことができ、この発光強度でもって6ビット階調(64階調)を表現する。40

【0061】

図3のような駆動方式を用いて、擬似輪郭を低減させることができる。例えば、図3において、画素Aでは、階調31を表示し、画素Bでは、階調32で表示しているとする。その場合の、各サブフレームにおける各サブ画素の点灯・非点灯の状態を、図4に示す。例えば、視線が動いたとすると、視線の追い方によって、あるときは階調が22(=2+4+8+8)と感じ、あるときは、階調が29(=8+8+1+4+4+4)と感じる。本来は、階調が31と32に見えるべきであるのに、階調が22や29に見えてしまい、擬50

似輪郭が発生してしまう。しかし、階調のずれが従来の駆動方式よりも小さくなるため、従来の駆動方式よりも擬似輪郭が低減される。

【0062】

このように、各サブフレームの点灯期間をより短くしたり、サブフレームの分割数を増やすことにより、視線が動いた場合の階調のずれが従来の駆動方式よりも小さく感じる様に目が誤魔化される。したがって、擬似輪郭を低減させる効果が大きくなる。なお、点灯期間をさらに4個に分割するサブフレームは、最長の点灯期間を有するサブフレームに限定されない。

【0063】

なお、各サブフレームの点灯期間をより短くしたり、分割数を増やすことにより、同じ階調を表現するための各サブフレームにおけるサブ画素の選択方法が増える。したがって、各サブフレームにおける各サブ画素の選択方法は、これに限定されない。例えば、階調31を表現する場合、図3では、SF13、SF14、SF23、SF24でサブ画素1を点灯させていたが、SF13及びSF23でサブ画素2を点灯させてもよい。この場合の例を図5に示す。

【0064】

なお、図5のような駆動方式を用いて、擬似輪郭を低減させることができる。例えば、図5において、画素Aでは、階調31を表示し、画素Bでは、階調32で表示しているとする。その場合の、各サブフレームにおける各サブ画素の点灯・非点灯の状態を、図6に示す。例えば、視線が動いたとすると、視線の追い方によって、あるときは階調が26(=2+8+8+8)と感じ、あるときは、階調が29(=8+8+1+4+8)と感じる。本来は、階調が31と32に見えるべきであるのに、階調が26や29に見えてしまい、擬似輪郭が発生してしまう。しかし、階調のずれが従来の駆動方式よりも小さくなるため、従来の駆動方式よりも擬似輪郭が低減される。

【0065】

このように、擬似輪郭が特に出やすい階調に対して、選択的に各サブフレームにおけるサブ画素の選択方法を変えることにより、擬似輪郭を低減させる効果を大きくすることができる。

【0066】

なお、各サブフレームの点灯期間の順序は、これに限定されない。例えば、各サブフレーム群の中で点灯期間の昇順もしくは降順としてもよい。なぜならば、各サブフレームの点灯期間の順序を点灯期間の昇順もしくは降順とすることにより、視線を動かしたときの階調のずれを、従来の駆動方式よりもより小さくすることができるため、従来の駆動方式よりも擬似輪郭をより低減できるからである。

【0067】

もしくは、各サブフレーム群の中で点灯期間の昇順もしくは降順に配置した後、最長の点灯期間を有するサブフレームと2番目に長い点灯期間を有するサブフレームの順序を入れ換えてよい。

【0068】

例えば、図5において、各サブフレーム群の中で最長の点灯期間を有するサブフレームと2番目に長い点灯期間を有するサブフレームの順序を入れ換えた場合の例を、図7に示す。

【0069】

図7では、図5において、各サブフレーム群の中で最長の点灯期間4を有するサブフレームと2番目に長い点灯期間2を有するサブフレームの順序を入れ換えている。つまり、サブフレーム群1においては、点灯期間4を有するSF13と点灯期間2を有するSF12を入れ換えており、サブフレーム群2においては、点灯期間4を有するSF23と点灯期間2を有するSF22を入れ換えている。

【0070】

なお、図7のような駆動方式を用いて、擬似輪郭を低減させることができる。例えば、図

10

20

30

40

50

7において、画素Aでは、階調31を表示し、画素Bでは、階調32で表示しているとする。その場合の、各サブフレームにおける各サブ画素の点灯・非点灯の状態を、図8に示す。例えば、視線が動いたとすると、視線の追い方によって、あるときは階調が28(=8+4+8+8)と感じ、あるときは、階調が30(=8+8+8+4+2)と感じる。本来は、階調が31と32に見えるべきであるのに、階調が28や30に見えてしまい、擬似輪郭が発生してしまう。しかし、階調のずれが従来の駆動方式よりも小さくなるため、従来の駆動方式よりも擬似輪郭が低減される。

【0071】

このように、各サブフレームの点灯期間の順序を変えることにより、目が誤魔化され、視線が動いたときの階調のずれを小さくすることができる。よって、擬似輪郭を低減させることができる。10

【0072】

なお、各サブフレーム群の中で点灯期間の昇順もしくは降順に配置した後、順序を入れ換えるサブフレームは、最長の点灯期間を有するサブフレームと2番目に長い点灯期間を有するサブフレームに限定されない。例えば、最長の点灯期間を有するサブフレームと3番目に長い点灯期間を有するサブフレームを入れ換えてよいし、2番目に長い点灯期間を有するサブフレームと3番目に長い点灯期間を有するサブフレームを入れ換えてよい。

【0073】

なお、点灯期間の長さは、全体の階調数(ビット数)や全体のサブフレーム数などにより、適宜変わるものである。よって、点灯期間の長さが同じであっても、全体の階調数(ビット数)や全体のサブフレーム数が変われば、実際に点灯している期間の長さ(例えば、何μsであるか)が変わる可能性がある。20

【0074】

なお、点灯期間は、ずっと点灯し続ける場合に用いるものであり、点灯回数は、ある時間内において、点滅し続ける場合に用いるものである。点灯回数を用いる代表的なディスプレイは、プラズマディスプレイである。点灯期間を用いる代表的なディスプレイは、有機ELディスプレイである。

【0075】

なお、本実施形態では、各サブ画素の面積比は1:2としていたが、これに限定されない。例えば、1:4に分割してもよいし、1:8に分割してもよい。30

【0076】

例えば、各サブ画素の面積比を1:1とすると、同じサブフレームでどちらのサブ画素を発光させても発光強度は等しくなる。したがって、同じ階調を表現する際に、どちらのサブ画素を発光させるかを切り換えてよい。これにより、特定のサブ画素のみ集中して発光することを防ぐことができ、画素の焼き付きを防止できる。

【0077】

なお、m個のサブ画素の面積比を $2^0 : 2^1 : 2^2 : \dots : 2^{m-3} : 2^{m-2} : 2^{m-1}$ とし、n個のサブフレームの点灯期間の長さの比を $2^0 : 2^m : 2^{2m} : \dots : 2^{(n-3)m} : 2^{(n-2)m} : 2^{(n-1)m}$ とすることにより、少ないサブ画素数及び少ないサブフレーム数で、より多くの階調を表現することが可能となる。また、この方法で表現できる階調は、階調の変化率が一定となるため、よりなめらかな階調表示が可能となり、画質を向上させることができる。40

【0078】

なお、本実施形態では、サブ画素の数は2個としていたが、これに限定されない。

【0079】

例えば、1つの画素を、各サブ画素の面積比が1:2:4となるように、3個のサブ画素(S P 1、S P 2、S P 3)に分割するとともに、1フレームに2個のサブフレーム群(S F G 1、S F G 2)を設け、1フレームを、各サブフレームの点灯期間の比率が1:8となるように、2個のサブフレーム(S F 1、S F 2)に分割した場合の例を、図9に示す。なお、この例は、m=3、n=2、k=2に対応する。50

【0080】

ここで、各サブ画素の面積を、 $S P 1 = 1$ 、 $S P 2 = 2$ 、 $S P 3 = 4$ 、各サブフレームの点灯期間を $S F 1 = 1$ 、 $S F 2 = 8$ とする。

【0081】

図9では、点灯期間の比率が1:8となるように1フレームを2個に分割して得られたサブフレーム($S F 1$ 、 $S F 2$)のそれぞれを、当該サブフレーム($S F 1$ 、 $S F 2$)の1/2の長さの点灯期間を有する2個のサブフレームにさらに分割する。つまり、点灯期間1を有する $S F 1$ を、点灯期間0.5を有する2個のサブフレーム $S F 11$ 、 $S F 21$ に分割する。同様に、点灯期間8を有する $S F 2$ を、点灯期間4を有する2個のサブフレーム $S F 12$ 、 $S F 22$ に分割する。そして、 $S F 11$ 、 $S F 12$ をサブフレーム群1($S F G 1$)に、 $S F 21$ 、 $S F 22$ をサブフレーム群2($S F G 2$)に配置する。このとき、サブフレーム群1とサブフレーム群2とで、 $S F 11$ 、 $S F 12$ と $S F 21$ 、 $S F 22$ の出現順序を同じにする。10

【0082】

これにより、2個の各サブフレーム群はそれぞれ2個のサブフレームから構成され、各サブフレームの点灯期間は $S F 11 = 0.5$ 、 $S F 12 = 4$ 、 $S F 21 = 0.5$ 、 $S F 22 = 4$ となる。

【0083】

図9において、各サブ画素の面積と各サブフレームの点灯期間の積を、実質的な発光強度と考える。例えば、サブフレーム群1において、点灯期間0.5を有する $S F 11$ では、面積1のサブ画素1のみが点灯した場合の発光強度は0.5となり、面積2のサブ画素2のみが点灯した場合の発光強度は1となり、面積4のサブ画素3のみが点灯した場合の発光強度は2となる。同様に、点灯期間4を有する $S F 12$ では、サブ画素1のみが点灯した場合の発光強度は4となり、サブ画素2のみが点灯した場合の発光強度は8となり、サブ画素3のみが点灯した場合の発光強度は16となる。なお、サブフレーム群2を構成するサブフレームでも同様に発光強度が定められる。このように、サブ画素の面積とサブフレームの点灯期間の組合せによって、異なる発光強度を作り出すことができ、この発光強度でもって6ビット階調(64階調)を表現する。20

【0084】

図9のような駆動方式を用いて、擬似輪郭を低減させることができる。例えば、図9において、画素Aでは、階調31を表示し、画素Bでは、階調32で表示しているとする。その場合の、各サブフレームにおける各サブ画素の点灯・非点灯の状態を、図10に示す。例えば、視線が動いたとすると、視線の追いか方向によって、あるときは階調が28.5(=0.5+4+8+16)と感じ、あるときは、階調が30(=16+2+8+4)と感じる。本来は、階調が31と32に見えるべきであるのに、階調が28.5や30に見えてしまい、擬似輪郭が発生してしまう。しかし、階調のずれが従来の駆動方式よりも小さくなるため、従来の駆動方式を用いるよりも擬似輪郭が低減される。30

【0085】

また、図9において、1フレームを点灯期間の比率が1:8となるように2個のサブフレーム($S F 1$ 、 $S F 2$)に分割し、その中で最長の点灯期間8を有するサブフレームを、当該サブフレームの1/4の長さの点灯期間を有する4個のサブフレームに分割し、残りのサブフレームを、当該サブフレームの1/2の長さの点灯期間を有する2個のサブフレームに分割してもよい。この場合の例を、図11に示す。なお、この例は、 $m = 3$ 、 $n = 2$ 、 $k = 2$ 、 $a = 2$ に対応する。40

【0086】

ここで、各サブ画素の面積を、 $S P 1 = 1$ 、 $S P 2 = 2$ 、 $S P 3 = 4$ 、各サブフレームの点灯期間を $S F 1 = 1$ 、 $S F 2 = 8$ とする。

【0087】

図11では、点灯期間の比率が1:8となるように1フレームを2個に分割して得られたサブフレームのうち、最長の点灯期間8を有する $S F 2$ を、当該サブフレームの1/4の50

長さの点灯期間 2 を有する 4 個のサブフレーム S F 1 2、S F 1 3、S F 2 2、S F 2 3 に分割する。また、残りの S F 1 については、当該サブフレームの 1 / 2 の長さの点灯期間 0 . 5 を有する 2 個のサブフレーム S F 1 1、S F 2 1 にさらに分割する。そして、S F 1 1、S F 1 2、S F 1 3 をサブフレーム群 1 (S F G 1) に、S F 2 1、S F 2 2、S F 2 3 をサブフレーム群 2 (S F G 2) に配置する。このとき、サブフレーム群 1 とサブフレーム群 2 とで、S F 1 1、S F 1 2、S F 1 3 と S F 2 1、S F 2 2、S F 2 3 の出現順序を同じにする。

【 0 0 8 8 】

これにより、2 個の各サブフレーム群はそれぞれ 3 個のサブフレームから構成され、各サブフレームの点灯期間は S F 1 1 = 0 . 5、S F 1 2 = 2、S F 1 3 = 2、S F 2 1 = 0 . 5、S F 2 2 = 2、S F 2 3 = 2 となる。10

【 0 0 8 9 】

図 1 1において、各サブ画素の面積と各サブフレームの点灯期間の積を、実質的な発光強度と考える。例えば、サブフレーム群 1 において、点灯期間 0 . 5 を有する S F 1 1 では、面積 1 のサブ画素 1 のみが点灯した場合の発光強度は 0 . 5 となり、面積 2 のサブ画素 2 のみが点灯した場合の発光強度は 1 となり、面積 4 のサブ画素 3 のみが点灯した場合の発光強度は 2 となる。同様に、点灯期間 2 を有する S F 1 2、S F 1 3 では、サブ画素 1 のみが点灯した場合の発光強度は 2 となり、サブ画素 2 のみが点灯した場合の発光強度は 4 となり、サブ画素 3 のみが点灯した場合の発光強度は 8 となる。なお、サブフレーム群 2 を構成するサブフレームでも同様に発光強度が定められる。このように、サブ画素の面積とサブフレームの点灯期間の組合せによって、異なる発光強度を作り出すことができ、この発光強度でもって 6 ビット階調 (6 4 階調) を表現する。20

【 0 0 9 0 】

図 1 1 のような駆動方式を用いて、擬似輪郭を低減させることができる。例えば、図 1 1 において、画素 A では、階調 3 1 を表示し、画素 B では、階調 3 2 で表示しているとする。その場合の、各サブフレームにおける各サブ画素の点灯・非点灯の状態を、図 1 2 に示す。例えば、視線が動いたとすると、視線の追い方によって、あるときは階調が 2 2 (= 2 + 4 + 8 + 8) と感じ、あるときは、階調が 2 8 (= 8 + 8 + 2 + 4 + 4 + 2) と感じる。本来は、階調が 3 1 と 3 2 に見えるべきであるのに、階調が 2 2 や 2 8 に見えてしまい、擬似輪郭が発生してしまう。しかし、階調のずれが従来の駆動方式よりも小さくなるため、従来の駆動方式よりも擬似輪郭が低減される。30

【 0 0 9 1 】

このように、各サブフレームの点灯期間をより短くしたり、サブフレームの分割数を増やすことにより、目が誤魔化され、視線が動いた場合の階調のずれが従来の駆動方式よりも小さくなる。したがって、擬似輪郭を低減させる効果が大きくなる。なお、点灯期間をさらに 4 個に分割するサブフレームは、最長の点灯期間を有するサブフレームに限定されない。

【 0 0 9 2 】

なお、各サブフレームの点灯期間をより短くしたり、分割数を増やすことにより、同じ階調を表現するための各サブフレームにおけるサブ画素の選択方法が増える。したがって、各サブフレームにおける各サブ画素の選択方法は、これに限定されない。例えば、階調 3 1 を表現する場合、図 1 1 では、S F 1 2、S F 1 3、S F 2 2、S F 2 3 でサブ画素 1 及びサブ画素 2 を点灯させていたが、S F 1 2 及び S F 2 2 でサブ画素 2 及びサブ画素 3 を点灯させてもよい。この場合の例を図 1 3 に示す。40

【 0 0 9 3 】

なお、図 1 3 のような駆動方式を用いて、擬似輪郭を低減させることができる。例えば、図 1 3 において、画素 A では、階調 3 1 を表示し、画素 B では、階調 3 2 で表示しているとする。その場合の、各サブフレームにおける各サブ画素の点灯・非点灯の状態を、図 1 4 に示す。例えば、視線が動いたとすると、視線の追い方によって、あるときは階調が 2 8 (= 4 + 8 + 8 + 8) と感じ、あるときは、階調が 3 0 (= 8 + 8 + 2 + 8 + 4) と感50

じる。本来は、階調が 31 と 32 に見えるべきであるのに、階調が 28 や 30 に見えてしまい、擬似輪郭が発生してしまう。しかし、階調のずれが従来の駆動方式よりも小さくなるため、従来の駆動方式よりも擬似輪郭が低減される。

【0094】

このように、擬似輪郭が特に出やすい階調に対して、選択的に各サブフレームにおけるサブ画素の選択方法を変えることにより、擬似輪郭を低減させる効果を大きくすることができる。

【0095】

なお、サブ画素の番号と面積の対応は、これに限定されない。例えば、図 11において、各サブ画素の面積を $SP_1 = 1$ 、 $SP_2 = 2$ 、 $SP_3 = 4$ としたが、 $SP_1 = 1$ 、 $SP_2 = 4$ 、 $SP_3 = 2$ としてもよいし、 $SP_1 = 2$ 、 $SP_2 = 1$ 、 $SP_3 = 4$ としてもよいし、 $SP_1 = 4$ 、 $SP_2 = 2$ 、 $SP_3 = 1$ としてもよい。

【0096】

このように、本発明の駆動方式を用いることにより、サブフレーム数を多くせずに、擬似輪郭を低減したり、階調数を大きくして表示させることができるとなる。また、従来の時間階調方式に比べて、サブフレームの個数を少なくすることができるため、各サブフレーム期間を長く設けることができる。これにより、デューティー比を向上させることができ、発光素子にかかる電圧が小さくなる。したがって、消費電力を低減でき、発光素子の劣化も少なくなる。

【0097】

なお、ある階調において、各サブフレームにおけるサブ画素の選択方法を時間的に、または、場所的に変更してもよい。つまり、時刻によって、各サブフレームにおけるサブ画素の選択方法を変えてよいし、画素によって、各サブフレームにおけるサブ画素の選択方法を変えてよい。さらに、時刻によって変えて、かつ、画素によっても変えてよい。

【0098】

例えば、ある階調を表現するとき、フレーム数が奇数番目のときと、偶数番目のときとで、各サブフレームにおけるサブ画素の選択方法を変えてよい。例えば、フレーム数が奇数番目のときは、図 11 に示したサブ画素の選択方法で階調を表現し、偶数番目のときは、図 13 に示したサブ画素の選択方法で階調を表現してもよい。このように、擬似輪郭が特に出やすい階調に対するサブ画素の選択方法を、フレーム数が奇数番目のときと、偶数番目のときとで変えることにより、擬似輪郭を低減することができる。

【0099】

なお、ここでは、擬似輪郭が特に出やすい階調に対するサブフレームの選択方法を変えたが、任意の階調に対して、サブ画素の選択方法を変えてよい。

【0100】

また、ある階調を表現するとき、奇数行目の画素を表示するときと、偶数行目の画素を表示するときとで、各サブフレームにおけるサブ画素の選択の仕方を変えてよい。また、ある階調を表現するとき、奇数列目の画素を表示するときと、偶数列目の画素を表示するときとで、各サブフレームにおけるサブ画素の選択の仕方を変えてよい。

【0101】

また、ある階調を表現するとき、フレーム数が奇数番目のときと、偶数番目のときとで、サブフレームの分割数や点灯期間の比率を変えてよい。例えば、フレーム数が奇数番目のときは、図 9 で示したサブ画素の選択方法で階調を表現し、フレーム数が偶数番目のときは、図 11 で示したサブ画素の選択方法で階調を表現してもよい。

【0102】

なお、各サブフレームの点灯期間の順序は、時刻によって変化してもよい。例えば、1 フレーム目と 2 フレーム目とで、サブフレームの点灯期間の順序が変わってもよい。また、サブフレームの点灯期間の順序は、場所によって変わってもよい。例えば、画素 A と画素 B とで、サブフレームの点灯期間の順序が変わってもよい。また、それらを組み合わせて、サブフレームの点灯期間の順序が、時刻によって変化して、かつ、場所によって変化し

10

20

30

40

50

てもよい。例えば、図11において、フレーム数が奇数番目のときは、各サブフレームの点灯期間を $SF_{11} = 0.5$ 、 $SF_{12} = 2$ 、 $SF_{13} = 2$ 、 $SF_{21} = 0.5$ 、 $SF_{22} = 2$ 、 $SF_{23} = 2$ とし、フレーム数が偶数番目のときは、 $SF_{11} = 2$ 、 $SF_{12} = 0.5$ 、 $SF_{13} = 2$ 、 $SF_{21} = 2$ 、 $SF_{22} = 0.5$ 、 $SF_{23} = 2$ としてもよい。

【0103】

なお、これまででは、サブフレーム群の個数が2個($k=2$)の場合の例を示してきたが、サブフレーム群の個数はこれに限定されない。例えば、1フレームに4個のサブフレーム群を設けた場合の例を図15に示す。

【0104】

図15では、1つの画素を、各サブ画素の面積比が1:2となるように、2個のサブ画素(SP_1 、 SP_2)に分割するとともに、1フレームに4個のサブフレーム群(SFG_1 、 SFG_2 、 SFG_3 、 SFG_4)を設け、1フレームを、各サブフレームの点灯期間の比率が1:4:16となるように、3個のサブフレーム(SF_1 、 SF_2 、 SF_3)に分割している。なお、この例は、 $m=2$ 、 $n=3$ 、 $k=4$ に対応する。10

【0105】

ここで、各サブ画素の面積を、 $SP_1 = 1$ 、 $SP_2 = 2$ 、各サブフレームの点灯期間を $SF_1 = 1$ 、 $SF_2 = 4$ 、 $SF_3 = 16$ とする。

【0106】

図15では、点灯期間の比率が1:4:16となるように、3個に分割されたサブフレーム($SF_1 \sim SF_3$)のそれぞれを、当該サブフレームの1/4の長さの点灯期間を有する4個のサブフレームにさらに分割する。つまり、点灯期間1を有する SF_1 を、点灯期間0.25を有する4個のサブフレーム SF_{11} 、 SF_{21} 、 SF_{31} 、 SF_{41} に分割する。同様に、点灯期間4を有する SF_2 を、点灯期間1を有する4個のサブフレーム SF_{12} 、 SF_{22} 、 SF_{32} 、 SF_{42} に分割し、点灯期間16を有する SF_3 を、点灯期間4を有する4個のサブフレーム SF_{13} 、 SF_{23} 、 SF_{33} 、 SF_{43} に分割する。そして、 SF_{11} 、 SF_{12} 、 SF_{13} をサブフレーム群1(SFG_1)に、 SF_{21} 、 SF_{22} 、 SF_{23} をサブフレーム群2(SFG_2)に、 SF_{31} 、 SF_{32} 、 SF_{33} をサブフレーム群3(SFG_3)に、 SF_{41} 、 SF_{42} 、 SF_{43} をサブフレーム群4(SFG_4)にそれぞれ配置する。このとき、サブフレーム群1～サブフレーム群4で、 SF_{11} 、 SF_{12} 、 SF_{13} 、及び SF_{21} 、 SF_{22} 、 SF_{23} 、及び SF_{31} 、 SF_{32} 、 SF_{33} 、及び SF_{41} 、 SF_{42} 、 SF_{43} の出現順序を同じにする。2030

【0107】

これにより、4個の各サブフレーム群はそれぞれ3個のサブフレームから構成され、各サブフレームの点灯期間は $SF_{11} = 0.25$ 、 $SF_{12} = 1$ 、 $SF_{13} = 4$ 、 $SF_{21} = 0.25$ 、 $SF_{22} = 1$ 、 $SF_{23} = 4$ 、 $SF_{31} = 0.25$ 、 $SF_{32} = 1$ 、 $SF_{33} = 4$ 、 $SF_{41} = 0.25$ 、 $SF_{42} = 1$ 、 $SF_{43} = 4$ 、となる。

【0108】

図15において、各サブ画素の面積と各サブフレームの点灯期間の積を、実質的な発光強度と考える。例えば、サブフレーム群1において、点灯期間0.25を有する SF_{11} では、面積1のサブ画素1のみが点灯した場合の発光強度は0.25となり、面積2のサブ画素2のみが点灯した場合の発光強度は0.5となる。同様に、点灯期間1を有する SF_{12} では、サブ画素1のみが点灯した場合の発光強度は1となり、サブ画素2のみが点灯した場合の発光強度は2となる。同様に、点灯期間4を有する SF_{13} では、サブ画素1のみが点灯した場合の発光強度は4となり、サブ画素2のみが点灯した場合の発光強度は8となる。なお、他のサブフレーム群でも同様に発光強度が定められる。このように、サブ画素の面積とサブフレームの点灯期間の組合せによって、異なる発光強度を作り出すことができ、この発光強度でもって6ビット階調(64階調)を表現する。40

【0109】

なお、図15のような駆動方式を用いて、擬似輪郭を低減させることができる。例えば、図15において、画素Aでは、階調31を表示し、画素Bでは、階調32で表示している50

とする。その場合の、各サブフレームにおける各サブ画素の点灯・非点灯の状態を、図16に示す。例えば、視線が動いたとすると、視線の追い方によって、あるときは階調が2.5(=8+8+0.5+2+4)と感じ、あるときは、階調が23.75(=0.25+1+4+0.5+2+8+8)と感じる。本来は、階調が31と32に見えるべきであるのに、階調が22.5や23.75に見えてしまい、擬似輪郭が発生してしまう。しかし、階調のずれが従来の駆動方式よりも小さくなるため、従来の駆動方式よりも擬似輪郭が低減される。

【0110】

なお、本実施形態では、6ビット階調(64階調)の場合を例に挙げたが、表示する階調数はこれに限定されない。例えば、8ビット階調(256階調)を表現することができる。この場合の例を図17～図20に示す。なお、図17は階調0～63、図18は階調64～127、図19は階調128～191、図20は階調192～255におけるサブ画素の選択方法を示す。

【0111】

図17～図20では、1つの画素を、各サブ画素の面積比が1：2となるように、2個のサブ画素(SP1、SP2)に分割するとともに、1フレームに2個のサブフレーム群(SFG1、SFG2)を設け、1フレームを、各サブフレームの点灯期間の比率が1：4：16：64となるように、4個のサブフレーム(SF1～SF4)に分割している。なお、この例は、m=2、n=4、k=2に対応する。

【0112】

ここで、各サブ画素の面積を、SP1=1、SP2=2、各サブフレームの点灯期間をSF1=1、SF2=4、SF3=16、SF4=64とする。

【0113】

図17～図20では、点灯期間の比率が1：4：16：64となるように4個に分割されたサブフレーム(SF1～SF4)のそれぞれを、当該サブフレームの1/2の長さの点灯期間を有する2個のサブフレームにさらに分割する。つまり、点灯期間1を有するSF1を、点灯期間0.5を有する2個のサブフレームSF11、SF21に分割する。同様に、点灯期間4を有するSF2を、点灯期間2を有する2個のサブフレームSF12、SF22に分割し、点灯期間16を有するSF3を、点灯期間8を有する2個のサブフレームSF13、SF23に分割し、点灯期間64を有するSF4を、点灯期間32を有する2個のサブフレームSF14、SF24に分割する。そして、SF11、SF12、SF13、SF14をサブフレーム群1(SFG1)に、SF21、SF22、SF23、SF24をサブフレーム群2(SFG2)に配置する。このとき、サブフレーム群1とサブフレーム群2とで、SF11、SF12、SF13、SF14とSF21、SF22、SF23、SF24の出現順序を同じにする。

【0114】

これにより、2個の各サブフレーム群はそれぞれ4個のサブフレームから構成され、各サブフレームの点灯期間はSF11=0.5、SF12=2、SF13=8、SF14=32、SF21=0.5、SF22=2、SF23=8、SF24=32となる。

【0115】

図17～図20において、各サブ画素の面積と各サブフレームの点灯期間の積を、実質的な発光強度と考える。例えば、サブフレーム群1において、点灯期間0.5を有するSF11では、面積1のサブ画素1のみが点灯した場合の発光強度は0.5となり、面積2のサブ画素2のみが点灯した場合の発光強度は1となる。同様に、点灯期間2を有するSF12では、サブ画素1のみが点灯した場合の発光強度は2となり、サブ画素2のみが点灯した場合の発光強度は4となる。同様に、点灯期間8を有するSF13では、サブ画素1のみが点灯した場合の発光強度は8となり、サブ画素2のみが点灯した場合の発光強度は16となる。同様に、点灯期間32を有するSF14では、サブ画素1のみが点灯した場合の発光強度は32となり、サブ画素2のみが点灯した場合の発光強度は64となる。なお、サブフレーム群2を構成するサブフレームでも同様に発光強度が定められる。このよ

10

20

30

40

50

うに、サブ画素の面積とサブフレームの点灯期間の組合せによって、異なる発光強度を作り出すことができ、この発光強度でもって8ビット階調（256階調）を表現する。

【0116】

なお、これまでに説明した、表示する階調数、サブ画素の面積比と個数、サブフレームの点灯期間の比率と分割数、サブフレーム群の個数、階調によってサブフレーム及びサブ画素の選択方法を変えるなどの内容を、互いに組み合わせて用いてもよい。

【0117】

（実施の形態2）

実施の形態1では、階調が増えると、それに線形に比例して点灯時間が増えている場合について述べた。そこで本実施形態では、ガンマ補正を行った場合について述べる。

10

【0118】

ガンマ補正とは、階調が増えると、非線形で点灯時間が増えていくようにしたものと指す。人間の目は、輝度が線形に比例して大きくなってしまっても、比例して明るくなっているとは感じない。輝度が高くなるほど、明るさの差を感じにくくなっている。よって、人間の目で、明るさの差を感じるようにするために、階調が増えていくにしたがって、点灯時間をより長くとる、つまり、ガンマ補正を行う必要がある。なお、階調を x 、輝度を y とすると、輝度と階調の関係は、以下の(1)式で表される。

$$y = A \times x^{\gamma} \quad \dots \quad (1)$$

ただし、(1)式において、 A は、輝度 y を0～1に規格化するための定数である。
ここで、階調 x の指数である γ がガンマ補正の程度を示すパラメータとなっている。

20

【0119】

最も単純な方法は、実際に表示するビット数（階調数）よりも、多くのビット数（階調数）で表示できるようにしておく、というものである。例えば、6ビット階調（64階調）で表示を行うとき、実際には、8ビット階調（256階調）を表示できるようにしておく。そして、実際に表示するときには、階調の輝度が非線形になるようにして、6ビット階調（64階調）で表示する。これによりガンマ補正を実現出来る。

【0120】

一例として、6ビット階調（64階調）を表示できるようにしておいて、ガンマ補正を行って5ビット階調（32階調）を表示する場合の各サブフレームにおけるサブ画素の選択方法を図21に示す。図21は、全階調にわたって $\gamma = 2.2$ となるようなガンマ補正を行って5ビット階調（32階調）を表示する場合の各サブフレームにおけるサブ画素の選択方法を示している。なお、 $\gamma = 2.2$ という値は人間の視覚特性を最もよく補うような値となっており、輝度が高くなってしまっても、最も適切な明るさの差を感じることができるようになる。図21では、ガンマ補正済みの5ビットでの階調が3までは、実際には6ビットの階調0のサブフレームの選択方法で点灯させる。同様に、ガンマ補正済みの5ビットでの階調が4のときは、実際には6ビットの階調1で表示させ、ガンマ補正済みの5ビットでの階調が6のときは、実際には6ビットの階調2で表示させる。また、階調 x と輝度 y のグラフを図22に示す。図22(A)は、全階調での階調 x と輝度 y の関係を示し、図22(B)は、低階調側での階調 x と輝度 y のグラフを示す。このように、ガンマ補正済みの5ビットでの階調と、6ビットでの階調との対応表を作成し、それに応じて、表示されればよい。これにより、 $\gamma = 2.2$ となるようなガンマ補正を実現出来る。

30

【0121】

ただし、図22(B)から分かるように、図21の場合、階調0～階調3や、階調4～階調5、階調6～階調7までは、同じ輝度で表示されることになる。なぜなら、6ビット表示では階調数が十分でないため、輝度の違いを表現できないからである。これを対策する方法として、次の2つが考えられる。

40

【0122】

1つ目の方法は、表示できるビット数をさらに増やすことである。6ビットではなく、7ビット以上、好ましくは8ビット以上で表示できるようにする。その結果、低階調領域においてもなめらかな表示を行うことができる。

50

【0123】

2つ目の方法は、低階調領域では $= 2.2$ の関係を満足しないが、輝度が線形で変化するようにして、なめらかに表示させる方法である。この場合のサブフレームの選択方法を図23に示す。図23では、5ビットでの階調が17までは、6ビットでの階調と同じである。しかし、ガンマ補正済みの5ビットでの階調が18のときは、実際には6ビットの階調19のサブフレームの選択方法で点灯させる。同様に、ガンマ補正済みの5ビットでの階調が19のときは、実際には6ビットの階調21で表示させ、ガンマ補正済みの5ビットでの階調が20のときは、実際には6ビットの階調24で表示させる。また、階調xと輝度yのグラフを図24に示す。図24(A)は、全階調での階調xと輝度yの関係を示し、図24(B)は、低階調側での階調xと輝度yのグラフを示す。低階調領域では、輝度が線形に変化している。このようなガンマ補正を行うことにより、低階調側がよりなめらかに表示できるようになる。

【0124】

つまり、低階調領域については、輝度を線形に比例するように変化させ、それ以外の階調領域については、輝度を非線形に変化させることにより、低階調領域がよりなめらかに表示できるようになる。

【0125】

なお、ガンマ補正済みの5ビットでの階調と、6ビットでの階調との対応表は、適宜変更することが可能である。よって、対応表を変更することにより、ガンマ補正の程度（すなわち、 γ の値）を容易に変更することが可能である。よって、 $= 2.2$ に限定されない。

【0126】

また、何ビット（例えばpビット、ここでpは整数）を表示できるようにしておいて、ガンマ補正済みで何ビット（例えばqビット、ここでqは整数）で表示するのかについても、これに限定されない。ガンマ補正済みで表示する場合、階調をなめらかに表現するためには、ビット数pを出来るだけ大きくしておくことが望ましい。ただし、あまり大きくしきると、サブフレーム数が多くなってしまうなど、弊害も出てきてしまう。よって、ビット数qとビット数pとの関係は、 $q + 2 \leq p \leq q + 5$ 、とすることが望ましい。これにより、階調をなめらかに表現しつつ、サブフレーム数も増えすぎない、ということを実現できる。

【0127】

なお、本実施の形態で述べた内容は、実施の形態1で述べた内容と自由に組み合わせて実施することができる。

【0128】

(実施の形態3)

本実施形態では、1つの画素を、各サブ画素の面積比が1:2となるように、2個のサブ画素(S P 1、S P 2)に分割するとともに、1フレームに2個のサブフレーム群(S F G 1、S F G 2)を設け、1フレームを、各サブフレームの点灯期間の比率が1:4:16となるように、3個のサブフレーム(S F 1、S F 2、S F 3)に分割した場合(図1)の表示装置の動作について、タイミングチャートを参照して説明する。

【0129】

ここで、各サブ画素の面積を、 $S P 1 = 1$ 、 $S P 2 = 2$ 、各サブフレームの点灯期間を $S F 1 = 1$ 、 $S F 2 = 4$ 、 $S F 3 = 16$ とする。

【0130】

まず、画素に信号を書き込む期間と点灯する期間とが分離されている場合のタイミングチャートを図25に示す。なお、タイミングチャートとは、1フレームでの画素の発光のタイミングを示す図であり、横方向は時間、縦方向は画素が配置されている行を示している。

【0131】

まず、信号書き込み期間において、1画面分の信号を全画素に入力する。この間は、画素

は点灯しない。信号書き込み期間が終了したのち、点灯期間が始まり、画素が点灯する。そのときの点灯期間の長さは、0.5である。次に、次のサブフレームが始まり、信号書き込み期間において、1画面分の信号を全画素に入力する。この間は、画素は点灯しない。信号書き込み期間が終了したのち、点灯期間が始まり、画素が点灯する。そのときの点灯期間の長さは、2である。

【0132】

同様のことを繰り返すことにより、点灯期間の長さが、0.5、2、8、0.5、2、8という順序で配置される。

【0133】

このように、画素に信号を書き込む期間と点灯する期間とが分離されている駆動方法は、
10 プラズマディスプレイに適用することが好適である。なお、プラズマディスプレイに用いる場合は、初期化の動作などが必要になる。しかしながら、図25では、簡単のため、省略している。

【0134】

また、この駆動方法は、ELディスプレイ（有機ELディスプレイ、無機ELディスプレイ又は無機と有機とを含む素子からなるディスプレイなど）やフィールドエミッショENDSプレイやデジタル・マイクロミラー・デバイス（DMD）を用いたディスプレイなどに適用することも好適である。

【0135】

ここで、画素に信号を書き込む期間と点灯する期間とが分離されている駆動方法を実現するための画素構成を図26に示す。図26は、走査線を複数設け、どの走査線を選択するかを制御して、発光させる発光素子の数を変えることにより、階調を表現する場合の構成例である。なお、図26では、各サブ画素の面積を発光素子の数で表現している。したがって、サブ画素1には発光素子を1個、サブ画素2には発光素子を2個記載している。

【0136】

まず、図26に示した画素の構成について説明する。サブ画素1は、第1の選択トランジスタ2611、第1の駆動トランジスタ2613、第1の保持容量2612、信号線2615、第1の電源線2616、第1の走査線2617、第1の発光素子2614、第2の電源線2618を有する。

【0137】

第1の選択トランジスタ2611は、ゲート電極が、第1の走査線2617に接続され、第1の電極が、信号線2615に接続され、第2の電極が、第1の保持容量2612の第2の電極、及び第1の駆動トランジスタ2613のゲート電極と接続される。第1の保持容量2612は、第1の電極が、第1の電源線2616に接続される。第1の駆動トランジスタ2613は、第1の電極が、第1の電源線2616に接続され、第2の電極が、第1の発光素子2614の第1の電極に接続される。第1の発光素子2614は、第2の電極が、第2の電源線2618に接続される。

【0138】

サブ画素2は、第2の選択トランジスタ2621、第2の駆動トランジスタ2623、第2の保持容量2622、信号線2615、第1の電源線2616、第2の走査線2627、第2の発光素子2624、第3の電源線2628を有する。なお、サブ画素2の各素子及び配線の接続は、サブ画素1と同様であるため、説明を割愛する。

【0139】

次に、図26に示した画素の動作について説明する。ここでは、サブ画素1の動作について説明する。第1の走査線2617の電位を高くすることにより、第1の走査線2617を選択し、第1の選択トランジスタ2611をオン状態にして、信号線2615から信号を第1の保持容量2612に入力する。すると、その信号に応じて、第1の駆動トランジスタ2613の電流が制御され、第1の電源線2616から、第1の発光素子2614に電流が流れる。なお、サブ画素2の動作については、サブ画素1の動作と同様であるため、説明を割愛する。

10

20

30

40

50

【0140】

このとき、第1及び第2の走査線のうち、どの走査線を選択するかによって、発光する発光素子の数が変化する。例えば、第1の走査線2617のみを選択した場合は、第1の選択トランジスタ2611のみがオン状態となり、第1の駆動トランジスタ2613のみの電流が制御されるため、第1の発光素子2614のみが発光する。つまり、サブ画素1のみ発光する。一方、第2の走査線2627のみを選択した場合は、第2の選択トランジスタ2621のみがオン状態となり、第2の駆動トランジスタ2623のみの電流が制御されるため、第2の発光素子2624のみが発光する。つまり、サブ画素2のみ発光する。また、第1及び第2の走査線2617、2627の両方を選択すると、第1及び第2の選択トランジスタ2611、2621がオン状態となり、第1及び第2の駆動トランジスタ2613、2623の電流が制御されるため、第1及び第2の発光素子2614、2624の両方が発光する。つまり、サブ画素1とサブ画素2の両方が発光する。

10

【0141】

なお、信号書き込み期間においては、第1の電源線2616と第2及び第3の電源線2618、2628の電位を制御することにより、発光素子2614、2624には電圧が加わらないようにしておく。例えば、第2及び第3の電源線2618、2628をフロータイミングにすればよい。もしくは、第2及び第3の電源線2618、2628の電位を信号線2615の電位よりも、第1及び第2の駆動トランジスタ2613、2623の閾値電圧分だけ低くすればよい。また、第2及び第3の電源線2618、2628の電位を信号線2615の電位と同程度、もしくはそれよりも高くしてもよい。その結果、信号書き込み期間において、発光素子2614、2624が点灯することを避けることが出来る。

20

【0142】

なお、第2の電源線2618と第3の電源線2628は、それぞれ別の配線でもよいし、共通の配線でもよい。

【0143】

なお、1つの画素をm個(mはm-2の整数)のサブ画素に分割する場合、図26に示した画素構成を実現するためには、1つの画素が有する走査線の本数を2本以上m本以下とし、m個のサブ画素のうち少なくとも1個のサブ画素が有する選択トランジスタを、他のサブ画素が有する選択トランジスタと異なる走査線と接続すればよい。

30

【0144】

なお、図26は、走査線を複数設け、どの走査線を選択するかを制御して、発光させる発光素子の数を変えることにより、階調を表現する場合の構成例であったが、信号線を複数設け、どの信号線にどのような信号を入力するかを制御して、発光させる発光素子の数を変えることにより、階調を表現ことも可能である。この場合の構成例を図27に示す。

【0145】

まず、図27に示した画素の構成について説明する。サブ画素1は、第1の選択トランジスタ2711、第1の駆動トランジスタ2713、第1の保持容量2712、第1の信号線2715、第1の電源線2716、走査線2717、第1の発光素子2714、第2の電源線2718を有する。

40

【0146】

第1の選択トランジスタ2711は、ゲート電極が、走査線2717に接続され、第1の電極が、第1の信号線2715に接続され、第2の電極が、第1の保持容量2712の第2の電極、及び第1の駆動トランジスタ2713のゲート電極と接続される。第1の保持容量2712は、第1の電極が、第1の電源線2716に接続される。第1の駆動トランジスタ2713は、第1の電極が、第1の電源線2716に接続され、第2の電極が、第1の発光素子2714の第1の電極に接続される。第1の発光素子2714は、第2の電極が、第2の電源線2718に接続される。

【0147】

サブ画素2は、第2の選択トランジスタ2721、第2の駆動トランジスタ2723、第2の保持容量2722、第2の信号線2725、第1の電源線2716、走査線2717

50

、第2の発光素子2724、第3の電源線2728を有する。サブ画素2の各素子及び配線の接続は、サブ画素1と同様であるため、説明を割愛する。

【0148】

次に、図27に示した画素の動作について説明する。ここでは、サブ画素1の動作について説明する。走査線2717の電位を高くすることにより、走査線2717を選択し、第1の選択トランジスタ2711をオン状態にして、第1の信号線2715からビデオ信号を第1の保持容量2712に入力する。すると、そのビデオ信号に応じて、第1の駆動トランジスタ2713の電流が制御され、第1の電源線2716から第1の発光素子2714に電流が流れる。なお、サブ画素2の動作については、サブ画素1の動作と同様であるため、説明を割愛する。

10

【0149】

このとき、第1及び第2の信号線に入力する信号によって、発光する発光素子の数が変化する。例えば、第1の信号線2715にLowの信号を入力し、第2の信号線2725にHighの信号を入力すると、第1の駆動トランジスタ2713のみがオン状態となるため、第1の発光素子2714のみが発光する。つまり、サブ画素1のみが発光する。一方、第1の信号線2715にHighの信号を入力し、第2の信号線2725にLowの信号を入力すると、第2の駆動トランジスタ2723のみがオン状態となるため、第2の発光素子2724のみが発光する。つまり、サブ画素2のみが発光する。また、第1及び第2の信号線2715、2725にLowの信号を入力すると、第1及び第2の駆動トランジスタ2713、2723が共にオン状態となるため、第1及び第2の発光素子2714、2724が発光する。つまり、サブ画素1とサブ画素2の両方が発光する。

20

【0150】

ここで、第1及び第2の信号線2715、2725に入力するビデオ信号の電圧を制御することにより、第1及び第2の発光素子2714、2724に流れる電流を制御することができる。その結果、各サブ画素の輝度を変えることができ、階調を表現することができる。例えば、点灯期間0.5を有するSF11で、面積1を有するサブ画素1が点灯した場合、発光強度は0.5であるが、第1の信号線2715に入力するビデオ信号の電圧の大きさを変えることにより、第1の発光素子2714の輝度を変えることができる。これにより、サブ画素の面積及びサブフレームの点灯期間の長さを用いて表現できる階調数よりも、さらに多くの階調を表現することができる。また、サブ画素の面積及びサブフレームの点灯期間の長さを用いることに加えて、各サブ画素が有する発光素子に印加する電圧によって階調を表現することにより、同じ階調数を表現するのに必要なサブ画素の個数及びサブフレーム数をより少なくすることができる。これにより、画素部の開口率を上げることができる。また、デューティー比を向上させることができ、輝度を上げることができる。また、デューティー比の向上により、発光素子にかかる電圧を小さくすることができる。従って、消費電力を低減でき、発光素子の劣化も少なくすることができる。

30

【0151】

なお、1つの画素をm個(mはm-2の整数)のサブ画素に分割する場合、図27に示した画素構成を実現するためには、1つの画素が有する信号線の本数を2本以上m本以下とし、m個のサブ画素のうち少なくとも1個のサブ画素が有する選択トランジスタを、他のサブ画素が有する選択トランジスタと異なる信号線と接続すればよい。

40

【0152】

なお、図26、図27では、各サブ画素には共通の電源線(第1の電源線2616、2716)が接続されていたが、電源線を複数設け、サブ画素に加える電源電圧を変えてよい。例えば、図26において電源線を2本にした場合の構成例を図28に示す。

【0153】

まず、図28に示した画素の構成について説明する。サブ画素1は、第1の選択トランジスタ2811、第1の駆動トランジスタ2813、第1の保持容量2812、信号線2815、第1の電源線2816、第1の走査線2817、第1の発光素子2814、第2の電源線2818を有する。

50

【0154】

第1の選択トランジスタ2811は、ゲート電極が、第1の走査線2817に接続され、第1の電極が、信号線2815に接続され、第2の電極が、第1の保持容量2812の第2の電極、及び第1の駆動トランジスタ2813のゲート電極と接続される。第1の保持容量2812は、第1の電極が、第1の電源線2816に接続される。第1の駆動トランジスタ2813は、第1の電極が、第1の電源線2816に接続され、第2の電極が、第1の発光素子2814の第1の電極に接続される。第1の発光素子2814は、第2の電極が、第2の電源線2818に接続される。

【0155】

サブ画素2は、第2の選択トランジスタ2821、第2の駆動トランジスタ2823、第2の保持容量2822、信号線2815、第2の走査線2827、第2の発光素子2824、第3の電源線2828、第4の電源線2836を有する。なお、サブ画素2の各素子及び配線の接続は、サブ画素1と同様であるため、説明を割愛する。

【0156】

ここで、第1及び第4の電源線2816、2836に印加する電圧を制御することにより、第1及び第2の発光素子2814、2824に流れる電流を制御することができる。その結果、各サブ画素の輝度を変えることができ、階調を表現することができる。例えば、点灯期間0.5を有するSF11で、面積1を有するサブ画素1が点灯した場合、発光強度は0.5であるが、第1の電源線2816に印加する電圧の大きさを変えることにより、第1の発光素子2814の輝度を変えることができる。これにより、サブ画素の面積及びサブフレームの点灯期間の長さを用いて表現できる階調数よりも、さらに多くの階調を表現することができる。また、サブ画素の面積及びサブフレームの点灯期間の長さに加えて、各サブ画素が有する発光素子に印加する電圧によって階調を表現することにより、同じ階調数を表現するのに必要なサブ画素の個数及びサブフレーム数をより少なくすることができます。これにより、画素部の開口率を上げることができる。また、デューティー比を向上させることができ、輝度を上げることができる。また、デューティー比の向上により、発光素子にかかる電圧を小さくすることができる。従って、消費電力を低減でき、発光素子の劣化も少なくすることができます。

【0157】

なお、1つの画素をm個(mはm-2の整数)のサブ画素に分割する場合、図28に示した画素構成を実現するためには、1つの画素が有する図26、図27における第1の電源線に相当する電源線の本数を2本以上m本以下とし、m個のサブ画素のうち少なくとも1個のサブ画素が有する駆動トランジスタを、他のサブ画素が有する駆動トランジスタと異なる前記電源線と接続すればよい。

【0158】

次に、画素に信号を書き込む期間と点灯する期間とが分離されていない場合のタイミングチャートを図29に示す。各行において、信号書き込み動作を行うと、すぐに点灯期間が開始する。

【0159】

ある行において、信号を書き込み、所定の点灯期間が終了したのち、次のサブフレームにおける信号の書き込み動作を開始する。信号の書き込みを繰り返すことにより、点灯期間の長さが、0.5、2、8、0.5、2、8という順序となる。

【0160】

このようにすることにより、信号の書き込み動作が遅くても、1フレーム内にたくさんのサブフレームを配置することが可能となる。

【0161】

このような駆動方法は、プラズマディスプレイに適用することが好適である。なお、プラズマディスプレイに用いる場合は、初期化の動作などが必要になるが、図29では、簡単のため、省略している。

【0162】

10

20

30

40

50

また、この駆動方法は、E Lディスプレイやフィールドエミッショニスプレイやデジタル・マイクロミラー・デバイス(D M D)を用いたディスプレイなどに適用することも好適である。

【0163】

ここで、画素に信号を書き込む期間と点灯する期間とが分離されていない駆動方法を実現するための画素構成を図30に示す。なお、このような駆動方法を実現するためには、同時に複数の行を選択することが可能でなければならない。

【0164】

まず、図30に示した画素の構成について説明する。サブ画素1は、第1の選択トランジスタ3011、第2の選択トランジスタ3021、第1の駆動トランジスタ3013、第1の保持容量3012、第1の信号線3015、第2の信号線3025、第1の電源線3016、第1の走査線3017、第2の走査線3027、第1の発光素子3014、第2の電源線3018を有する。10

【0165】

第1の選択トランジスタ3011は、ゲート電極が、第1の走査線3017に接続され、第1の電極が、第1の信号線3015に接続され、第2の電極が、第2の選択トランジスタ3021の第2の電極、及び第1の保持容量3012の第2の電極、及び第1の駆動トランジスタ3013のゲート電極と接続される。第2の選択トランジスタ3021は、ゲート電極が、第2の走査線3027に接続され、第1の電極が、第2の信号線3025に接続される。第1の保持容量3012は、第1の電極が、第1の電源線3016に接続される。第1の駆動トランジスタ3013は、第1の電極が、第1の電源線3016に接続され、第2の電極が、第1の発光素子3014の第1の電極に接続される。第1の発光素子3014は、第2の電極が、第2の電源線3018に接続される。20

【0166】

サブ画素2は、第3の選択トランジスタ3031、第4の選択トランジスタ3041、第2の駆動トランジスタ3023、第2の保持容量3022、第1の信号線3015、第2の信号線3025、第1の電源線3016、第3の走査線3037、第4の走査線3047、第2の発光素子3024、第3の電源線3028を有する。サブ画素2の各素子及び配線の接続は、サブ画素1と同様であるため、説明を割愛する。

【0167】

次に、図30に示した画素の動作について説明する。ここでは、サブ画素1の動作について説明する。第1の走査線3017の電位を高くすることにより、第1の走査線3017を選択し、第1の選択トランジスタ3011をオン状態にして、第1の信号線3015から信号を第1の保持容量3012に入力する。すると、その信号に応じて、第1の駆動トランジスタ3013の電流が制御され、第1の電源線3016から、第1の発光素子3014に電流が流れる。同様に、第2の走査線3027の電位を高くすることにより、第2の走査線3027を選択し、第2の選択トランジスタ3021をオン状態にして、第2の信号線3025から信号を第1の保持容量3012に入力する。すると、その信号に応じて、第1の駆動トランジスタ3013の電流が制御され、第1の電源線3016から、第1の発光素子3014に電流が流れる。なお、サブ画素2の動作については、サブ画素1の動作と同様であるため、説明を割愛する。3040

【0168】

第1の走査線3017と第2の走査線3027とは、別々に制御出来る。同様に、第3の走査線3037と第4の走査線3047とは、別々に制御出来る。また、第1の信号線3015と第2の信号線3025とは、別々に制御出来る。よって、同時に2行分の画素に信号を入力することが可能であるため、図29のような駆動法が実現出来る。

【0169】

なお、図26の回路を用いて、図29のような駆動法を実現することも可能である。このとき、1ゲート選択期間を複数のサブゲート選択期間に分割するという方法を用いる。まず、図31に示すように、1ゲート選択期間を複数(図31では2つ)のサブゲート選択

10

20

30

40

50

期間に分割する。そして、各サブゲート選択期間内で、各々の走査線の電位を高くすることにより、各々の走査線を選択し、その時に応する信号を信号線 2615 に入力する。例えば、ある 1 ゲート選択期間において、前半は i 行目を選択し、後半は j 行目を選択する。すると、1 ゲート選択期間において、あたかも同時に 2 行分を選択したかのように動作させることが可能となる。

【0170】

なお、このような駆動方法の詳細については、例えば、特開 2001-324958 号公報等に記載されており、その内容を本願と組み合わせて適用することが出来る。

【0171】

なお、図 30 では、走査線を複数設けた例を示したが、信号線を 1 本にし、第 1 ~ 第 4 の選択トランジスタの第 1 の電極を信号線に接続してもよい。また、図 30 における第 1 の電源線に相当する電源線を複数設けてもよい。

【0172】

次に、画素の信号を消去する動作を行う場合のタイミングチャートを図 32 に示す。各行において、信号書き込み動作を行い、次の信号書き込み動作が来る前に、画素の信号を消去する。このようにすることにより、点灯期間の長さを容易に制御できるようになる。

【0173】

ある行において、信号を書き込み、所定の点灯期間が終了したのち、次のサブフレームにおける信号の書き込み動作を開始する。もし、点灯期間が短い場合は、信号消去動作を行い、強制的に非点灯状態にする。このようなことを繰り返すことにより、点灯期間の長さが、0.5、2、8、0.5、2、8 という順序で配置される。

【0174】

なお、図 32 では、点灯期間が 0.5 と 2 の場合において、信号消去動作を行っているが、これに限定されない。他の点灯期間においても、消去動作を行ってもよい。

【0175】

このようにすることにより、信号の書き込み動作が遅くても、1 フレーム内にたくさんのサブフレームを配置することが可能となる。また、消去動作を行う場合は、消去用のデータをビデオ信号と同様に取得する必要がないため、ソースドライバの駆動周波数も低減出来る。

【0176】

このような駆動方法は、プラズマディスプレイに適用することが好適である。なお、プラズマディスプレイに用いる場合は、初期化の動作などが必要になるが、図 32 では、簡単のため、省略している。

【0177】

また、この駆動方法は、EL ディスプレイやフィールドエミッショントransistor デバイス (FET) を用いたディスプレイなどに適用することも好適である。

【0178】

ここで、消去動作を行う場合の画素構成を図 33 に示す。図 33 に示す画素は、消去トランジスタを用いて消去動作を行う場合の構成例である。

【0179】

まず、図 33 に示した画素の構成について説明する。サブ画素 1 は、第 1 の選択トランジスタ 3311、第 1 の駆動トランジスタ 3313、第 1 の消去トランジスタ 3319、第 1 の保持容量 3312、信号線 3315、第 1 の電源線 3316、第 1 の走査線 3317、第 2 の走査線 3327、第 1 の発光素子 3314、第 2 の電源線 3318 を有する。

【0180】

第 1 の選択トランジスタ 3311 は、ゲート電極が、第 1 の走査線 3317 に接続され、第 1 の電極が、信号線 3315 に接続され、第 2 の電極が、第 1 の消去トランジスタ 3319 の第 2 の電極、及び第 1 の保持容量 3312 の第 2 の電極、及び第 1 の駆動トランジスタ 3313 のゲート電極と接続される。第 1 の消去トランジスタ 3319 は、ゲート電

10

20

30

40

50

極が、第2の走査線3327に接続され、第1の電極が、第1の電源線3316に接続される。第1の保持容量3312は、第1の電極が、第1の電源線3316に接続される。第1の駆動トランジスタ3313は、第1の電極が、第1の電源線3316に接続され、第2の電極が、第1の発光素子3314の第1の電極に接続される。第1の発光素子3314は、第2の電極が、第2の電源線3318に接続される。

【0181】

サブ画素2は、第2の選択トランジスタ3321、第2の駆動トランジスタ3323、第2の消去トランジスタ3329、第2の保持容量3322、信号線3315、第1の電源線3316、第3の走査線3337、第4の走査線3347、第2の発光素子3324、第3の電源線3328を有する。サブ画素2の各素子及び配線の接続は、サブ画素1と同様であるため、説明を割愛する。10

【0182】

次に、図33に示した画素の動作について説明する。ここでは、サブ画素1の動作について説明する。第1の走査線3317の電位を高くすることにより、第1の走査線3317を選択し、第1の選択トランジスタ3311をオン状態にして、信号線3315から信号を第1の保持容量3312に入力する。すると、その信号に応じて、第1の駆動トランジスタ3313の電流が制御され、第1の電源線3316から第1の発光素子3314に電流が流れる。

【0183】

信号を消去したい場合は、第2の走査線3327の電位を高くすることにより、第2の走査線3327を選択し、第1の消去トランジスタ3319をオン状態にして、第1の駆動トランジスタ3313がオフ状態になるようになる。すると、第1の発光素子3314には、電流が流れないようになる。その結果、非点灯期間を作ることができ、点灯期間の長さを自由に制御できるようになる。20

【0184】

なお、サブ画素2の動作は、サブ画素1の動作と同様であるため、説明を割愛する。

【0185】

図33では、消去トランジスタ3319、3329を用いていたが、別 の方法を用いることも出来る。なぜなら、強制的に非点灯期間をつくればよいので、発光素子3314、3324に電流が供給されないようにすればよいからである。よって、第1の電源線3316から、発光素子3314、3324を通って、第2と第3の電源線3318、3328に電流が流れる経路のどこかに、スイッチを配置して、そのスイッチのオン・オフを制御して、非点灯期間を作ればよい。あるいは、駆動トランジスタ3313、3323のゲート・ソース間電圧を制御して、駆動トランジスタが強制的にオフになるようにすればよい。30

【0186】

ここで、駆動トランジスタを強制的にオフにする場合の画素構成の例を図34に示す。図34に示した画素は、消去ダイオードを用いて駆動トランジスタを強制的にオフにする場合の構成例である。

【0187】

まず、図34に示した画素の構成について説明する。サブ画素1は、第1の選択トランジスタ3411、第1の駆動トランジスタ3413、第1の保持容量3412、信号線3415、第1の電源線3416、第1の走査線3417、第2の走査線3427、第1の発光素子3414、第2の電源線3418、第1の消去ダイオード3419を有する。40

【0188】

第1の選択トランジスタ3411は、ゲート電極が、第1の走査線3417に接続され、第1の電極が、信号線3415に接続され、第2の電極が、第1の消去ダイオード3419の第2の電極、及び第1の保持容量3412の第2の電極、及び第1の駆動トランジスタ3413のゲート電極と接続される。第1の消去ダイオード3419は、第1の電極が、第2の走査線3427に接続される。第1の保持容量3412は、第1の電極が、第1

10

20

30

40

50

の電源線 3 4 1 6 に接続される。第 1 の駆動トランジスタ 3 4 1 3 は、第 1 の電極が、第 1 の電源線 3 4 1 6 に接続され、第 2 の電極が、第 1 の発光素子 3 4 1 4 の第 1 の電極に接続される。第 1 の発光素子 3 4 1 4 は、第 2 の電極が、第 2 の電源線 3 4 1 8 に接続される。

【 0 1 8 9 】

サブ画素 2 は、第 2 の選択トランジスタ 3 4 2 1 、第 2 の駆動トランジスタ 3 4 2 3 、第 2 の保持容量 3 4 2 2 、信号線 3 4 1 5 、第 1 の電源線 3 4 1 6 、第 3 の走査線 3 4 3 7 、第 4 の走査線 3 4 4 7 、第 2 の発光素子 3 4 2 4 、第 3 の電源線 3 4 2 8 、第 2 の消去ダイオード 3 4 2 9 を有する。サブ画素 2 の各素子及び配線の接続は、サブ画素 1 と同様であるため、説明を割愛する。

10

【 0 1 9 0 】

次に、図 3 4 に示した画素の動作について説明する。ここでは、サブ画素 1 の動作について説明する。第 1 の走査線 3 4 1 7 の電位を高くすることにより、第 1 の走査線 3 4 1 7 を選択し、第 1 の選択トランジスタ 3 4 1 1 をオン状態にして、信号線 3 4 1 5 から信号を第 1 の保持容量 3 4 1 2 に入力する。すると、その信号に応じて、第 1 の駆動トランジスタ 3 4 1 3 の電流が制御され、第 1 の電源線 3 4 1 6 から第 1 の発光素子 3 4 1 4 に電流が流れれる。

【 0 1 9 1 】

信号を消去したい場合は、第 2 の走査線 3 4 2 7 の電位を高くすることにより、第 2 の走査線 3 4 2 7 を選択し、第 1 の消去ダイオード 3 4 1 9 がオンして、第 2 の走査線 3 4 2 7 から第 1 の駆動トランジスタ 3 4 1 3 のゲート電極へ電流が流れるようにする。その結果、第 1 の駆動トランジスタ 3 4 1 3 がオフ状態になる。すると、第 1 の電源線 3 4 1 6 から第 1 の発光素子 3 4 1 4 に電流が流れないようになる。その結果、非点灯期間を作ることができ、点灯期間の長さを自由に制御できるようになる。

20

【 0 1 9 2 】

信号を保持しておきたい場合は、第 2 の走査線 3 4 2 7 の電位を低くすることにより、第 2 の走査線 3 4 2 7 を非選択しておく。すると、第 1 の消去ダイオード 3 4 1 9 がオフするので、第 1 の駆動トランジスタ 3 4 1 3 のゲート電位は保持される。

【 0 1 9 3 】

なお、サブ画素 2 の動作は、サブ画素 1 の動作と同様であるため、説明を割愛する。

30

【 0 1 9 4 】

なお、消去ダイオード 3 4 1 9 、 3 4 2 9 は、整流性がある素子であれば、なんでもよい。P N 型ダイオードでもよいし、P I N 型ダイオードでもよいし、ショットキー型ダイオードでもよいし、ツェナー型ダイオードでもよい。

【 0 1 9 5 】

また、トランジスタを用いて、ダイオード接続（ゲートとドレインを接続）して、用いてもよい。その場合の回路図を図 3 5 に示す。第 1 及び第 2 の消去ダイオード 3 4 1 9 、 3 4 2 9 として、ダイオード接続されたトランジスタ 3 5 1 9 、 3 5 2 9 を用いている。ここでは、N チャネル型を用いているが、これに限定されない。P チャネル型を用いてもよい。

40

【 0 1 9 6 】

なお、さらに別の回路として、図 2 6 の回路を用いて、図 3 2 のような駆動法を実現することも可能である。この場合、1 ゲート選択期間を複数のサブゲート選択期間に分割するという方法を用いる。まず、図 3 1 に示すように、1 ゲート選択期間を複数（図 3 1 では 2 つ）のサブゲート選択期間に分割する。そして、各サブゲート選択期間内で、各々の走査線の電位を高くすることにより、各々の走査線を選択し、その時に応する信号（ビデオ信号と消去するための信号）を信号線 2 6 1 5 に入力する。例えば、ある 1 ゲート選択期間において、前半は i 行目を選択し、後半は j 行目を選択する。そして、i 行目が選択されているときは、i 行目の画素に入力すべきビデオ信号を信号線 2 6 1 5 に入力する。一方、j 行目が選択されているときは、j 行目の画素の駆動トランジスタがオフするよ

50

うな信号を信号線 3615 に入力する。すると、1 ゲート選択期間において、あたかも同時に 2 行分を選択したかのように動作させることが可能となる。

【0197】

なお、このような駆動方法の詳細については、例えば、特開 2001-324958 号公報等に記載されており、その内容を本願と組み合わせて適用することが出来る。

【0198】

なお、図 33、図 34、図 35 では、走査線を複数設けた例を示したが、信号線を複数設けてもよいし、図 33～図 35 における第 1 の電源線に相当する電源線を複数設けてもよい。

【0199】

なお、本実施の形態において示したタイミングチャートや画素構成や駆動方法は、一例であり、これに限定されない。様々なタイミングチャートや画素構成や駆動方法に適用することが可能である。

【0200】

なお、本実施の形態において、1 フレーム内に、点灯期間や信号書き込み期間や非点灯期間が配置されていたが、これに限定されない。それ以外の動作期間が配置されていてもよい。例えば、発光素子に加える電圧を、通常とは逆の極性のものにするような期間、いわゆる、逆バイアス期間を設けてもよい。逆バイアス期間を設けることにより、発光素子の信頼性が向上する場合がある。

【0201】

なお、本実施形態で示した画素構成において、トランジスタの極性は、これに限定されない。

【0202】

なお、本実施形態で示した画素構成において、保持容量は、トランジスタの寄生容量で代用することにより省略することができる。

【0203】

なお、本実施の形態で述べた内容は、実施の形態 1～実施の形態 2 で述べた内容と自由に組み合わせて実施することができる。

【0204】

(実施の形態 4)

本実施形態では、本発明の表示装置における画素のレイアウトについて述べる。例として、図 26 に示した回路図について、そのレイアウト図を図 36 に示す。なお、回路図やレイアウト図は、図 26 や図 36 に限定されない。

【0205】

図 36 では、第 1 及び第 2 の選択トランジスタ 3611、3621、第 1 及び第 2 の駆動トランジスタ 3613、3623、第 1 及び第 2 の保持容量 3612、3622、第 1 及び第 2 の発光素子の電極 3614、3624、信号線 3615、電源線 3616、第 1 及び第 2 の走査線 3617、3627 が配置されている。サブ画素 1 (S P 1) について、第 1 の選択トランジスタ 3611 のソース電極とドレイン電極は各々、信号線 3615 と第 1 の駆動トランジスタ 3613 のゲート電極に接続されている。第 1 の選択トランジスタ 3611 のゲート電極は、第 1 の走査線 3617 に接続されている。第 1 の駆動トランジスタ 3613 のソース電極とドレイン電極は各々、電源線 3616 と第 1 の発光素子の電極 3614 に接続されている。第 1 の保持容量 3612 は、第 1 の駆動トランジスタ 3613 のゲート電極と電源線 3606 の間に接続されている。サブ画素 2 (S P 2) についても、同様の接続関係がなされている。そして、第 1 及び第 2 の発光素子の電極 3614、3624 の面積比が 1 : 2 となっている。

【0206】

信号線 3615、電源線 3616 は、第 2 配線によって形成され、第 1 及び第 2 の走査線 3607、3617 は、第 1 配線によって形成されている。

【0207】

10

20

30

40

50

図37には、サブ画素の面積比を1:2:4にした場合の画素のレイアウトの一例を示す。図37では、第1、第2及び第3の選択トランジスタ3711、3721、3731、第1、第2及び第3の駆動トランジスタ3713、3723、3733、第1、第2及び第3の保持容量3712、3722、3732、第1、第2及び第3の発光素子の電極3714、3724、3734、信号線3715、電源線3716、第1、第2及び第3の走査線3717、3727、3737が配置されている。そして、第1、第2及び第3の発光素子の電極3714、3724、3734の面積比が1:2:4となっている。

【0208】

トランジスタがトップゲート構造の場合は、基板、半導体層、ゲート絶縁膜、第1配線、層間絶縁膜、第2配線、の順で膜が構成される。また、トランジスタがボトムゲート構造の場合は、基板、第1配線、ゲート絶縁膜、半導体層、層間絶縁膜、第2配線、の順で膜が構成される。

【0209】

なお、本実施形態では、選択トランジスタ及び駆動トランジスタをシングルゲート構造で記載したが、これらのトランジスタの構造は、様々な形態をとることができる。例えば、ゲート電極が2個以上になっているマルチゲート構造でもよい。マルチゲート構造にすると、チャネル領域が直列に接続されるような構成となるため、複数のトランジスタが直列に接続されたような構成となる。図36で、駆動トランジスタ3613、3623をマルチゲート構造にしたレイアウト図を図38に示す。図38において、駆動トランジスタ3813、3823がマルチゲート構造となっている。マルチゲート構造にすることにより、オフ電流を低減したり、トランジスタの耐圧を向上させて信頼性を良くしたり、飽和領域で動作する時に、ドレイン・ソース間電圧が変化しても、ドレイン・ソース間電流があまり変化せず、フラットな特性にすることができる。また、チャネルの上下にゲート電極が配置されている構造でもよい。チャネルの上下にゲート電極が配置されている構造にすることにより、チャネル領域が増えるため、電流値を大きくしたり、空乏層ができやすくなってS値をよくしたりすることができる。チャネルの上下にゲート電極が配置されると、複数のトランジスタが並列に接続されたような構成となる。また、チャネルの上にゲート電極が配置されている構造でもよいし、チャネルの下にゲート電極が配置されている構造でもよいし、正スタガ構造であってもよいし、逆スタガ構造でもよいし、チャネル領域が複数の領域に分かれてもよいし、並列に接続されていてもよいし、直列に接続されていてもよい。また、チャネル（もしくはその一部）にソース電極やドレイン電極が重なっていてもよい。チャネル（もしくはその一部）にソース電極やドレイン電極が重なっている構造にすることにより、チャネルの一部に電荷がたまって、動作が不安定になることを防ぐことができる。また、LDD領域があってもよい。LDD領域を設けることにより、オフ電流を低減したり、トランジスタの耐圧を向上させて信頼性を良くしたり、飽和領域で動作する時に、ドレイン・ソース間電圧が変化しても、ドレイン・ソース間電流があまり変化せず、フラットな特性にすることができる。

【0210】

なお、配線や電極は、アルミニウム(A1)、タンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)、ネオジウム(Nd)、クロム(Cr)、ニッケル(Ni)、白金(Pt)、金(Au)、銀(Ag)、銅(Cu)、マグネシウム(Mg)、スカンジウム(Sc)、コバルト(Co)、亜鉛(Zn)、ニオブ(Nb)、シリコン(Si)、リン(P)、ボロン(B)、ヒ素(As)、ガリウム(Ga)、インジウム(In)、錫(Sn)、酸素(O)で構成された群から選ばれた一つ又は複数の元素、もしくは、前記群から選ばれた一つ又は複数の元素を成分とする化合物や合金材料（例えば、インジウム錫酸化物(ITO)、インジウム亜鉛酸化物(IZO)、酸化珪素を添加したインジウム錫酸化物(ITSO)、酸化亜鉛(ZnO)、アルミニネオジウム(A1-Nd)、マグネシウム銀(Mg-Ag)など）、もしくは、これらの化合物を組み合わせた物質などを有して形成される。もしくは、それらとシリコンの化合物（シリサイド）（例えば、アルミシリコン、モリブデンシリコン、ニッケルシリサイドなど）や、それらと窒素

10

20

30

40

50

の化合物（例えば、窒化チタン、窒化タンタル、窒化モリブデン等）を有して形成される。なお、シリコン（Si）には、N型不純物（リンなど）やP型不純物（ボロンなど）を多く含んでいてもよい。これらの不純物を含むことにより、導電率が向上したり、通常の導体と同様な振る舞いをするので、配線や電極として利用しやすくなったりする。なお、シリコンは、単結晶でもよいし、多結晶（ポリシリコン）でもよいし、非晶質（アモルファスシリコン）でもよい。単結晶シリコンや多結晶シリコンを用いることにより、抵抗を小さくすることができる。非晶質シリコンを用いることにより、簡単な製造工程で作ることができ。なお、アルミニウムや銀は、導電率が高いため、信号遅延を低減することができ、エッキングしやすいので、パターニングしやすく、微細加工を行うことができる。なお、銅は、導電率が高いため、信号遅延を低減することができる。なお、モリブデンは、ITOやIZOなどの酸化物半導体や、シリコンと接触しても、材料が不良を起こすなどの問題が生じることなく製造できたり、パターニングやエッキングがしやすかったり、耐熱性が高いため、望ましい。なお、チタンは、ITOやIZOなどの酸化物半導体や、シリコンと接触しても、材料が不良を起こすなどの問題が生じることなく製造できたり、耐熱性が高いため、望ましい。なお、タンクステンは、耐熱性が高いため、望ましい。なお、ネオジウムは、耐熱性が高いため、望ましい。特に、ネオジウムとアルミニウムとの合金にすると、耐熱性が向上し、アルミニウムがヒロックをおこしにくくなるため、望ましい。なお、シリコンは、トランジスタが有する半導体層と同時に形成できたり、耐熱性が高いため、望ましい。なお、インジウム錫酸化物（ITO）、インジウム亜鉛酸化物（IZO）、酸化珪素を添加したインジウム錫酸化物（ITSO）、酸化亜鉛（ZnO）、シリコン（Si）は、透光性を有しているため、光を透過させるような部分に用いることができるため、望ましい。たとえば、画素電極や共通電極として用いることができる。

【0211】

なお、これらが单層で配線や電極を形成していてもよいし、多層構造になっていてもよい。单層構造で形成することにより、製造工程を簡略化することができ、工程日数を少なくでき、コストを低減することができる。また、多層構造にすることにより、それぞれの材料のメリットを生かし、デメリットを低減させ、性能の良い配線や電極を形成することができる。たとえば、抵抗の低い材料（アルミニウムなど）を多層構造の中に含むようにすることにより、配線の低抵抗化を図ることができる。また、耐熱性が高い材料を含むようすれば、例えば、耐熱性が弱いが、別のメリットを有する材料を、耐熱性が高い材料で挟むような積層構造にすることにより、配線や電極全体として、耐熱性を高くすることができます。例えば、アルミニウムを含む層を、モリブデンやチタンを含む層で挟んだような形にした積層構造にすると望ましい。また、別の材料の配線や電極などと直接接するような部分がある場合、お互いに悪影響を及ぼすことがある。例えば、一方の材料が他方の材料の中に入つていて、性質を変えてしまい、本来の目的を果たせなくなったり、製造するときに、問題が生じて、正常に製造できなくなったりすることがある。そのような場合、ある層を別の層で挟んだり、覆ったりすることにより、問題を解決することができる。例えば、インジウム錫酸化物（ITO）と、アルミニウムを接触させたい場合は、間に、チタンやモリブデンを挟むことが望ましい。また、シリコンとアルミニウムを接触させたい場合は、間に、チタンやモリブデンを挟むことが望ましい。

【0212】

なお、R（赤）、G（緑）、B（青）の各画素において、画素の総発光面積を変えてよい。この場合の実施例を図39に示す。

【0213】

図39に示した例では、各画素が2個のサブ画素から構成されている。また、信号線3915、第1の電源線3916、第1及び第2の走査線3917、3927が配置されている。また、図39において、各サブ画素の面積の大きさが、各サブ画素の発光面積に対応している。

【0214】

図39では、画素の総発光面積が大きい順にG、R、Bとなっている。これにより、R、

10

20

30

40

50

G、Bの適切な色バランスを実現でき、より高精細なカラー表示が可能となる。また、消費電力を低減させたり、発光素子の寿命を伸ばしたりすることができる。

【0215】

また、R、G、B、W(白)構成において、RGB部のサブ画素の数とW部のサブ画素の数とが異なってもよい。この場合の実施例を図40に示す。

【0216】

図40に示した例では、RGB部は2個のサブ画素に分割されており、W部は3個のサブ画素に分割されている。また、信号線4015、第1の電源線4016、第1の走査線4017、第2の走査線4027、第3の走査線4037が配置されている。

【0217】

図40では、RGB部は2個のサブ画素に分割されており、W部は3個のサブ画素に分割されている。これにより、より高精細な白表示が可能となる。

【0218】

なお、本実施の形態で述べた内容は、実施の形態1～実施の形態3で述べた内容と自由に組み合わせて実施することができる。

【0219】

(実施の形態5)

本実施形態では、表示装置における信号線駆動回路や走査線駆動回路などの構成とその動作について説明する。本実施形態では、1つの画素を2個のサブ画素(SP1、SP2)に分割した場合を例に説明する。

【0220】

例えば、画素構成として、複数の走査線を設けるタイプを採用した場合を考える。まず、画素に信号を書き込む期間と点灯する期間とが分離されている場合、表示装置は、図41(A)に示すように、画素部4101、第1及び第2の走査線駆動回路4102、4103、信号線駆動回路4104を有している。この場合の画素構成は、一例として、図26のようになっている。

【0221】

まずは、走査線駆動回路について説明する。第1及び第2の走査線駆動回路4102、4103は、画素部4101に選択信号を順次出力する。第1及び第2の走査線駆動回路4102、4103の構成の一例を図41(B)に示す。走査線駆動回路は、シフトレジスタ4105や増幅回路4106などから構成されている。

【0222】

次に、図41(B)に示した第1及び第2の走査線駆動回路4102、4103の動作を簡単に説明する。シフトレジスタ4105には、クロック信号(G-CLK)、スタートパルス(G-SP)、クロック反転信号(G-CLKB)が入力され、これらの信号のタイミングに従って、順次サンプリングパルスが出力される。出力されたサンプリングパルスは、増幅回路4106で増幅され、各走査線から画素部4101へ入力される。

【0223】

なお、増幅回路4106の構成として、バッファ回路を有してもよいし、レベルシフタ回路を有してもよい。また、走査線駆動回路には、シフトレジスタ4105や増幅回路4106の他に、パルス幅制御回路などが配置されてもよい。

【0224】

ここで、第1の走査線駆動回路4102は、サブ画素1(SP1)に接続された第1の走査線4111に順次選択信号を出力するための駆動回路であり、第2の走査線駆動回路4103は、サブ画素2(SP2)に接続された第2の走査線4112に順次選択信号を出力するための駆動回路である。なお、一般に、1つの画素をm個(mはm=2の整数)のサブ画素に分割した場合、m個の走査線駆動回路を設ければよい。

【0225】

次に、信号線駆動回路について説明する。信号線駆動回路4104は、信号線4113を介して、画素部4101にビデオ信号を順次出力する。画素部4101では、ビデオ信号

10

20

30

40

50

に従って、光の状態を制御することにより、画像を表示する。信号線駆動回路 4104 から画素部 4101 へ入力するビデオ信号は、電圧である場合が多い。つまり、各画素に配置された発光素子や発光素子を制御する素子は、信号線駆動回路 4104 から入力されるビデオ信号（電圧）によって、状態を変化させる。画素に配置する発光素子の例としては、EL 素子や FED（フィールドエミッഷンディスプレイ）で用いる素子や液晶や DMD（デジタル・マイクロミラー・デバイス）などがあげられる。

【0226】

信号線駆動回路 4104 の構成の一例を図 41(C) に示す。信号線駆動回路 4104 は、シフトレジスタ 4107、第 1 ラッチ回路 (LAT1) 4108、第 2 ラッチ回路 (LAT2) 4109、增幅回路 4110 などから構成されている。なお、增幅回路 4110 の構成として、バッファ回路を有してもよいし、レベルシフタ回路を有してもよいし、デジタル信号をアナログに変換する機能を有する回路を有してもよいし、ガンマ補正を行う機能を有する回路を有してもよい。

【0227】

また、画素は、EL 素子などの発光素子を有している。その発光素子に電流（ビデオ信号）を出力する回路、すなわち、電流源回路を有してもよい。

【0228】

次に、信号線駆動回路 4104 の動作を簡単に説明する。シフトレジスタ 4107 は、クロック信号 (S-CLK)、スタートパルス (S-SP)、クロック反転信号 (S-CLKB) が入力され、これらの信号のタイミングに従って、順次サンプリングパルスが出力される。

【0229】

シフトレジスタ 4107 より出力されたサンプリングパルスは、第 1 ラッチ回路 (LAT1) 4108 に入力される。第 1 ラッチ回路 (LAT1) 4108 には、ビデオ信号線 4121 より、ビデオ信号が入力されており、サンプリングパルスが入力されるタイミングに従って、各列でビデオ信号を保持していく。

【0230】

第 1 ラッチ回路 (LAT1) 4108において、最終列までビデオ信号の保持が完了すると、水平帰線期間中に、ラッチ制御線 4122 よりラッチパルス (Latch Pulse) が入力され、第 1 ラッチ回路 (LAT1) 4108 に保持されていたビデオ信号は、一斉に第 2 ラッチ回路 (LAT2) 4109 に転送される。その後、第 2 ラッチ回路 (LAT2) 4109 に保持されたビデオ信号は、1 行分が同時に、増幅回路 4110 へと入力される。そして、増幅回路 4110 から出力される信号は、各信号線から画素部 4101 へ入力される。

【0231】

第 2 ラッチ回路 (LAT2) 4109 に保持されたビデオ信号が増幅回路 4110 に入力され、そして、画素部 4101 に入力されている間、シフトレジスタ 4107 においては再びサンプリングパルスが出力される。つまり、同時に 2 つの動作が行われる。これにより、線順次駆動が可能となる。以後、この動作を繰り返す。

【0232】

なお、信号線駆動回路やその一部（電流源回路や増幅回路など）は、画素部 4101 と同一基板上に存在せず、例えば、外付けの IC チップを用いて構成されることもある。

【0233】

以上のような走査線駆動回路及び信号線駆動回路を用いることにより、画素に信号を書き込む期間と点灯する期間とが分離されている場合の駆動を実現できる。

【0234】

次に、画素の信号を消去する動作を行う場合、表示装置は、図 42 に示すように、画素部 4201、第 1、第 2、第 3 及び第 4 の走査線駆動回路 4202、4203、4204、4205、信号線駆動回路 4206 を有している。この場合の画素構成は、一例として、図 33 のようになっている。なお、走査線駆動回路及び信号線駆動回路の構成は、図 41

10

20

30

40

50

で説明したものと同様であるため、ここでは説明を割愛する。

【0235】

ここで、第1及び第2の走査線駆動回路4202、4203は、サブ画素1に接続された走査線を駆動させるための回路である。ここで、第1の走査線駆動回路4202は、サブ画素1に接続された第1の走査線4207（選択トランジスタが接続されている走査線）に順次選択信号を出力する。一方、第2の走査線駆動回路4203は、サブ画素1に接続された第2の走査線4208（消去トランジスタが接続されている走査線）に順次消去信号を出力する。これにより、サブ画素1に選択信号や消去信号が書き込まれる。

【0236】

同様に、第3及び第4の走査線駆動回路4204、4205は、サブ画素2に接続された走査線を駆動させるための回路である。ここで、第3の走査線駆動回路4204は、サブ画素2に接続された第3の走査線4209に順次選択信号を出力する。一方、第4の走査線駆動回路4205は、サブ画素2に接続された第4の走査線4210に順次消去信号を出力する。これにより、サブ画素2に選択信号や消去信号が書き込まれる。

【0237】

また、信号線駆動回路4206は、信号線4211を介して、画素部4201にビデオ信号を順次出力するための回路である。

【0238】

以上のような走査線駆動回路及び信号線駆動回路を用いることにより、画素の信号を消去する動作を行う場合の駆動を実現できる。

【0239】

なお、本実施形態では、画素構成として複数の走査線を設けるタイプを採用した場合について説明したが、画素構成として複数の信号線を設けるタイプを採用した場合は、各サブ画素に対応した信号線駆動回路を設ければよい。

【0240】

例えば、画素の信号を消去する動作を行う場合、表示装置は、図43に示すように、画素部4301、第1及び第2の走査線駆動回路4302、4303、第1及び第2の信号線駆動回路4304、4305を有している。なお、走査線駆動回路及び信号線駆動回路の構成は、図41で説明したものと同様であるため、ここでは説明を割愛する。

【0241】

ここで、第1の走査線駆動回路4302は、第1の走査線4306（選択トランジスタが接続されている走査線）に順次選択信号を出力するための駆動回路であり、第2の走査線駆動回路4303は、第2の走査線4307（消去トランジスタが接続されている走査線）に順次消去信号を出力するための駆動回路である。

【0242】

また、第1の信号線駆動回路4304は、サブ画素1（S P 1）に接続された第1の信号線4308に順次ビデオ信号を出力するための駆動回路であり、第2の信号線駆動回路4305は、サブ画素2（S P 2）に接続された第2の信号線4309に順次ビデオ信号を出力するための駆動回路である。なお、一般に、1つの画素をm個（mはm-2の整数）のサブ画素に分割した場合、m個の信号線駆動回路を設ければよい。

【0243】

以上のような走査線駆動回路及び信号線駆動回路を用いることにより、画素の信号を消去する動作を行う場合の駆動を実現できる。

【0244】

なお、信号線駆動回路や走査線駆動回路などの構成は、図41～図43に限定されない。

【0245】

なお、本発明におけるトランジスタは、どのようなタイプのトランジスタでもよいし、どのような基板上に形成されていてもよい。したがって、図41～図43で示したような回路が、全てガラス基板上に形成されていてもよいし、プラスチック基板に形成されていてもよいし、単結晶基板に形成されていてもよいし、SOI基板上に形成されていてもよい

10

20

30

40

50

し、どのような基板上に形成されていてもよい。あるいは、図41～図43における回路の一部が、ある基板に形成されており、図41～図43における回路の別の一部が、別の基板に形成されていてもよい。つまり、図41～図43における回路の全てが同じ基板上に形成されてもよい。例えば、図41～図43において、画素部と走査線駆動回路とは、ガラス基板上にトランジスタを用いて形成し、信号線駆動回路（もしくはその一部）は、単結晶基板上に形成し、そのICチップをCOG（Chip On Glass）で接続してガラス基板上に配置してもよい。あるいは、そのICチップをTAB（Table Automated Bonding）やプリント基板を用いてガラス基板と接続してもよい。

【0246】

10

なお、本実施の形態で述べた内容は、実施の形態1～実施の形態4で述べた内容と自由に組み合わせて実施することができる。

【0247】

20

(実施の形態6)

本実施形態では、本発明の表示装置に用いる表示パネルについて図62などを用いて説明する。なお、図62(a)は、表示パネルを示す上面図、図62(b)は図62(a)をA-A'で切断した断面図である。点線で示された信号線駆動回路6201、画素部6202、第1の走査線駆動回路6203、第2の走査線駆動回路6206を有する。また、封止基板6204、シール材6205を有し、シール材6205で囲まれた内側は、空間6207になっている。

【0248】

20

なお、配線6208は第1の走査線駆動回路6203、第2の走査線駆動回路6206及び信号線駆動回路6201に入力される信号を伝送するための配線であり、外部入力端子となるFPC6209からビデオ信号、クロック信号、スタート信号等を受け取る。FPC6209と表示パネルとの接合部上にはICチップ（メモリ回路や、バッファ回路などが形成された半導体チップ）6218、6219がCOG（Chip On Glass）等で実装されている。なお、ここではFPCしか図示されていないが、このFPCにはプリント配線基盤（PWB）が取り付けられていてもよい。

【0249】

30

次に、断面構造について図62(b)を用いて説明する。基板6210上には画素部6202とその周辺駆動回路（第1の走査線駆動回路6203、第2の走査線駆動回路6206及び信号線駆動回路6201）が形成されているが、ここでは、信号線駆動回路6201と、画素部6202が示されている。

【0250】

30

なお、信号線駆動回路6201は、トランジスタ6220やトランジスタ6221など多数のトランジスタで構成されている。また、本実施形態では、基板上に周辺駆動回路を一体形成した表示パネルを示すが、必ずしもその必要はなく、周辺駆動回路の全部もしくは一部をICチップなどに形成し、COGなどで実装してもよい。

【0251】

40

また、画素部6202は、スイッチング用トランジスタ6211と、駆動用トランジスタ6212とを含む画素を構成する複数の回路を有している。なお、駆動用トランジスタ6212のソース電極は第1の電極6213と接続されている。また、第1の電極6213の端部を覆って絶縁物6214が形成されている。ここでは、ポジ型の感光性アクリル樹脂膜を用いることにより形成する。

【0252】

40

また、カバレッジを良好なものとするため、絶縁物6214の上端部または下端部に曲率を有する曲面が形成されるようにする。例えば、絶縁物6214の材料としてポジ型の感光性アクリルを用いた場合、絶縁物6214の上端部のみに曲率半径（0.2μm～3μm）を有する曲面を持たせることが好ましい。また、絶縁物6214として、感光性の光によってエッチャントに不溶解性となるネガ型、あるいは光によってエッチャントに溶解

50

性となるポジ型のいずれも使用することができる。

【0253】

第1の電極6213上には、有機化合物を含む層6216、及び第2の電極6217がそれぞれ形成されている。ここで、陽極として機能する第1の電極6213に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。例えば、ITO(インジウム錫酸化物)膜、インジウム亜鉛酸化物(ITO)膜、窒化チタン膜、クロム膜、タンゲステン膜、Zn膜、Pt膜などの単層膜の他、窒化チタンとアルミニウムを主成分とする膜との積層、窒化チタン膜とアルミニウムを主成分とする膜と窒化チタン膜との3層構造等を用いることができる。なお、積層構造とすると、配線としての抵抗も低く、良好なオームックコンタクトがとれ、さらに陽極として機能させることができる。

10

【0254】

また、有機化合物を含む層6216は、蒸着マスクを用いた蒸着法、またはインクジェット法によって形成される。有機化合物を含む層6216には、元素周期表第4族金属錯体をその一部に用いることとし、その他、組み合わせて用いることのできる材料としては、低分子系材料であっても高分子系材料であってもよい。また、有機化合物を含む層に用いる材料としては、通常、有機化合物を単層もしくは積層で用いる場合が多いが、本実施形態においては、有機化合物からなる膜の一部に無機化合物を用いる構成も含めることとする。さらに、公知の三重項材料を用いることも可能である。

【0255】

さらに、有機化合物を含む層6216上に形成される、陰極である第2の電極6217に用いる材料としては、仕事関数の小さい材料(A1、Ag、Li、Ca、またはこれらの合金MgAg、MgIn、AlLi、CaF₂、または窒化カルシウム)を用いればよい。なお、有機化合物を含む層6216で生じた光が第2の電極6217を透過させる場合には、第2の電極6217として、膜厚を薄くした金属薄膜と、透明導電膜(ITO(インジウム錫酸化物))、酸化インジウム酸化亜鉛合金(In₂O₃-ZnO)、酸化亜鉛(ZnO)等との積層を用いるのがよい。

20

【0256】

さらに、シール材6205で封止基板6204を基板6210と貼り合わせることにより、基板6210、封止基板6204、及びシール材6205で囲まれた空間6207に発光素子6218が備えられた構造になっている。なお、空間6207には、不活性気体(窒素やアルゴン等)が充填される場合の他、シール材6205で充填される構成も含むものとする。

30

【0257】

なお、シール材6205にはエポキシ系樹脂を用いるのが好ましい。また、これらの材料はできるだけ水分や酸素を透過しない材料であることが望ましい。また、封止基板6204に用いる材料としてガラス基板や石英基板の他、FRP(Fiberglass-Reinforced Plastics)、PVF(ポリビニルフロライド)、マイラー、ポリエステルまたはアクリル等からなるプラスチック基板を用いることができる。

【0258】

以上のようにして、本発明の画素構成を有する表示パネルを得ることができる。

40

【0259】

図62に示すように、信号線駆動回路6201、画素部6202、第1の走査線駆動回路6203及び第2の走査線駆動回路6206を一体形成することで、表示装置の低コスト化が図れる。なお、信号線駆動回路6201、画素部6202、第1の走査線駆動回路6203及び第2の走査線駆動回路6206に用いられるトランジスタを单極性とすることで作製工程の簡略化が図れるためさらなる低コスト化が図れる。また、信号線駆動回路6201、画素部6202、第1の走査線駆動回路6203及び第2の走査線駆動回路6206に用いられるトランジスタの半導体層にアモルファスシリコンを適用することでさらなる低コスト化を図ることができる。

【0260】

50

なお、表示パネルの構成としては、図 6 2 (a) に示したように信号線駆動回路 6 2 0 1 、画素部 6 2 0 2 、第 1 の走査線駆動回路 6 2 0 3 及び第 2 の走査線駆動回路 6 2 0 6 を一体形成した構成に限定されず、信号線駆動回路 6 2 0 1 に相当する信号線駆動回路を I C チップ上に形成して、COG 等で表示パネルに実装した構成としてもよい。

【 0 2 6 1 】

つまり、駆動回路の高速動作が要求される信号線駆動回路のみを、CMOS 等を用いて I C チップに形成し、低消費電力化を図る。また、I C チップはシリコンウエハ等の半導体チップとすることで、より高速動作且つ低消費電力化を図れる。

【 0 2 6 2 】

そして、走査線駆動回路を画素部と一体形成することで、低コスト化が図れる。なお、この走査線駆動回路及び画素部は单極性のトランジスタで構成することでさらなる低コスト化が図れる。画素部の有する画素の構成としては実施の形態 3 で示した構成を適用することができる。また、トランジスタの半導体層にアモルファスシリコンを用いることで、作製工程が簡略化し、さらなる低コスト化が図れる。

【 0 2 6 3 】

こうして、高精細な表示装置の低コスト化が図れる。また、FPC 6 2 0 9 と基板 6 2 1 0 との接続部において機能回路（メモリやバッファ）が形成された I C チップを実装することで基板面積を有効利用することができる。

【 0 2 6 4 】

また、図 6 2 (a) の信号線駆動回路 6 2 0 1 、第 1 の走査線駆動回路 6 2 0 3 及び第 2 の走査線駆動回路 6 2 0 6 に相当する信号線駆動回路、第 1 の走査線駆動回路及び第 2 の走査線駆動回路を I C チップ上に形成して、COG 等で表示パネルに実装した構成としてもよい。この場合には高精細な表示装置をより低消費電力にすることが可能である。よって、より消費電力が少ない表示装置とするため、画素部に用いられるトランジスタの半導体層にはポリシリコンを用いることが望ましい。

【 0 2 6 5 】

また、画素部 6 2 0 2 のトランジスタの半導体層にアモルファスシリコンを用いることにより低コスト化を図ることができる。さらに、大型の表示パネルを作製することも可能となる。

【 0 2 6 6 】

なお、走査線駆動回路及び信号線駆動回路は、画素の行方向及び列方向に設けることに限定されない。

【 0 2 6 7 】

次に、発光素子 6 2 1 8 に適用可能な発光素子の例を図 6 3 に示す。

【 0 2 6 8 】

基板 7 3 0 1 の上に陽極 7 3 0 2 、正孔注入材料からなる正孔注入層 7 3 0 3 、その上に正孔輸送材料からなる正孔輸送層 7 3 0 4 、発光層 7 3 0 5 、電子輸送材料からなる電子輸送層 7 3 0 6 、電子注入材料からなる電子注入層 7 3 0 7 、そして陰極 7 3 0 8 を積層させた素子構造である。ここで、発光層 7 3 0 5 は、一種類の発光材料のみから形成されることもあるが、2種類以上の材料から形成されてもよい。また本発明の素子の構造は、この構造に限定されない。

【 0 2 6 9 】

また、図 6 3 で示した各機能層を積層した積層構造の他、高分子化合物を用いた素子、発光層に三重項励起状態から発光する三重項発光材料を利用した高効率素子など、バリエーションは多岐にわたる。ホールブロック層によってキャリヤの再結合領域を制御し、発光領域を2つの領域に分けることによって得られる白色発光素子などにも応用可能である。

【 0 2 7 0 】

次に、図 6 3 に示す本発明の素子作製方法について説明する。まず、陽極 7 3 0 2 (ITO (インジウム錫酸化物)) を有する基板 7 3 0 1 に正孔注入材料、正孔輸送材料、発光材料を順に蒸着する。次に電子輸送材料、電子注入材料を蒸着し、最後に陰極 7 3 0 8 を

10

20

30

40

50

蒸着で形成する。

【0271】

次に、正孔注入材料、正孔輸送材料、電子輸送材料、電子注入材料、発光材料の材料に好適な材料を以下に列挙する。

【0272】

正孔注入材料としては、有機化合物でればポルフィリン系の化合物や、フタロシアニン(以下「H₂Pc」と記す)、銅フタロシアニン(以下「CuPc」と記す)などが有効である。また、使用する正孔輸送材料よりもイオン化ポテンシャルの値が小さく、かつ、正孔輸送機能をもつ材料であれば、これも正孔注入材料として使用できる。10 導電性高分子化合物に化学ドーピングを施した材料もあり、ポリスチレンスルホン酸(以下「PSS」と記す)をドープしたポリエチレンジオキシチオフェン(以下「PEDOT」と記す)や、ポリアニリンなどが挙げられる。また、絶縁体の高分子化合物も陽極の平坦化の点で有効であり、ポリイミド(以下「PI」と記す)がよく用いられる。さらに、無機化合物も用いられ、金や白金などの金属薄膜の他、酸化アルミニウム(以下「アルミナ」と記す)の超薄膜などがある。

【0273】

正孔輸送材料として最も広く用いられているのは、芳香族アミン系(すなわち、ベンゼン環-窒素の結合を有するもの)の化合物である。広く用いられている材料として、4,4'-ビス(ジフェニルアミノ)-ビフェニル(以下、「TAD」と記す)や、その誘導体である4,4'-ビス[N-(3-メチルフェニル)-N-フェニル-アミノ]-ビフェニル(以下、「TPD」と記す)、4,4'-ビス[N-(1-ナフチル)-N-フェニル-アミノ]-ビフェニル(以下、「-NPD」と記す)がある。20 4,4',4"-トリス(N,N-ジフェニル-アミノ)-トリフェニルアミン(以下、「TDATA」と記す)、4,4',4"-トリス[N-(3-メチルフェニル)-N-フェニル-アミノ]-トリフェニルアミン(以下、「MTDATA」と記す)などのスターバースト型芳香族アミン化合物が挙げられる。

【0274】

電子輸送材料としては、金属錯体がよく用いられ、トリス(8-キノリノラト)アルミニウム(以下、「Alq₃」と記す)、BA1q、トリス(4-メチル-8-キノリノラト)アルミニウム(以下、「Almq」と記す)、ビス(10-ヒドロキシベンゾ[h]-キノリナト)ベリリウム(以下、「Bebq」と記す)などのキノリン骨格またはベンゾキノリン骨格を有する金属錯体などがある。また、ビス[2-(2-ヒドロキシフェニル)-ベンゾオキサゾラト]亜鉛(以下、「Zn(BOX)₂」と記す)、ビス[2-(2-ヒドロキシフェニル)-ベンゾチアゾラト]亜鉛(以下、「Zn(BTZ)₂」と記す)などのオキサゾール系、チアゾール系配位子を有する金属錯体もある。さらに、金属錯体以外にも、2-(4-ビフェニリル)-5-(4-tert-ブチルフェニル)-1,3,4-オキサジアゾール(以下、「PBD」と記す)、OXD-7などのオキサジアゾール誘導体、TAZ、3-(4-tert-ブチルフェニル)-4-(4-エチルフェニル)-5-(4-ビフェニリル)-1,2,4-トリアゾール(以下、「p-EtTAZ」と記す)などのトリアゾール誘導体、バソフェナントロリン(以下、「BPhen」と記す)、BCPなどのフェナントロリン誘導体が電子輸送性を有する。3040

【0275】

電子注入材料としては、上で述べた電子輸送材料を用いることができる。その他に、フッ化カルシウム、フッ化リチウム、フッ化セシウムなどの金属ハロゲン化物や、酸化リチウムなどのアルカリ金属酸化物のような絶縁体の、超薄膜がよく用いられる。また、リチウムアセチルアセトネット(以下、「Li(acac)」と記す)や8-キノリノラト-リチウム(以下、「Liq」と記す)などのアルカリ金属錯体も有効である。

【0276】

発光材料としては、先に述べたAlq₃、Almq、Bebq、BA1q、Zn(BOX)₂、Zn(BTZ)₂などの金属錯体の他、各種蛍光色素が有効である。蛍光色素とし50

ては、青色の 4 , 4' - ビス (2 , 2 - ジフェニル - ビニル) - ピフェニルや、赤橙色の 4 - (ジシアノメチレン) - 2 - メチル - 6 - (p - ジメチルアミノスチリル) - 4 H - ピランなどがある。また、三重項発光材料も可能であり、白金ないしはイリジウムを中心金属とする錯体が主体である。三重項発光材料として、トリス (2 - フェニルピリジン) イリジウム、ビス (2 - (4' - トリル) ピリジナト - N , C^{2'}) アセチルアセトナトイリジウム (以下 「 a c a c I r (t p y)₂ 」 と記す) 、 2 , 3 , 7 , 8 , 12 , 13 , 17 , 18 - オクタエチル - 21H , 23H ポルフィリン - 白金などが知られている。

【 0277 】

以上で述べたような各機能を有する材料を、各々組み合わせ、高信頼性の発光素子を作製することができる。

【 0278 】

また、図 63 とは逆の順番に層を形成した発光素子を用いることもできる。つまり、基板 7301 の上に陰極 7308 、電子注入材料からなる電子注入層 7307 、その上に電子輸送材料からなる電子輸送層 7306 、発光層 7305 、正孔輸送材料からなる正孔輸送層 7304 、正孔注入材料からなる正孔注入層 7303 、そして陽極 7302 を積層させた素子構造である。

【 0279 】

また、発光素子は発光を取り出すために少なくとも陽極又は陰極の一方が透明であればよい。そして、基板上にトランジスタ及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子があり、本発明の画素構成はどの射出構造の発光素子にも適用することができる。

【 0280 】

まず、上面射出構造の発光素子について、図 64 (a) を用いて説明する。

【 0281 】

基板 6400 上に駆動用トランジスタ 6401 が形成され、駆動用トランジスタ 6401 のソース電極に接して第 1 の電極 6402 が形成され、その上に有機化合物を含む層 6403 と第 2 の電極 6404 が形成されている。

【 0282 】

また、第 1 の電極 6402 は発光素子の陽極である。そして、第 2 の電極 6404 は発光素子の陰極である。つまり、第 1 の電極 6402 と第 2 の電極 6404 とで有機化合物を含む層 6403 が挟まれているところが発光素子となる。

【 0283 】

また、ここで、陽極として機能する第 1 の電極 6402 に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。例えば、窒化チタン膜、クロム膜、タンゲステン膜、Zn 膜、Pt 膜などの単層膜の他、窒化チタンとアルミニウムを主成分とする膜との積層、窒化チタン膜とアルミニウムを主成分とする膜と窒化チタン膜との 3 層構造等を用いることができる。なお、積層構造とすると、配線としての抵抗も低く、良好なオーミックコンタクトがとれ、さらに陽極として機能させることができる。光を反射する金属膜を用いることで光を透過させない陽極を形成することができる。

【 0284 】

また、陰極として機能する第 2 の電極 6404 に用いる材料としては、仕事関数の小さい材料 (Al 、 Ag 、 Li 、 Ca 、またはこれらの合金 MgAg 、 MgIn 、 AlLi 、 CaF₂ 、または窒化カルシウム) からなる金属薄膜と、透明導電膜 (ITO (インジウム錫酸化物) 、インジウム亜鉛酸化物 (IZO) 、酸化亜鉛 (ZnO) 等) との積層を用いるのがよい。こうして薄い金属薄膜と、透明性を有する透明導電膜を用いることで光を透過させることが可能な陰極を形成することができる。

【 0285 】

こうして、図 64 (a) の矢印に示すように発光素子からの光を上面に取り出すことが可

10

20

30

40

50

能になる。つまり、図62の表示パネルに適用した場合には、封止基板6204側に光が射出することになる。従って、上面射出構造の発光素子を表示装置に用いる場合には、封止基板6204は光透過性を有する基板を用いる。

【0286】

また、光学フィルムを設ける場合には、封止基板6204に光学フィルムを設ければよい。

【0287】

なお、第1の電極6402を、陰極として機能するMgAg、MgIn、AlLi等の仕事関数の小さい材料からなる金属膜を用いて形成することもできる。この場合には、第2の電極6404にはITO(インジウム錫酸化物)膜、インジウム亜鉛酸化物(IZO)などの透明導電膜を用いることができる。よって、この構成によれば、上面射出の透過率を高くすることができます。10

【0288】

次に、下面射出構造の発光素子について、図64(b)を用いて説明する。射出構造以外は図64(a)と同じ構造の発光素子であるため同じ符号を用いて説明する。

【0289】

ここで、陽極として機能する第1の電極6402に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。例えば、ITO(インジウム錫酸化物)膜、インジウム亜鉛酸化物(IZO)膜などの透明導電膜を用いることができる。透明性を有する透明導電膜を用いることで光を透過させることができが可能な陽極を形成することができる。20

【0290】

また、陰極として機能する第2の電極6404に用いる材料としては、仕事関数の小さい材料(Al、Ag、Li、Ca、またはこれらの合金MgAg、MgIn、AlLi、CaF₂、または窒化カルシウム)からなる金属膜を用いることができる。こうして、光を反射する金属膜を用いることで光が透過しない陰極を形成することができる。

【0291】

こうして、図64(b)の矢印に示すように発光素子からの光を下面に取り出すことが可能になる。つまり、図62の表示パネルに適用した場合には、基板6210側に光が射出することになる。従って、下面射出構造の発光素子を表示装置に用いる場合には、基板6210は光透過性を有する基板を用いる。30

【0292】

また、光学フィルムを設ける場合には、基板6210に光学フィルムを設ければよい。

【0293】

次に、両面射出構造の発光素子について、図64(c)を用いて説明する。射出構造以外は図64(a)と同じ構造の発光素子であるため同じ符号を用いて説明する。

【0294】

ここで、陽極として機能する第1の電極6402に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。例えば、ITO(インジウム錫酸化物)膜、インジウム亜鉛酸化物(IZO)膜などの透明導電膜を用いることができる。透明性を有する透明導電膜を用いることで光を透過させることができが可能な陽極を形成することができる。40

【0295】

また、陰極として機能する第2の電極6404に用いる材料としては、仕事関数の小さい材料(Al、Ag、Li、Ca、またはこれらの合金MgAg、MgIn、AlLi、CaF₂、または窒化カルシウム)からなる金属薄膜と、透明導電膜(ITO(インジウム錫酸化物)、酸化インジウム酸化亜鉛合金(In₂O₃-ZnO)、酸化亜鉛(ZnO)等)との積層を用いるのがよい。こうして薄い金属薄膜と、透明性を有する透明導電膜を用いることで光を透過させることができが可能な陰極を形成することができる。

【0296】

こうして、図64(c)の矢印に示すように発光素子からの光を両面に取り出すことが可能になる。つまり、図62の表示パネルに適用した場合には、基板6210側と封止基板

10

20

30

40

50

6204側に光が射出することになる。従って、両面射出構造の発光素子を表示装置に用いる場合には、基板6210及び封止基板6204は、ともに光透過性を有する基板を用いる。

【0297】

また、光学フィルムを設ける場合には、基板6210及び封止基板6204の両方に光学フィルムを設ければよい。

【0298】

また、白色の発光素子とカラーフィルターを用いてフルカラー表示を実現する表示装置にも本発明を適用することが可能である。

【0299】

図65に示すように、基板6500上に下地膜6502が形成され、下地膜6502の上に駆動用トランジスタ6501が形成され、駆動用トランジスタ6501のソース電極に接して第1の電極6503が形成され、その上有機化合物を含む層6504と第2の電極6505が形成されている。10

【0300】

また、第1の電極6503は発光素子の陽極である。そして、第2の電極6505は発光素子の陰極である。つまり、第1の電極6503と第2の電極6505とで有機化合物を含む層6504が挟まれているところが発光素子となる。図65の構成では白色光を発光する。そして、発光素子の上部に赤色のカラーフィルター6506R、緑色のカラーフィルター6506G、青色のカラーフィルター6506Bを設けられており、フルカラー表示を行うことができる。また、これらのカラーフィルターを隔離するブラックマトリクス(BMともいう)6507が設けられている。20

【0301】

上述した発光素子の構成は組み合わせて用いることができ、本発明の表示装置に適宜用いることができる。また、上述した表示パネルの構成や、発光素子は例示であり、上述した構成と異なる他の構成を有する表示装置に適用することもできる。

【0302】

次に、表示パネルの画素部の部分断面図を示す。

【0303】

まず、トランジスタの半導体層にポリシリコン(p-Si:H)膜を用いた場合について30、図66、図67及び図68を用いて説明する。

【0304】

ここで、半導体層は、例えば基板上にアモルファスシリコン(a-Si)膜を公知の成膜法で形成する。なお、アモルファスシリコン膜に限定する必要はなく、非晶質構造を含む半導体膜(微結晶半導体膜を含む)であればよい。さらに非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜でもよい。

【0305】

そして、アモルファスシリコン膜をレーザー結晶化法や、RTAやファーネスアニール炉を用いた熱結晶化法や、結晶化を助長する金属元素を用いた熱結晶化法などにより結晶化させる。もちろん、これらを組み合わせて行ってもよい。40

【0306】

上述した結晶化によって、非晶質半導体膜に部分的に結晶化された領域が形成される。

【0307】

さらに、部分的に結晶性が高められた結晶性半導体膜を所望の形状にパターンを形成して、結晶化された領域から島状の半導体膜を形成する。この半導体膜をトランジスタの半導体層に用いる。

【0308】

図66(a)に示すように、基板601上に下地膜602が形成され、その上に半導体層が形成されている。半導体層は、駆動用トランジスタ618のチャネル形成領域603、LDD領域604及びソース領域またはドレイン領域となる不純物領域605、並びに容

10

20

40

50

量素子 619 の下部電極となるチャネル形成領域 606、LDD 領域 607 及び不純物領域 608 を有する。なお、チャネル形成領域 603 及びチャネル形成領域 606 はチャネルドープが行われていてもよい。

【0309】

基板はガラス基板、石英基板、セラミック基板などを用いることができる。また、下地膜 602 としては、窒化アルミニウム (AlN) や酸化珪素 (SiO₂)、酸化窒化珪素 (SiO_xN_y) などの単層やこれらの積層を用いることができる。

【0310】

半導体層上には、ゲート絶縁膜 609 を介してゲート電極 610 及び容量素子 619 の上部電極 611 が形成されている。

10

【0311】

容量素子 619 及び駆動用トランジスタ 618 を覆って層間絶縁膜 612 が形成され、層間絶縁膜 612 上に、コンタクトホールを介して配線 613 が不純物領域 605 と接している。配線 613 に接して画素電極 614 が形成され、画素電極 614 の端部及び配線 613 を覆って絶縁物 615 が形成されている。ここでは、ポジ型の感光性アクリル樹脂膜を用いることにより形成する。そして、画素電極 614 上に有機化合物を含む層 616 及び対向電極 617 が形成され、画素電極 614 と対向電極 617 とで有機化合物を含む層 616 が挟まれた領域に、発光素子 620 が形成されている。

【0312】

また、図 66 (b) に示すように、容量素子 619 の下部電極の一部を構成する LDD 領域が、容量素子 619 の上部電極 611 と重なるような領域 621 を設けてよい。なお、図 66 (a) と共に通する箇所は共通の符号を用い、説明は省略する。

20

【0313】

また、図 67 (a) に示すように、容量素子 623 は、駆動用トランジスタ 618 の不純物領域 605 と接する配線 613 と同じ層に形成された第 2 の上部電極 622 を有していてよい。なお、図 66 (a) と共に通する箇所は共通の符号を用い、説明は省略する。第 2 の上部電極 622 は不純物領域 608 と接しているため、上部電極 611 とチャネル形成領域 606 とでゲート絶縁膜 609 を挟みこんで構成される第 1 の容量素子と、上部電極 611 と第 2 の上部電極 622 とで層間絶縁膜 612 を挟みこんで構成される第 2 の容量素子と、が並列に接続され、第 1 の容量素子と第 2 の容量素子からなる容量素子 623 が形成される。この容量素子 623 の容量は、第 1 の容量素子と第 2 の容量素子の容量を加算した合成容量であるため、小さい面積で大きな容量の容量素子を形成することができる。つまり、本発明の画素構成の容量素子として用いるとより開口率の向上が図れる。

30

【0314】

また、図 67 (b) に示すような容量素子の構成としてもよい。基板 701 上に下地膜 702 が形成され、その上に半導体層が形成されている。半導体層は、駆動用トランジスタ 718 のチャネル形成領域 703、LDD 領域 704 及びソース領域又はドレイン領域となる不純物領域 705 を有する。なお、チャネル形成領域 703 はチャネルドープが行われていてもよい。

40

【0315】

基板はガラス基板、石英基板、セラミック基板などを用いることができる。また、下地膜 702 としては、窒化アルミニウム (AlN) や酸化珪素 (SiO₂)、酸化窒化珪素 (SiO_xN_y) などの単層やこれらの積層を用いることができる。

【0316】

半導体層上には、ゲート絶縁膜 706 を介してゲート電極 707 及び第 1 の電極 708 が形成されている。

【0317】

駆動用トランジスタ 718 及び第 1 の電極 708 を覆って第 1 の層間絶縁膜 709 が形成され、第 1 の層間絶縁膜 709 上に、コンタクトホールを介して配線 710 が不純物領域 705 と接している。また、配線 710 と同層に、配線 710 と同じ材料からなる第 2 の

50

電極 7 1 1 が形成される。

【 0 3 1 8 】

さらに、配線 7 1 0 及び第 2 の電極 7 1 1 を覆うように第 2 の層間絶縁膜 7 1 2 が形成され、第 2 の層間絶縁膜 7 1 2 上に、コンタクトホールを介して配線 7 1 0 と接して画素電極 7 1 3 が形成されている。また、画素電極 7 1 3 と同層に、画素電極 7 1 3 と同じ材料からなる第 3 の電極 7 1 4 が形成されている。ここで、第 1 の電極 7 0 8 、第 2 の電極 7 1 1 及び第 3 の電極 7 1 4 からなる容量素子 7 1 9 が形成される。

【 0 3 1 9 】

画素電極 7 1 3 上に有機化合物を含む層 7 1 6 及び対向電極 7 1 7 が形成され、画素電極 7 1 3 と対向電極 7 1 7 とで有機化合物を含む層 7 1 6 が挟まれた領域に、発光素子 7 2 0 が形成されている。

【 0 3 2 0 】

上述したように、結晶性半導体膜を半導体層に用いたトランジスタの構成は図 6 6 及び図 6 7 に示したような構成が挙げられる。なお、図 6 6 及び図 6 7 に示したトランジスタの構造は、トップゲート構造のトランジスタの一例である。つまり、L D D 領域はゲート電極と重なっていてもよいし、ゲート電極と重なっていないなくてもよいし、または L D D 領域の一部の領域が重なっていてもよい。さらに、ゲート電極はテーパー形状でもよく、ゲート電極のテーパー部の下部に L D D 領域が自己整合的に設けられていてもよい。また、ゲート電極は 2 つに限定されず、3 つ以上のマルチゲート構造でもよいし、1 つのゲート電極でもよい。

【 0 3 2 1 】

本発明の画素を構成するトランジスタの半導体層（チャネル形成領域やソース領域やドレイン領域など）に結晶性半導体膜を用いることで、走査線駆動回路及び信号線駆動回路を画素部と一体形成することが容易になる。また、信号線駆動回路の一部を画素部と一体形成し、一部は I C チップ上に形成して図 6 2 の表示パネルに示すように C O G 等で実装してもよい。このような構成とすることで、製造コストの削減を図ることができる。

【 0 3 2 2 】

また、半導体層にポリシリコン（ p - S i ）を用いたトランジスタの構成として、基板と半導体層の間にゲート電極が挟まれた構造、つまり、半導体層の下にゲート電極が位置するボトムゲート構造のトランジスタを適用してもよい。ここで、ボトムゲート構造のトランジスタを適用した表示パネルの画素部の部分断面図を図 6 8 に示す。

【 0 3 2 3 】

図 6 8 (a) に示すように、基板 8 0 1 上に下地膜 8 0 2 が形成されている。さらに下地膜 8 0 2 上にゲート電極 8 0 3 が形成されている。また、ゲート電極 8 0 3 と同層に、ゲート電極 8 0 3 と同じ材料からなる第 1 の電極 8 0 4 が形成されている。ゲート電極 8 0 3 の材料には、リンが添加された多結晶シリコンを用いることができる。多結晶シリコンの他に、金属とシリコンの化合物であるシリサイドでもよい。

【 0 3 2 4 】

ゲート電極 8 0 3 及び第 1 の電極 8 0 4 を覆うように、ゲート絶縁膜 8 0 5 が形成されている。ゲート絶縁膜 8 0 5 としては、酸化珪素膜や窒化珪素膜などが用いられる。

【 0 3 2 5 】

ゲート絶縁膜 8 0 5 上に、半導体層が形成されている。半導体層は駆動用トランジスタ 8 2 2 のチャネル形成領域 8 0 6 、 L D D 領域 8 0 7 及びソース領域又はドレイン領域となる不純物領域 8 0 8 、並びに容量素子 8 2 3 の第 2 の電極となるチャネル形成領域 8 0 9 、 L D D 領域 8 1 0 及び不純物領域 8 1 1 を有する。なお、チャネル形成領域 8 0 6 及びチャネル形成領域 8 0 9 はチャネルドープが行われていてもよい。

【 0 3 2 6 】

基板はガラス基板、石英基板、セラミック基板などを用いることができる。また、下地膜 8 0 2 としては、窒化アルミニウム（ A l N ）や酸化珪素（ S i O ₂ ）、酸化窒化珪素（ S i O _x N _y ）などの单層やこれらの積層を用いることができる。

10

20

30

40

50

【0327】

半導体層を覆って第1の層間絶縁膜812が形成され、第1の層間絶縁膜812上に、コンタクトホールを介して配線813が不純物領域808と接している。また、配線813と同層に、配線813と同じ材料で第3の電極814が形成されている。第1の電極804、第2の電極、第3の電極814によって容量素子823が構成されている。

【0328】

また、第1の層間絶縁膜812には開口部815が形成されている。駆動用トランジスタ822、容量素子823及び開口部815を覆うように第2の層間絶縁膜816が形成され、第2の層間絶縁膜816上に、コンタクトホールを介して画素電極817が形成されている。また、画素電極817の端部を覆って絶縁物818が形成されている。例えば、ポジ型の感光性アクリル樹脂膜を用いることができる。そして、画素電極817上に有機化合物を含む層819及び対向電極820が形成され、画素電極817と対向電極820とで有機化合物を含む層819が挟まれた領域に、発光素子821が形成されている。そして、発光素子821の下部に開口部815が位置している。つまり、発光素子821からの発光を基板側から取り出すときには、開口部815を有するため、透過率を高めることができる。

【0329】

また、図68(a)において、画素電極817と同層に、同じ材料を用いて第4の電極824を形成して、図68(b)のような構成としてもよい。すると、第1の電極804、第2の電極、第3の電極814及び第4の電極824によって構成される容量素子825を形成することができる。

【0330】

次に、トランジスタの半導体層にアモルファスシリコン(a-Si)膜を用いた場合について、図44、図45及び図46を用いて説明する。

【0331】

アモルファスシリコンを半導体層に用いたトップゲート構造のトランジスタを適用した表示パネルの画素部の部分断面図を図44に示す。図44(a)に示すように、基板4401上に下地膜4402が形成されている。さらに、下地膜4402上に画素電極4403が形成されている。また、画素電極4403と同層に、画素電極4403と同じ材料からなる第1の電極4404が形成されている。

【0332】

基板はガラス基板、石英基板、セラミック基板などを用いることができる。また、下地膜4402としては、窒化アルミニウム(AlN)や酸化珪素(SiO₂)、酸化窒化珪素(SiO_xN_y)などの単層やこれらの積層を用いることができる。

【0333】

下地膜4402上に配線4405及び配線4406が形成され、画素電極4403の端部が配線4405で覆われている。配線4405及び配線4406の上部に、N型の導電型を有するN型半導体層4407及びN型半導体層4408が形成されている。また、配線4405と配線4406の間であって、下地膜4402上に半導体層4409が形成されている。そして、半導体層4409の一部は、N型半導体層4407及びN型半導体層4408上にまで延長されている。なお、この半導体層4409はアモルファスシリコン(a-Si)、微結晶半導体(μ -Si)等の非結晶性を有する半導体膜で形成されている。

【0334】

半導体層4409上に、ゲート絶縁膜4410が形成されている。また、ゲート絶縁膜4410と同層に、ゲート絶縁膜4410と同じ材料からなる絶縁膜4411が第1の電極4404上にも形成されている。なお、ゲート絶縁膜4410としては、酸化珪素膜や窒化珪素膜などが用いられる。

【0335】

ゲート絶縁膜4410上に、ゲート電極4412が形成されている。また、ゲート電極4412

10

20

30

40

50

412と同層に、ゲート電極4412と同じ材料からなる第2の電極4413が、第1の電極4404上に絶縁膜4411を介して形成されている。これにより、第1の電極4404及び第2の電極4413で絶縁膜4411を挟み込んだ構造の容量素子4419が形成されている。また、画素電極4403の端部、駆動用トランジスタ4418及び容量素子4419を覆い、層間絶縁膜4414が形成されている。

【0336】

層間絶縁膜4414及びその開口部に位置する画素電極4403上に、有機化合物を含む層4415及び対向電極4416が形成され、画素電極4403と対向電極4416とで有機化合物を含む層4415が挟まれた領域に、発光素子4417が形成されている。

【0337】

また、図44(a)に示す第1の電極4404を、図44(b)に示すように第1の電極4420で形成してもよい。なお、図44(b)に示した第1の電極4420は、配線4405、4406と同層に、配線4405、4406と同一材料で形成されている。

【0338】

次に、アモルファスシリコンを半導体層に用いたボトムゲート構造のトランジスタを適用した表示パネルの画素部の部分断面図を図45、図46に示す。

【0339】

図45(a)に示すように、基板4501上に下地膜4502が形成されている。さらに、下地膜4502上にゲート電極4503が形成されている。また、ゲート電極4503と同層に、ゲート電極4503と同じ材料からなる第1の電極4504が形成されている。ゲート電極4503の材料には、リンが添加された多結晶シリコンを用いることができる。多結晶シリコンの他に、金属とシリコンの化合物であるシリサイドでもよい。

【0340】

ゲート電極4503及び第1の電極4504を覆うように、ゲート絶縁膜4505が形成されている。ゲート絶縁膜4505としては、酸化珪素膜や窒化珪素膜などが用いられる。

【0341】

ゲート絶縁膜4505上に、半導体層4506が形成されている。また、半導体層4506と同層に、半導体層4506と同じ材料からなる半導体層4507が形成されている。

【0342】

基板はガラス基板、石英基板、セラミック基板などを用いることができる。また、下地膜4502としては、窒化アルミニウム(AlN)や酸化珪素(SiO₂)、酸化窒化珪素(SiO_xN_y)などの単層やこれらの積層を用いることができる。

【0343】

半導体層4506上には、N型の導電性を有するN型半導体層4508、4509が形成され、半導体層4507上には、N型半導体層4510が形成されている。

【0344】

N型半導体層4508、4509上にはそれぞれ配線4511、4512が形成される。また、配線4511、4512と同層に、配線4511、4512と同一材料からなる導電層4513が、N型半導体層4510上に形成されている。

【0345】

これにより、半導体層4507、N型半導体層4510及び導電層4513からなる第2の電極が構成される。なお、この第2の電極と第1の電極4504でゲート絶縁膜4505を挟み込んだ構造の容量素子4520が形成されている。

【0346】

また、配線4511の一方の端部は延在し、その延在した配線4511上部に接して画素電極4514が形成されている。

【0347】

また、画素電極4514の端部、駆動用トランジスタ4519及び容量素子4520を覆うように絶縁物4515が形成されている。

10

20

30

40

50

【0348】

画素電極4514及び絶縁物4515上には、有機化合物を含む層4516及び対向電極4517が形成され、画素電極4514と対向電極4517とで有機化合物を含む層4516が挟まれた領域に、発光素子4518が形成されている。

【0349】

なお、容量素子4520の第2の電極の一部となる半導体層4507及びN型半導体層4510は設けなくてもよい。つまり、容量素子4520の第2の電極は導電層4513とし、容量素子4520の構造を、第1の電極4504と導電層4513でゲート絶縁膜を挟み込んだ構造としてもよい。

【0350】

なお、図45(a)において、配線4511を形成する前に画素電極4514を形成することで、図45(b)に示すような、画素電極4514と同層に、画素電極4514と同じ材料からなる第2の電極4521を形成することができる。これにより、第2の電極4521と第1の電極4504でゲート絶縁膜4505を挟み込んだ構造の容量素子4522を形成することができる。

【0351】

なお、図45では、逆スタガ型のチャネルエッチ構造のトランジスタを適用した例について示したが、もちろんチャネル保護構造のトランジスタを適用してもよい。チャネル保護構造のトランジスタを適用した場合について、図46(a)、(b)を用いて説明する。

【0352】

図46(a)に示すチャネル保護型構造のトランジスタは、図45(a)に示したチャネルエッチ構造の駆動用トランジスタ4519の半導体層4506のチャネルが形成される領域上に、エッチングのマスクとなる絶縁物4601が設けられている点が異なり、他の共通しているところは共通の符号を用いている。

【0353】

また、同様に、図46(b)に示すチャネル保護型構造のトランジスタは、図45(b)に示したチャネルエッチ構造の駆動用トランジスタ4519の半導体層4506のチャネルが形成される領域上に、エッチングのマスクとなる絶縁物4601が設けられている点が異なり、他の共通しているところは共通の符号を用いている。

【0354】

本発明の画素を構成するトランジスタの半導体層(チャネル形成領域やソース領域やドレイン領域など)に非晶質半導体膜を用いることで、製造コストを削減することができる。

【0355】

なお、本発明の表示装置の画素部に適用することができるトランジスタの構造や、容量素子の構造は上述した構成に限られず、さまざまな構成のトランジスタの構造や、容量素子の構造を用いることができる。

【0356】

なお、本実施形態で述べた内容は、実施の形態1～実施の形態5で述べた内容と自由に組み合わせて実施することができる。

【0357】

(実施の形態7)

本実施形態では、トランジスタを始めとする半導体装置を作製する方法として、プラズマ処理を用いて半導体装置を作製する方法について説明する。

【0358】

図47は、トランジスタを含む半導体装置の構造例を示した図である。なお、図47において、図47(B)は図47(A)のa-b間の断面図に相当し、図47(C)は図47(A)のc-d間の断面図に相当する。

【0359】

図47に示す半導体装置は、基板4701上に絶縁膜4702を介して設けられた半導体膜4703a、4703bと、当該半導体膜4703a、4703b上にゲート絶縁膜4

10

20

30

40

50

704を介して設けられたゲート電極4705と、ゲート電極を覆って設けられた絶縁膜4706、4707と、半導体膜4703a、4703bのソース領域またはドレイン領域と電気的に接続し且つ絶縁膜4707上に設けられた導電膜4708とを有している。なお、図47においては、半導体膜4703aの一部をチャネル領域として用いたNチャネル型トランジスタ4710aと半導体膜4703bの一部をチャネル領域として用いたPチャネル型トランジスタ4710bとを設けた場合を示しているが、この構成に限られない。例えば、図47では、Nチャネル型トランジスタ4710aにLDD領域を設け、Pチャネル型トランジスタ4710bにはLDD領域を設けていないが、両方に設けた構成としてもよいし両方に設けない構成とすることも可能である。

【0360】

10

なお、本実施形態では、上記基板4701、絶縁膜4702、半導体膜4703aおよび4703b、ゲート絶縁膜4704、絶縁膜4706または絶縁膜4707のうち少なくともいすれか一層に、プラズマ処理を用いて酸化または窒化を行うことにより半導体膜または絶縁膜を酸化または窒かすことによって、図47に示した半導体装置を作製する。このように、プラズマ処理を用いて半導体膜または絶縁膜を酸化または窒化することによって、当該半導体膜または絶縁膜の表面を改質し、CVD法やスパッタ法により形成した絶縁膜と比較してより緻密な絶縁膜を形成することができるため、ピンホール等の欠陥を抑制し半導体装置の特性等を向上させることが可能となる。

【0361】

20

なお、本実施形態では、上記図47における半導体膜4703aおよび4703bまたはゲート絶縁膜4704にプラズマ処理を行い、当該半導体膜4703aおよび4703bまたはゲート絶縁膜4704を酸化または窒化することによって半導体装置を作製する方法について図面を参照して説明する。

【0362】

はじめに、基板上に設けられた島状の半導体膜において、当該島状の半導体膜の端部を直角に近い形状で設ける場合について示す。

【0363】

30

まず、基板4701上に島状の半導体膜4703a、4703bを形成する（図48（A-1）、（A-2））。島状の半導体膜4703a、4703bは、基板4701上にあらかじめ形成された絶縁膜4702上にスパッタ法、LPCVD法、プラズマCVD法等を用いてシリコン（Si）を主成分とする材料（例えば Si_xGe_{1-x} 等）等を用いて非晶質半導体膜を形成し、当該非晶質半導体膜を結晶化させ、半導体膜を選択的にエッチングすることにより設けることができる。なお、非晶質半導体膜の結晶化は、レーザ結晶化法、RTA又はファーネスアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法またはこれら方法を組み合わせた方法等の結晶化法により行うことができる。なお、図48では、島状の半導体膜4703a、4703bの端部を直角に近い形状（=85~100°）で設ける。

【0364】

40

次に、プラズマ処理を行い半導体膜4703a、4703bを酸化または窒化することによって、当該半導体膜4703a、4703bの表面にそれぞれ酸化膜または窒化膜4721a、4721b（以下、絶縁膜4721a、絶縁膜4721bとも記す）を形成する（図48（B-1）、（B-2））。例えば、半導体膜4703a、4703bとしてSiを用いた場合、絶縁膜4721aおよび絶縁膜4721bとして、酸化珪素または窒化珪素が形成される。また、プラズマ処理により半導体膜4703a、4703bを酸化させた後に、再度プラズマ処理を行うことによって窒化させてもよい。この場合、半導体膜4703a、4703bに接して酸化珪素が形成され、当該酸化珪素の表面に窒化酸化珪素（ SiN_xO_y ）（ $x > y$ ）が形成される。なお、プラズマ処理により半導体膜を酸化する場合には、酸素雰囲気下（例えば、酸素（O₂）と希ガス（He、Ne、Ar、Kr、Xeの少なくとも一つを含む）雰囲気下または酸素と水素（H₂）と希ガス雰囲気下または一酸化二窒素と希ガス雰囲気下）でプラズマ処理を行う。一方、プラズマ処理により

50

半導体膜を窒化する場合には、窒素雰囲気下（例えば、窒素（N₂）と希ガス（He、Ne、Ar、Kr、Xeの少なくとも一つを含む）雰囲気下または窒素と水素と希ガス雰囲気下またはNH₃と希ガス雰囲気下）でプラズマ処理を行う。希ガスとしては、例えばArを用いることができる。また、ArとKrを混合したガスを用いてもよい。そのため、絶縁膜4721a、4721bは、プラズマ処理に用いた希ガス（He、Ne、Ar、Kr、Xeの少なくとも一つを含む）を含んでおり、Arを用いた場合には絶縁膜4721a、4721bにArが含まれている。

【0365】

また、プラズマ処理は、上記ガスの雰囲気中において、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{13} \text{ cm}^{-3}$ 以下であり、プラズマの電子温度が0.5eV以上1.5eV以下で行う。プラズマの電子密度が高密度であり、基板4701上に形成された被処理物（ここでは、半導体膜4703a、4703b）付近での電子温度が低いため、被処理物に対するプラズマによる損傷を防止することができる。また、プラズマの電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上と高密度であるため、プラズマ処理を用いて、被照射物を酸化または窒化することによって形成される酸化物または窒化膜は、CVD法やスパッタ法等により形成された膜と比較して膜厚等が均一性に優れ、且つ緻密な膜を形成することができる。また、プラズマの電子温度が1eV以下と低いため、従来のプラズマ処理や熱酸化法と比較して低温度で酸化または窒化処理を行うことができる。たとえば、ガラス基板の歪点温度よりも100度以上低い温度でプラズマ処理を行っても十分に酸化または窒化処理を行うことができる。なお、プラズマを形成するための周波数としては、マイクロ波（2.45GHz）等の高周波を用いることができる。なお、以下に特に断らない場合は、プラズマ処理として上記条件を用いて行うものとする。

【0366】

次に、絶縁膜4721a、4721bを覆うようにゲート絶縁膜4704を形成する（図48（C-1）、（C-2））。ゲート絶縁膜4704は、スパッタ法、LPCVD法、プラズマCVD法等を用いて、酸化珪素、窒化珪素、酸化窒化珪素（SiO_xN_y）（x>y）、窒化酸化珪素（SiN_xO_y）（x>y）等の酸素または窒素を有する絶縁膜の単層構造、またはこれらの積層構造で設けることができる。例えば、半導体膜4703a、4703bとしてSiを用い、プラズマ処理により当該Siを酸化させることによって当該半導体膜4703a、4703b表面に絶縁膜4721a、4721bとして酸化珪素を形成した場合、当該絶縁膜4721a、4721b上にゲート絶縁膜として酸化珪素（SiO_x）を形成する。また、上記図48（B-1）、（B-2）において、プラズマ処理により半導体膜4703a、4703bを酸化または窒化することによって形成された絶縁膜4721a、4721bの膜厚が十分である場合には、当該絶縁膜4721a、4721bをゲート絶縁膜として用いることも可能である。

【0367】

次に、ゲート絶縁膜4704上にゲート電極4705等を形成することによって、島状の半導体膜4703a、4703bをチャネル領域として用いたNチャネル型トランジスタ4710a、Pチャネル型トランジスタ4710bを有する半導体装置を作製することができる（図48（D-1）、（D-2））。

【0368】

このように、半導体膜4703a、4703b上にゲート絶縁膜4704を設ける前に、プラズマ処理により半導体膜4703a、4703bの表面を酸化または窒化することによって、チャネル領域の端部4751a、4751b等におけるゲート絶縁膜4704の被覆不良に起因するゲート電極と半導体膜のショート等を防止することができる。つまり、島状の半導体膜の端部が直角に近い形状（θ = 85~100°）を有する場合には、CVD法やスパッタ法等により半導体膜を覆うようにゲート絶縁膜を形成した際に、半導体膜の端部においてゲート絶縁膜の段切れ等による被覆不良の問題が生じる恐れがあるが、あらかじめ半導体膜の表面にプラズマ処理を用いて酸化または窒化しておくことによって、半導体膜の端部におけるゲート絶縁膜の被覆不良等を防止することが可能となる。

10

20

30

40

50

【0369】

また、上記図48において、ゲート絶縁膜4704を形成した後にプラズマ処理を行うことによって、ゲート絶縁膜4704を酸化または窒化させてもよい。この場合、半導体膜4703a、4703bを覆うように形成されたゲート絶縁膜4704(図49(A-1)、(A-2))にプラズマ処理を行い、ゲート絶縁膜4704を酸化または窒化することによって、ゲート絶縁膜4704の表面に酸化膜または窒化膜4805(以下、絶縁膜4805とも記す)を形成する(図49(B-1)、(B-2))。プラズマ処理の条件は、上記図48(B-1)、(B-2)と同様に行うことができる。また、絶縁膜4805は、プラズマ処理に用いた希ガスを含んでおり、例えばArを用いた場合には絶縁膜4805にArが含まれている。

10

【0370】

また、図49(B-1)、(B-2)において、一旦酸素雰囲気下でプラズマ処理を行うことによりゲート絶縁膜4704を酸化させた後に、再度窒素雰囲気下でプラズマ処理を行うことにより窒化させてもよい。この場合、半導体膜4703a、4703b型に酸化珪素または酸化窒化珪素(SiO_xN_y)(x>y)が形成され、ゲート電極4705に接して窒化酸化珪素(SiN_xO_y)(x>y)が形成される。その後、絶縁膜4805上にゲート電極4705等を形成することによって、島状の半導体膜4703a、4703bをチャネル領域として用いたNチャネル型トランジスタ4710a、Pチャネル型トランジスタ4710bを有する半導体装置を作製することができる(図49(C-1)、(C-2))。このように、ゲート絶縁膜にプラズマ処理を行うことにより、当該ゲート絶縁膜の表面を酸化または窒化することによって、ゲート絶縁膜の表面を改質し緻密な膜を形成することができる。プラズマ処理を行うことによって得られた絶縁膜は、CVD法やスパッタ法で形成された絶縁膜と比較して緻密でピンホール等の欠陥も少ないため、トランジスタの特性を向上させることができる。

20

【0371】

なお、図49においては、あらかじめ半導体膜4703a、4703bにプラズマ処理を行うことによって、当該半導体膜4703a、4703bの表面を酸化または窒化させた場合を示したが、半導体膜4703a、4703bにプラズマ処理を行わずにゲート絶縁膜4704を形成した後にプラズマ処理を行う方法を用いてもよい。このように、ゲート電極を形成する前にプラズマ処理を行うことによって、半導体膜の端部においてゲート絶縁膜の段切れ等による被覆不良が生じた場合であっても、被覆不良により露出した半導体膜を酸化または窒化することができるため、半導体膜の端部におけるゲート絶縁膜の被覆不良に起因するゲート電極と半導体膜のショート等を防止することができる。

30

【0372】

このように、島状の半導体膜の端部を直角に近い形状で設けた場合であっても、半導体膜またはゲート絶縁膜にプラズマ処理を行い、当該半導体膜またはゲート絶縁膜を酸化または窒化することによって、半導体膜の端部におけるゲート絶縁膜の被覆不良に起因するゲート電極と半導体膜のショート等を防止することができる。

【0373】

次に、基板上に設けられた島状の半導体膜において、当該島状の半導体膜の端部をテーパー形状(θ=30°～85°)で設ける場合について示す。

40

【0374】

まず、基板4701上に島状の半導体膜4703a、4703bを形成する(図50(A-1)、(A-2))。島状の半導体膜4703a、4703bは、基板4701上にあらかじめ形成された絶縁膜4702上にスパッタ法、LPCVD法、プラズマCVD法等を用いてシリコン(Si)を主成分とする材料(例えばSi_xGe_{1-x}等)等を用いて非晶質半導体膜を形成し、当該非晶質半導体膜をレーザ結晶化法、RTA又はファーネスアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法などの結晶化法により結晶化させ、選択的に半導体膜をエッチングして除去することにより設けることができる。なお、図50では、島状の半導体膜の端部をテーパー形状(θ=30°～85°)で設けることができる。

50

5°)で設ける。

【0375】

次に、半導体膜4703a、4703bを覆うようにゲート絶縁膜4704を形成する(図50(B-1)、(B-2))。ゲート絶縁膜4704は、スパッタ法、LPCVD法、プラズマCVD法等を用いて、酸化珪素、窒化珪素、酸化窒化珪素(SiO_xN_y)($x > y$)、窒化酸化珪素(SiN_xO_y)($x > y$)等の酸素または窒素を有する絶縁膜の単層構造、またはこれらの積層構造で設けることができる。

【0376】

次に、プラズマ処理を行いゲート絶縁膜4704を酸化または窒化することによって、当該ゲート絶縁膜4704の表面にそれぞれ酸化膜または窒化膜4724(以下、絶縁膜4724とも記す)を形成する(図50(C-1)、(C-2))。なお、プラズマ処理の条件は上記と同様に行うことができる。例えば、ゲート絶縁膜4704として酸化珪素または酸化窒化珪素(SiO_xN_y)($x > y$)を用いた場合、酸素雰囲気下でプラズマ処理を行いゲート絶縁膜4704を酸化することによって、ゲート絶縁膜の表面にはCVD法やスパッタ法等により形成されたゲート絶縁膜と比較してピンホール等の欠陥の少ない緻密な膜を形成することができる。一方、窒素雰囲気下でプラズマ処理を行いゲート絶縁膜4704を窒化することによって、ゲート絶縁膜4704の表面に絶縁膜4724として窒化酸化珪素(SiN_xO_y)($x > y$)を設けることができる。また、一旦酸素雰囲気下でプラズマ処理を行うことによりゲート絶縁膜4704を酸化させた後に、再度窒素雰囲気下でプラズマ処理を行うことにより窒化させてもよい。また、絶縁膜4724は、プラズマ処理に用いた希ガスを含んでおり、例えばArを用いた場合には絶縁膜4724中にArが含まれている。

【0377】

次に、ゲート絶縁膜4704上にゲート電極4705等を形成することによって、島状の半導体膜4703a、4703bをチャネル領域として用いたNチャネル型トランジスタ4710a、Pチャネル型トランジスタ4710bを有する半導体装置を作製することができる(図50(D-1)、(D-2))。

【0378】

このように、ゲート絶縁膜にプラズマ処理を行うことにより、ゲート絶縁膜の表面に酸化膜または窒化膜からなる絶縁膜を設け、ゲート絶縁膜の表面の改質をすることができる。プラズマ処理を行うことによって酸化または窒化された絶縁膜は、CVD法やスパッタ法で形成されたゲート絶縁膜と比較して緻密でピンホール等の欠陥も少ないため、トランジスタの特性を向上させることができる。また、半導体膜の端部をテーパー形状とすることによって、半導体膜の端部におけるゲート絶縁膜の被覆不良に起因するゲート電極と半導体膜のショート等を抑制することができるが、ゲート絶縁膜を形成した後にプラズマ処理を行うことによって、より一層ゲート電極と半導体膜のショート等を防止することができる。

【0379】

次に、図50とは、異なる半導体装置の作製方法に関して図面を参照して説明する。具体的には、テーパー形状を有する半導体膜の端部に選択的にプラズマ処理を行う場合について示す。

【0380】

まず、基板4701上に島状の半導体膜4703a、4703bを形成する(図51(A-1)、(A-2))。島状の半導体膜4703a、4703bは、基板4701上にあらかじめ形成された絶縁膜4702上にスパッタ法、LPCVD法、プラズマCVD法等を用いてシリコン(Si)を主成分とする材料(例えば $\text{Si}_x\text{Ge}_{1-x}$ 等)等を用いて非晶質半導体膜を形成し、当該非晶質半導体膜を結晶化させ、レジスト4725a、4725bをマスクとして半導体膜を選択的にエッチングすることにより設けることができる。なお、非晶質半導体膜の結晶化は、レーザ結晶化法、RTA又はファーネスアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法またはこれら方法を

10

20

30

40

50

組み合わせた方法等の結晶化法により行うことができる。

【0381】

次に、半導体膜のエッティングのために使用したレジスト4725a、4725bを除去する前に、プラズマ処理を行い島状の半導体膜4703a、4703bの端部を選択的に酸化または窒化することによって、当該半導体膜4703a、4703bの端部にそれぞれ酸化膜または窒化膜4726（以下、絶縁膜4726とも記す）を形成する（図51（B-1）、（B-2））。プラズマ処理は、上述した条件下で行う。また、絶縁膜4726は、プラズマ処理に用いた希ガスを含んでいる。

【0382】

次に、半導体膜4703a、4703bを覆うようにゲート絶縁膜4704を形成する（図51（C-1）、（C-2））。ゲート絶縁膜4704は、上記と同様に設けることができる。

【0383】

次に、ゲート絶縁膜4704上にゲート電極4705等を形成することによって、島状の半導体膜4703a、4703bをチャネル領域として用いたNチャネル型トランジスタ4710a、Pチャネル型トランジスタ4710bを有する半導体装置を作製することができる（図51（D-1）、（D-2））。

【0384】

半導体膜4703a、4703bの端部をテーパー形状に設けた場合、半導体膜4703a、4703bの一部に形成されるチャネル領域の端部4752a、4752bもテーパー形状となり半導体膜の膜厚やゲート絶縁膜の膜厚が中央部分と比較して変化するため、トランジスタの特性に影響を及ぼす場合がある。そのため、ここではプラズマ処理によりチャネル領域の端部を選択的に酸化または窒化して、当該チャネル領域の端部となる半導体膜に絶縁膜を形成することによって、チャネル領域の端部に起因するトランジスタへの影響を低減することができる。

【0385】

なお、図51では、半導体膜4703a、4703bの端部に限ってプラズマ処理により酸化または窒化を行った例を示したが、もちろん上記図50で示したようにゲート絶縁膜4704にもプラズマ処理を行って酸化または窒化させることも可能である（図53（A-1）、（A-2））。

【0386】

次に、上記とは異なる半導体装置の作製方法に関して図面を参照して説明する。具体的には、テーパー形状を有する半導体膜にプラズマ処理を行う場合に関して示す。

【0387】

まず、基板4701上に上記と同様に島状の半導体膜4703a、4703bを形成する（図52（A-1）、（A-2））。

【0388】

次に、プラズマ処理を行い半導体膜4703a、4703bを酸化または窒化することによって、当該半導体膜4703a、4703bの表面にそれぞれ酸化膜または窒化膜4727a、4727b（以下、絶縁膜4727a、絶縁膜4727bとも記す）を形成する（図52（B-1）、（B-2））。プラズマ処理は上述した条件下で同様に行うことができる。例えば、半導体膜4703a、4703bとしてSiを用いた場合、絶縁膜4727aおよび絶縁膜4727bとして、酸化珪素（SiO_x）または窒化珪素（SiN_x）が形成される。また、プラズマ処理により半導体膜4703a、4703bを酸化させた後に、再度プラズマ処理を行うことによって窒化させてもよい。この場合、半導体膜4703a、4703bに接して酸化珪素または酸化窒化珪素（SiO_xN_y）（x > y）が形成され、当該酸化珪素の表面に窒化酸化珪素（SiN_xO_y）（x > y）が形成される。そのため、絶縁膜4727a、4727bは、プラズマ処理に用いた希ガスを含んでいる。なお、プラズマ処理を行うことにより半導体膜4703a、4703bの端部も同時に酸化または窒化される。

10

20

30

40

50

【0389】

次に、絶縁膜4727a、4727bを覆うようにゲート絶縁膜4704を形成する（図52（C-1）、（C-2））。ゲート絶縁膜4704は、スパッタ法、LPCVD法、プラズマCVD法等を用いて、酸化珪素、窒化珪素、酸化窒化珪素（ SiO_xN_y ）（ $x > y$ ）、窒化酸化珪素（ SiN_xO_y ）（ $x > y$ ）等の酸素または窒素を有する絶縁膜の単層構造、またはこれらの積層構造で設けることができる。例えば、半導体膜4703a、4703bとしてSiを用いてプラズマ処理により酸化させることによって、当該半導体膜4703a、4703b表面に絶縁膜4727a、4727bとして酸化珪素を形成した場合、当該絶縁膜4727a、4727b上にゲート絶縁膜として酸化珪素を形成する。

10

【0390】

次に、ゲート絶縁膜4704上にゲート電極4705等を形成することによって、島状の半導体膜4703a、4703bをチャネル領域として用いたNチャネル型トランジスタ4710a、Pチャネル型トランジスタ4710bを有する半導体装置を作製することができる（図52（D-1）、（D-2））。

20

【0391】

半導体膜の端部をテーパー形状に設けた場合、半導体膜の一部に形成されるチャネル領域の端部4753a、4753bもテーパー形状となるため、半導体素子の特性に影響を及ぼす場合がある。そのため、プラズマ処理により半導体膜を酸化または窒化することによって、結果的にチャネル領域の端部も酸化または窒化されるため半導体素子への影響を低減することができる。

20

【0392】

なお、図52では、半導体膜4703a、4703bに限ってプラズマ処理により酸化または窒化を行った例を示したが、もちろん上記図50で示したようにゲート絶縁膜4704にプラズマ処理を行って酸化または窒化させることも可能である（図53（B-1）、（B-2））。この場合、一旦酸素雰囲気下でプラズマ処理を行うことによりゲート絶縁膜4704を酸化させた後に、再度窒素雰囲気下でプラズマ処理を行うことにより窒化させてもよい。この場合、半導体膜4703a、4703b型に酸化珪素または酸化窒化珪素（ SiO_xN_y ）（ $x > y$ ）が形成され、ゲート電極4705に接して窒化酸化珪素（ SiN_xO_y ）（ $x > y$ ）が形成される。

30

【0393】

このように、プラズマ処理を行い半導体膜またはゲート絶縁膜を酸化または窒化して表面を改質することにより、緻密で膜質のよい絶縁膜を形成することができる。その結果、絶縁膜を薄く形成する場合であってもピンホール等の欠陥を防止し、トランジスタ等の半導体素子の微細化および高性能化を実現することができる。

30

【0394】

なお、本実施形態では、上記図47における半導体膜4703aおよび4703bまたはゲート絶縁膜4704にプラズマ処理を行い、当該半導体膜4703aおよび4703bまたはゲート絶縁膜4704を酸化または窒化を行ったが、プラズマ処理を用いて酸化または窒化を行う層は、これに限定されない。例えば、基板4701または絶縁膜4702にプラズマ処理を行ってもよいし、絶縁膜4706または絶縁膜4707にプラズマ処理を行ってもよい。

40

【0395】

なお、本実施の形態で述べた内容は、実施の形態1～実施の形態6で述べた内容と自由に組み合わせて実施することができる。

【0396】

（実施の形態8）

本実施形態では、実施の形態1から実施の形態5まで述べた駆動方法を制御するハードウェアについて述べる。

【0397】

50

大まかな構成図を図54に示す。基板6251の上に、画素部6254、信号線駆動回路6256や走査線駆動回路6255が配置されている。それ以外にも、電源回路やプリチャージ回路やタイミング生成回路などが配置されてもよい。なお、信号線駆動回路6256や走査線駆動回路6255が配置されていなくてもよい。その場合、基板6251に配置されていないものを、ICに形成してもよい。そのICは、基板6251の上に、COG(Chip On Glass)によって配置されてもよい。あるいは、周辺回路基板6252と基板6251とを接続する接続基板6257の上に、ICが配置されてもよい。

【0398】

周辺回路基板6252には、信号6253が入力される。そして、コントローラ6258が制御して、メモリ6259、6250などに信号が保存される。信号6253がアナログ信号の場合は、アナログ・デジタル変換を行った後、そして、メモリ6259、6250などに保存されることが多い。そして、コントローラ6258がメモリ6259、6250などに保存された信号を用いて、基板6251に信号を出力する。

【0399】

実施の形態1～実施の形態5で述べた駆動方法を実現するために、コントローラ6258が、サブフレームの出現順序などを制御して、基板6251に信号を出力する。

【0400】

なお、本実施形態で述べた内容は、実施の形態1～実施の形態7で述べた内容と自由に組み合わせて実施することができる。

【0401】

(実施の形態9)

本実施形態では、本発明の表示装置を用いたELモジュール及びELテレビ受像機の構成例について説明する。

【0402】

図55は表示パネル6301と、回路基板6302を組み合わせたELモジュールを示している。表示パネル6301は画素部6303、走査線駆動回路6304及び信号線駆動回路6305を有している。回路基板6302には、例えば、コントロール回路6306や信号分割回路6307などが形成されている。表示パネル6301と回路基板6302は接続配線6308によって接続されている。接続配線にはFPC等を用いることができる。

【0403】

コントロール回路6306が、実施の形態8における、コントローラ6208やメモリ6209、6210などに相当する。主に、コントロール回路6306において、サブフレームの出現順序などを制御している。

【0404】

表示パネル6301は、画素部と一部の周辺駆動回路（複数の駆動回路のうち動作周波数の低い駆動回路）を基板上にトランジスタを用いて一体形成し、一部の周辺駆動回路（複数の駆動回路のうち動作周波数の高い駆動回路）をICチップ上に形成し、そのICチップをCOG(Chip On Glass)などで表示パネル6301に実装するとよい。あるいは、そのICチップをTAB(Tape Automated Bonding)やプリント基板を用いて表示パネル6301に実装してもよい。

【0405】

また、走査線や信号線に設定する信号をバッファによりインピーダンス変換することで、1行毎の画素の書き込み時間を短くすることができる。よって高精細な表示装置を提供することができる。

【0406】

また、さらに消費電力の低減を図るため、ガラス基板上にトランジスタを用いて画素部を形成し、全ての信号線駆動回路をICチップ上に形成し、そのICチップをCOG(Chip On Glass)表示パネルに実装してもよい。

10

20

30

40

50

【0407】

例えば、表示パネルの画面全体をいくつかの領域に分割し、各々の領域に一部もしくは全ての周辺駆動回路（信号線駆動回路、走査線駆動回路など）を形成したICチップを配置し、COG（Chip On Glass）などで表示パネルに実装してもよい。この場合の表示パネルの構成を図56に示す。

【0408】

図56では、画面全体を4つの領域に分割し、8個のICチップを用いて駆動させる例である。表示パネルの構成は、基板6410、画素部6411、FPC6412a～6412h、ICチップ6413a～6413hを有する。8個のICチップのうち、6413a～6413dには信号線駆動回路を形成しており、6413e～6413hには走査線駆動回路を形成している。そして、任意のICチップを駆動させることにより、4つの画面領域のうち任意の画面領域のみを駆動させることができると、4つの画面領域のうち、左上の領域のみを駆動させることができる。このようにすることにより、消費電力を低減させることができる。

【0409】

また、別の構成を有している表示パネルの例を図57に示す。図57の表示パネルは基板6520上に、サブ画素6530a、6530bで構成される画素6538が複数配列された画素部6521、走査線6533a、6533bの信号を制御する走査線駆動回路6522、信号線6531の信号を制御する信号線駆動回路6523を有している。また、各サブ画素6530a、6530bに含まれる発光素子6537a、6537bの輝度変化を補正するためのモニタ回路6524が設けられていてもよい。発光素子6537a、6537bとモニタ回路6524に含まれる発光素子は同じ構造を有している。発光素子6537a、6537bの構造は一対の電極間にエレクトロルミネセンスを発現する材料を含む層を挟んだ形となっている。

【0410】

基板6520の周辺部には、走査線駆動回路6522に外部回路から信号を入力する入力端子6525、信号線駆動回路6523に外部回路から信号を入力する入力端子6526、モニタ回路6524に信号を入力する入力端子6529を有している。

【0411】

各サブ画素6530a、6530bには、信号線6531に接続するトランジスタ6534a、6534bと、電源線6532と発光素子6537a、6537bとの間に直列に挿入されて接続するトランジスタ6535a、6535bを含んでいる。トランジスタ6534a、6534bのゲートはそれぞれ走査線6533a、6533bと接続し、走査信号で選択されたとき、信号線6531の信号を各サブ画素6530a、6530bに入力する。入力された信号はトランジスタ6535a、6535bのゲートに与えられ、また、保持容量部6536a、6536bを充電する。この信号に応じて、電源線6532と発光素子6537a、6537bは導通状態となり、発光素子6537a、6537bが発光する。

【0412】

各サブ画素6530a、6530bに設けた発光素子6537a、6537bを発光させためには外部回路から電力を供給する必要がある。画素部6521に設けられる電源線6532は、入力端子6527で外部回路と接続される。電源線6532は引き回す配線の長さにより抵抗損失が生じるので、入力端子6527は基板6520の周辺部に複数箇所設けることが好ましい。入力端子6527は基板6520の両端部に設け、画素部6521の面内で輝度ムラが目立たないように配置されている。すなわち、画面の中で片側が明るく、反対側が暗くなってしまうことを防いでいる。また、一対の電極を備えた発光素子6537a、6537bの、電源線6532と接続する電極とは反対側の電極は、複数の画素6538で共有する共通電極として形成されるが、この電極の抵抗損失を低くするために、端子6528を複数個備えている。

10

20

30

40

50

【0413】

このような表示パネルは、電源線がCuなどの低抵抗材料で形成されているので、特に画面サイズが大型化したときに有効である。例えば、画面サイズが13インチクラスの場合対角線の長さは340mmであるが、60インチクラスの場合には1500mm以上となる。このような場合には、配線抵抗を無視することが出来ないので、Cuなどの低抵抗材料を配線として用いることが好ましい。また、配線遅延を考慮すると、同様にして信号線や走査線を形成してもよい。

【0414】

上記のようなパネル構成を備えたELモジュールにより、ELテレビ受像機を完成させることができる。図58は、ELテレビ受像機の主要な構成を示すブロック図である。チューナ6601は映像信号と音声信号を受信する。映像信号は、映像信号增幅回路6602と、そこから出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路6603と、その映像信号を駆動回路の入力仕様に変換するためのコントロール回路6306により処理される。コントロール回路6306は、走査線側と信号線側にそれぞれ信号が出力する。デジタル駆動する場合には、信号線側に信号分割回路6307を設け、入力デジタル信号をM個に分割して供給する構成としてもよい。

【0415】

チューナ6601で受信した信号のうち、音声信号は音声信号增幅回路6604に送られ、その出力は音声信号処理回路6605を経てスピーカー6606に供給される。制御回路6607は受信局（受信周波数）や音量の制御情報を入力部6608から受け、チューナ6601や音声信号処理回路6605に信号を送出する。

【0416】

ELモジュールを筐体に組みこんで、テレビ受像機を完成させることができる。ELモジュールにより、表示部が形成される。また、スピーカー、ビデオ入力端子などが適宜備えられている。

【0417】

勿論、本発明はテレビ受像機に限定されず、パーソナルコンピュータのモニタをはじめ、鉄道の駅や空港などにおける情報表示盤や、街頭における広告表示盤など特に大面積の表示媒体として様々な用途に適用することができる。

【0418】

このように、本発明の表示装置、およびその駆動法を用いることにより、擬似輪郭の低減された、綺麗な画像を見ることが出来る。よって、人間の肌のように、階調が微妙に変化するような画像であっても、綺麗に表示出来るようになる。

【0419】

なお、本実施形態で述べた内容は、実施の形態1～実施の形態8で述べた内容と自由に組み合わせて実施することができる。

【0420】

(実施の形態10)

本発明の表示装置を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機、電子書籍等）、記憶媒体を備えた画像再生装置（具体的にはDigital Versatile Disc（DVD）等の記憶媒体を再生し、その画像を表示しうるディスプレイを備えた装置）等が挙げられる。それらの電子機器の具体例を図59に示す。

【0421】

図59(A)は発光装置であり、筐体6701、支持台6702、表示部6703、スピーカー部6704、ビデオ入力端子6705等を含む。本発明は、表示部6703を構成する表示装置に用いることができ、本発明により、擬似輪郭の低減された、綺麗な画像を見ることができるようになる。発光装置は自発光型であるためバックライトが必要なく、

液晶ディスプレイよりも薄い表示部とすることができる。なお、発光装置は、パソコン用、コンピュータ用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

【0422】

図59(B)はデジタルスチルカメラであり、本体6706、表示部6707、受像部6708、操作キー6709、外部接続ポート6710、シャッター6711等を含む。本発明は、表示部6707を構成する表示装置に用いることができ、本発明により、擬似輪郭の低減された、綺麗な画像を見るようになる。

【0423】

図59(C)はノート型パソコンコンピュータであり、本体6712、筐体6713、表示部6714、キーボード6715、外部接続ポート6716、ポインティングマウス6717等を含む。本発明は、表示部6714を構成する表示装置に用いることができ、本発明により、擬似輪郭の低減された、綺麗な画像を見るようになる。

【0424】

図59(D)はモバイルコンピュータであり、本体6718、表示部6719、スイッチ6720、操作キー6721、赤外線ポート6722等を含む。本発明は、表示部6719を構成する表示装置に用いることができ、本発明により、擬似輪郭の低減された、綺麗な画像を見るようになる。

【0425】

図59(E)は記録媒体を備えた携帯型の画像再生装置(具体的にはDVD再生装置)であり、本体6723、筐体6724、表示部A6725、表示部B6726、記憶媒体(DVD等)読み込み部6727、操作キー6728、スピーカー部6729等を含む。表示部A6725は主に画像情報を表示し、表示部Bは主に文字情報を表示する。本発明は、表示部A、B6725、6726を構成する表示装置に用いることができ、本発明により、擬似輪郭の低減された、綺麗な画像を見るようになる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【0426】

図59(F)はゴーグル型ディスプレイ(ヘッドマウントディスプレイ)であり、本体6730、表示部6731、アーム部6732等を含む。本発明は、表示部6731を構成する表示装置に用いることができ、本発明により、擬似輪郭の低減された、綺麗な画像を見るようになる。

【0427】

図59(G)はビデオカメラであり、本体6733、表示部6734、筐体6735、外部接続ポート6736、リモコン受信部6737、受像部6738、バッテリー6739、音声入力部6740、操作キー6741等を含む。本発明は、表示部6734を構成する表示装置に用いることができ、本発明により、擬似輪郭の低減された、綺麗な画像を見るようになる。

【0428】

図59(H)は携帯電話であり、本体6742、筐体6743、表示部6744、音声入力部6745、音声出力部6746、操作キー6747、外部接続ポート6748、アンテナ6749等を含む。本発明は、表示部6744を構成する表示装置に用いることができる。なお、表示部6744は黒色の背景に白色の文字を表示することで携帯電話の消費電流を抑えることができる。また本発明により、擬似輪郭の低減された、綺麗な画像を見るようになる。

【0429】

なお、発光輝度が高い発光材料を用いれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型もしくはリア型のプロジェクターに用いることも可能となる。

【0430】

また、上記電子機器はインターネットやCATV(ケーブルテレビ)などの電子通信回線を通じて配信された情報を表示するが多くなり、特に動画情報を表示する機会が増し

10

20

30

40

50

てきている。発光材料の応答速度は非常に高いため、発光装置は動画表示に好ましい。

【0431】

また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるよう情報表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【0432】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施の形態の電子機器は、実施の形態1～実施の形態9に示したいずれの構成の表示装置を用いてもよい。

10

【図面の簡単な説明】

【0433】

【図1】本発明の駆動方式によるサブフレーム及びサブ画素の選択方法の一例を示す図。

【図2】本発明の駆動方式において、擬似輪郭が低減する効果を示す図。

【図3】本発明の駆動方式によるサブフレーム及びサブ画素の選択方法の一例を示す図。

【図4】本発明の駆動方式において、擬似輪郭が低減する効果を示す図。

【図5】本発明の駆動方式によるサブフレーム及びサブ画素の選択方法の一例を示す図。

【図6】本発明の駆動方式において、擬似輪郭が低減する効果を示す図。

【図7】本発明の駆動方式によるサブフレーム及びサブ画素の選択方法の一例を示す図。

【図8】本発明の駆動方式において、擬似輪郭が低減する効果を示す図。

【図9】本発明の駆動方式によるサブフレーム及びサブ画素の選択方法の一例を示す図。

【図10】本発明の駆動方式において、擬似輪郭が低減する効果を示す図。

【図11】本発明の駆動方式によるサブフレーム及びサブ画素の選択方法の一例を示す図

。

【図12】本発明の駆動方式において、擬似輪郭が低減する効果を示す図。

【図13】本発明の駆動方式によるサブフレーム及びサブ画素の選択方法の一例を示す図

。

【図14】本発明の駆動方式において、擬似輪郭が低減する効果を示す図。

【図15】本発明の駆動方式によるサブフレーム及びサブ画素の選択方法の一例を示す図

。

【図16】本発明の駆動方式において、擬似輪郭が低減する効果を示す図。

【図17】本発明の駆動方式によるサブフレーム及びサブ画素の選択方法の一例を示す図

。

【図18】本発明の駆動方式によるサブフレーム及びサブ画素の選択方法の一例を示す図

。

【図19】本発明の駆動方式によるサブフレーム及びサブ画素の選択方法の一例を示す図

。

【図20】本発明の駆動方式によるサブフレーム及びサブ画素の選択方法の一例を示す図

。

【図21】本発明の駆動方式でガンマ補正を行った場合のサブフレーム及びサブ画素の選択方法の一例を示す図。

【図22】本発明の駆動方式でガンマ補正を行った場合の階調と輝度の関係を示す図。

【図23】本発明の駆動方式でガンマ補正を行った場合のサブフレーム及びサブ画素の選択方法の一例を示す図。

【図24】本発明の駆動方式でガンマ補正を行った場合の階調と輝度の関係を示す図。

【図25】画素の信号を書き込む期間と点灯期間が分離されている場合のタイミングチャートの一例を示す図。

【図26】画素の信号を書き込む期間と点灯期間が分離されている場合の画素構成の一例を示す図。

【図27】画素の信号を書き込む期間と点灯期間が分離されている場合の画素構成の一例

20

30

40

50

を示す図。

【図 2 8】画素の信号を書き込む期間と点灯期間が分離されている場合の画素構成の一例を示す図。

【図 2 9】画素の信号を書き込む期間と点灯期間が分離されていない場合のタイミングチャートの一例を示す図。

【図 3 0】画素の信号を書き込む期間と点灯期間が分離されていない場合の画素構成の一例を示す図。

【図 3 1】1 ゲート選択期間中に 2 行分選択するためのタイミングチャートの一例を示す図。

【図 3 2】画素の信号を消去する動作を行う場合のタイミングチャートの一例を示す図。 10

【図 3 3】画素の信号を消去する動作を行う場合の画素構成の一例を示す図。

【図 3 4】画素の信号を消去する動作を行う場合の画素構成の一例を示す図。

【図 3 5】画素の信号を消去する動作を行う場合の画素構成の一例を示す図。

【図 3 6】本発明の駆動方式を用いた表示装置の画素部レイアウトの一例を示す図。

【図 3 7】本発明の駆動方式を用いた表示装置の画素部レイアウトの一例を示す図。

【図 3 8】本発明の駆動方式を用いた表示装置の画素部レイアウトの一例を示す図。

【図 3 9】本発明の駆動方式を用いた表示装置の画素部レイアウトの一例を示す図。

【図 4 0】本発明の駆動方式を用いた表示装置の画素部レイアウトの一例を示す図。

【図 4 1】本発明の駆動方式を用いた表示装置の一例を示す図。

【図 4 2】本発明の駆動方式を用いた表示装置の一例を示す図。 20

【図 4 3】本発明の駆動方式を用いた表示装置の一例を示す図。

【図 4 4】本発明の表示装置の構成の一例を示す図。

【図 4 5】本発明の表示装置の構成の一例を示す図。

【図 4 6】本発明の表示装置の構成の一例を示す図。

【図 4 7】本発明の表示装置に用いるトランジスタの構造を示す図。

【図 4 8】本発明の表示装置に用いるトランジスタの製造方法を説明する図。

【図 4 9】本発明の表示装置に用いるトランジスタの製造方法を説明する図。

【図 5 0】本発明の表示装置に用いるトランジスタの製造方法を説明する図。

【図 5 1】本発明の表示装置に用いるトランジスタの製造方法を説明する図。

【図 5 2】本発明の表示装置に用いるトランジスタの製造方法を説明する図。 30

【図 5 3】本発明の表示装置に用いるトランジスタの製造方法を説明する図。

【図 5 4】本発明の駆動方式を制御するハードウェアの一例を示す図。

【図 5 5】本発明の駆動方式を用いた E L モジュールの一例を示す図。

【図 5 6】本発明の駆動方式を用いた表示パネルの構成例を示す図。

【図 5 7】本発明の駆動方式を用いた表示パネルの構成例を示す図。

【図 5 8】本発明の駆動方式を用いた E L テレビ受像機の一例を示す図。

【図 5 9】本発明の駆動方式が適用される電子機器の一例を示す図。

【図 6 0】従来の駆動方式において、擬似輪郭が発生する状態を示す図。

【図 6 1】従来の駆動方式において、擬似輪郭が発生する状態を示す図。

【図 6 2】本発明の表示装置に用いる表示パネルの構成の一例を示す図。 40

【図 6 3】本発明の表示装置に用いる発光素子の構成の一例を示す図。

【図 6 4】本発明の表示装置の構成の一例を示す図。

【図 6 5】本発明の表示装置の構成の一例を示す図。

【図 6 6】本発明の表示装置の構成の一例を示す図。

【図 6 7】本発明の表示装置の構成の一例を示す図。

【図 6 8】本発明の表示装置の構成の一例を示す図。

【符号の説明】

【 0 4 3 4 】

2 6 1 1 選択トランジスタ

2 6 1 2 保持容量

2 6 1 3	駆動トランジスタ	
2 6 1 4	発光素子	
2 6 1 5	信号線	
2 6 1 6	電源線	
2 6 1 7	走査線	
2 6 1 8	電源線	
2 6 2 1	選択トランジスタ	
2 6 2 2	保持容量	10
2 6 2 3	駆動トランジスタ	
2 6 2 4	発光素子	
2 6 2 7	走査線	
2 6 2 8	電源線	
2 7 1 1	選択トランジスタ	
2 7 1 2	保持容量	
2 7 1 3	駆動トランジスタ	
2 7 1 4	発光素子	
2 7 1 5	信号線	
2 7 1 6	電源線	
2 7 1 7	走査線	
2 7 1 8	電源線	
2 7 2 1	選択トランジスタ	20
2 7 2 2	保持容量	
2 7 2 3	駆動トランジスタ	
2 7 2 4	発光素子	
2 7 2 5	信号線	
2 7 2 8	電源線	
2 8 1 1	選択トランジスタ	
2 8 1 2	保持容量	
2 8 1 3	駆動トランジスタ	
2 8 1 4	発光素子	30
2 8 1 5	信号線	
2 8 1 6	電源線	
2 8 1 7	走査線	
2 8 1 8	電源線	
2 8 2 1	選択トランジスタ	
2 8 2 2	保持容量	
2 8 2 3	駆動トランジスタ	
2 8 2 4	発光素子	
2 8 2 7	走査線	
2 8 2 8	電源線	40
2 8 3 6	電源線	
3 0 1 1	選択トランジスタ	
3 0 1 2	保持容量	
3 0 1 3	駆動トランジスタ	
3 0 1 4	発光素子	
3 0 1 5	信号線	
3 0 1 6	電源線	
3 0 1 7	走査線	
3 0 1 8	電源線	
3 0 2 1	選択トランジスタ	50

3 0 2 2	保持容量	
3 0 2 3	駆動トランジスタ	
3 0 2 4	発光素子	
3 0 2 5	信号線	
3 0 2 7	走査線	
3 0 2 8	電源線	
3 0 3 1	選択トランジスタ	10
3 0 3 7	走査線	
3 0 4 1	選択トランジスタ	
3 0 4 7	走査線	
3 3 1 1	選択トランジスタ	
3 3 1 2	保持容量	
3 3 1 3	駆動トランジスタ	
3 3 1 4	発光素子	
3 3 1 5	信号線	
3 3 1 6	電源線	
3 3 1 7	走査線	
3 3 1 8	電源線	
3 3 1 9	消去トランジスタ	
3 3 2 1	選択トランジスタ	20
3 3 2 2	保持容量	
3 3 2 3	駆動トランジスタ	
3 3 2 4	発光素子	
3 3 2 7	走査線	
3 3 2 8	電源線	
3 3 2 9	消去トランジスタ	
3 3 3 7	走査線	
3 3 4 7	走査線	
3 4 1 1	選択トランジスタ	30
3 4 1 2	保持容量	
3 4 1 3	駆動トランジスタ	
3 4 1 4	発光素子	
3 4 1 5	信号線	
3 4 1 6	電源線	
3 4 1 7	走査線	
3 4 1 8	電源線	
3 4 1 9	消去ダイオード	
3 4 2 1	選択トランジスタ	
3 4 2 2	保持容量	
3 4 2 3	駆動トランジスタ	40
3 4 2 4	発光素子	
3 4 2 7	走査線	
3 4 2 8	電源線	
3 4 2 9	消去ダイオード	
3 4 3 7	走査線	
3 4 4 7	走査線	
3 5 1 9	トランジスタ	
3 6 0 5	信号線	
3 6 0 6	電源線	
3 6 0 7	走査線	50

3 6 1 1	選択トランジスタ	
3 6 1 2	保持容量	
3 6 1 3	駆動トランジスタ	
3 6 1 4	電極	
3 6 1 5	信号線	
3 6 1 6	電源線	
3 6 1 7	走査線	
3 7 1 1	選択トランジスタ	10
3 7 1 2	保持容量	
3 7 1 3	駆動トランジスタ	
3 7 1 4	電極	
3 7 1 5	信号線	
3 7 1 6	電源線	
3 7 1 7	走査線	
3 8 1 3	駆動トランジスタ	
3 9 1 5	信号線	
3 9 1 6	電源線	
3 9 1 7	走査線	
4 0 1 5	信号線	
4 0 1 6	電源線	20
4 0 1 7	走査線	
4 0 2 7	走査線	
4 0 3 7	走査線	
4 1 0 1	画素部	
4 1 0 2	走査線駆動回路	
4 1 0 3	走査線駆動回路	
4 1 0 4	信号線駆動回路	
4 1 0 5	シフトレジスタ	
4 1 0 6	增幅回路	
4 1 0 7	シフトレジスタ	30
4 1 1 0	增幅回路	
4 1 1 1	走査線	
4 1 2 1	ビデオ信号線	
4 1 1 2	走査線	
4 1 2 2	ラッチ制御線	
4 1 1 3	信号線	
4 2 0 1	画素部	
4 2 0 2	走査線駆動回路	
4 2 0 3	走査線駆動回路	
4 2 0 4	走査線駆動回路	40
4 2 0 5	走査線駆動回路	
4 2 0 6	信号線駆動回路	
4 2 0 7	走査線	
4 2 0 8	走査線	
4 2 0 9	走査線	
4 2 1 0	走査線	
4 2 1 1	信号線	
4 3 0 1	画素部	
4 3 0 2	走査線駆動回路	
4 3 0 3	走査線駆動回路	50

4 3 0 4	信号線駆動回路	
4 3 0 5	信号線駆動回路	
4 3 0 6	走査線	
4 3 0 7	走査線	
4 3 0 8	信号線	
4 3 0 9	信号線	
6 0 1	基板	
6 0 2	下地膜	
6 0 3	チャネル形成領域	
6 0 4	LDD領域	10
6 0 5	不純物領域	
6 0 6	チャネル形成領域	
6 0 7	LDD領域	
6 0 8	不純物領域	
6 0 9	ゲート絶縁膜	
6 1 0	ゲート電極	
6 1 1	上部電極	
6 1 2	層間絶縁膜	
6 1 3	配線	
6 1 4	画素電極	20
6 1 5	絶縁物	
6 1 6	層	
6 1 7	対向電極	
6 1 8	駆動用トランジスタ	
6 1 9	容量素子	
6 2 0	発光素子	
6 2 1	領域	
6 2 2	上部電極	
6 2 3	容量素子	
7 0 1	基板	30
7 0 2	下地膜	
7 0 3	チャネル形成領域	
7 0 4	LDD領域	
7 0 5	不純物領域	
7 0 7	ゲート電極	
7 0 8	電極	
7 0 9	層間絶縁膜	
7 1 0	配線	
7 1 1	電極	
7 1 2	層間絶縁膜	40
7 1 3	画素電極	
7 1 4	電極	
7 1 6	層	
7 1 7	対向電極	
7 1 8	駆動用トランジスタ	
7 1 9	容量素子	
7 2 0	発光素子	
8 0 1	基板	
8 0 2	下地膜	
8 0 3	ゲート電極	50

8 0 4	電極	
8 0 5	ゲート絶縁膜	
8 0 6	チャネル形成領域	
8 0 7	LDD領域	
8 0 8	不純物領域	
8 0 9	チャネル形成領域	
8 1 0	LDD領域	10
8 1 1	不純物領域	
8 1 2	層間絶縁膜	
8 1 3	配線	
8 1 4	電極	
8 1 5	開口部	
8 1 6	層間絶縁膜	
8 1 7	画素電極	
8 1 8	絶縁物	
8 1 9	層	
8 2 0	対向電極	
8 2 1	発光素子	
8 2 2	駆動用トランジスタ	
8 2 3	容量素子	20
8 2 4	電極	
8 2 5	容量素子	
4 4 0 1	基板	
4 4 0 2	下地膜	
4 4 0 3	画素電極	
4 4 0 4	電極	
4 4 0 5	配線	
4 4 0 6	配線	
4 4 0 7	N型半導体層	
4 4 0 8	N型半導体層	30
4 4 0 9	半導体層	
4 4 1 0	ゲート絶縁膜	
4 4 1 1	絶縁膜	
4 4 1 2	ゲート電極	
4 4 1 3	電極	
4 4 1 4	層間絶縁膜	
4 4 1 5	層	
4 4 1 6	対向電極	
4 4 1 7	発光素子	
4 4 1 8	駆動用トランジスタ	40
4 4 1 9	容量素子	
4 4 2 0	電極	
4 5 0 1	基板	
4 5 0 2	下地膜	
4 5 0 3	ゲート電極	
4 5 0 4	電極	
4 5 0 5	ゲート絶縁膜	
4 5 0 6	半導体層	
4 5 0 7	半導体層	
4 5 0 8	N型半導体層	50

4 5 1 0	N型半導体層	
4 5 1 1	配線	
4 5 1 3	導電層	
4 5 1 4	画素電極	
4 5 1 5	絶縁物	
4 5 1 6	層	
4 5 1 7	対向電極	
4 5 1 8	発光素子	
4 5 1 9	駆動用トランジスタ	
4 5 2 0	容量素子	10
4 5 2 1	電極	
4 5 2 2	容量素子	
4 6 0 1	絶縁物	
4 7 0 1	基板	
4 7 0 1	記基板	
4 7 0 2	絶縁膜	
4 7 0 4	ゲート絶縁膜	
4 7 0 5	ゲート電極	
4 7 0 6	絶縁膜	
4 7 0 7	絶縁膜	20
4 7 0 8	導電膜	
4 7 2 4	窒化膜	
4 7 2 4	絶縁膜	
4 7 2 6	窒化膜	
4 7 2 6	絶縁膜	
4 8 0 5	窒化膜	
4 8 0 5	絶縁膜	
6 2 0 8	コントローラ	
6 2 0 9	メモリ	
6 2 5 1	基板	30
6 2 5 2	周辺回路基板	
6 2 5 3	信号	
6 2 5 4	画素部	
6 2 5 5	走査線駆動回路	
6 2 5 6	信号線駆動回路	
6 2 5 7	接続基板	
6 2 5 8	コントローラ	
6 2 5 9	メモリ	
6 3 0 1	表示パネル	
6 3 0 2	回路基板	40
6 3 0 3	画素部	
6 3 0 4	走査線駆動回路	
6 3 0 5	信号線駆動回路	
6 3 0 6	コントロール回路	
6 3 0 7	信号分割回路	
6 3 0 8	接続配線	
6 4 1 0	基板	
6 4 1 1	画素部	
6 5 2 0	基板	
6 5 2 1	画素部	50

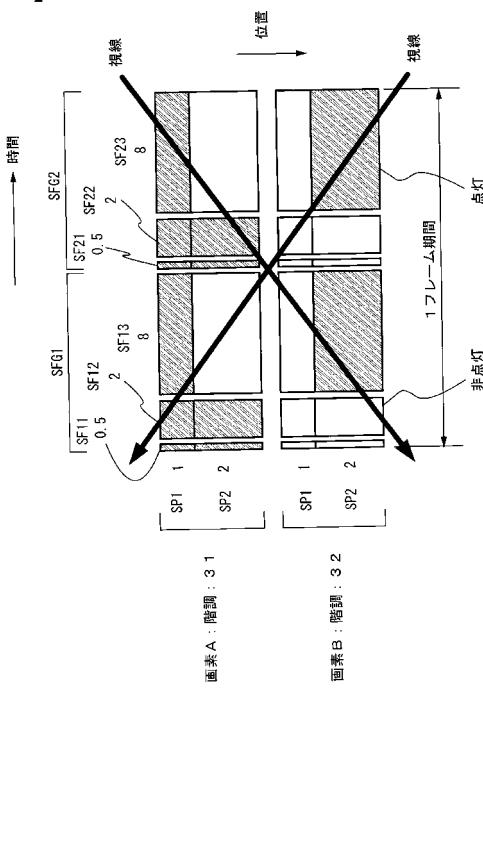
6 5 2 2	走査線駆動回路	
6 5 2 3	信号線駆動回路	
6 5 2 4	モニタ回路	
6 5 2 5	入力端子	
6 5 2 6	入力端子	
6 5 2 7	入力端子	
6 5 2 8	端子	
6 5 2 9	入力端子	
6 5 3 1	信号線	
6 5 3 2	電源線	10
6 5 3 8	画素	
6 6 0 1	チューナ	
6 6 0 2	映像信号增幅回路	
6 6 0 3	映像信号処理回路	
6 6 0 4	音声信号增幅回路	
6 6 0 5	音声信号処理回路	
6 6 0 6	スピーカー	
6 6 0 7	制御回路	
6 6 0 8	入力部	
6 7 0 1	筐体	20
6 7 0 2	下地膜	
6 7 0 2	支持台	
6 7 0 3	表示部	
6 7 0 4	スピーカー部	
6 7 0 5	ビデオ入力端子	
6 7 0 6	ゲート絶縁膜	
6 7 0 7	表示部	
6 7 0 8	受像部	
6 7 0 9	操作キー	
6 7 1 0	外部接続ポート	30
6 7 1 1	シャッター	
6 7 1 2	本体	
6 7 1 3	筐体	
6 7 1 4	表示部	
6 7 1 5	キー ボード	
6 7 1 6	外部接続ポート	
6 7 1 7	ポインティングマウス	
6 7 1 8	本体	
6 7 1 9	表示部	
6 7 2 0	スイッチ	40
6 7 2 1	操作キー	
6 7 2 2	赤外線ポート	
6 7 2 3	本体	
6 7 2 4	筐体	
6 7 2 5	表示部 A	
6 7 2 6	表示部 B	
6 7 2 7	部	
6 7 2 8	操作キー	
6 7 2 9	スピーカー部	
6 7 3 0	本体	50

6 7 3 1	表示部	
6 7 3 2	アーム部	
6 7 3 3	本体	
6 7 3 4	表示部	
6 7 3 5	筐体	
6 7 3 6	外部接続ポート	
6 7 3 7	リモコン受信部	
6 7 3 8	受像部	
6 7 3 9	バッテリー	
6 7 4 0	音声入力部	10
6 7 4 1	操作キー	
6 7 4 2	本体	
6 7 4 3	筐体	
6 7 4 4	表示部	
6 7 4 5	音声入力部	
6 7 4 6	音声出力部	
6 7 4 7	操作キー	
6 7 4 8	外部接続ポート	
6 7 4 9	アンテナ	
4 7 0 3 a	半導体膜	20
4 7 0 3 b	半導体膜	
4 7 1 0 a	Nチャネル型トランジスタ	
4 7 1 0 b	Pチャネル型トランジスタ	
4 7 2 1 a	窒化膜	
4 7 2 1 a	絶縁膜	
4 7 2 1 b	絶縁膜	
4 7 2 5 a	レジスト	
4 7 2 7 a	窒化膜	
4 7 2 7 a	絶縁膜	
4 7 2 7 b	絶縁膜	30
4 7 5 1 a	端部	
4 7 5 2 a	端部	
4 7 5 3 a	端部	
6 4 1 2 a	FPC	
6 4 1 3 a	ICチップ	
6 5 3 0 a	サブ画素	
6 5 3 3 a	走査線	
6 5 3 4 a	トランジスタ	
6 5 3 5 a	トランジスタ	
6 5 3 6 a	保持容量部	
6 5 3 7 a	発光素子	40
7 3 0 1	基板	
7 3 0 2	陽極	
7 3 0 3	正孔注入層	
7 3 0 4	正孔輸送層	
7 3 0 5	発光層	
7 3 0 6	電子輸送層	
7 3 0 7	電子注入層	
7 3 0 8	陰極	

【図1】

サブフレーム群		SFG1				SFG2			
サブフレーム	点灯期間	SF11	SF12	SF13	SF14	SF21	SF22	SF23	SF24
SP1	SP2	SP1	SP2	SP1	SP2	SP1	SP2	SP1	SP2
面積	発光強度	0.5	1	2	4	8	16	0.5	1
0	0.5	○	×	×	×	×	×	○	○
1	1	○	○	○	○	○	○	○	○
2	2	○	○	○	○	○	○	○	○
3	1	○	○	○	○	○	○	○	○
4	2	○	○	○	○	○	○	○	○
5	1	○	○	○	○	○	○	○	○
6	2	○	○	○	○	○	○	○	○
7	1	○	○	○	○	○	○	○	○
8	2	○	○	○	○	○	○	○	○
9	1	○	○	○	○	○	○	○	○
10	2	○	○	○	○	○	○	○	○
11	1	○	○	○	○	○	○	○	○
12	2	○	○	○	○	○	○	○	○
13	1	○	○	○	○	○	○	○	○
14	2	○	○	○	○	○	○	○	○
15	1	○	○	○	○	○	○	○	○
16	2	○	○	○	○	○	○	○	○
17	1	○	○	○	○	○	○	○	○
18	2	○	○	○	○	○	○	○	○
19	1	○	○	○	○	○	○	○	○
20	2	○	○	○	○	○	○	○	○
21	1	○	○	○	○	○	○	○	○
22	2	○	○	○	○	○	○	○	○
23	1	○	○	○	○	○	○	○	○
24	2	○	○	○	○	○	○	○	○
25	1	○	○	○	○	○	○	○	○
26	2	○	○	○	○	○	○	○	○
27	1	○	○	○	○	○	○	○	○
28	2	○	○	○	○	○	○	○	○
29	1	○	○	○	○	○	○	○	○
30	2	○	○	○	○	○	○	○	○
31	1	○	○	○	○	○	○	○	○
32	2	○	○	○	○	○	○	○	○
33	1	○	○	○	○	○	○	○	○
34	2	○	○	○	○	○	○	○	○
35	1	○	○	○	○	○	○	○	○
36	2	○	○	○	○	○	○	○	○
37	1	○	○	○	○	○	○	○	○
38	2	○	○	○	○	○	○	○	○
39	1	○	○	○	○	○	○	○	○
40	2	○	○	○	○	○	○	○	○
41	1	○	○	○	○	○	○	○	○
42	2	○	○	○	○	○	○	○	○
43	1	○	○	○	○	○	○	○	○
44	2	○	○	○	○	○	○	○	○
45	1	○	○	○	○	○	○	○	○
46	2	○	○	○	○	○	○	○	○
47	1	○	○	○	○	○	○	○	○
48	2	○	○	○	○	○	○	○	○
49	1	○	○	○	○	○	○	○	○
50	2	○	○	○	○	○	○	○	○
51	1	○	○	○	○	○	○	○	○
52	2	○	○	○	○	○	○	○	○
53	1	○	○	○	○	○	○	○	○
54	2	○	○	○	○	○	○	○	○
55	1	○	○	○	○	○	○	○	○
56	2	○	○	○	○	○	○	○	○
57	1	○	○	○	○	○	○	○	○
58	2	○	○	○	○	○	○	○	○
59	1	○	○	○	○	○	○	○	○
60	2	○	○	○	○	○	○	○	○
61	1	○	○	○	○	○	○	○	○
62	2	○	○	○	○	○	○	○	○
63	1	○	○	○	○	○	○	○	○

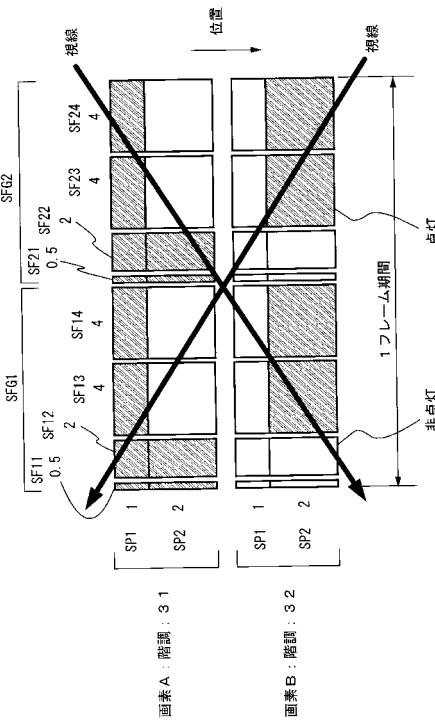
【図2】



【図3】

サブフレーム群		SFG1				SFG2			
サブフレーム	点灯期間	SF11	SF12	SF13	SF14	SF21	SF22	SF23	SF24
SP1	SP2	SP1	SP2	SP1	SP2	SP1	SP2	SP1	SP2
面積	発光強度	0.5	1	2	4	8	16	0.5	1
0	0.5	○	×	×	×	×	×	○	○
1	1	○	○	○	○	○	○	○	○
2	2	○	○	○	○	○	○	○	○
3	1	○	○	○	○	○	○	○	○
4	2	○	○	○	○	○	○	○	○
5	1	○	○	○	○	○	○	○	○
6	2	○	○	○	○	○	○	○	○
7	1	○	○	○	○	○	○	○	○
8	2	○	○	○	○	○	○	○	○
9	1	○	○	○	○	○	○	○	○
10	2	○	○	○	○	○	○	○	○
11	1	○	○	○	○	○	○	○	○
12	2	○	○	○	○	○	○	○	○
13	1	○	○	○	○	○	○	○	○
14	2	○	○	○	○	○	○	○	○
15	1	○	○	○	○	○	○	○	○
16	2	○	○	○	○	○	○	○	○
17	1	○	○	○	○	○	○	○	○
18	2	○	○	○	○	○	○	○	○
19	1	○	○	○	○	○	○	○	○
20	2	○	○	○	○	○	○	○	○
21	1	○	○	○	○	○	○	○	○
22	2	○	○	○	○	○	○	○	○
23	1	○	○	○	○	○	○	○	○
24	2	○	○	○	○	○	○	○	○
25	1	○	○	○	○	○	○	○	○
26	2	○	○	○	○	○	○	○	○
27	1	○	○	○	○	○	○	○	○
28	2	○	○	○	○	○	○	○	○
29	1	○	○	○	○	○	○	○	○
30	2	○	○	○	○	○	○	○	○
31	1	○	○	○	○	○	○	○	○
32	2	○	○	○	○	○	○	○	○
33	1	○	○	○	○	○	○	○	○
34	2	○	○	○	○	○	○	○	○
35	1	○	○	○	○	○	○	○	○
36	2	○	○	○	○	○	○	○	○
37	1	○	○	○	○	○	○	○	○
38	2	○	○	○	○	○	○	○	○
39	1	○	○	○	○	○	○	○	○
40	2	○	○	○	○	○	○	○	○
41	1	○	○	○	○	○	○	○	○
42	2	○	○	○	○	○	○	○	○
43	1	○	○	○	○	○	○	○	○
44	2	○	○	○	○	○	○	○	○
45	1	○	○	○	○	○	○	○	○
46	2	○	○	○	○	○	○	○	○
47	1	○	○	○	○	○	○	○	○
48	2	○	○	○	○	○	○	○	○
49	1	○	○	○	○	○	○	○	○
50	2	○	○	○	○	○	○	○	○
51	1	○	○	○	○	○	○	○	○
52	2	○	○	○	○	○	○	○	○
53	1	○	○	○	○	○	○	○	○
54	2	○	○	○	○	○	○	○	○
55	1	○	○	○	○	○	○	○	○
56	2	○	○	○	○	○	○	○	○
57	1	○	○	○	○	○	○	○	○
58	2	○	○	○	○	○	○	○	○
59	1	○	○	○	○	○	○	○	○
60	2	○	○	○	○	○	○	○	○
61	1	○	○	○	○	○	○	○	○
62	2	○	○	○	○	○	○	○	○
63	1	○	○	○	○	○	○	○	○

【図4】



【図5】

サブフレーム群		SFG1				SFG2			
サブフレーム	点灯期間	SF11	SF12	SF13	SF14	SF21	SF22	SF23	SF24
SP1	SP2	SP1	SP2	SP1	SP2	SP1	SP2	SP1	SP2
1	2	1	2	1	2	1	2	1	2
0.5	1	2	4	4	4	8	4	8	4
1	2	4	4	4	4	8	4	8	4
2	4	4	4	4	4	8	4	8	4
3	4	4	4	4	4	8	4	8	4
4	4	4	4	4	4	8	4	8	4
5	4	4	4	4	4	8	4	8	4
6	4	4	4	4	4	8	4	8	4
7	4	4	4	4	4	8	4	8	4
8	4	4	4	4	4	8	4	8	4
9	4	4	4	4	4	8	4	8	4
10	4	4	4	4	4	8	4	8	4
11	4	4	4	4	4	8	4	8	4
12	4	4	4	4	4	8	4	8	4
13	4	4	4	4	4	8	4	8	4
14	4	4	4	4	4	8	4	8	4
15	4	4	4	4	4	8	4	8	4
16	4	4	4	4	4	8	4	8	4
17	4	4	4	4	4	8	4	8	4
18	4	4	4	4	4	8	4	8	4
19	4	4	4	4	4	8	4	8	4
20	4	4	4	4	4	8	4	8	4
21	4	4	4	4	4	8	4	8	4
22	4	4	4	4	4	8	4	8	4
23	4	4	4	4	4	8	4	8	4
24	4	4	4	4	4	8	4	8	4
25	4	4	4	4	4	8	4	8	4
26	4	4	4	4	4	8	4	8	4
27	4	4	4	4	4	8	4	8	4
28	4	4	4	4	4	8	4	8	4
29	4	4	4	4	4	8	4	8	4
30	4	4	4	4	4	8	4	8	4
31	4	4	4	4	4	8	4	8	4
32	4	4	4	4	4	8	4	8	4
33	4	4	4	4	4	8	4	8	4
34	4	4	4	4	4	8	4	8	4
35	4	4	4	4	4	8	4	8	4
36	4	4	4	4	4	8	4	8	4
37	4	4	4	4	4	8	4	8	4
38	4	4	4	4	4	8	4	8	4
39	4	4	4	4	4	8	4	8	4
40	4	4	4	4	4	8	4	8	4
41	4	4	4	4	4	8	4	8	4
42	4	4	4	4	4	8	4	8	4
43	4	4	4	4	4	8	4	8	4
44	4	4	4	4	4	8	4	8	4
45	4	4	4	4	4	8	4	8	4
46	4	4	4	4	4	8	4	8	4
47	4	4	4	4	4	8	4	8	4
48	4	4	4	4	4	8	4	8	4
49	4	4	4	4	4	8	4	8	4
50	4	4	4	4	4	8	4	8	4
51	4	4	4	4	4	8	4	8	4
52	4	4	4	4	4	8	4	8	4
53	4	4	4	4	4	8	4	8	4
54	4	4	4	4	4	8	4	8	4
55	4	4	4	4	4	8	4	8	4
56	4	4	4	4	4	8	4	8	4
57	4	4	4	4	4	8	4	8	4
58	4	4	4	4	4	8	4	8	4
59	4	4	4	4	4	8	4	8	4
60	4	4	4	4	4	8	4	8	4
61	4	4	4	4	4	8	4	8	4
62	4	4	4	4	4	8	4	8	4
63	4	4	4	4	4	8	4	8	4
64	4	4	4	4	4	8	4	8	4
65	4	4	4	4	4	8	4	8	4
66	4	4	4	4	4	8	4	8	4
67	4	4	4	4	4	8	4	8	4
68	4	4	4	4	4	8	4	8	4
69	4	4	4	4	4	8	4	8	4
70	4	4	4	4	4	8	4	8	4
71	4	4	4	4	4	8	4	8	4
72	4	4	4	4	4	8	4	8	4
73	4	4	4	4	4	8	4	8	4
74	4	4	4	4	4	8	4	8	4
75	4	4	4	4	4	8	4	8	4
76	4	4	4	4	4	8	4	8	4
77	4	4	4	4	4	8	4	8	4
78	4	4	4	4	4	8	4	8	4
79	4	4	4	4	4	8	4	8	4
80	4	4	4	4	4	8	4	8	4
81	4	4	4	4	4	8	4	8	4
82	4	4	4	4	4	8	4	8	4
83	4	4	4	4	4	8	4	8	4
84	4	4	4	4	4	8	4	8	4
85	4	4	4	4	4	8	4	8	4
86	4	4	4	4	4	8	4	8	4
87	4	4	4	4	4	8	4	8	4
88	4	4	4	4	4	8	4	8	4
89	4	4	4	4	4	8	4	8	4
90	4	4	4	4	4	8	4	8	4
91	4	4	4	4	4	8	4	8	4
92	4	4	4	4	4	8	4	8	4
93	4	4	4	4	4	8	4	8	4
94	4	4	4	4	4	8	4	8	4
95	4	4	4	4	4	8	4	8	4
96	4	4	4	4	4	8	4	8	4
97	4	4	4	4	4	8	4	8	4
98	4	4	4	4	4	8	4	8	4
99	4	4	4	4	4	8	4	8	4
100	4	4	4	4	4	8	4	8	4
101	4	4	4	4	4	8	4	8	4
102	4	4	4	4	4	8	4	8	4
103	4	4	4	4	4	8	4	8	4
104	4	4	4	4	4	8	4	8	4
105	4	4	4	4	4	8	4	8	4
106	4	4	4	4	4	8	4	8	4
107	4	4	4	4	4	8	4	8	4
108	4	4	4	4	4	8	4	8	4
109	4	4	4	4	4	8	4	8	4
110	4	4	4	4	4	8	4	8	4
111	4	4	4	4	4	8	4	8	4
112	4	4	4	4	4	8	4	8	4
113	4	4	4	4	4	8	4	8	4
114	4	4	4	4	4	8	4	8	4
115	4	4	4	4	4	8	4	8	4
116	4	4	4	4	4	8	4	8	4
117	4	4	4	4	4	8	4	8	4
118	4	4	4	4	4	8	4	8	4
119	4	4	4	4	4	8	4	8	4
120	4	4	4	4	4	8	4	8	4
121	4	4	4	4	4	8	4	8	4
122	4	4	4	4	4	8	4	8	4
123	4	4	4	4	4	8	4	8	4
124	4	4	4	4	4	8	4	8	4
125	4	4	4	4	4	8	4	8	4
126	4	4	4	4	4	8	4	8	4
127	4	4	4	4	4	8	4	8	4
128	4	4	4	4	4	8	4	8	4
129	4	4	4	4	4	8	4	8	4
130	4	4	4	4	4	8	4	8	4
131	4	4	4	4	4	8	4	8	4
132	4	4	4	4	4	8	4	8	4
133	4	4	4	4	4	8	4	8	4
134	4	4	4	4	4	8	4	8	4
135	4	4	4	4	4	8	4	8	4
136	4	4	4	4	4	8	4	8	4
137	4	4	4	4	4	8	4	8	4
138	4	4	4	4	4	8	4	8	4
139	4	4	4	4	4	8	4	8	4
140	4	4	4	4	4	8	4	8	4
141	4	4	4	4	4	8	4	8	4
142	4	4	4	4	4	8	4	8	4
143	4	4	4	4	4	8	4	8	4
144	4	4	4	4	4	8	4	8	4
145	4	4	4	4	4	8	4	8	4
146	4	4	4	4	4	8	4	8	4
147	4	4	4	4	4	8	4	8	4
148	4	4	4	4	4	8	4	8	4
149	4	4	4	4	4	8	4	8	4
150	4	4	4	4	4	8	4	8	4
151	4	4	4	4	4	8	4	8	4
152	4	4	4	4	4	8	4	8	4
153	4	4	4	4	4	8	4	8	4
154	4	4	4	4	4	8	4	8	4
155	4	4	4	4	4	8	4	8	4
156	4	4	4	4	4	8	4	8	4
157	4	4	4	4	4	8			

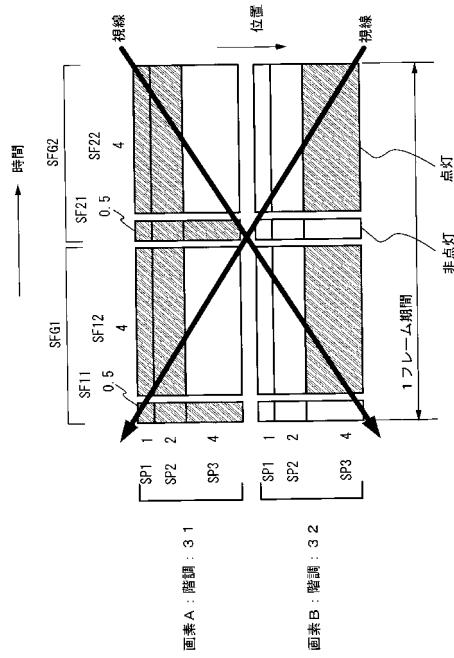
【図9】

サブフレーム群			SFG1				SFG2			
サブフレーム			SF11	SF12	SF13	SF21	SF22	SF23		
点灯期間	0.5			4		0.5	4		4	
サブ画素	SP1	SP2	SP3	SP1	SP2	SP3	SP1	SP2	SP3	
面積	1	2	4	1	2	4	1	2	4	
発光強度	0.5	1	2	4	8	16	0.5	1	2	4
時間	0	○	×	×	×	×	○	×	×	×
	1	○	○	○	○	○	○	○	○	○
	2	○	○	○	○	○	○	○	○	○
	3	○	○	○	○	○	○	○	○	○
	4	○	○	○	○	○	○	○	○	○
	5	○	○	○	○	○	○	○	○	○
	6	○	○	○	○	○	○	○	○	○
	7	○	○	○	○	○	○	○	○	○
	8	○	○	○	○	○	○	○	○	○
	9	○	○	○	○	○	○	○	○	○
	10	○	○	○	○	○	○	○	○	○
	11	○	○	○	○	○	○	○	○	○
	12	○	○	○	○	○	○	○	○	○
	13	○	○	○	○	○	○	○	○	○
	14	○	○	○	○	○	○	○	○	○
	15	○	○	○	○	○	○	○	○	○
	16	○	○	○	○	○	○	○	○	○
	17	○	○	○	○	○	○	○	○	○
	18	○	○	○	○	○	○	○	○	○
	19	○	○	○	○	○	○	○	○	○
	20	○	○	○	○	○	○	○	○	○
	21	○	○	○	○	○	○	○	○	○
	22	○	○	○	○	○	○	○	○	○
	23	○	○	○	○	○	○	○	○	○
	24	○	○	○	○	○	○	○	○	○
	25	○	○	○	○	○	○	○	○	○
	26	○	○	○	○	○	○	○	○	○
	27	○	○	○	○	○	○	○	○	○
	28	○	○	○	○	○	○	○	○	○
	29	○	○	○	○	○	○	○	○	○
	30	○	○	○	○	○	○	○	○	○
	31	○	○	○	○	○	○	○	○	○
	32	○	○	○	○	○	○	○	○	○
	33	○	○	○	○	○	○	○	○	○
	34	○	○	○	○	○	○	○	○	○
	35	○	○	○	○	○	○	○	○	○
	36	○	○	○	○	○	○	○	○	○
	37	○	○	○	○	○	○	○	○	○
	38	○	○	○	○	○	○	○	○	○
	39	○	○	○	○	○	○	○	○	○
	40	○	○	○	○	○	○	○	○	○
	41	○	○	○	○	○	○	○	○	○
	42	○	○	○	○	○	○	○	○	○
	43	○	○	○	○	○	○	○	○	○
	44	○	○	○	○	○	○	○	○	○
	45	○	○	○	○	○	○	○	○	○
	46	○	○	○	○	○	○	○	○	○
	47	○	○	○	○	○	○	○	○	○
	48	○	○	○	○	○	○	○	○	○
	49	○	○	○	○	○	○	○	○	○
	50	○	○	○	○	○	○	○	○	○
	51	○	○	○	○	○	○	○	○	○
	52	○	○	○	○	○	○	○	○	○
	53	○	○	○	○	○	○	○	○	○
	54	○	○	○	○	○	○	○	○	○
	55	○	○	○	○	○	○	○	○	○
	56	○	○	○	○	○	○	○	○	○
	57	○	○	○	○	○	○	○	○	○
	58	○	○	○	○	○	○	○	○	○
	59	○	○	○	○	○	○	○	○	○
	60	○	○	○	○	○	○	○	○	○
	61	○	○	○	○	○	○	○	○	○
	62	○	○	○	○	○	○	○	○	○
	63	○	○	○	○	○	○	○	○	○

○: 点灯

×: 非点灯

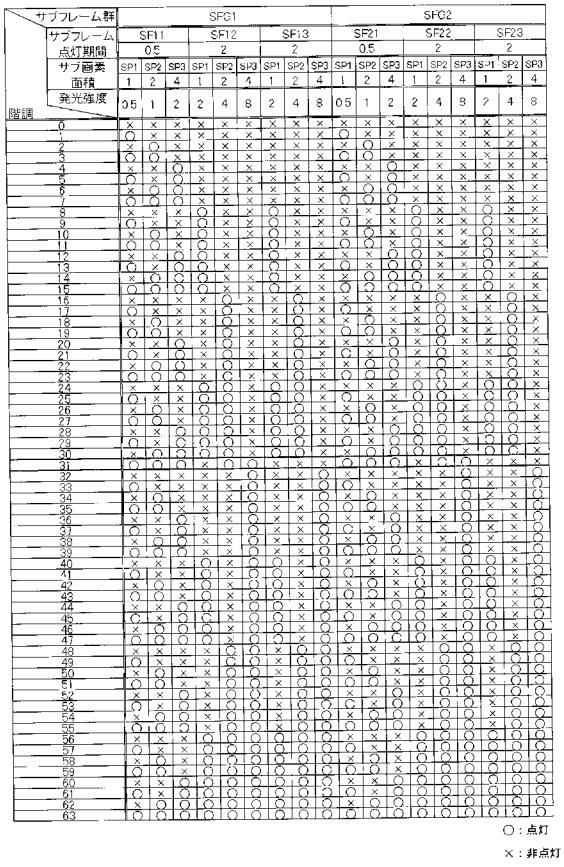
【図10】



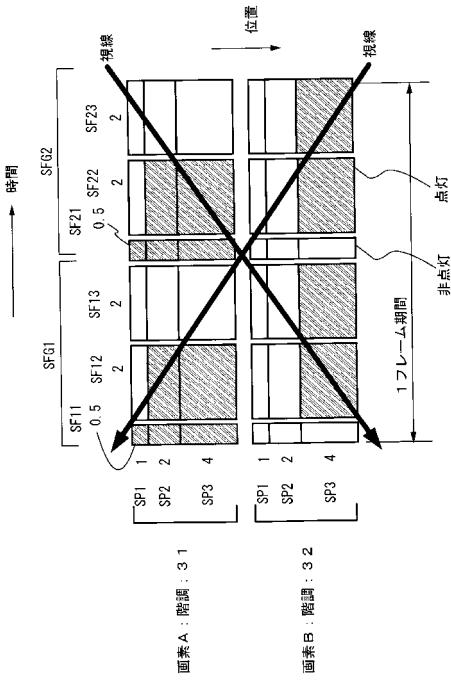
【図11】

サブフレーム群			SFG1				SFG2			
サブフレーム			SF11	SF12	SF13	SF21	SF22	SF23		
点灯期間	0.5	2	2	2	4	0.5	2	2	2	
サブ画素	SP1	SP2	SP3	SP1	SP2	SP3	SP1	SP2	SP3	
面積	1	2	4	1	2	4	1	2	4	
発光強度	0.5	1	2	4	8	16	0.5	1	2	4
時間	0	○	×	×	×	×	○	×	×	×
	1	○	○	○	○	○	○	○	○	○
	2	○	○	○	○	○	○	○	○	○
	3	○	○	○	○	○	○	○	○	○
	4	○	○	○	○	○	○	○	○	○
	5	○	○	○	○	○	○	○	○	○
	6	○	○	○	○	○	○	○	○	○
	7	○	○	○	○	○	○	○	○	○
	8	○	○	○	○	○	○	○	○	○
	9	○	○	○	○	○	○	○	○	○
	10	○	○	○	○	○	○	○	○	○
	11	○	○	○	○	○	○	○	○	○
	12	○	○	○	○	○	○	○	○	○
	13	○	○	○	○	○	○	○	○	○
	14	○	○	○	○	○	○	○	○	○
	15	○	○	○	○	○	○	○	○	○
	16	○	○	○	○	○	○	○	○	○
	17	○	○	○	○	○	○	○	○	○
	18	○	○	○	○	○	○	○	○	○
	19	○	○	○	○	○	○	○	○	○
	20	○	○	○	○	○	○	○	○	○
	21	○	○	○	○	○	○	○	○	○
	22	○	○	○	○	○	○	○	○	○
	23	○	○	○	○	○	○	○	○	○
	24	○	○	○	○	○	○	○	○	○
	25	○	○	○	○	○	○	○	○	○
	26	○	○	○	○	○	○	○	○	○
	27	○	○	○	○	○	○	○	○	○
	28	○	○	○	○	○	○	○	○	○
	29	○	○	○	○	○	○	○	○	○
	30	○	○	○	○	○	○	○	○	○
	31	○	○	○	○	○	○	○	○	○
	32	○	○	○	○	○	○	○	○	○
	33	○	○	○	○	○	○	○	○	○
	34	○	○	○	○	○	○	○	○	○
	35	○	○	○	○	○	○	○	○	○
	36	○	○	○	○	○	○	○	○	○
	37	○	○	○	○	○	○	○	○	○
	38	○	○	○	○	○	○	○	○	○
	39	○	○	○	○	○	○	○	○	○
	40	○	○	○	○	○	○	○	○	○
	41	○	○	○	○	○	○	○	○	○
	42	○	○	○	○	○	○	○	○	○
	43	○	○	○	○	○	○	○	○	○
	44	○	○	○	○	○	○	○	○	○
	45	○	○	○	○	○	○	○	○	○
	46	○	○	○	○	○	○	○	○	○
	47	○	○	○	○	○	○	○	○	○
	48	○	○	○	○	○	○	○	○	○
	49	○	○	○	○	○	○	○	○	○
	50	○	○	○	○	○	○	○	○	○
	51	○	○	○	○	○	○	○	○	○
	52	○	○	○	○	○	○	○	○	○
	53	○	○	○	○	○	○	○	○	○
	54	○	○	○	○	○	○	○	○	○
	55	○	○	○	○	○	○	○	○	○
	56	○	○	○	○	○	○	○	○	○
	57	○	○	○	○	○	○	○	○	○
	58	○	○	○	○	○	○	○	○	○
	59	○	○	○	○	○	○	○	○	○
	60	○	○	○	○	○	○	○	○	○
	61	○	○	○	○	○	○	○	○	○
	62	○	○	○	○	○				

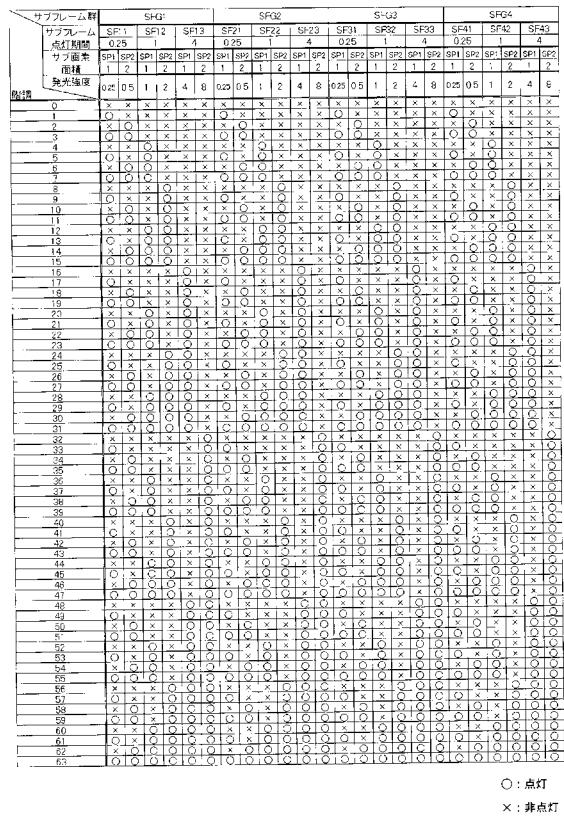
【図13】



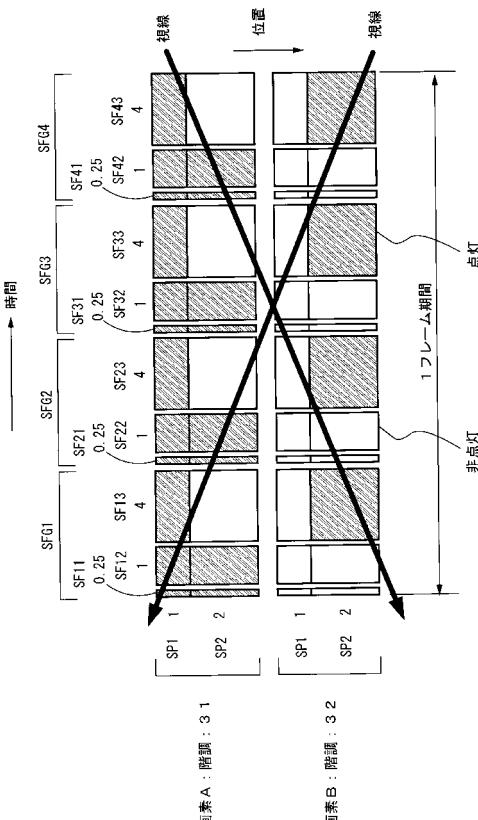
【図14】



【図15】



【図16】



【図17】

○：点灯
×：非点灯

【 図 1 8 】

サブフレーム群		SF1				SF2			
サブフレーム	点灯時間	SF11	SF12	SF13	SF14	SF21	SF22	SF23	SF24
SP1	0.5	2	8	32	0.5	2	8	32	0.5
SP2	1	2	1	2	1	2	1	2	1
SP3	1	2	1	2	1	2	1	2	1
SP4	1	2	1	2	1	2	1	2	1
SP5	1	2	1	2	1	2	1	2	1
SP6	1	2	1	2	1	2	1	2	1
SP7	1	2	1	2	1	2	1	2	1
SP8	1	2	1	2	1	2	1	2	1
SP9	1	2	1	2	1	2	1	2	1
SP10	1	2	1	2	1	2	1	2	1
SP11	1	2	1	2	1	2	1	2	1
SP12	1	2	1	2	1	2	1	2	1
SP13	1	2	1	2	1	2	1	2	1
SP14	1	2	1	2	1	2	1	2	1
SP15	1	2	1	2	1	2	1	2	1
SP16	1	2	1	2	1	2	1	2	1
SP17	1	2	1	2	1	2	1	2	1
SP18	1	2	1	2	1	2	1	2	1
SP19	1	2	1	2	1	2	1	2	1
SP20	1	2	1	2	1	2	1	2	1
SP21	1	2	1	2	1	2	1	2	1
SP22	1	2	1	2	1	2	1	2	1
SP23	1	2	1	2	1	2	1	2	1
SP24	1	2	1	2	1	2	1	2	1
SP25	1	2	1	2	1	2	1	2	1
SP26	1	2	1	2	1	2	1	2	1
SP27	1	2	1	2	1	2	1	2	1
SP28	1	2	1	2	1	2	1	2	1
SP29	1	2	1	2	1	2	1	2	1
SP30	1	2	1	2	1	2	1	2	1
SP31	1	2	1	2	1	2	1	2	1
SP32	1	2	1	2	1	2	1	2	1
SP33	1	2	1	2	1	2	1	2	1
SP34	1	2	1	2	1	2	1	2	1
SP35	1	2	1	2	1	2	1	2	1
SP36	1	2	1	2	1	2	1	2	1
SP37	1	2	1	2	1	2	1	2	1
SP38	1	2	1	2	1	2	1	2	1
SP39	1	2	1	2	1	2	1	2	1
SP40	1	2	1	2	1	2	1	2	1
SP41	1	2	1	2	1	2	1	2	1
SP42	1	2	1	2	1	2	1	2	1
SP43	1	2	1	2	1	2	1	2	1
SP44	1	2	1	2	1	2	1	2	1
SP45	1	2	1	2	1	2	1	2	1
SP46	1	2	1	2	1	2	1	2	1
SP47	1	2	1	2	1	2	1	2	1
SP48	1	2	1	2	1	2	1	2	1
SP49	1	2	1	2	1	2	1	2	1
SP50	1	2	1	2	1	2	1	2	1
SP51	1	2	1	2	1	2	1	2	1
SP52	1	2	1	2	1	2	1	2	1
SP53	1	2	1	2	1	2	1	2	1
SP54	1	2	1	2	1	2	1	2	1
SP55	1	2	1	2	1	2	1	2	1
SP56	1	2	1	2	1	2	1	2	1
SP57	1	2	1	2	1	2	1	2	1
SP58	1	2	1	2	1	2	1	2	1
SP59	1	2	1	2	1	2	1	2	1
SP60	1	2	1	2	1	2	1	2	1
SP61	1	2	1	2	1	2	1	2	1
SP62	1	2	1	2	1	2	1	2	1
SP63	1	2	1	2	1	2	1	2	1
SP64	1	2	1	2	1	2	1	2	1
SP65	1	2	1	2	1	2	1	2	1
SP66	1	2	1	2	1	2	1	2	1
SP67	1	2	1	2	1	2	1	2	1
SP68	1	2	1	2	1	2	1	2	1
SP69	1	2	1	2	1	2	1	2	1
SP70	1	2	1	2	1	2	1	2	1
SP71	1	2	1	2	1	2	1	2	1
SP72	1	2	1	2	1	2	1	2	1
SP73	1	2	1	2	1	2	1	2	1
SP74	1	2	1	2	1	2	1	2	1
SP75	1	2	1	2	1	2	1	2	1
SP76	1	2	1	2	1	2	1	2	1
SP77	1	2	1	2	1	2	1	2	1
SP78	1	2	1	2	1	2	1	2	1
SP79	1	2	1	2	1	2	1	2	1
SP80	1	2	1	2	1	2	1	2	1
SP81	1	2	1	2	1	2	1	2	1
SP82	1	2	1	2	1	2	1	2	1
SP83	1	2	1	2	1	2	1	2	1
SP84	1	2	1	2	1	2	1	2	1
SP85	1	2	1	2	1	2	1	2	1
SP86	1	2	1	2	1	2	1	2	1
SP87	1	2	1	2	1	2	1	2	1
SP88	1	2	1	2	1	2	1	2	1
SP89	1	2	1	2	1	2	1	2	1
SP90	1	2	1	2	1	2	1	2	1
SP91	1	2	1	2	1	2	1	2	1
SP92	1	2	1	2	1	2	1	2	1
SP93	1	2	1	2	1	2	1	2	1
SP94	1	2	1	2	1	2	1	2	1
SP95	1	2	1	2	1	2	1	2	1
SP96	1	2	1	2	1	2	1	2	1
SP97	1	2	1	2	1	2	1	2	1
SP98	1	2	1	2	1	2	1	2	1
SP99	1	2	1	2	1	2	1	2	1
SP100	1	2	1	2	1	2	1	2	1
SP101	1	2	1	2	1	2	1	2	1
SP102	1	2	1	2	1	2	1	2	1
SP103	1	2	1	2	1	2	1	2	1
SP104	1	2	1	2	1	2	1	2	1
SP105	1	2	1	2	1	2	1	2	1
SP106	1	2	1	2	1	2	1	2	1
SP107	1	2	1	2	1	2	1	2	1
SP108	1	2	1	2	1	2	1	2	1
SP109	1	2	1	2	1	2	1	2	1
SP110	1	2	1	2	1	2	1	2	1
SP111	1	2	1	2	1	2	1	2	1
SP112	1	2	1	2	1	2	1	2	1
SP113	1	2	1	2	1	2	1	2	1
SP114	1	2	1	2	1	2	1	2	1
SP115	1	2	1	2	1	2	1	2	1
SP116	1	2	1	2	1	2	1	2	1
SP117	1	2	1	2	1	2	1	2	1
SP118	1	2	1	2	1	2	1	2	1
SP119	1	2	1	2	1	2	1	2	1
SP120	1	2	1	2	1	2	1	2	1
SP121	1	2	1	2	1	2	1	2	1
SP122	1	2	1	2	1	2	1	2	1
SP123	1	2	1	2	1	2	1	2	1
SP124	1	2	1	2	1	2	1	2	1
SP125	1	2	1	2	1	2	1	2	1
SP126	1	2	1	2	1	2	1	2	1
SP127	1	2	1	2	1	2	1	2	1

○：点灯
×：非点灯

【 図 1 9 】

○：点灯
×：非点灯

【図20】

○：点灯

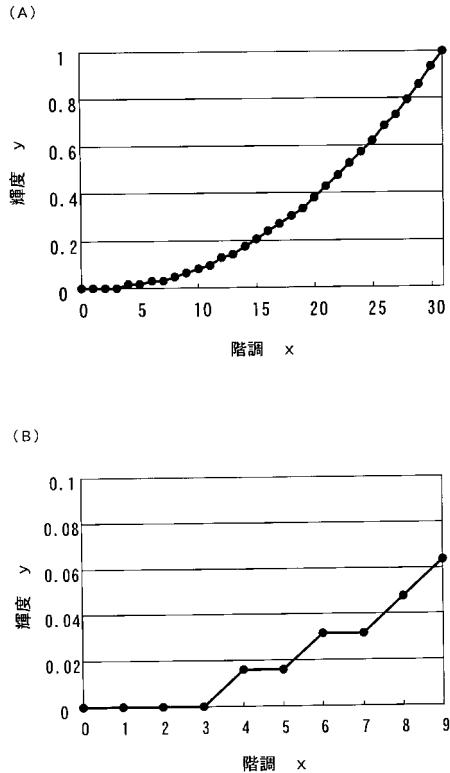
【図21】

階調	SFG1			SFG2		
	SF11	SF12	SFG13	SF21	SF22	SF23
	0.5	2	8	0.5	2	8
	SP1	SP2	SP1	SP2	SP1	SP2
面積	1	2	1	2	1	2
発光強度	0.5	1	2	4	8	16
ガンマ補正済 5ビット表示	0	0	x	x	x	x
6ビット表示	0	0	x	x	x	x
0	0	x	x	x	x	x
1	0	x	x	x	x	x
2	0	x	x	x	x	x
3	0	x	x	x	x	x
4	1	x	x	x	x	x
5	1	x	x	x	x	x
6	2	x	○	x	x	x
7	2	x	○	x	x	x
8	3	○	○	x	x	x
9	4	x	x	○	x	x
10	5	○	○	x	x	x
11	6	x	○	x	x	x
12	8	x	x	○	x	x
13	9	x	x	x	○	x
14	11	x	x	x	x	○
15	13	○	○	x	x	x
16	15	○	○	x	x	x
17	17	○	○	x	x	x
18	19	○	○	x	x	x
19	21	○	○	x	x	x
20	24	x	x	x	x	x
21	27	○	○	x	x	x
22	30	x	○	x	x	x
23	33	○	x	x	x	x
24	36	x	x	○	x	x
25	39	○	○	x	x	x
26	43	○	○	x	x	x
27	46	x	○	x	x	x
28	50	x	○	x	x	x
29	54	x	○	○	x	x
30	59	○	x	○	x	x
31	63	○	○	○	○	○

○:点灯

x:非点灯

【図22】



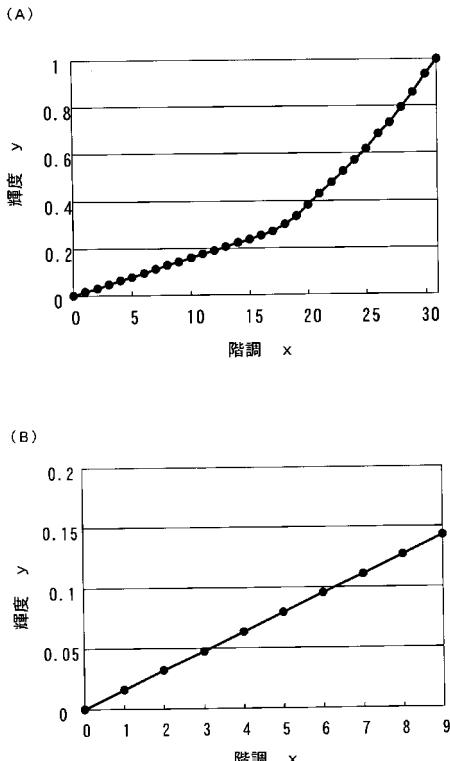
【図23】

階調	SFG1			SFG2		
	SF11	SF12	SFG13	SF21	SF22	SF23
	0.5	2	8	0.5	2	8
	SP1	SP2	SP1	SP2	SP1	SP2
面積	1	2	1	2	1	2
発光強度	0.5	1	2	4	8	16
ガンマ補正済 5ビット表示	0	0	x	x	x	x
6ビット表示	0	0	x	x	x	x
0	0	○	x	x	x	x
1	1	○	x	x	x	x
2	2	○	x	x	x	x
3	3	○	○	x	x	x
4	4	x	x	x	x	x
5	5	x	x	x	x	x
6	6	x	○	x	x	x
7	7	x	○	x	x	x
8	8	x	x	○	x	x
9	9	x	x	x	○	x
10	10	x	x	x	x	○
11	11	○	x	x	x	x
12	12	x	x	○	x	x
13	13	○	x	x	x	x
14	14	x	○	x	x	x
15	15	x	x	x	○	x
16	16	x	x	x	x	○
17	17	x	x	x	x	x
18	18	x	x	x	x	x
19	19	x	x	x	x	x
20	24	x	x	x	x	x
21	27	○	x	x	x	x
22	30	x	x	○	x	x
23	33	○	x	x	x	x
24	36	x	x	○	x	x
25	39	○	x	x	x	x
26	43	x	○	x	x	x
27	46	x	○	x	x	x
28	50	x	○	x	x	x
29	54	x	○	x	x	x
30	59	○	x	○	x	x
31	63	○	○	○	○	○

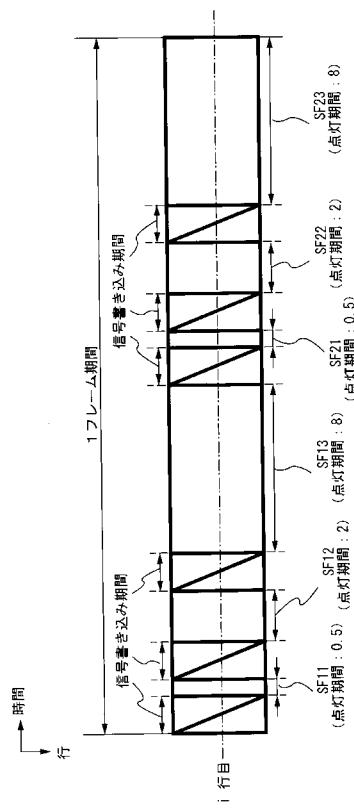
○:点灯

x:非点灯

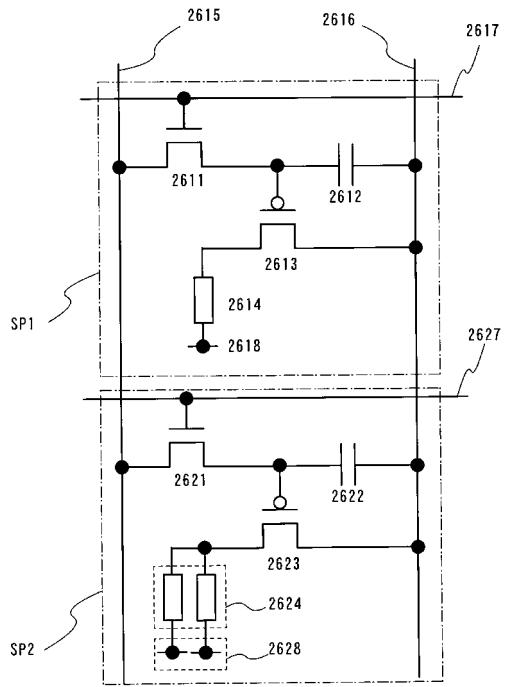
【図24】



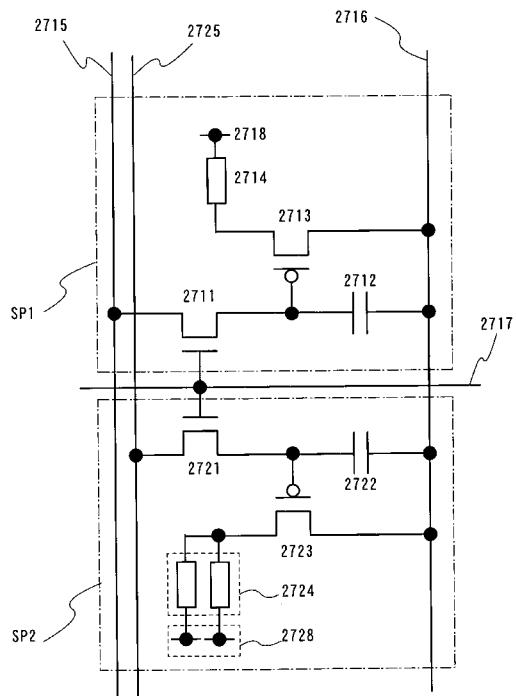
【図25】



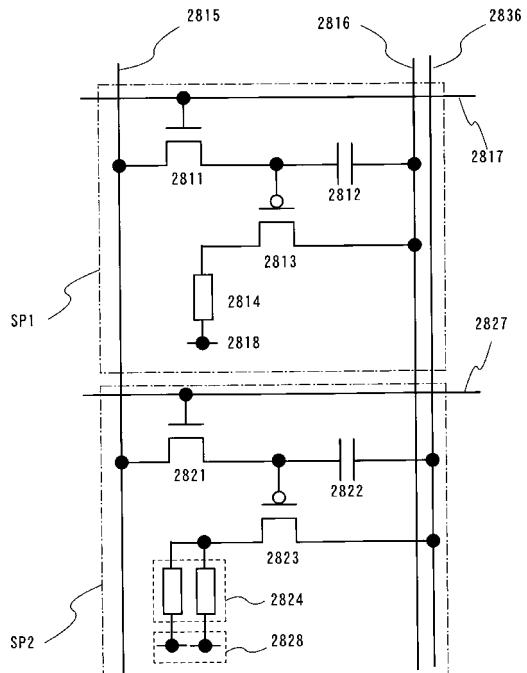
【図26】



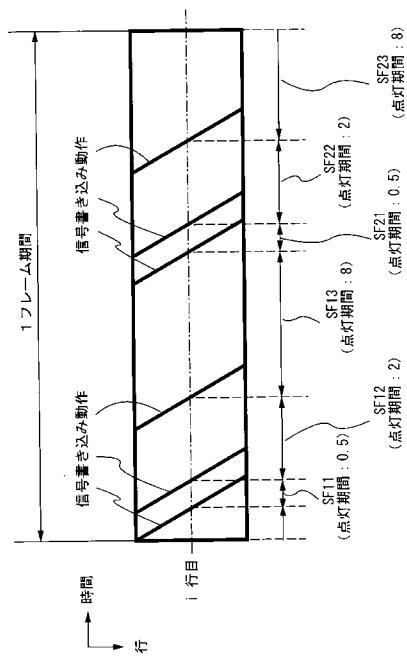
【図27】



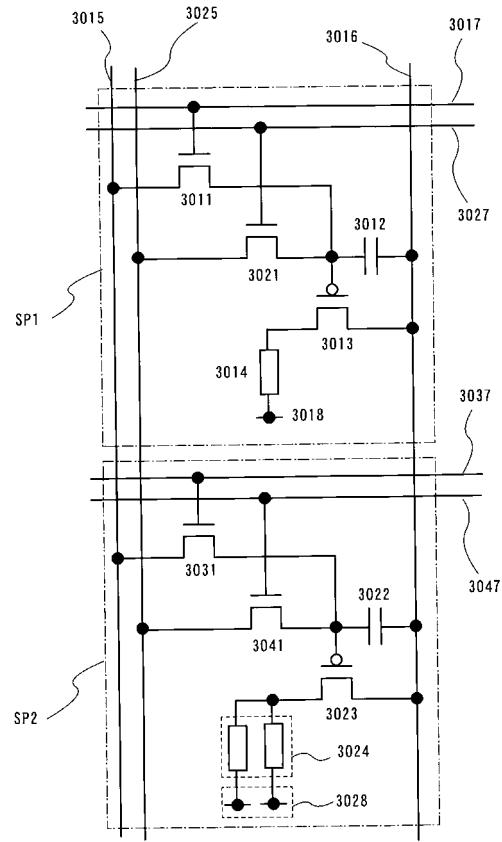
【図28】



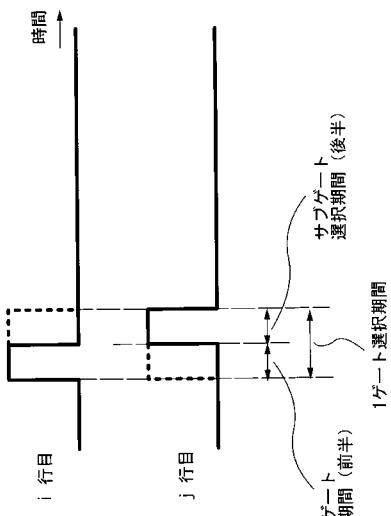
【図29】



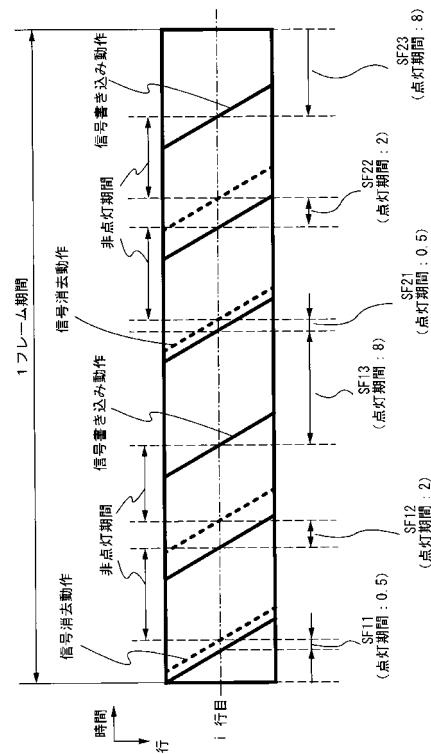
【図30】



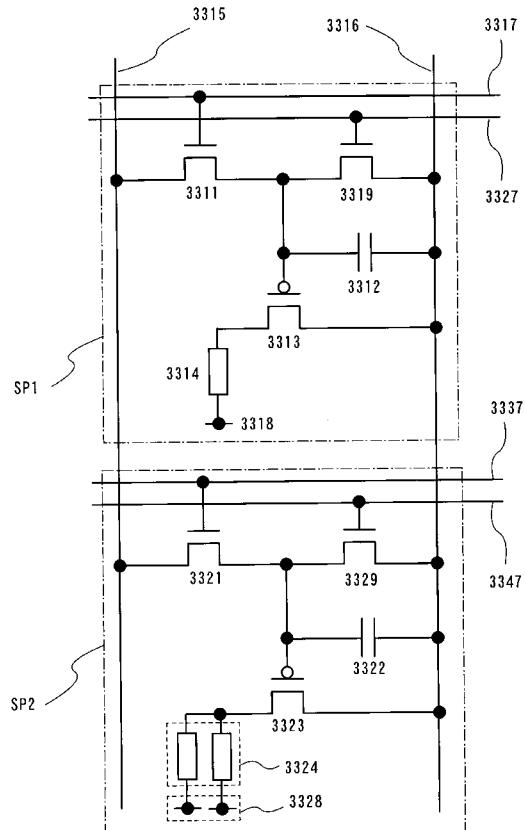
【図31】



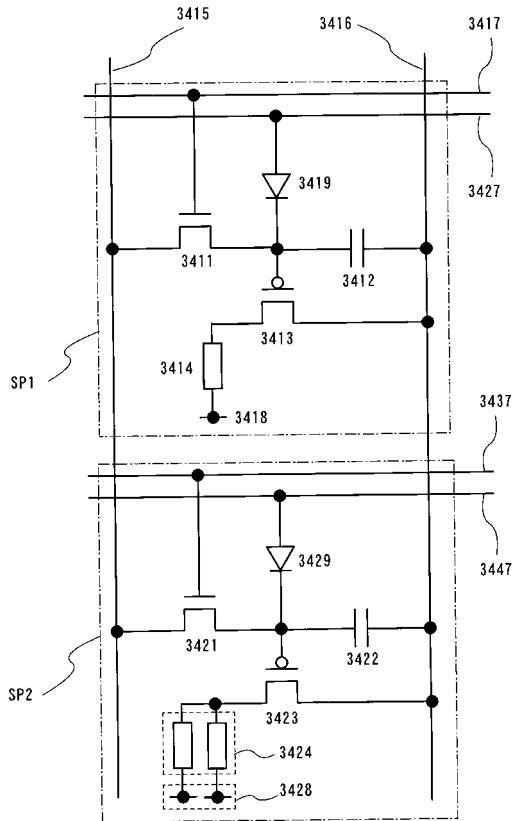
【図32】



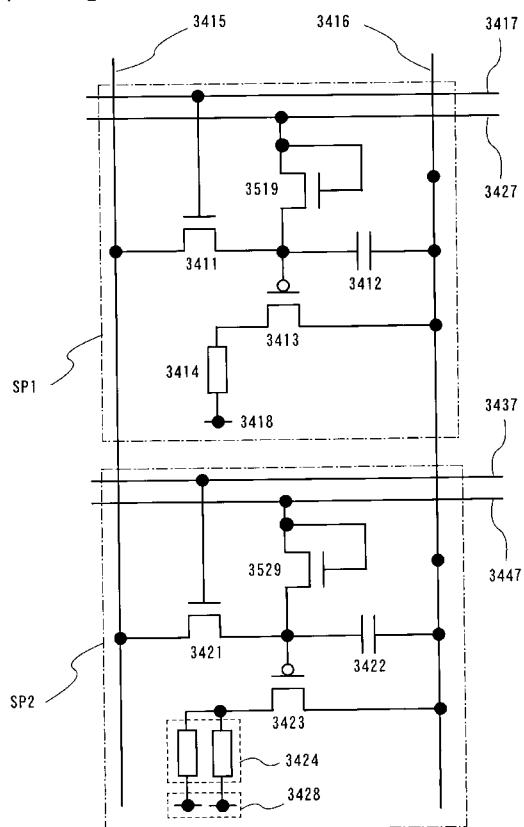
【図33】



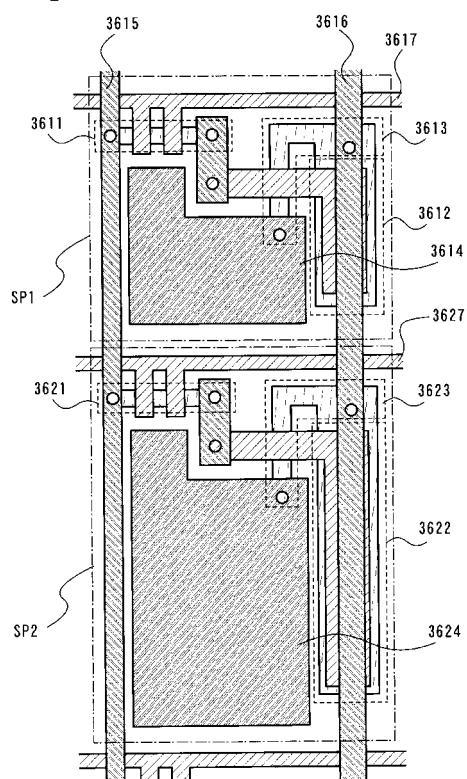
【図34】



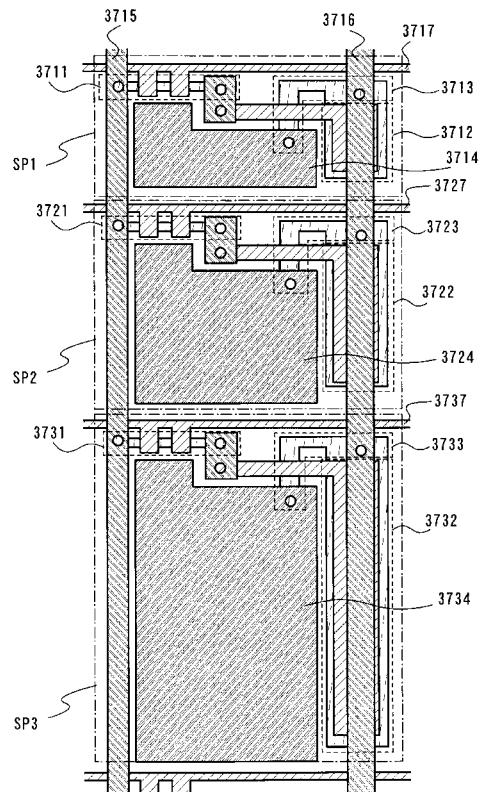
【図35】



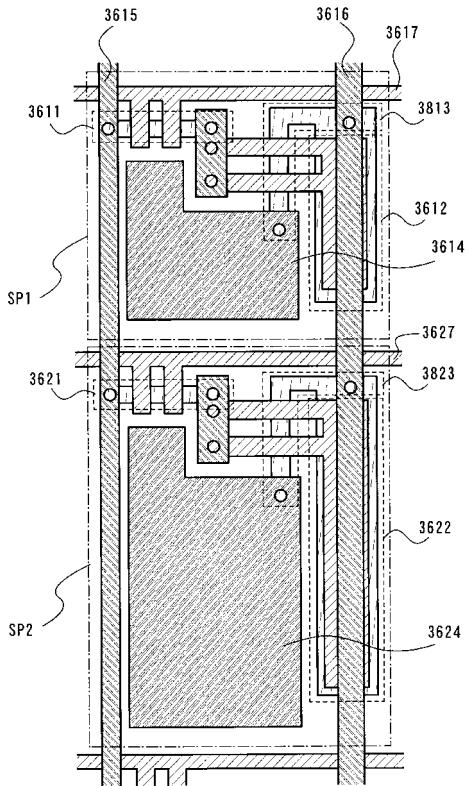
【図36】



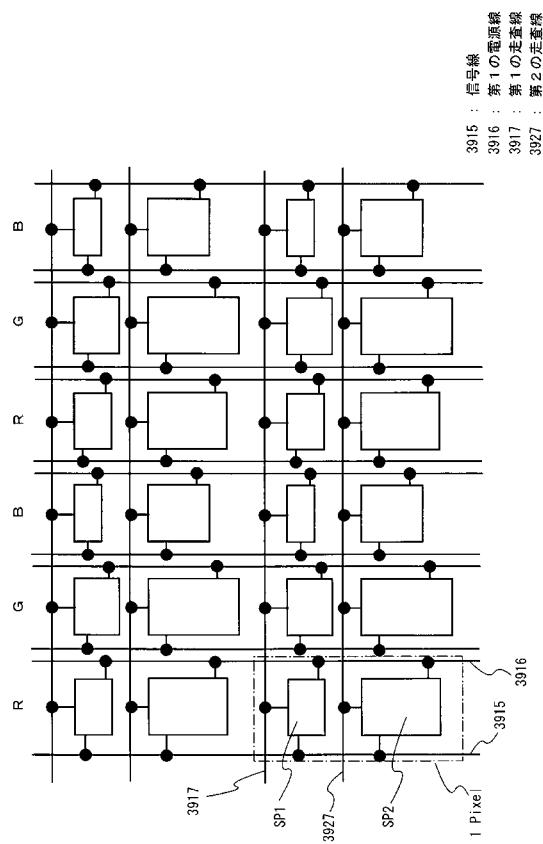
【図37】



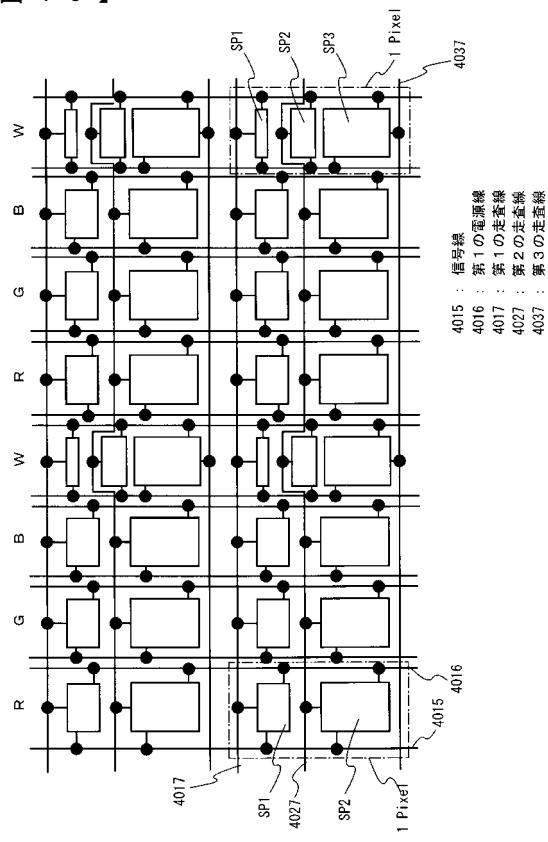
【図38】



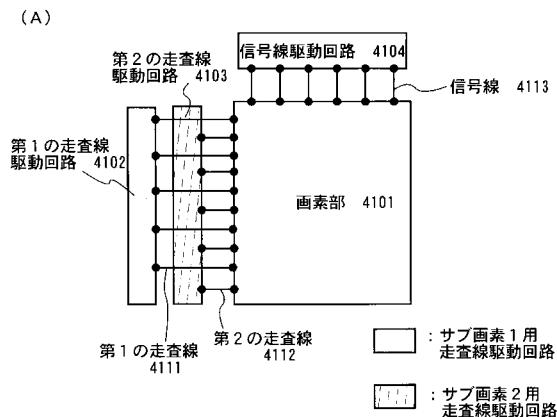
【図39】



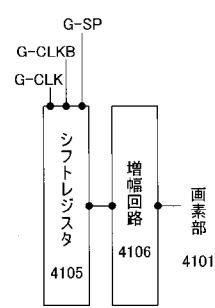
【図40】



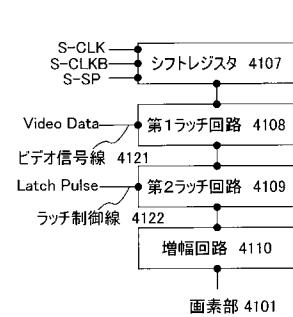
【 図 4 1 】



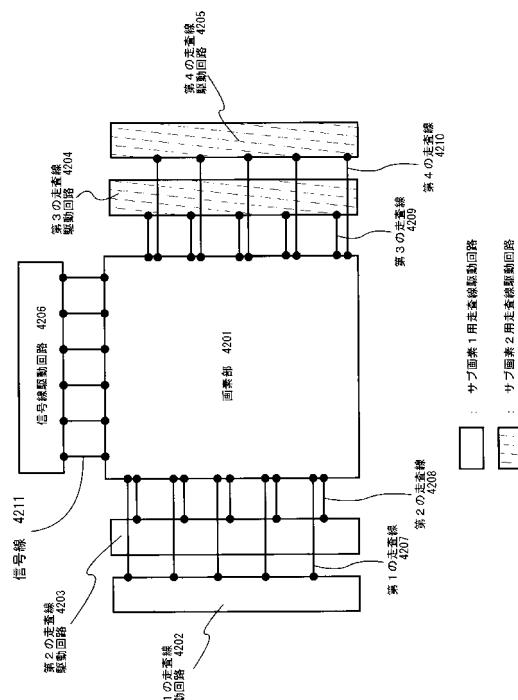
(B)



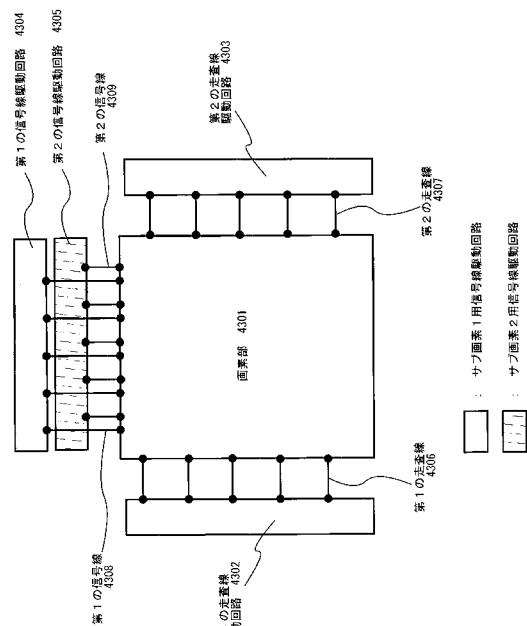
(c)



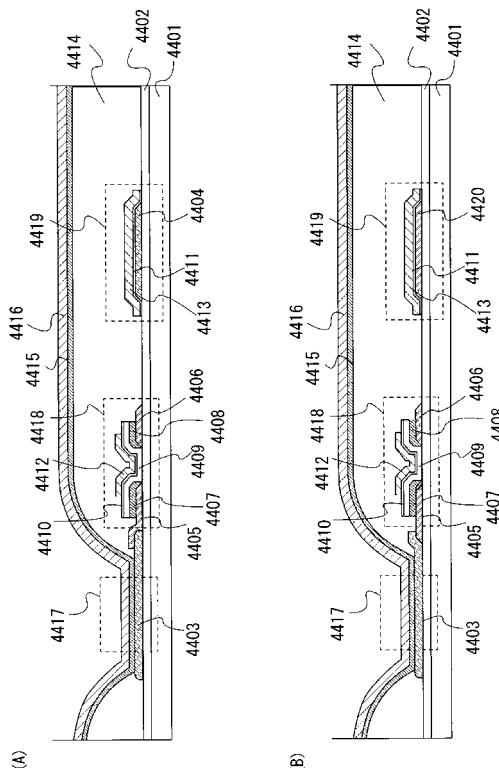
【 図 4 2 】



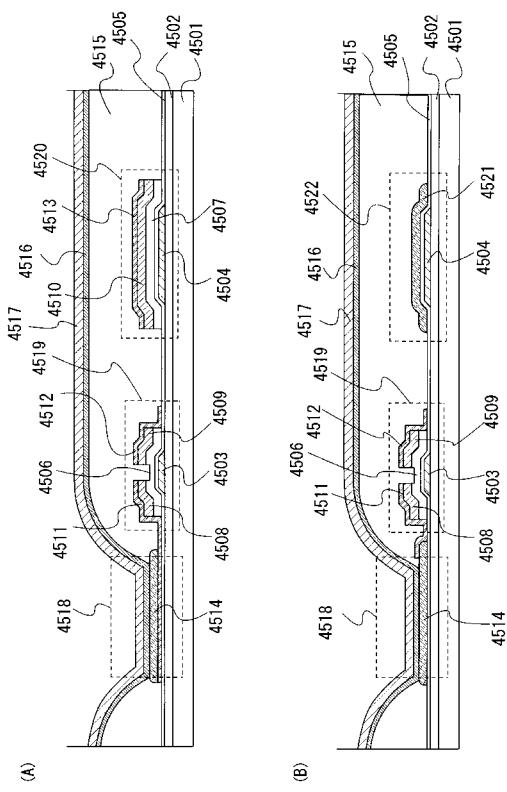
【 図 4 3 】



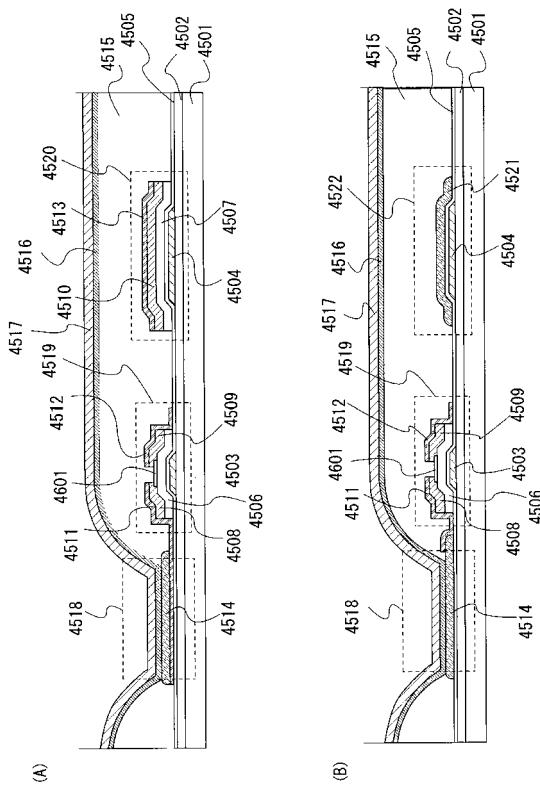
【図44】



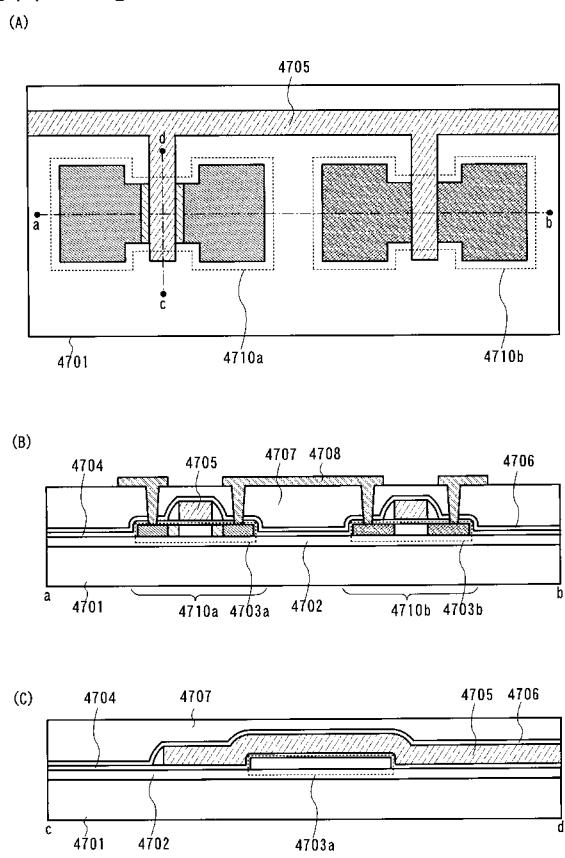
【図45】



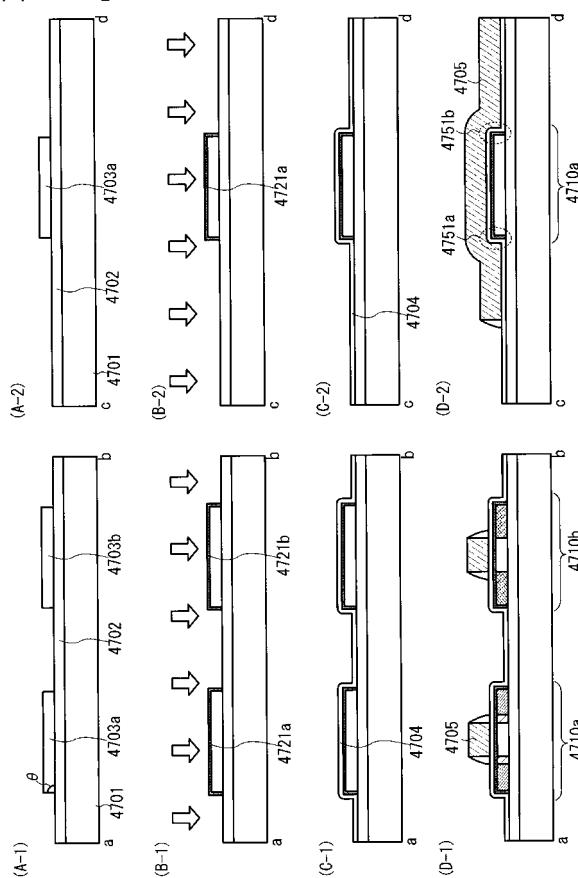
【図46】



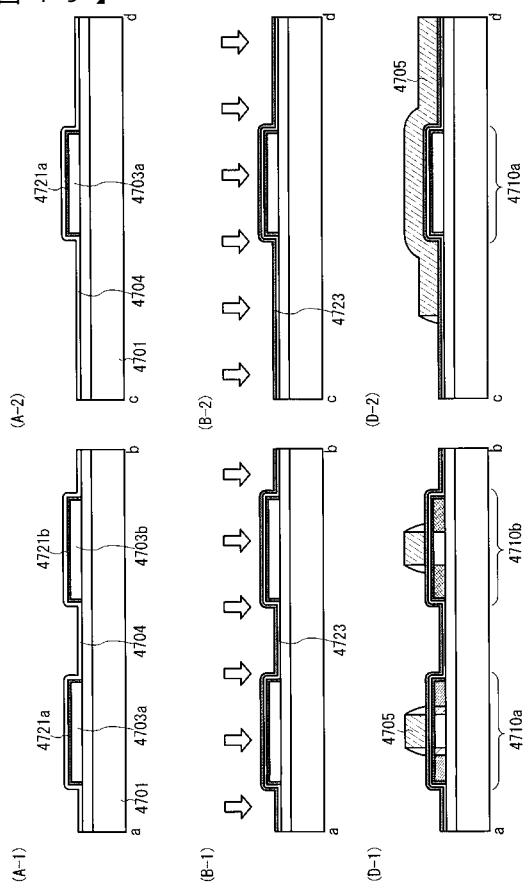
【図47】



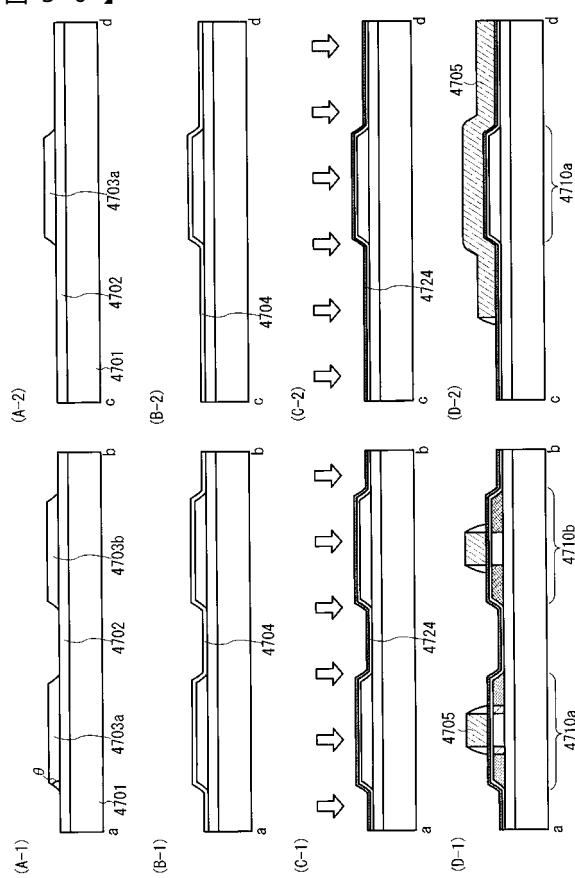
【図48】



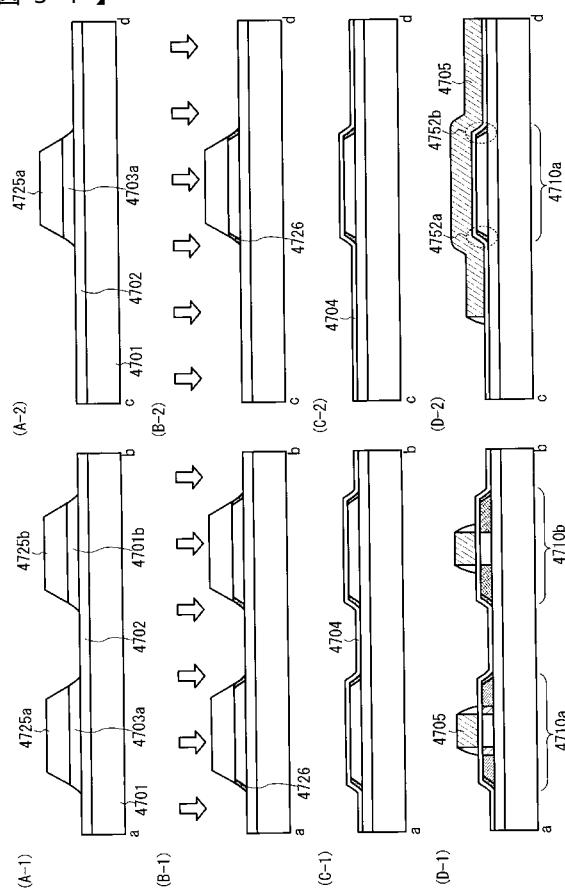
【図49】



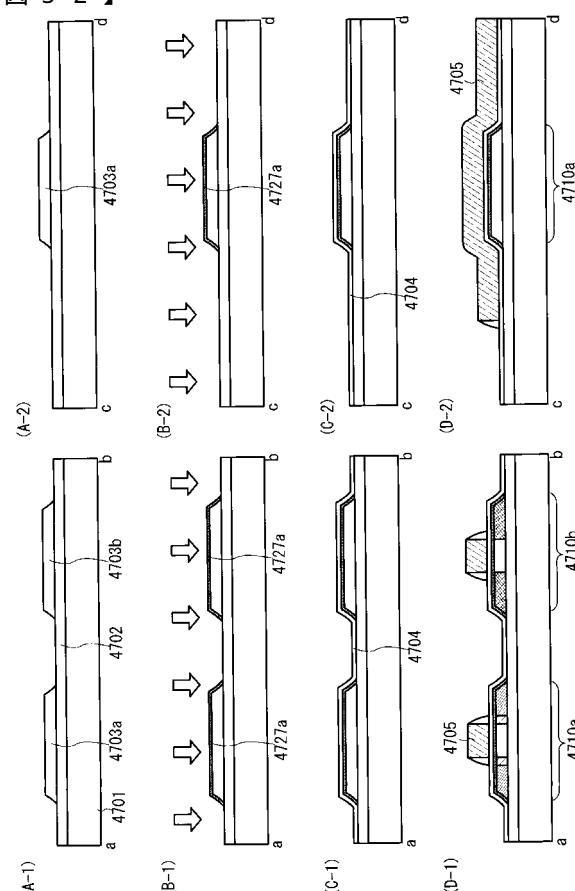
【図50】



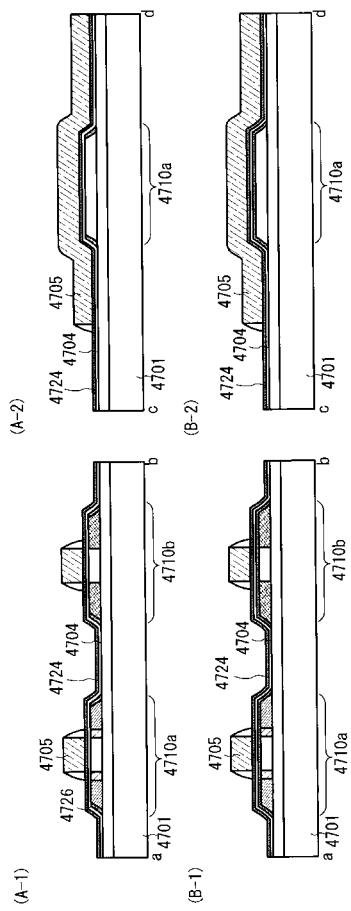
【図51】



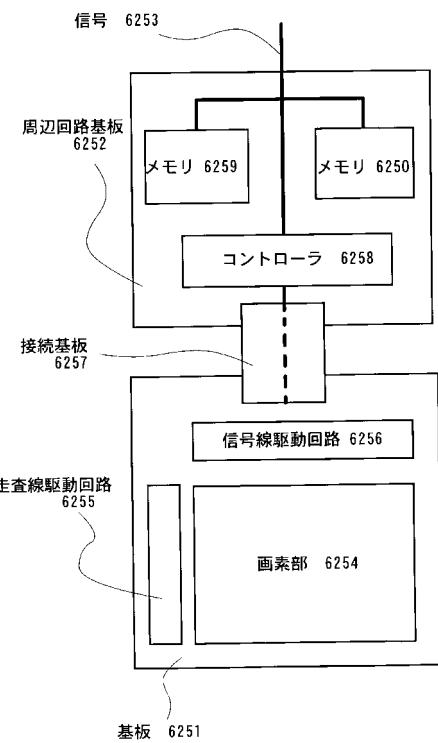
【図52】



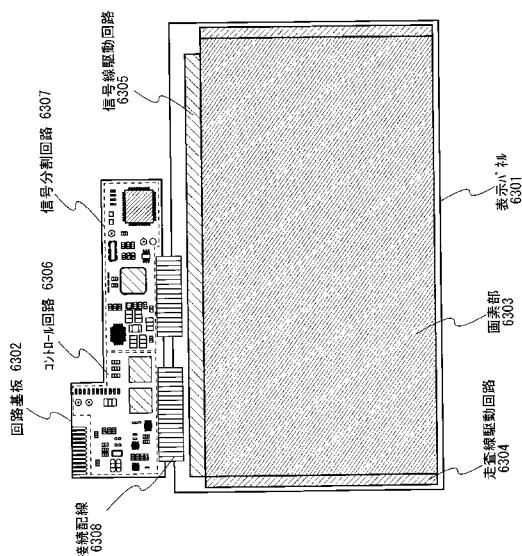
【図53】



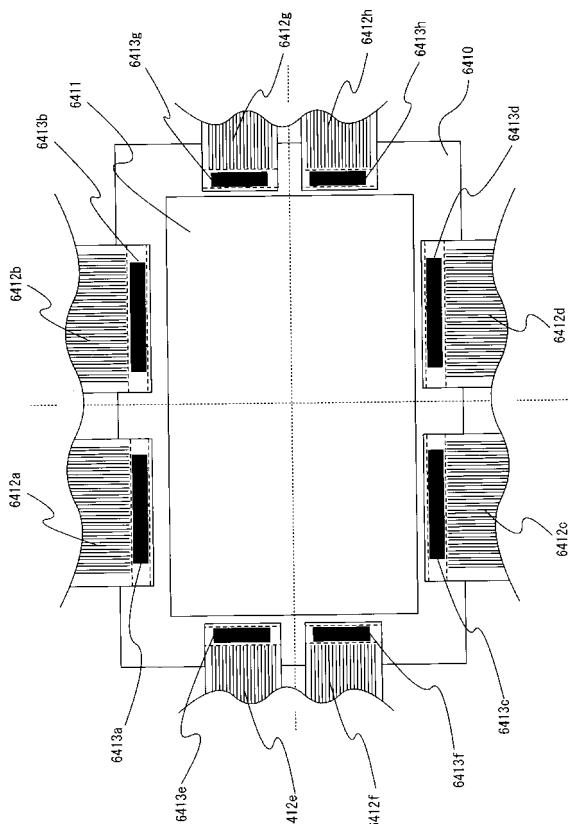
【図54】



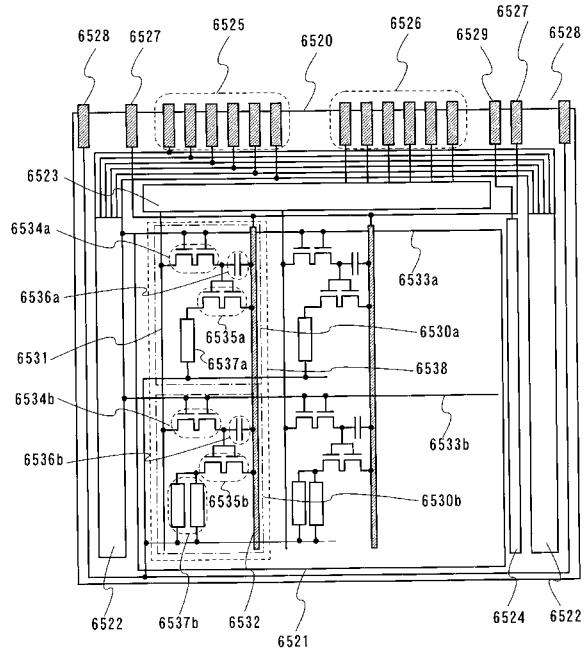
【図55】



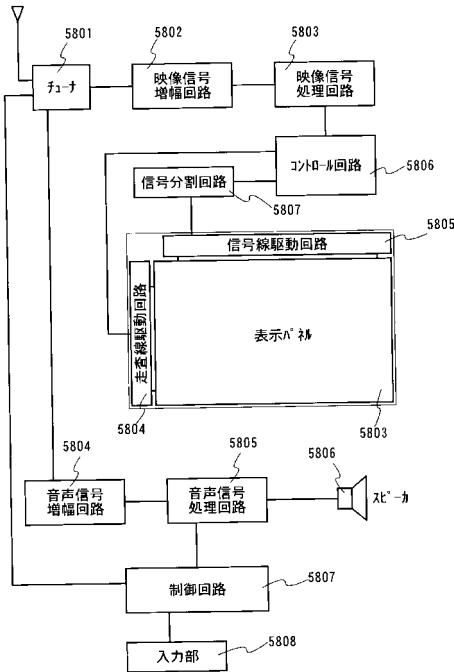
【図56】



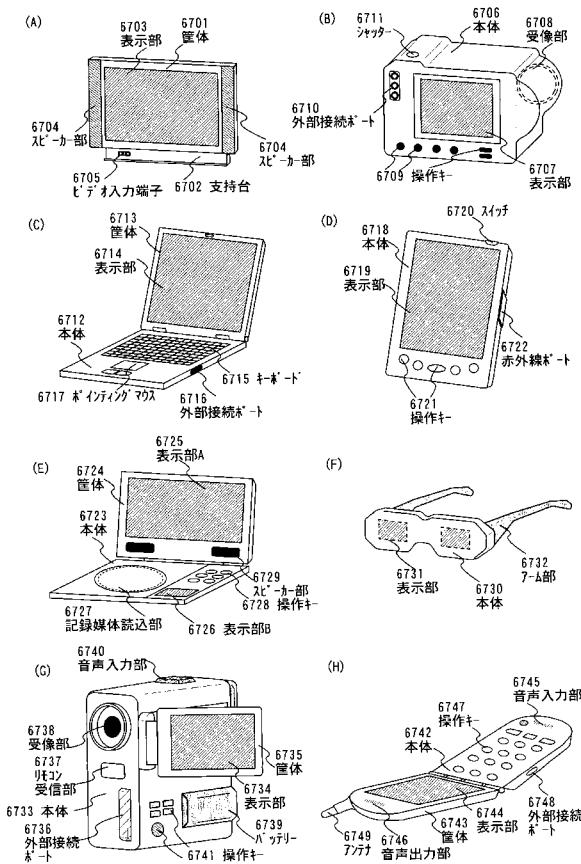
【図57】



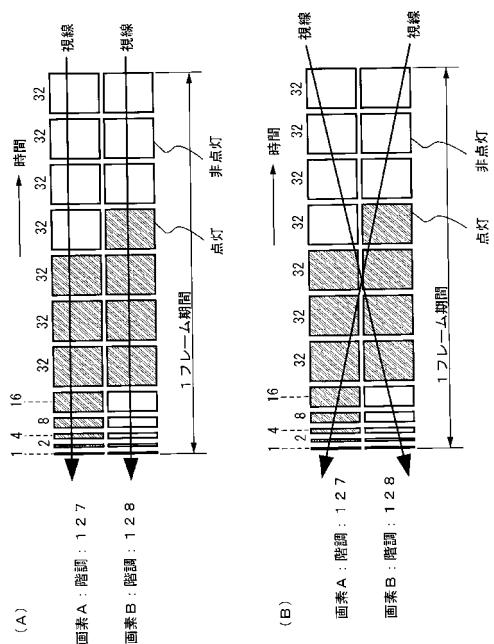
【図58】



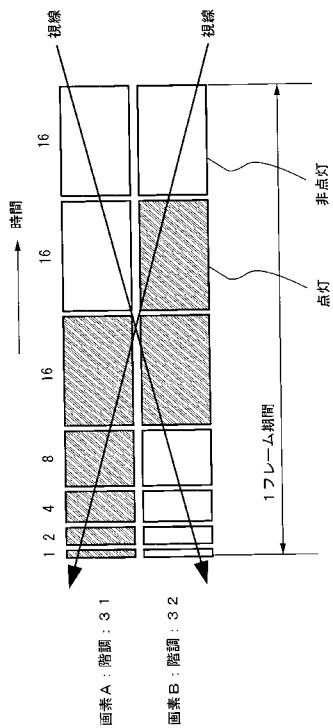
【図59】



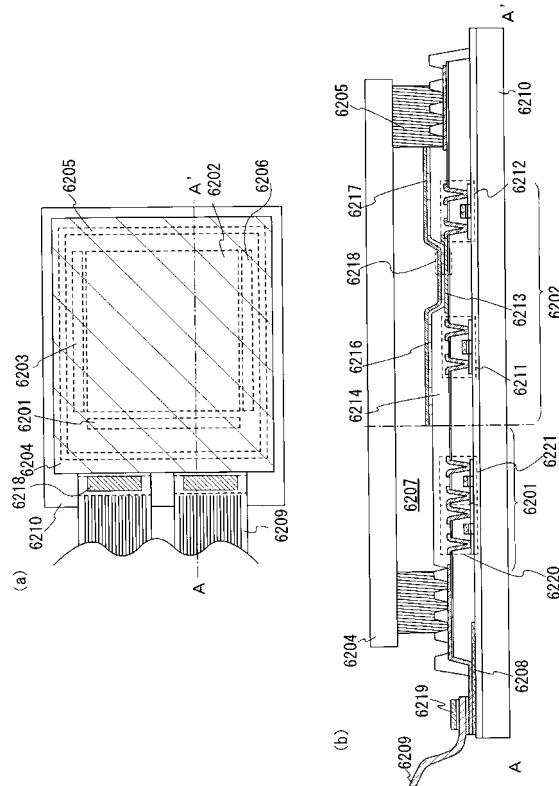
【図60】



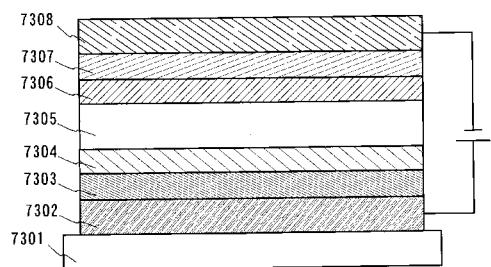
【 図 6 1 】



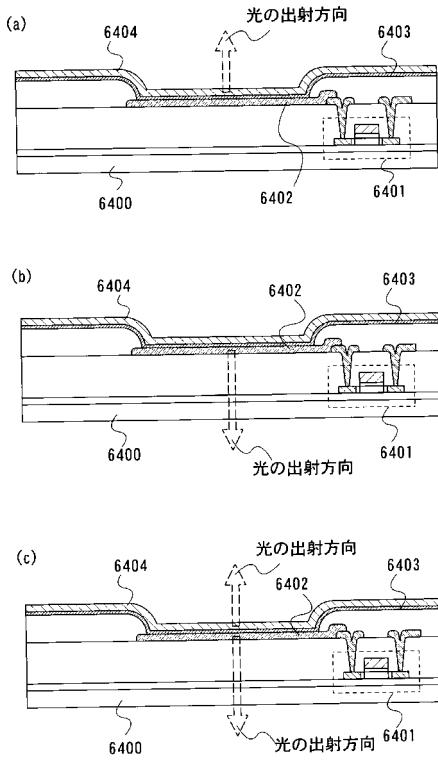
【図62】



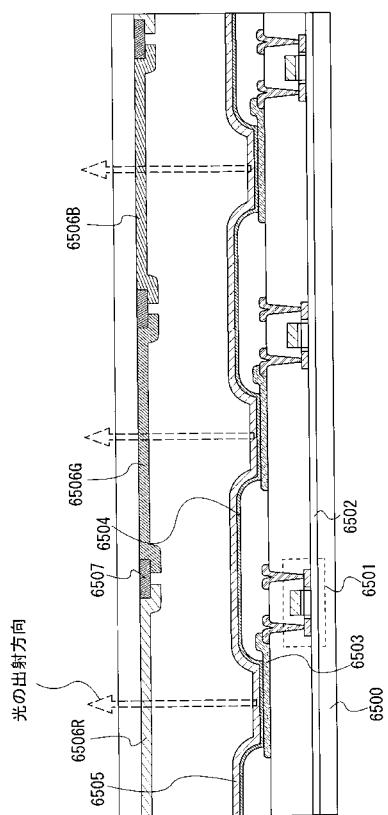
【図 6 3】



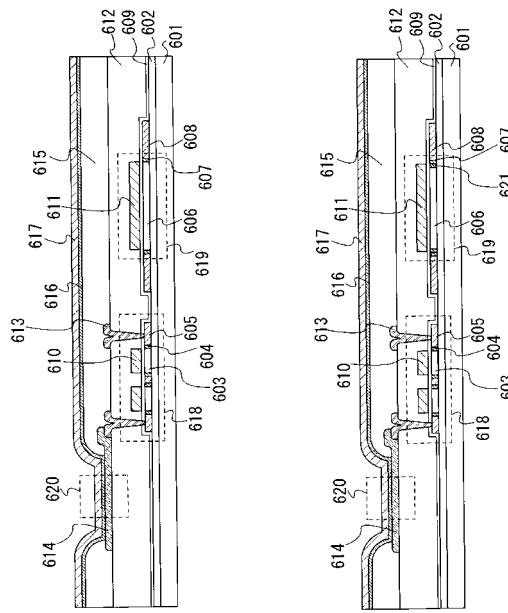
【図64】



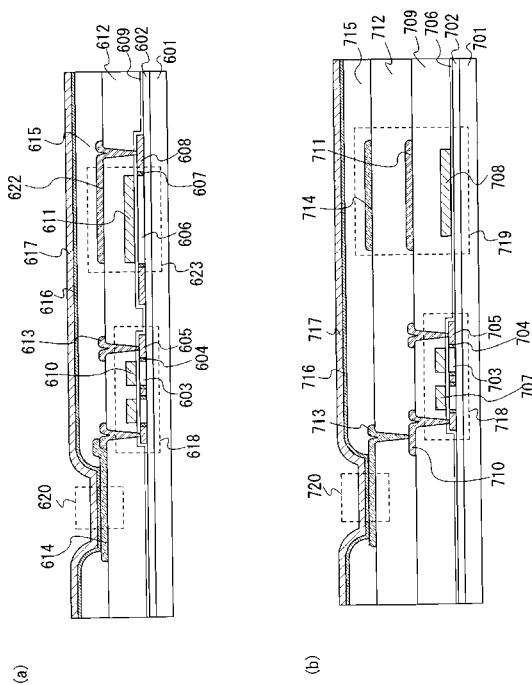
【図 6 5】



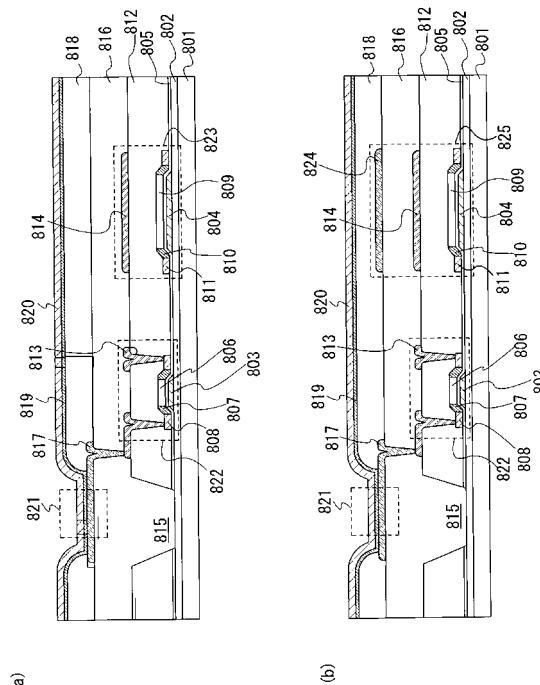
【図 6 6】



【図67】



【図68】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 4 B
H 0 4 N	5/66	1 0 1 B
H 0 5 B	33/14	A

F ターム(参考) 5C080 AA06 AA10 AA13 AA18 BB05 DD02 DD26 EE29 FF07 FF11
HH09 JJ02 JJ03 JJ04 JJ05 JJ06 KK01 KK07 KK43 KK47