

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2016 年 12 月 8 日 (08.12.2016)



(10) 国际公布号
WO 2016/192139 A1

- (51) 国际专利分类号:
G09G 3/36 (2006.01)
- (21) 国际申请号: PCT/CN2015/082007
- (22) 国际申请日: 2015 年 6 月 23 日 (23.06.2015)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201510292125.0 2015 年 6 月 1 日 (01.06.2015) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (72) 发明人: 戴超 (DAI, Chao); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (74) 代理人: 深圳市德力知识产权代理事务所 (COMIPS INTELLECTUAL PROPERTY OFFICE); 中国广东省深圳市福田区上步中路深勘大厦 15E, Guangdong 518028 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

(54) Title: GOA CIRCUIT BASED ON OXIDE SEMICONDUCTOR THIN FILM TRANSISTOR

(54) 发明名称: 基于氧化物半导体薄膜晶体管的 GOA 电路

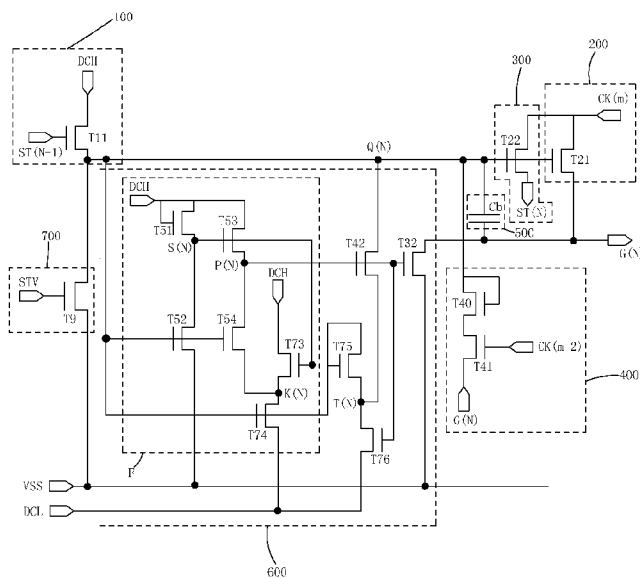


图3

(57) Abstract: A GOA circuit based on an oxide semiconductor thin film transistor, which can avoid electric leakage and improve the reliability of the GOA circuit. A gate and a source of a fortieth thin film transistor (T40) in a first pull-down module (400) are in short circuit, so as to avoid crosstalk current occurrence caused by a GOA unit circuit during an inactive period; both a gate and a drain of a seventy-fifth thin film transistor (T75) in a pull-down maintaining module (600) are electrically connected to a first node (Q(N)), so as to avoid the influence of a constant-voltage high potential (DCH) on pull-down maintaining of the first node (Q(N)); and a clearing and resetting module (700) is provided for carrying out clearing and resetting on the first node (Q(N)) before generation of each frame of picture, so as to eliminate interference of residual charges on the GOA circuit and guarantee normal output and normal picture display of the GOA circuit.

(57) 摘要: 一种基于氧化物半导体薄膜晶体管的 GOA 电路, 不仅能够防止漏电, 提高 GOA 电路的可靠性, 还通过将第一下拉模块 (400) 内的第四十薄膜晶体管 (T40) 的栅极与源极短接来避免 GOA 单元电路在非作用期间产生串扰电流, 通过将下拉维持模块 (600) 中第七十五薄膜晶体管 (T75) 的栅极与漏极均电性连接于第一节点

(Q(N)) 来避免恒压高电位 (DCH) 对第一节点 (Q(N)) 下拉维持的影响, 通过设置清空重置模块 (700) 在每一帧画面产生前对第一节点 (Q(N)) 进行清空重置, 以清除残余电荷对 GOA 电路的干扰, 保证 GOA 电路的正常输出和画面的正常显示。

基于氧化物半导体薄膜晶体管的 GOA 电路

技术领域

5 本发明涉及液晶显示器驱动领域，尤其涉及一种基于氧化物半导体薄膜晶体管的 GOA 电路。

背景技术

10 液晶显示器 (Liquid Crystal Display, LCD) 具有机身薄、省电、无辐射等众多优点，得到了广泛的应用。如：液晶电视、移动电话、个人数字助理 (PDA)、数字相机、计算机屏幕或笔记本电脑屏幕等，在平板显示领域中占主导地位。

15 现有市场上的液晶显示器大部分为背光型液晶显示器，其包括液晶显示面板及背光模组 (backlight module)。液晶显示面板的工作原理是在薄膜晶体管阵列基板 (Thin Film Transistor Array Substrate, TFT Array Substrate) 与彩色滤光片基板 (Color Filter, CF) 之间灌入液晶分子，并在两片基板上施加驱动电压来控制液晶分子的旋转方向，以将背光模组的光线折射出来产生画面。

20 主动式液晶显示器中，每个像素电性连接一个薄膜晶体管 (TFT)，薄膜晶体管的栅极 (Gate) 连接至水平扫描线，漏极 (Drain) 连接至垂直方向的数据线，源极 (Source) 则连接至像素电极。在水平扫描线上施加足够的电压，会使得电性连接至该条水平扫描线上的所有 TFT 打开，从而数据线上的信号电压能够写入像素，控制不同液晶的透光度进而达到控制色彩与亮度的效果。Gate Driver on Array，简称 GOA，是利用现有的薄膜晶体管液晶显示器的阵列 (Array) 制程将栅极行扫描驱动电路制作在 TFT 阵列基板上，实现对栅极逐行扫描的驱动方式。GOA 技术能减少外接 IC 的焊接 (bonding) 工序，有机会提升产能并降低产品成本，而且可以使液晶显示面板更适合制作窄边框或无边框的显示产品。

30 随着氧化物半导体薄膜晶体管，如铟镓锌氧化物 (Indium Gallium Zinc Oxide, IGZO) 薄膜晶体管的发展，基于氧化物半导体薄膜晶体管的面板周边集成电路也成为关注的焦点。虽然氧化物半导体具有较高的载流子迁移率，但是其阈值电压值在 0V 左右，而且亚阈值区域的摆幅较小，而 GOA 电路在关态时很多 TFT 元件的栅极与源极之间的电压 V_{gs} 通常为 0V，这样就会增加基于氧化物半导体薄膜晶体管的 GOA 电路的设计难度，一些适用

于非晶硅半导体薄膜晶体管的扫描驱动电路应用到基于氧化物半导体薄膜晶体管的 GOA 电路时就会存在一些功能性问题。

另外，在某些外在因素的诱导和应力作用下，氧化物半导体薄膜晶体管有时候也会产生阈值电压往负值减小的趋势，这样将会直接导致基于氧化物半导体薄膜晶体管的 GOA 电路无法工作，例如，在高温下，氧化物半导体薄膜晶体管的阈值电压会往负值移动，这样会导致 GOA 电路失效；同样，在一些光照的电应力作用下，氧化物半导体薄膜晶体管的阈值电压会往负值移动。因此，设计基于氧化物半导体薄膜晶体管的 GOA 电路必须要考虑 TFT 阈值电压漂移的影响。

图 1 所示为一种现有可行的针对上述问题的基于氧化物半导体薄膜晶体管的 GOA 电路，包括上拉控制模块 100、上拉模块 200、下传模块 300、第一下拉模块 400、自举电容模块 500、及下拉维持模块 600。但该现有的基于氧化物半导体薄膜晶体管的 GOA 电路仍存在一定的问题，例如：设 N 为正整数，在第 N 级 GOA 单元电路中，由于设置了第一恒压负电位 VSS 与第二恒压负电位 DCL ，该第 N 级 GOA 单元电路在非作用期间存在串扰电流的问题；由于下拉维持模块 600 中的一薄膜晶体管 $T75$ 的漏极电性连接于恒压高电位 DCH ，恒压高电位 DCH 会影响非作用期间对第一节点 $Q(N)$ 的下拉维持；此外，显示各帧画面时，第一节点 $Q(N)$ 处存在残余电荷，可能影响 GOA 电路的正常输出，造成画面显示异常。

发明内容

本发明的目的在于提供一种基于氧化物半导体薄膜晶体管的 GOA 电路，不仅能够防止漏电，提高 GOA 电路的可靠性，还能够避免串扰电流的产生，避免恒压高电位对第一节点下拉维持的影响，清除残余电荷对 GOA 电路的干扰，保证 GOA 电路的正常输出和画面的正常显示。

为实现上述目的，本发明提供一种基于氧化物半导体薄膜晶体管的 GOA 电路，包括级联的多个 GOA 单元电路，每一级 GOA 单元电路均包括上拉控制模块、上拉模块、下传模块、第一下拉模块、自举电容模块、及下拉维持模块；

设 N 为正整数，除第一级 GOA 单元电路以外，在第 N 级 GOA 单元电路中：

所述上拉控制模块包括第十一薄膜晶体管，所述第十一薄膜晶体管的栅极接收上一级第 $N-1$ 级 GOA 单元电路的级传信号，源极电性连接于恒压高电位，漏极电性连接于第一节点；

所述上拉模块包括：第二十一薄膜晶体管，所述第二十一薄膜晶体管的栅极电性连接于第一节点，源极电性连接于对应该第 N 级 GOA 单元电路的第 m 组时钟信号，漏极输出扫描驱动信号；

5 所述下传模块包括：第二十二薄膜晶体管，所述第二十二薄膜晶体管的栅极电性连接于第一节点，源极电性连接于对应该第 N 级 GOA 单元电路的第 m 组时钟信号，漏极输出级传信号；

所述第一下拉模块包括第四十薄膜晶体管、与第四十一薄膜晶体管；所述第四十薄膜晶体管的栅极与源极均电性连接于第一节点，漏极电性连接于第四十一薄膜晶体管的漏极；所述第四十一薄膜晶体管的栅极输入对
10 应于下两极第 N+2 级 GOA 单元电路的第 m+2 组时钟信号，源极输入扫描驱动信号；

所述自举电容模块包括电容，所述电容的一端电性连接于第一节点，另一端电性连接于扫描驱动信号；

所述下拉维持模块包括：一由多个薄膜晶体管构成的双重反相器、第
15 四十二薄膜晶体管、第三十二薄膜晶体管、第七十五薄膜晶体管、与第七十六薄膜晶体管；所述双重反相器的输入端电性连接于第一节点，输出端电性连接于第二节点；所述第四十二薄膜晶体管的栅极电性连接于第二节点，漏极电性连接于第一节点，源极电性连接于第三节点；所述第三十二薄膜晶体管的栅极电性连接于第二节点，漏极电性连接于扫描驱动信号，
20 源极电性连接于第一恒压负电位；所述第七十五薄膜晶体管的栅极与漏极均电性连接于第一节点，源极电性连接于第三节点；所述第七十六薄膜晶体管的栅极电性连接于第二节点，漏极电性连接于第三节点，源极电性连接于第二恒压负电位；

所述第二恒压负电位低于第一恒压负电位；

25 各个薄膜晶体管均为氧化物半导体薄膜晶体管。

所述基于氧化物半导体薄膜晶体管的 GOA 电路还包括一清空重置模块，用于在每一帧画面产生前对第一节点进行清空重置。

可选的，所述清空重置模块包括一第九薄膜晶体管，所述第九薄膜晶体管的栅极接入扫描启动信号，漏极电性连接于第一节点，源极电性连接
30 于第一恒压负电位。

可选的，所述清空重置模块包括一第九薄膜晶体管，所述第九薄膜晶体管的栅极接入扫描启动信号，漏极电性连接于第一节点，源极电性连接于对应该第 N 级 GOA 单元电路的第 m 组时钟信号。

可选的，所述清空重置模块包括一第九薄膜晶体管，所述第九薄膜晶

体管的栅极接入重置信号，漏极电性连接于第一节点，源极电性连接于对应第 N 级 GOA 单元电路的第 m 组时钟信号；所述重置信号在扫描启动信号之前产生。

5 可选的，设所述时钟信号共包括 M 组，M 为 4 的整数倍，则当 $N > M$ 时，在第 N 级 GOA 单元电路中设置清空重置模块。

可选的，在每一级 GOA 单元电路中均设置清空重置模块。

可选的，所述时钟信号共包括四组：第一组时钟信号、第二组时钟信号、第三组时钟信号、及第四组时钟信号；当所述第 m 组时钟信号为第三时钟信号时，所述第 m+2 组时钟信号为第一组时钟信号，当所述时钟信号为第四组时钟信号时，所述第 m+2 组时钟信号为第二组时钟信号；所述四组时钟信号的波形占空比为 25/75；

在第五级至最后一级 GOA 单元电路中设置清空重置模块。

所述双重反相器包括：第五十一薄膜晶体管，所述第五十一薄膜晶体管的栅极与源极均电性连接于恒压高电位，漏极电性连接于第四节点；第五十二薄膜晶体管，所述第五十二薄膜晶体管的栅极电性连接于第一节点，漏极电性连接于第四节点，源极电性连接于第一恒压负电位；第五十三薄膜晶体管，所述第五十三薄膜晶体管的栅极电性连接于第四节点，源极电性连接于恒压高电位，漏极电性连接于第二节点；第五十四薄膜晶体管，所述第五十四薄膜晶体管的栅极电性连接于第一节点，漏极电性连接于第二节点，源极电性连接于第五节点；第七十三薄膜晶体管，所述第七十三薄膜晶体管的栅极电性连接于第四节点，源极电性连接于恒压高电位，漏极电性连接于第五节点；第七十四薄膜晶体管，所述第七十四薄膜晶体管的栅极电性连接于第一节点，源极电性连接于第二恒压负电位，漏极电性连接于第五节点；其中所述第五十一薄膜晶体管、第五十二薄膜晶体管、第五十三薄膜晶体管、与第五十四薄膜晶体管构成主反相器，所述第七十三薄膜晶体管、与第七十四薄膜晶体管构成辅助反相器。

在第一级 GOA 单元电路中，所述第十一薄膜晶体管的栅极接入扫描启动信号。

30 本发明还提供一种基于氧化物半导体薄膜晶体管的 GOA 电路，包括级联的多个 GOA 单元电路，每一级 GOA 单元电路均包括：上拉控制模块、上拉模块、下传模块、第一下拉模块、自举电容模块、及下拉维持模块；

设 N 为正整数，除第一级 GOA 单元电路以外，在第 N 级 GOA 单元电路中：

所述上拉控制模块包括第十一薄膜晶体管，所述第十一薄膜晶体管的

栅极接收上一级第 N-1 级 GOA 单元电路的级传信号,源极电性连接于恒压高电位,漏极电性连接于第一节点;

5 所述上拉模块包括:第二十一薄膜晶体管,所述第二十一薄膜晶体管的栅极电性连接于第一节点,源极电性连接于对应该第 N 级 GOA 单元电路的第 m 组时钟信号,漏极输出扫描驱动信号;

所述下传模块包括:第二十二薄膜晶体管,所述第二十二薄膜晶体管的栅极电性连接于第一节点,源极电性连接于对应该第 N 级 GOA 单元电路的第 m 组时钟信号,漏极输出级传信号;

10 所述第一下拉模块包括第四十薄膜晶体管、与第四十一薄膜晶体管;所述第四十薄膜晶体管的栅极与源极均电性连接于第一节点,漏极电性连接于第四十一薄膜晶体管的漏极;所述第四十一薄膜晶体管的栅极输入对应于下两级第 N+2 级 GOA 单元电路的第 m+2 组时钟信号,源极输入扫描驱动信号;

15 所述自举电容模块包括电容,所述电容的一端电性连接于第一节点,另一端电性连接于扫描驱动信号;

20 所述下拉维持模块包括:一由多个薄膜晶体管构成的双重反相器、第四十二薄膜晶体管、第三十二薄膜晶体管、第七十五薄膜晶体管、与第七十六薄膜晶体管;所述双重反相器的输入端电性连接于第一节点,输出端电性连接于第二节点;所述第四十二薄膜晶体管的栅极电性连接于第二节点,漏极电性连接于第一节点,源极电性连接于第三节点;所述第三十二薄膜晶体管的栅极电性连接于第二节点,漏极电性连接于扫描驱动信号,源极电性连接于第一恒压负电位;所述第七十五薄膜晶体管的栅极与漏极均电性连接于第一节点,源极电性连接于第三节点;所述第七十六薄膜晶体管的栅极电性连接于第二节点,漏极电性连接于第三节点,源极电性连接于第二恒压负电位;

25 所述第二恒压负电位低于第一恒压负电位;

各个薄膜晶体管均为氧化物半导体薄膜晶体管;

还包括一清空重置模块,用于在每一帧画面产生前对第一节点进行清空重置;

30 其中,所述双重反相器包括:第五十一薄膜晶体管,所述第五十一薄膜晶体管的栅极与源极均电性连接于恒压高电位,漏极电性连接于第四节点;第五十二薄膜晶体管,所述第五十二薄膜晶体管的栅极电性连接于第一节点,漏极电性连接于第四节点,源极电性连接于第一恒压负电位;第五十三薄膜晶体管,所述第五十三薄膜晶体管的栅极电性连接于第四节点,

源极电性连接于恒压高电位，漏极电性连接于第二节点；第五十四薄膜晶体管，所述第五十四薄膜晶体管的栅极电性连接于第一节点，漏极电性连接于第二节点，源极电性连接于第五节点；第七十三薄膜晶体管，所述第七十三薄膜晶体管的栅极电性连接于第四节点，源极电性连接于恒压高电位，漏极电性连接于第五节点；第七十四薄膜晶体管，所述第七十四薄膜晶体管的栅极电性连接于第一节点，源极电性连接于第二恒压负电位，漏极电性连接于第五节点；其中所述第五十一薄膜晶体管、第五十二薄膜晶体管、第五十三薄膜晶体管、与第五十四薄膜晶体管构成主反相器，所述第七十三薄膜晶体管、与第七十四薄膜晶体管构成辅助反相器；

其中，在第一级 GOA 单元电路中，所述第十一薄膜晶体管的栅极接入扫描启动信号；

其中，所述清空重置模块包括一第九薄膜晶体管，所述第九薄膜晶体管的栅极接入重置信号，漏极电性连接于第一节点，源极电性连接于对应第 N 级 GOA 单元电路的第 m 组时钟信号；所述重置信号在扫描启动信号之前产生。

本发明的有益效果：本发明提供的一种基于氧化物半导体薄膜晶体管的 GOA 电路，不仅能够防止漏电，提高 GOA 电路的可靠性，还通过将第一下拉模块内的第四十薄膜晶体管的栅极与源极短接来避免 GOA 单元电路在非作用期间产生串扰电流，通过将下拉维持模块中第七十五薄膜晶体管的栅极与漏极均电性连接于第一节点来避免恒压高电位对第一节点下拉维持的影响，通过设置清空重置模块在每一帧画面产生前对第一节点进行清空重置，以清除残余电荷对 GOA 电路的干扰，保证 GOA 电路的正常输出和画面的正常显示。

附图说明

为了能更进一步了解本发明的特征以及技术内容，请参阅以下有关本发明的详细说明与附图，然而附图仅提供参考与说明用，并非用来对本发明加以限制。

附图中，

图 1 为一种现有的基于氧化物半导体薄膜晶体管的 GOA 电路的电路图；

图 2 为本发明基于氧化物半导体薄膜晶体管的 GOA 电路的第一实施例的电路图；

图 3 为本发明基于氧化物半导体薄膜晶体管的 GOA 电路的第二实施例

的电路图；

图 4 为本发明基于氧化物半导体薄膜晶体管的 GOA 电路的第三实施例的电路图；

图 5 为本发明基于氧化物半导体薄膜晶体管的 GOA 电路的第一、第二、
5 第三实施例中第一级 GOA 单元电路的连接关系图；

图 6 为本发明基于氧化物半导体薄膜晶体管的 GOA 电路的第一、第二、
第三实施例的输入信号与关键节点的波形示意图；

图 7 为本发明基于氧化物半导体薄膜晶体管的 GOA 电路的第二、第三
实施例的连接架构示意图；

10 图 8 为本发明基于氧化物半导体薄膜晶体管的 GOA 电路的第四实施例
的电路图；

图 9 为本发明基于氧化物半导体薄膜晶体管的 GOA 电路的第四实施例
中第一级 GOA 单元电路的连接关系图；

图 10 为本发明基于氧化物半导体薄膜晶体管的 GOA 电路的第四实施
15 例的输入信号与关键节点的波形示意图；

图 11 为本发明基于氧化物半导体薄膜晶体管的 GOA 电路的第四实施
例的连接架构示意图。

具体实施方式

20 为进一步阐述本发明所采取的技术手段及其效果，以下结合本发明的
优选实施例及其附图进行详细描述。

本发明提供一种基于氧化物半导体薄膜晶体管的 GOA 电路。请参阅图
2，为本发明基于氧化物半导体薄膜晶体管的 GOA 电路的第一实施例的电
路图，包括级联的多个 GOA 单元电路，每一级 GOA 单元电路均包括：上
25 拉控制模块 100、上拉模块 200、下传模块 300、第一下拉模块 400、自举
电容模块 500、及下拉维持模块 600。

设 N 为正整数，除第一级 GOA 单元电路以外，在第 N 级 GOA 单元电
路中：

所述上拉控制模块 100 包括第十一薄膜晶体管 T_{11} ，所述第十一薄膜晶
30 体管 T_{11} 的栅极接收上一级第 $N-1$ 级 GOA 单元电路的级传信号 $ST(N-1)$ ，
源极电性连接于恒压高电位 DCH ，漏极电性连接于第一节点 $Q(N)$ 。

所述上拉模块 200 包括：第二十一薄膜晶体管 T_{21} ，所述第二十一薄膜
晶体管 T_{21} 的栅极电性连接于第一节点 $Q(N)$ ，源极电性连接于对应该第 N
级 GOA 单元电路的第 m 组时钟信号 $CK(m)$ ，漏极输出扫描驱动信号 $G(N)$ 。

所述下传模块 300 包括: 第二十二薄膜晶体管 T22, 所述第二十二薄膜晶体管 T22 的栅极电性连接于第一节点 Q(N), 源极电性连接于对应该第 N 级 GOA 单元电路的第 m 组时钟信号 CK(m), 漏极输出级传信号 ST(N)。

所述第一下拉模块 400 包括第四十薄膜晶体管 T40 与第四十一薄膜晶体管 T41; 所述第四十薄膜晶体管 T40 的栅极与源极均电性连接于第一节点 Q(N), 漏极电性连接于第四十一薄膜晶体管 T41 的漏极; 所述第四十一薄膜晶体管 T41 的栅极输入对应于下两级第 N+2 级 GOA 单元电路的第 m+2 组时钟信号 CK(m+2), 源极输入扫描驱动信号 G(N)。

所述自举电容模块 500 包括电容 Cb, 所述电容 Cb 的一端电性连接于第一节点 Q(N), 另一端电性连接于扫描驱动信号 G(N)。

所述下拉维持模块 600 包括: 一由多个薄膜晶体管构成的双重反相器 F、第四十二薄膜晶体管 T42、第三十二薄膜晶体管 T32、第七十五薄膜晶体管 T75、与第七十六薄膜晶体管 T76; 所述双重反相器 F 的输入端电性连接于第一节点 Q(N), 输出端电性连接于第二节点 P(N); 所述第四十二薄膜晶体管 T42 的栅极电性连接于第二节点 P(N), 漏极电性连接于第一节点 Q(N), 源极电性连接于第三节点 T(N); 所述第三十二薄膜晶体管 T32 的栅极电性连接于第二节点 P(N), 漏极电性连接于扫描驱动信号 G(N), 源极电性连接于第一恒压负电位 VSS; 所述第七十五薄膜晶体管 T75 的栅极与漏极均电性连接于第一节点 Q(N), 源极电性连接于第三节点 T(N); 所述第七十六薄膜晶体管 T76 的栅极电性连接于第二节点 P(N), 漏极电性连接于第三节点 T(N), 源极电性连接于第二恒压负电位 DCL。具体地, 所述双重反相器 F 包括: 第五十一薄膜晶体管 T51, 所述第五十一薄膜晶体管 T51 的栅极与源极均电性连接于恒压高电位 DCH, 漏极电性连接于第四节点 S(N); 第五十二薄膜晶体管 T52, 所述第五十二薄膜晶体管 T52 的栅极电性连接于第一节点 Q(N), 漏极电性连接于第四节点 S(N), 源极电性连接于第一恒压负电位 VSS; 第五十三薄膜晶体管 T53, 所述第五十三薄膜晶体管 T53 的栅极电性连接于第四节点 S(N), 源极电性连接于恒压高电位 DCH, 漏极电性连接于第二节点 P(N); 第五十四薄膜晶体管 T54, 所述第五十四薄膜晶体管 T54 的栅极电性连接于第一节点 Q(N), 漏极电性连接于第二节点 P(N), 源极电性连接于第五节点 K(N); 第七十三薄膜晶体管 T73, 所述第七十三薄膜晶体管 T73 的栅极电性连接于第四节点 S(N), 源极电性连接于恒压高电位 DCH, 漏极电性连接于第五节点 K(N); 第七十四薄膜晶体管 T74, 所述第七十四薄膜晶体管 T74 的栅极电性连接于第一节点 Q(N), 源极电性连接于第二恒压负电位 DCL, 漏极电性连接于第五节点 K(N); 其

中所述第五十一薄膜晶体管 T51、第五十二薄膜晶体管 T52、第五十三薄膜晶体管 T53、与第五十四薄膜晶体管 T54 构成主反相器，所述第七十三薄膜晶体管 T73、与第七十四薄膜晶体管 T74 构成辅助反相器。

各个薄膜晶体管均为氧化物半导体薄膜晶体管，优选的，所述氧化物半导体薄膜晶体管为 IGZO 薄膜晶体管。

特别地，请参阅图 5，在本发明的第一实施例中，在第一级 GOA 单元电路内，所述第十一薄膜晶体管 T11 的栅极接入扫描启动信号 STV，所述第二十一薄膜晶体管 T21 的源极及第二十二薄膜晶体管 T22 的源极均电性连接于第一组时钟信号 CK(1)，第四十一薄膜晶体管 T41 的栅极输入对应于下两极第三级 GOA 单元电路的第三组时钟信号 CK(3)，源极输入扫描驱动信号 G(1)。

请同时参阅图 2 与图 6，本发明基于氧化物半导体薄膜晶体管的 GOA 电路第一实施例的工作过程为：自扫描启动信号 STV 启动第一级 GOA 单元电路，依次逐级进行扫描驱动。扫描驱动进行至第 N 级 GOA 单元电路，上一级第 N-1 级 GOA 单元电路的级传信号 ST(N-1)为高电位时，第十一薄膜晶体管 T11 导通，恒压高电位 DCH 通过第十一薄膜晶体管 T11 将第一节点 Q(N) 抬升到高电位，并对电容 Cb 充电。随后，第 N-1 级 GOA 单元电路的级传信号 ST(N-1)转为低电位，第十一薄膜晶体管 T11 断开，第一节点 Q(N) 通过电容 Cb 维持在高电位，使得第二十一薄膜晶体管 T21 与第二十二薄膜晶体管 T22 导通。接着，对应于该第 N 级 GOA 单元电路的第 m 组时钟信号 CK(m)转为高电平，第二十一薄膜晶体管 T21 的漏极输出高电位的扫描驱动信号 G(N)，第二十二薄膜晶体管 T22 的漏极输出高电位的级传信号 ST(N)，同时第 m 组时钟信号 CK(m)通过第二十一薄膜晶体管 T21 继续给电容 Cb 充电，使得第一节点 Q(N) 上升到一更高电位。然后，扫描驱动信号 G(N)随着第 m 组时钟信号 CK(m)转变为低电位，对应于下两极第 N+2 级 GOA 单元电路的第 m+2 组时钟信号 CK(m+2)为高电位，第四十一薄膜晶体管 T41 与第四十薄膜晶体管 T40 导通，第一节点 Q(N) 通过下拉模块 400 放电，转变为低电位。

一般将扫描驱动信号 G(N)为高电位的时隙称为作用期间。在作用期间，由于第一节点 Q(N)为高电位，第十一薄膜晶体管 T11 的源极接入恒压高电位 DCH，因此第一节点 Q(N)不会通过第十一薄膜晶体管 T11 产生漏电；同时，由于第一节点 Q(N)为高电位，经双重反相器 F 反相后得到第二节点 P(N)为低电位，第四十二薄膜晶体管 T42、及第三十二薄膜晶体管 T32 均断开，确保第一节点 Q(N)和扫描驱动信号 G(N)稳定的输出高电位；第一

节点 Q(N)的高电位通过第七十五薄膜晶体管 T75 传递至第四十二薄膜晶体管 T42 的源极, 因此第一节点 Q(N)不会通过第四十二薄膜晶体管 T42 产生漏电; 第四十一薄膜晶体管 T41 此时为断开状态, 且第四十一薄膜晶体管 T41 的源极输入高电位的扫描驱动信号 G(N), 第一节点 Q(N)也不会通过第四十一薄膜晶体管 T41 与第四十薄膜晶体管 T40 的串联路径漏电。

在非作用期间, 即当第一节点 Q(N)转变为低电位时, 反相器 F 输出为高电位, 即第二节点 P(N)为高电位, 第四十二薄膜晶体管 T42、第三十二薄膜晶体管 T32、及第七十六薄膜晶体管 T76 均导通, 第一节点 Q(N)通过第四十二薄膜晶体管 T42 与第七十六薄膜晶体管 T76 被进一步拉低并维持在第二恒压负电位 DCL; 扫描驱动信号 G(N)通过第三十二薄膜晶体管 T32 被进一步拉低并维持在第一恒压负电位 VSS。此时, 由于第四十薄膜晶体管 T40 采用了二级体接法, 即将第四十薄膜晶体管 T40 的栅极与源极短接, 所述第四十薄膜晶体管 T40 的栅源极电压 V_{gs} 等于 0V, 相比现有技术将第四十薄膜晶体管 T40 的栅极连接第 N+2 级 GOA 单元电路的扫描驱动信号 G(N+2), 能够避免由第二恒压负电位 DCL 引起的串扰电流流经该第四十薄膜晶体管 T40。由于第七十五薄膜晶体管 T75 的漏极电性连接于第一节点 Q(N), 第四十二薄膜晶体管 T42 的源极电性连接于第七十五薄膜晶体管 T75 的漏极, 相比现有技术将第七十五薄膜晶体管 T75 的漏极电性连接于恒压高电位 DCH, 能够避免恒压高电位 DCH 在非作用期间对第一节点 Q(N)下拉维持的影响。

进一步地, 设置所述第二恒压负电位 DCL 低于第一恒压负电位 VSS, 以便于进行分开独立控制。当作用期间第一节点 Q(N)为高电位时, 所述双重反相器 F 的主反相器中的第五十二薄膜晶体管 T52 与第五十四薄膜晶体管 T54 均导通, 第五十三薄膜晶体管 T53 断开, 辅助主反相器中的第七十四薄膜晶体管 T74 导通, 第七十三薄膜晶体管 T73 关闭, 第二节点 P(N)的电位被拉低到比第一恒压负电位 VSS 更低的第二恒压负电位 DCL, 确保第一节点 Q(N)和扫描驱动信号 G(N)稳定的输出高电位; 当非作用期间第一节点 Q(N)为低电位时, 所述双重反相器 F 的主反相器中的第五十二薄膜晶体管 T52 与第五十四薄膜晶体管 T54 均断开, 第五十一薄膜晶体管 T51 与第五十三薄膜晶体管 T53 均导通, 辅助主反相器中的第七十四薄膜晶体管 T74 断开, 第七十三薄膜晶体管 T73 导通, 防止第五十四薄膜晶体管 T54 漏电, 使得第二节点 P(N)的电位保持在恒压高电位 DCH, 能够维持第一节点 Q(N)和扫描驱动信号 G(N)的低电位。

请同时参阅图 3、图 5、图 6、与图 7, 为本发明基于氧化物半导体薄

膜晶体管的 GOA 电路的第二实施例, 该第二实施例与第一实施例的区别在于, 增设了一清空重置模块 700。具体的, 所述清空重置模块 700 包括一第九薄膜晶体管 T9, 所述第九薄膜晶体管 T9 的栅极接入扫描启动信号 STV, 漏极电性连接于第一节点 Q(N), 源极电性连接于第一恒压负电位 VSS。该

5 清空重置模块 700 用于在每一帧画面产生前利用扫描启动信号 STV 对第一节点 Q(N) 进行清空重置, 清除残余电荷对 GOA 电路的干扰, 同时, 在第一帧画面产生前也可以清空第一节点 Q(N), 预防第一帧画面悬空对 GOA 电路输出的影响, 保证 GOA 电路的正常输出和画面的正常显示。

特别需要说明的是, 设所述时钟信号共包括 M 组, M 为 4 的整数倍,

10 则当 $N > M$ 时, 在第 N 级 GOA 单元电路中设置清空重置模块 700。例如, 图 6 与图 7 以所述时钟信号共包括四组为例, 从第五级 GOA 单元电路开始, 在第五级至最后一级 GOA 单元电路中均设置清空重置模块 700, 相应的, 第五级至最后一级 GOA 单元电路均需接入用于控制清空重置模块 700 的扫描启动信号 STV; 而第一级至第四级 GOA 单元电路中均不设置清空重

15 置模块 700, 仅有第一级 GOA 单元电路需接入用于启动扫描驱动的扫描启动信号 STV。具体地, 所述四组时钟信号分别为: 第一组时钟信号 CK(1)、第二组时钟信号 CK(2)、第三组时钟信号 CK(3)、及第四组时钟信号 CK(4); 当所述第 m 组时钟信号 CK(m) 为第三组时钟信号 CK(3) 时, 所述第 m+2 组时钟信号 CK(m+2) 为第一组时钟信号 CK(1), 当所述时钟信号 CK(m) 为第四

20 组时钟信号 CK(4) 时, 所述第 m+2 组时钟信号 CK(m+2) 为第二组时钟信号 CK(2); 所述四组时钟信号的波形占空比为 25/75, 以避免时钟信号波形对第一下拉模块 400 的影响, 第一节点 Q(N) 处的波形呈“凸”字形。

同理, 若所述时钟信号共包括八组, 则从第九级 GOA 单元电路开始, 在第九级至最后一级 GOA 单元电路中均设置清空重置模块 700, 相应的,

25 第九级至最后一级 GOA 单元电路均需接入用于控制清空重置模块 700 的扫描启动信号 STV; 而第一级至第八级 GOA 单元电路中均不设置清空重置模块 700, 仅有第一级 GOA 单元电路需接入用于启动扫描驱动的扫描启动信号 STV。

其余电路结构与工作过程均与第一实施例相同, 此处不再赘述。

30 请同时参阅图 4、图 5、图 6、与图 7, 为本发明基于氧化物半导体薄膜晶体管的 GOA 电路的第三实施例, 该第三实施例与第二实施例的区别仅在于, 将第九薄膜晶体管 T9 的源极电性连接于对应第 N 级 GOA 单元电路的第 m 组时钟信号 CK(m), 这样做的好处是能够降低第九薄膜晶体管 T9 对第一节点 Q(N) 在作用期间的漏电影响。其余均与第二实施例相同, 此处

不再赘述。

请同时参阅图 8、图 9、图 10 与图 11，为本发明基于氧化物半导体薄膜晶体管的 GOA 电路的第四实施例，该第四实施例同样设置清空重置模块 700，与第三实施例不同的是，所述清空重置模块 700 内第九薄膜晶体管 T9 的栅极接入重置信号 Reset，即该第四实施例需要增加一个不同于扫描启动信号 STV 的重置信号 Reset，且如图 10 所示，所述重置信号 Reset 在扫描启动信号 STV 之前产生。这种情况下，可在第一级至最后一级 GOA 单元电路中的每一级均设置清空重置模块 700。

以所述时钟信号共包括四组为例，如图 9、图 11 所示，第一级 GOA 单元电路接入用于控制清空重置模块 700 的重置信号 Reset 与用于启动扫描驱动的扫描启动信号 STV；第二级至最后一级 GOA 单元电路中的每一级接入用于控制清空重置模块 700 的重置信号 Reset，同样能够实现在每一帧画面产生前利用重置信号 Reset 对第一节点 Q(N)进行清空重置，清除残余电荷对 GOA 电路的干扰，同时第一帧画面产生前也可以清空第一节点 Q(N)，预防第一帧画面悬空对 GOA 电路输出的影响，保证 GOA 电路的正常输出和画面的正常显示。

综上所述，本发明的基于氧化物半导体薄膜晶体管的 GOA 电路，不仅能够防止漏电，提高 GOA 电路的可靠性，还通过将第一下拉模块内的第四十薄膜晶体管的栅极与源极短接来避免 GOA 单元电路在非作用期间产生串扰电流，通过将下拉维持模块中第七十五薄膜晶体管的栅极与漏极均电性连接于第一节点来避免恒压高电位对第一节点下拉维持的影响，通过设置清空重置模块在每一帧画面产生前对第一节点进行清空重置，以清除残余电荷对 GOA 电路的干扰，保证 GOA 电路的正常输出和画面的正常显示。

以上所述，对于本领域的普通技术人员来说，可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形，而所有这些改变和变形都应属于本发明后附的权利要求的保护范围。

权 利 要 求

1、一种基于氧化物半导体薄膜晶体管的 GOA 电路，包括级联的多个 GOA 单元电路，每一级 GOA 单元电路均包括：上拉控制模块、上拉模块、
5 下传模块、第一下拉模块、自举电容模块、及下拉维持模块；

设 N 为正整数，除第一级 GOA 单元电路以外，在第 N 级 GOA 单元电路中：

所述上拉控制模块包括第十一薄膜晶体管，所述第十一薄膜晶体管的栅极接收上一级第 $N-1$ 级 GOA 单元电路的级传信号，源极电性连接于恒压高电位，漏极电性连接于第一节点；
10

所述上拉模块包括：第二十一薄膜晶体管，所述第二十一薄膜晶体管的栅极电性连接于第一节点，源极电性连接于对应该第 N 级 GOA 单元电路的第 m 组时钟信号，漏极输出扫描驱动信号；

所述下传模块包括：第二十二薄膜晶体管，所述第二十二薄膜晶体管的栅极电性连接于第一节点，源极电性连接于对应该第 N 级 GOA 单元电路的第 m 组时钟信号，漏极输出级传信号；
15

所述第一下拉模块包括第四十薄膜晶体管、与第四十一薄膜晶体管；所述第四十薄膜晶体管的栅极与源极均电性连接于第一节点，漏极电性连接于第四十一薄膜晶体管的漏极；所述第四十一薄膜晶体管的栅极输入对应于下两级第 $N+2$ 级 GOA 单元电路的第 $m+2$ 组时钟信号，源极输入扫描驱动信号；
20

所述自举电容模块包括电容，所述电容的一端电性连接于第一节点，另一端电性连接于扫描驱动信号；

所述下拉维持模块包括：一由多个薄膜晶体管构成的双重反相器、第四十二薄膜晶体管、第三十二薄膜晶体管、第七十五薄膜晶体管、与第七十六薄膜晶体管；所述双重反相器的输入端电性连接于第一节点，输出端电性连接于第二节点；所述第四十二薄膜晶体管的栅极电性连接于第二节点，漏极电性连接于第一节点，源极电性连接于第三节点；所述第三十二薄膜晶体管的栅极电性连接于第二节点，漏极电性连接于扫描驱动信号，
25 源极电性连接于第一恒压负电位；所述第七十五薄膜晶体管的栅极与漏极均电性连接于第一节点，源极电性连接于第三节点；所述第七十六薄膜晶体管的栅极电性连接于第二节点，漏极电性连接于第三节点，源极电性连接于第二恒压负电位；
30

所述第二恒压负电位低于第一恒压负电位；

各个薄膜晶体管均为氧化物半导体薄膜晶体管。

2、如权利要求 1 所述的基于氧化物半导体薄膜晶体管的 GOA 电路，还包括一清空重置模块，用于在每一帧画面产生前对第一节点进行清空重置。

3、如权利要求 2 所述的基于氧化物半导体薄膜晶体管的 GOA 电路，其中，所述清空重置模块包括一第九薄膜晶体管，所述第九薄膜晶体管的栅极接入扫描启动信号，漏极电性连接于第一节点，源极电性连接于第一恒压负电位。

4、如权利要求 2 所述的基于氧化物半导体薄膜晶体管的 GOA 电路，其中，所述清空重置模块包括一第九薄膜晶体管，所述第九薄膜晶体管的栅极接入扫描启动信号，漏极电性连接于第一节点，源极电性连接于对应第 N 级 GOA 单元电路的第 m 组时钟信号。

5、如权利要求 2 所述的基于氧化物半导体薄膜晶体管的 GOA 电路，其中，所述清空重置模块包括一第九薄膜晶体管，所述第九薄膜晶体管的栅极接入重置信号，漏极电性连接于第一节点，源极电性连接于对应第 N 级 GOA 单元电路的第 m 组时钟信号；所述重置信号在扫描启动信号之前产生。

6、如权利要求 3 所述的基于氧化物半导体薄膜晶体管的 GOA 电路，其中，设所述时钟信号共包括 M 组，M 为 4 的整数倍，则当 $N > M$ 时，在第 N 级 GOA 单元电路中设置清空重置模块。

7、如权利要求 4 所述的基于氧化物半导体薄膜晶体管的 GOA 电路，其中，设所述时钟信号共包括 M 组，M 为 4 的整数倍，则当 $N > M$ 时，在第 N 级 GOA 单元电路中设置清空重置模块。

8、如权利要求 5 所述的基于氧化物半导体薄膜晶体管的 GOA 电路，其中，在每一级 GOA 单元电路中均设置清空重置模块。

9、如权利要求 6 所述的基于氧化物半导体薄膜晶体管的 GOA 电路，其中，所述时钟信号共包括四组：第一组时钟信号、第二组时钟信号、第三组时钟信号、及第四组时钟信号；当所述第 m 组时钟信号为第三时钟信号时，所述第 m+2 组时钟信号为第一组时钟信号，当所述时钟信号为第四组时钟信号时，所述第 m+2 组时钟信号为第二组时钟信号；所述四组时钟信号的波形占空比为 25/75；

在第五级至最后一级 GOA 单元电路中设置清空重置模块。

10、如权利要求 7 所述的基于氧化物半导体薄膜晶体管的 GOA 电路，

其中, 所述时钟信号共包括四组: 第一组时钟信号、第二组时钟信号、第三组时钟信号、及第四组时钟信号; 当所述第 m 组时钟信号为第三时钟信号时, 所述第 $m+2$ 组时钟信号为第一组时钟信号, 当所述时钟信号为第四组时钟信号时, 所述第 $m+2$ 组时钟信号为第二组时钟信号; 所述四组时钟信号的波形占空比为 25/75;

在第五级至最后一级 GOA 单元电路中设置清空重置模块。

11、如权利要求 1 所述的基于氧化物半导体薄膜晶体管的 GOA 电路, 其中, 所述双重反相器包括: 第五十一薄膜晶体管, 所述第五十一薄膜晶体管的栅极与源极均电性连接于恒压高电位, 漏极电性连接于第四节点; 第五十二薄膜晶体管, 所述第五十二薄膜晶体管的栅极电性连接于第一节点, 漏极电性连接于第四节点, 源极电性连接于第一恒压负电位; 第五十三薄膜晶体管, 所述第五十三薄膜晶体管的栅极电性连接于第四节点, 源极电性连接于恒压高电位, 漏极电性连接于第二节点; 第五十四薄膜晶体管, 所述第五十四薄膜晶体管的栅极电性连接于第一节点, 漏极电性连接于第二节点, 源极电性连接于第五节点; 第七十三薄膜晶体管, 所述第七十三薄膜晶体管的栅极电性连接于第四节点, 源极电性连接于恒压高电位, 漏极电性连接于第五节点; 第七十四薄膜晶体管, 所述第七十四薄膜晶体管的栅极电性连接于第一节点, 源极电性连接于第二恒压负电位, 漏极电性连接于第五节点; 其中所述第五十一薄膜晶体管、第五十二薄膜晶体管、第五十三薄膜晶体管、与第五十四薄膜晶体管构成主反相器, 所述第七十三薄膜晶体管、与第七十四薄膜晶体管构成辅助反相器。

12、如权利要求 1 所述的基于氧化物半导体薄膜晶体管的 GOA 电路, 其中, 在第一级 GOA 单元电路中, 所述第十一薄膜晶体管的栅极接入扫描启动信号。

13、一种基于氧化物半导体薄膜晶体管的 GOA 电路, 包括级联的多个 GOA 单元电路, 每一级 GOA 单元电路均包括: 上拉控制模块、上拉模块、下传模块、第一下拉模块、自举电容模块、及下拉维持模块;

设 N 为正整数, 除第一级 GOA 单元电路以外, 在第 N 级 GOA 单元电路中:

所述上拉控制模块包括第十一薄膜晶体管, 所述第十一薄膜晶体管的栅极接收上一级第 $N-1$ 级 GOA 单元电路的级传信号, 源极电性连接于恒压高电位, 漏极电性连接于第一节点;

所述上拉模块包括: 第二十一薄膜晶体管, 所述第二十一薄膜晶体管的栅极电性连接于第一节点, 源极电性连接于对应该第 N 级 GOA 单元电路

的第 m 组时钟信号, 漏极输出扫描驱动信号;

所述下传模块包括: 第二十二薄膜晶体管, 所述第二十二薄膜晶体管的栅极电性连接于第一节点, 源极电性连接于对应该第 N 级 GOA 单元电路的第 m 组时钟信号, 漏极输出级传信号;

5 所述第一下拉模块包括第四十薄膜晶体管、与第四十一薄膜晶体管; 所述第四十薄膜晶体管的栅极与源极均电性连接于第一节点, 漏极电性连接于第四十一薄膜晶体管的漏极; 所述第四十一薄膜晶体管的栅极输入对应于下两极第 $N+2$ 级 GOA 单元电路的第 $m+2$ 组时钟信号, 源极输入扫描驱动信号;

10 所述自举电容模块包括电容, 所述电容的一端电性连接于第一节点, 另一端电性连接于扫描驱动信号;

所述下拉维持模块包括: 一由多个薄膜晶体管构成的双重反相器、第四十二薄膜晶体管、第三十二薄膜晶体管、第七十五薄膜晶体管、与第七十六薄膜晶体管; 所述双重反相器的输入端电性连接于第一节点, 输出端电性连接于第二节点; 所述第四十二薄膜晶体管的栅极电性连接于第二节点, 漏极电性连接于第一节点, 源极电性连接于第三节点; 所述第三十二薄膜晶体管的栅极电性连接于第二节点, 漏极电性连接于扫描驱动信号, 源极电性连接于第一恒压负电位; 所述第七十五薄膜晶体管的栅极与漏极均电性连接于第一节点, 源极电性连接于第三节点; 所述第七十六薄膜晶体管的栅极电性连接于第二节点, 漏极电性连接于第三节点, 源极电性连接于第二恒压负电位;

所述第二恒压负电位低于第一恒压负电位;

各个薄膜晶体管均为氧化物半导体薄膜晶体管;

25 还包括一清空重置模块, 用于在每一帧画面产生前对第一节点进行清空重置;

其中, 所述双重反相器包括: 第五十一薄膜晶体管, 所述第五十一薄膜晶体管的栅极与源极均电性连接于恒压高电位, 漏极电性连接于第四节点; 第五十二薄膜晶体管, 所述第五十二薄膜晶体管的栅极电性连接于第一节点, 漏极电性连接于第四节点, 源极电性连接于第一恒压负电位; 第五十三薄膜晶体管, 所述第五十三薄膜晶体管的栅极电性连接于第四节点, 源极电性连接于恒压高电位, 漏极电性连接于第二节点; 第五十四薄膜晶体管, 所述第五十四薄膜晶体管的栅极电性连接于第一节点, 漏极电性连接于第二节点, 源极电性连接于第五节点; 第七十三薄膜晶体管, 所述第七十三薄膜晶体管的栅极电性连接于第四节点, 源极电性连接于恒压高电

位，漏极电性连接于第五节点；第七十四薄膜晶体管，所述第七十四薄膜晶体管的栅极电性连接于第一节点，源极电性连接于第二恒压负电位，漏极电性连接于第五节点；其中所述第五十一薄膜晶体管、第五十二薄膜晶体管、第五十三薄膜晶体管、与第五十四薄膜晶体管构成主反相器，所述
5 第七十三薄膜晶体管、与第七十四薄膜晶体管构成辅助反相器；

其中，在第一级 GOA 单元电路中，所述第十一薄膜晶体管的栅极接入扫描启动信号；

其中，所述清空重置模块包括一第九薄膜晶体管，所述第九薄膜晶体管的栅极接入重置信号，漏极电性连接于第一节点，源极电性连接于对应
10 第 N 级 GOA 单元电路的第 m 组时钟信号；所述重置信号在扫描启动信号之前产生。

14、如权利要求 13 所述的基于氧化物半导体薄膜晶体管的 GOA 电路，其中，在每一级 GOA 单元电路中均设置清空重置模块。

15

20

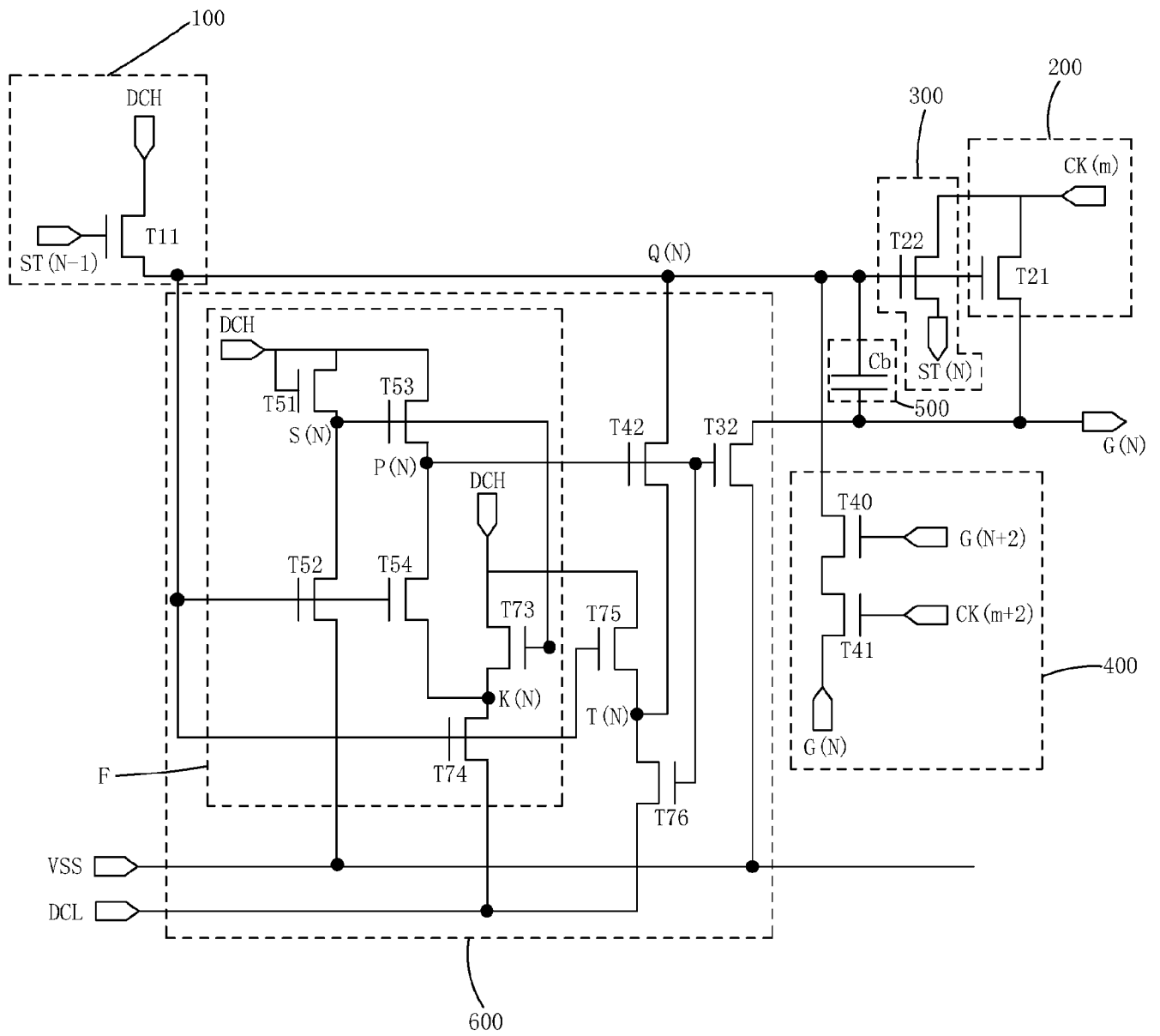


图1

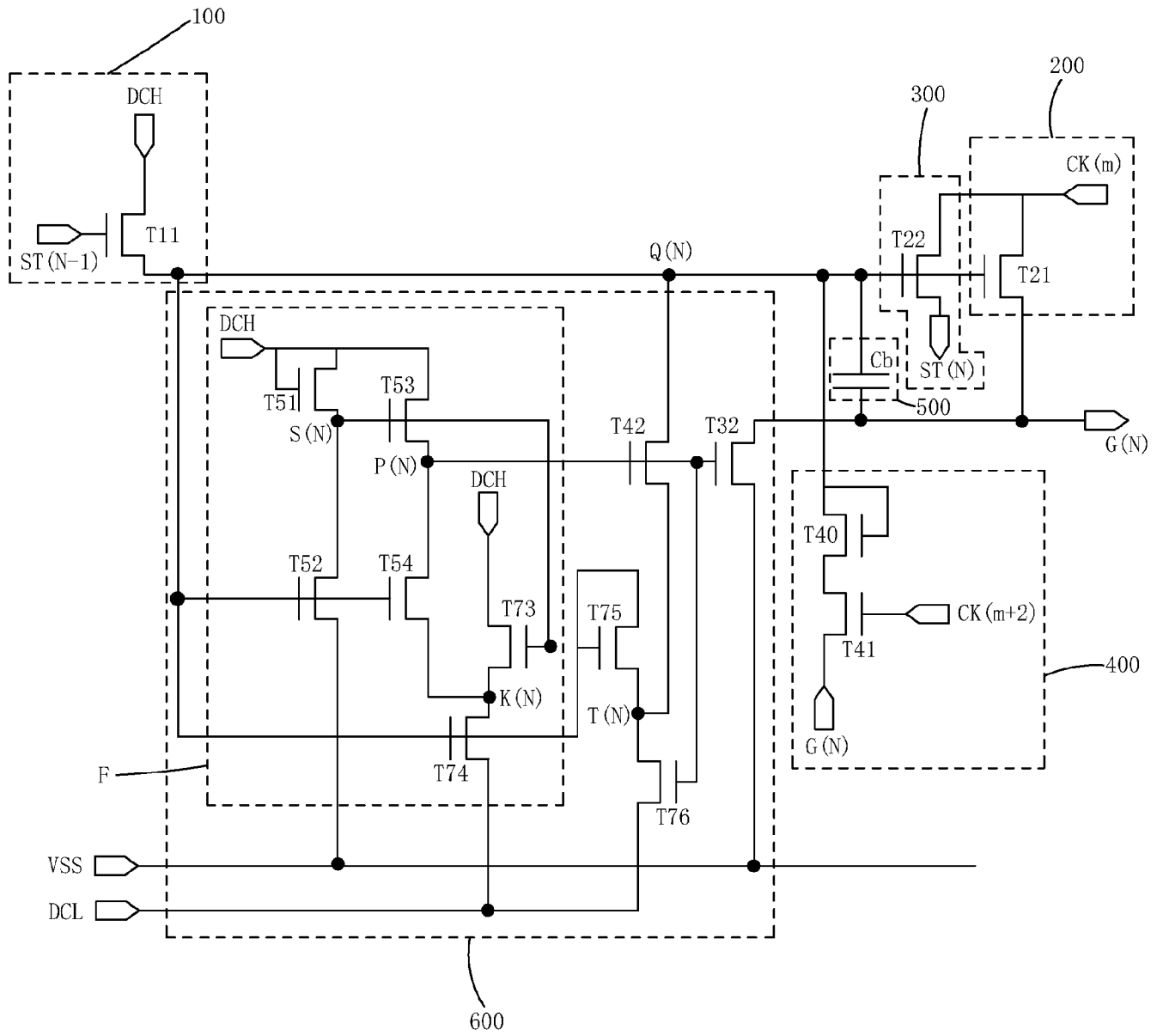


图2

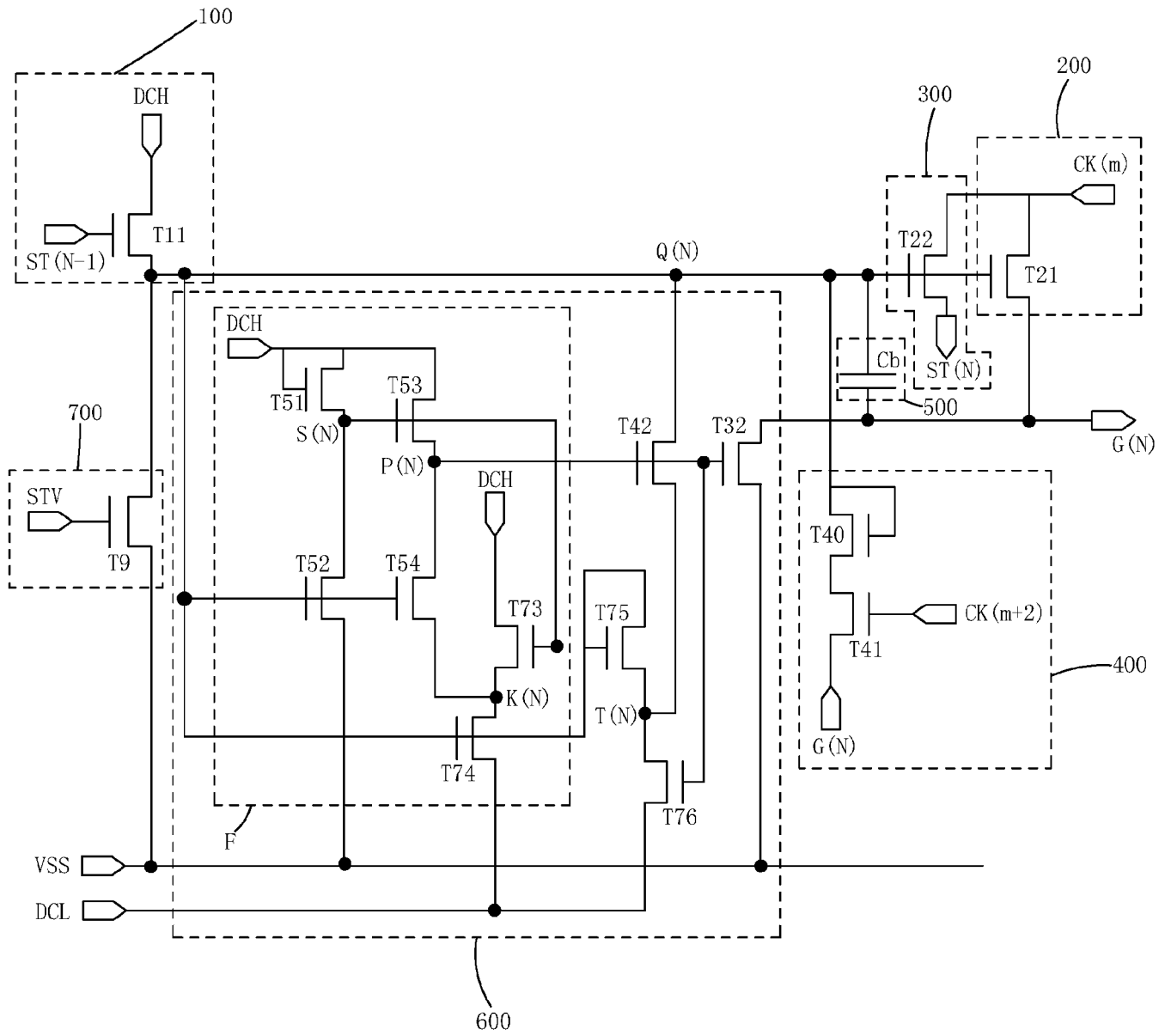


图3

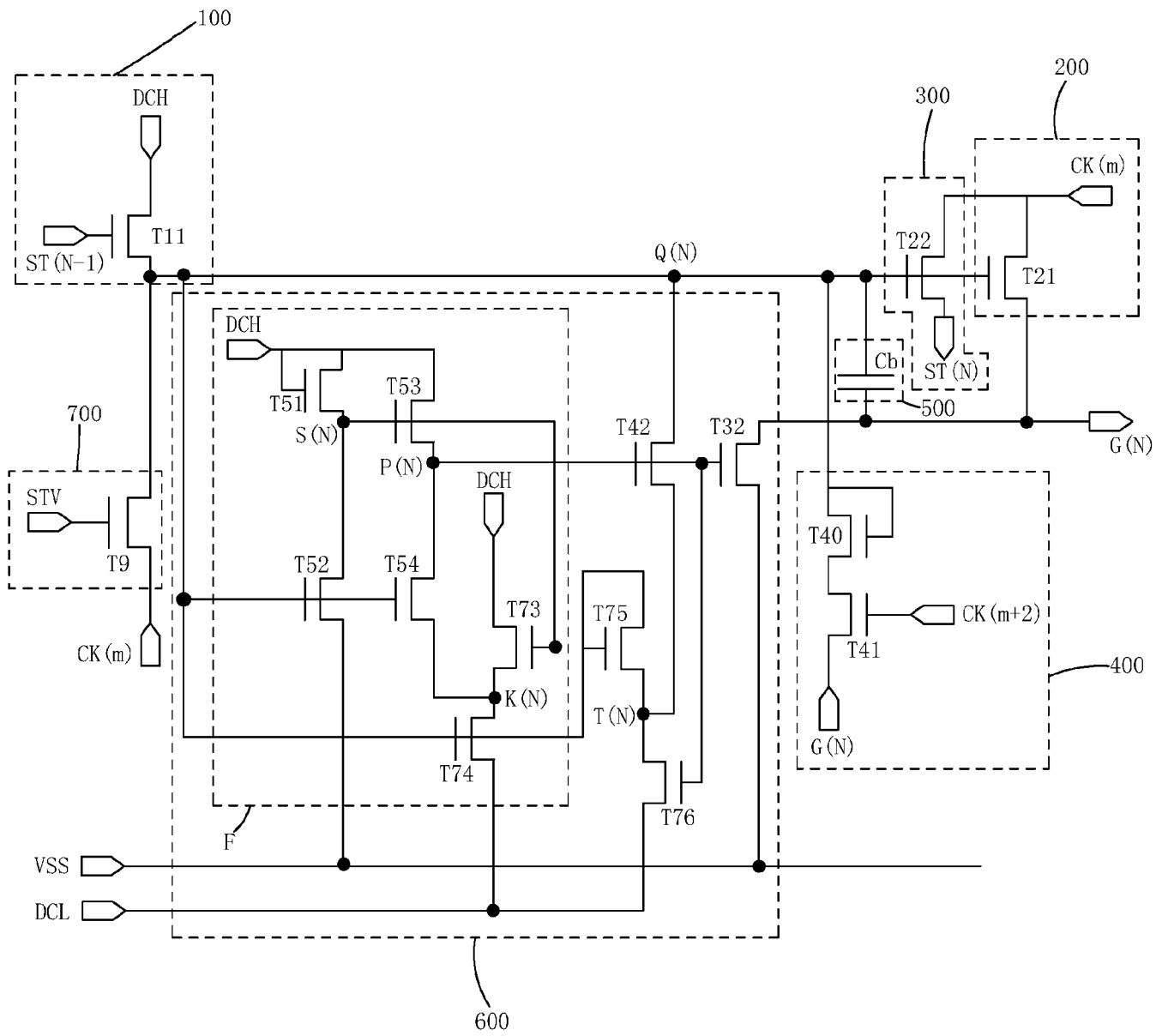


图4

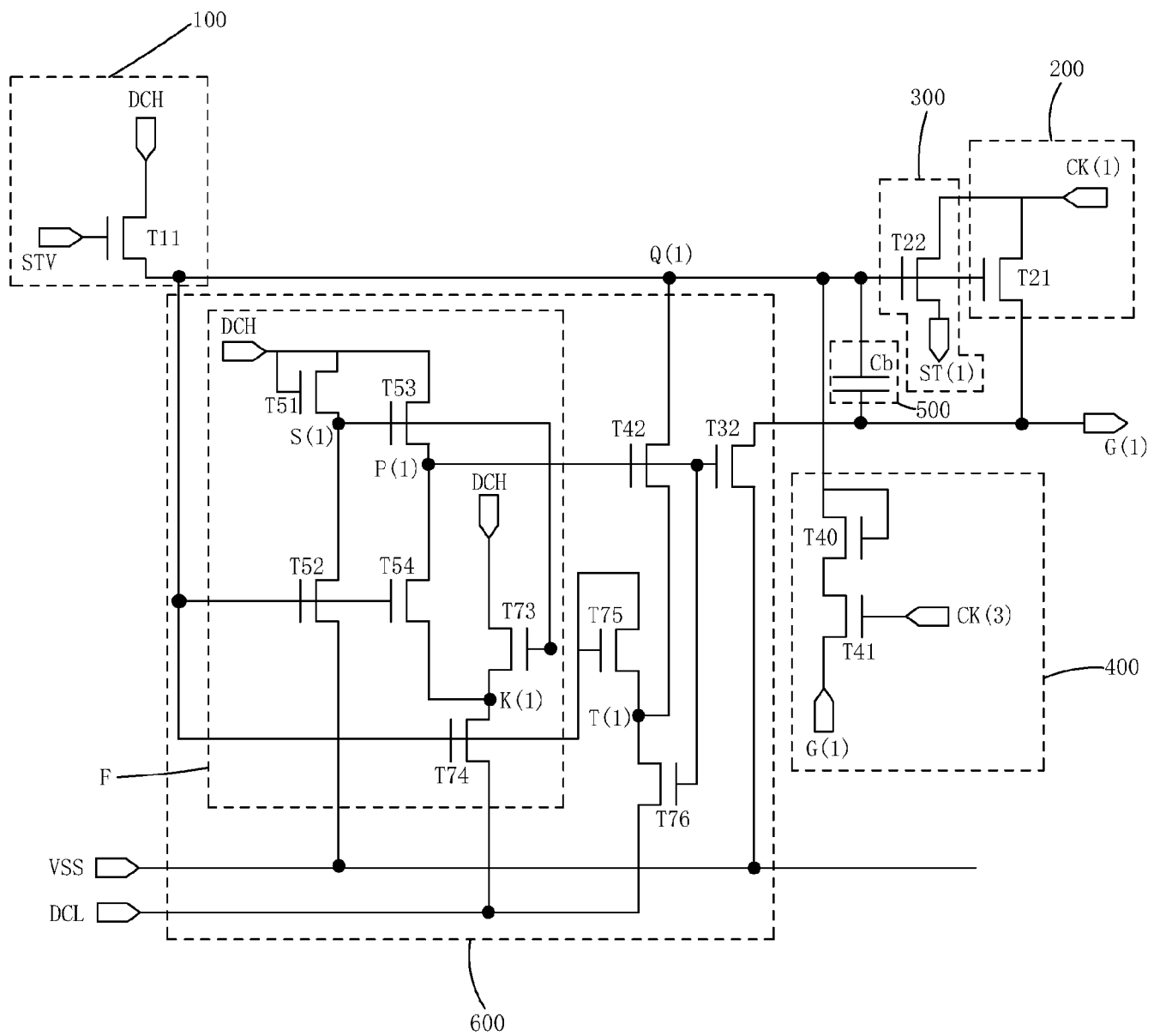


图5

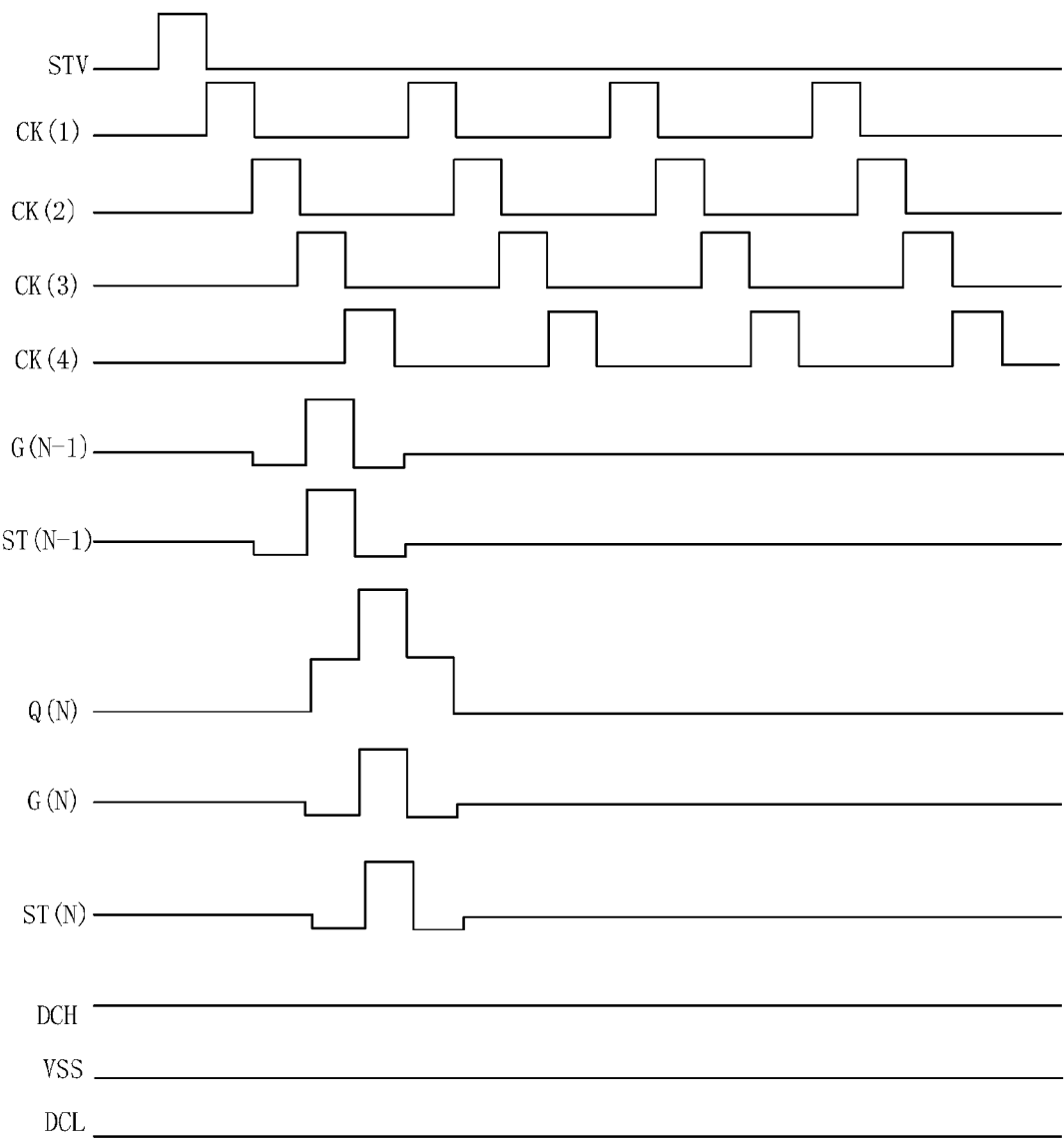


图6

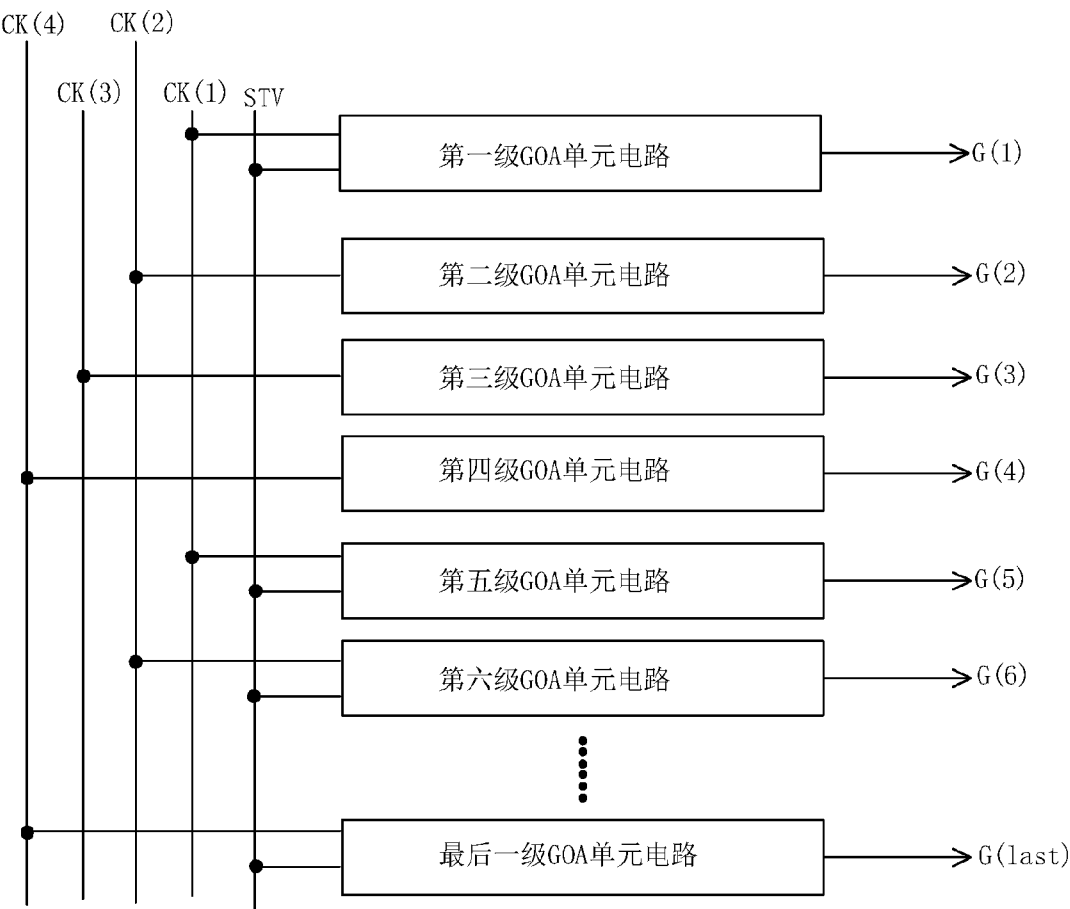


图7

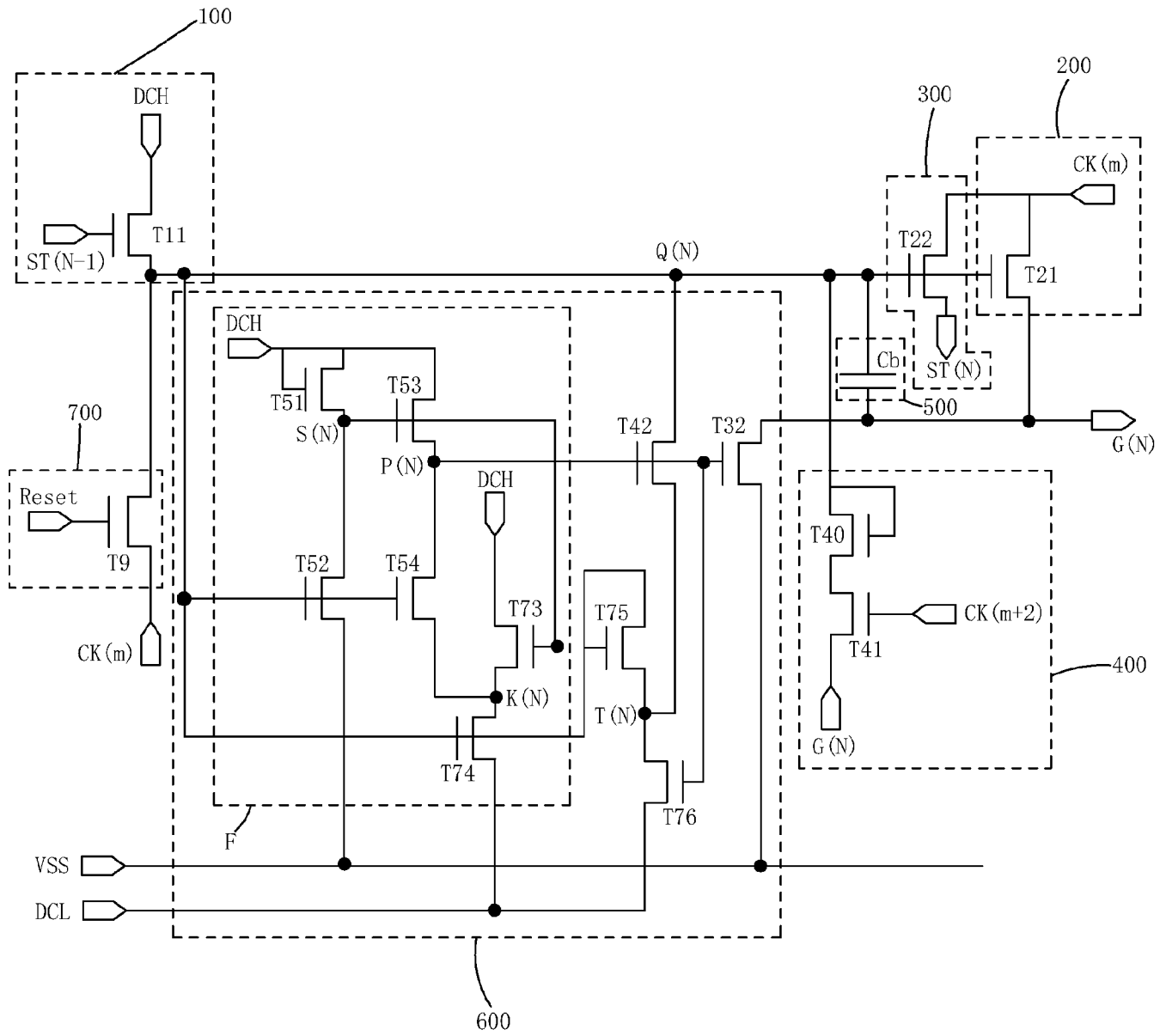


图8

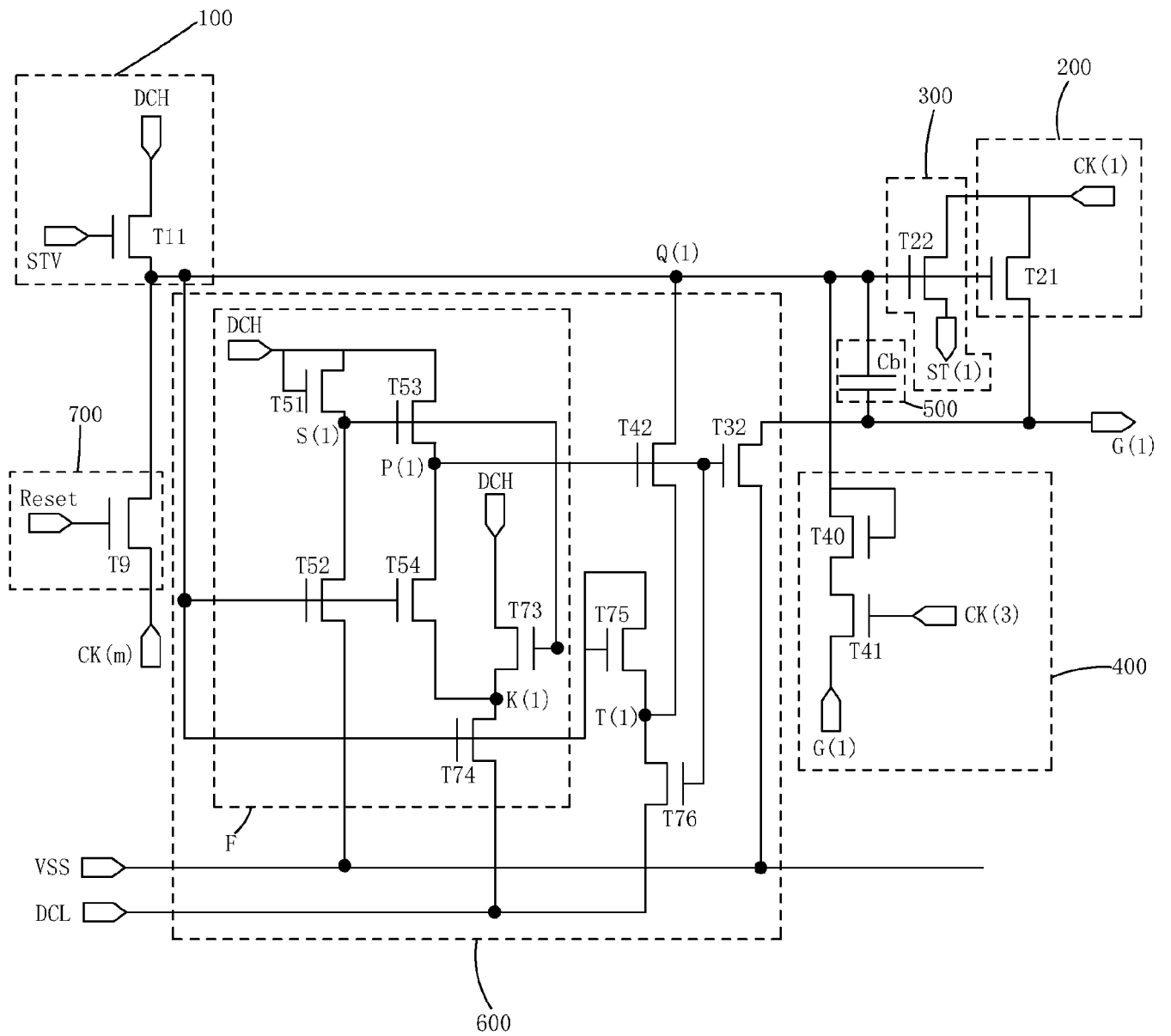


图9

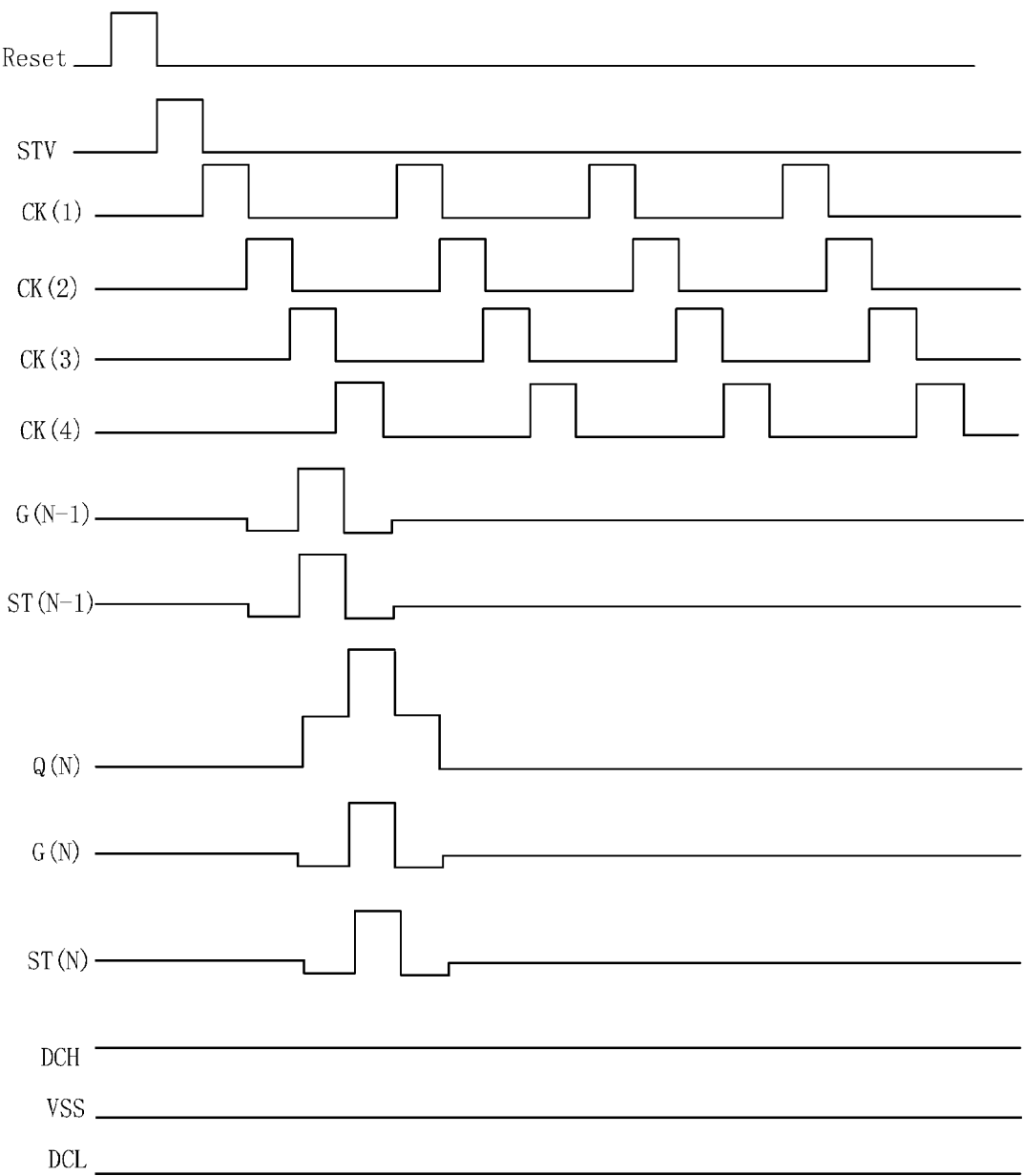


图10

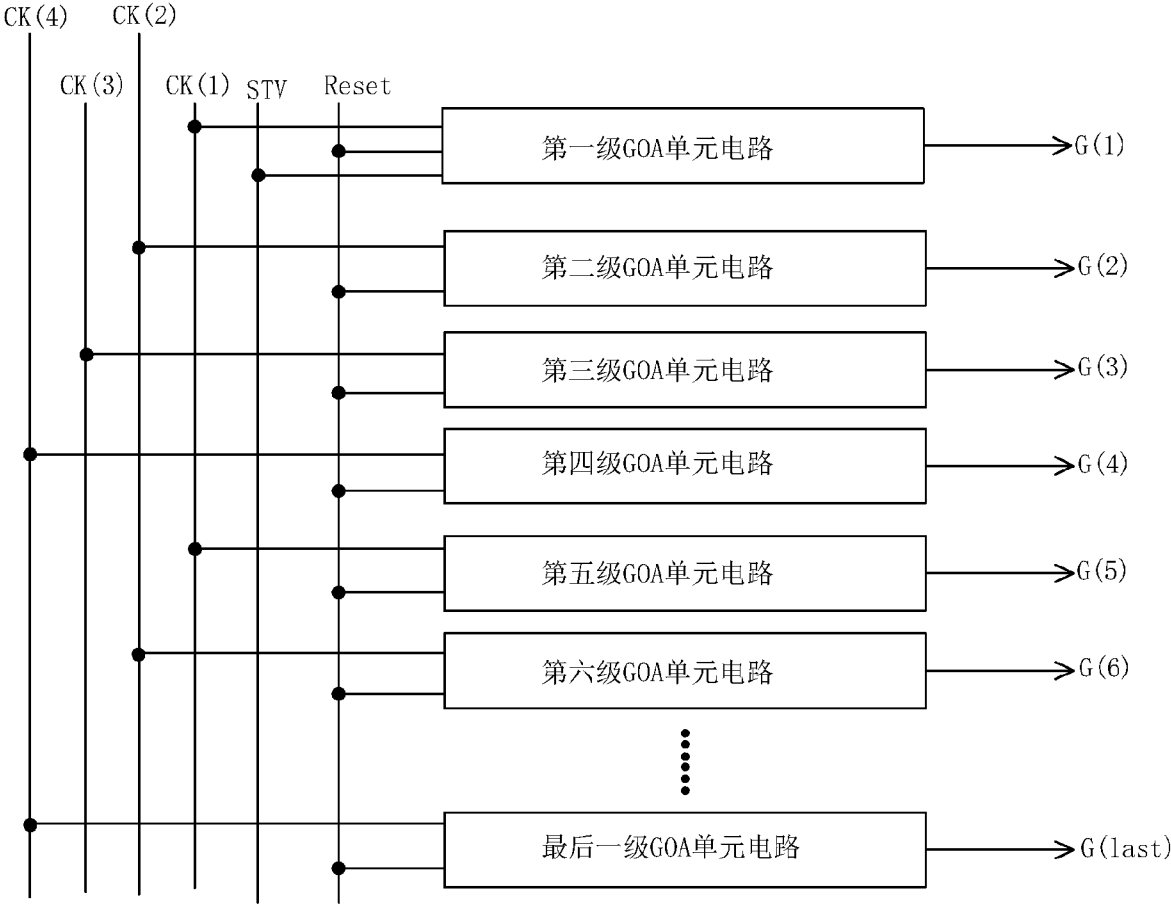


图11

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2015/082007

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI, CNPAT, GOOGLE, EPODOC, WPI: SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.; liquid crystal, display+, LCD, GOA, drive+ w circuit, cascad+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 104851403 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 19 August 2015 (19.08.2015), claims 1-10, and description, paragraphs [0024], [0026] and [0027]	1-14
A	CN 104464671 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 25 March 2015 (25.03.2015), description, paragraphs [0045]-[0077], and figures 2-7	1-14
A	CN 104269152 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 07 January 2015 (07.01.2015), the whole document	1-14
A	CN 104409055 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 11 March 2015 (11.03.2015), the whole document	1-14
A	US 9014327 B2 (BOE TECHNOLOGY GROUP CO., LTD.), 21 April 2015 (21.04.2015), the whole document	1-14

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 12 January 2016 (12.01.2016)	Date of mailing of the international search report 26 January 2016 (26.01.2016)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer WANG, Na Telephone No.: (86-10) 61648121

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2015/082007

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 104851403 A	19 August 2015	None	
CN 104464671 A	25 March 2015	None	
CN 104269152 A	07 January 2015	None	
CN 104409055 A	11 March 2015	None	
US 9014327 B2	21 April 2015	WO 2013177904 A1	05 December 2013
		CN 102708824 B	02 April 2014
		US 2014191937 A1	10 July 2014
		CN 102708824 A	03 October 2012
		US 2015207503 A1	23 July 2015

国际检索报告

国际申请号

PCT/CN2015/082007

A. 主题的分类 G09G 3/36 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类																				
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) G09G 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNKI, CNPAT, GOOGLE, EPDOC, WPI: 液晶, 显示, 驱动电路, 级联, 深圳市华星光电技术有限公司, liquid w crystal, display+, LCD, GOA, drive+ w circuit, cascad+																				
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>PX</td> <td>CN 104851403 A (深圳市华星光电技术有限公司) 2015年 8月 19日 (2015 - 08 - 19) 权利要求1-10, 说明书第[0024]、[0026]、[0027]段</td> <td>1-14</td> </tr> <tr> <td>A</td> <td>CN 104464671 A (深圳市华星光电技术有限公司) 2015年 3月 25日 (2015 - 03 - 25) 说明书第[0045]-[0077]段, 附图2-7</td> <td>1-14</td> </tr> <tr> <td>A</td> <td>CN 104269152 A (深圳市华星光电技术有限公司) 2015年 1月 7日 (2015 - 01 - 07) 全文</td> <td>1-14</td> </tr> <tr> <td>A</td> <td>CN 104409055 A (深圳市华星光电技术有限公司) 2015年 3月 11日 (2015 - 03 - 11) 全文</td> <td>1-14</td> </tr> <tr> <td>A</td> <td>US 9014327 B2 (BOE TECHNOLOGY GROUP CO., LTD.) 2015年 4月 21日 (2015 - 04 - 21) 全文</td> <td>1-14</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	PX	CN 104851403 A (深圳市华星光电技术有限公司) 2015年 8月 19日 (2015 - 08 - 19) 权利要求1-10, 说明书第[0024]、[0026]、[0027]段	1-14	A	CN 104464671 A (深圳市华星光电技术有限公司) 2015年 3月 25日 (2015 - 03 - 25) 说明书第[0045]-[0077]段, 附图2-7	1-14	A	CN 104269152 A (深圳市华星光电技术有限公司) 2015年 1月 7日 (2015 - 01 - 07) 全文	1-14	A	CN 104409055 A (深圳市华星光电技术有限公司) 2015年 3月 11日 (2015 - 03 - 11) 全文	1-14	A	US 9014327 B2 (BOE TECHNOLOGY GROUP CO., LTD.) 2015年 4月 21日 (2015 - 04 - 21) 全文	1-14
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																		
PX	CN 104851403 A (深圳市华星光电技术有限公司) 2015年 8月 19日 (2015 - 08 - 19) 权利要求1-10, 说明书第[0024]、[0026]、[0027]段	1-14																		
A	CN 104464671 A (深圳市华星光电技术有限公司) 2015年 3月 25日 (2015 - 03 - 25) 说明书第[0045]-[0077]段, 附图2-7	1-14																		
A	CN 104269152 A (深圳市华星光电技术有限公司) 2015年 1月 7日 (2015 - 01 - 07) 全文	1-14																		
A	CN 104409055 A (深圳市华星光电技术有限公司) 2015年 3月 11日 (2015 - 03 - 11) 全文	1-14																		
A	US 9014327 B2 (BOE TECHNOLOGY GROUP CO., LTD.) 2015年 4月 21日 (2015 - 04 - 21) 全文	1-14																		
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																				
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																				
国际检索实际完成的日期 2016年 1月 12日		国际检索报告邮寄日期 2016年 1月 26日																		
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10) 62019451		授权官员 王娜 电话号码 (86-10) 61648121																		

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2015/082007

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104851403	A	2015年 8月 19日	无			
CN	104464671	A	2015年 3月 25日	无			
CN	104269152	A	2015年 1月 7日	无			
CN	104409055	A	2015年 3月 11日	无			
US	9014327	B2	2015年 4月 21日	WO	2013177904	A1	2013年 12月 5日
				CN	102708824	B	2014年 4月 2日
				US	2014191937	A1	2014年 7月 10日
				CN	102708824	A	2012年 10月 3日
				US	2015207503	A1	2015年 7月 23日