(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H04N 9/67

(45) 공고일자 2000년02월15일
(11) 등록번호 10-0244668
(24) 등록일자 1999년11월23일

(21) 출원번호 10-1992-0008829
(22) 출원일자 1992년05월25일
(65) 공개번호 특1992-0022910
(43) 공개일자 1992년12월19일

(30) 우선권주장 706,597 1991년05월28일 미국(US)
(73) 특허권자 톰슨 콘슈머 일렉트로닉스, 인코포레이티드 크리트먼 어윈 엠
미국 인디아나주 46290-1024 인디아나폴리스 노스 메리디안 스트리트 10330
(72) 발명자 로날드 토마스 퀸
미합중국, 인디아나, 인디아나폴리스, 넵튠 드라이브 9222
로버트 라우렌스 오브라이언
미합중국, 인디아나, 인디아나폴리스, 피. 오. 박스 501616
윌리암 아담슨 라고니
미합중국, 인디아나, 인디아나폴리스, 웨스트 81 플레이스 4704
(74) 대리인 나영환, 도두형

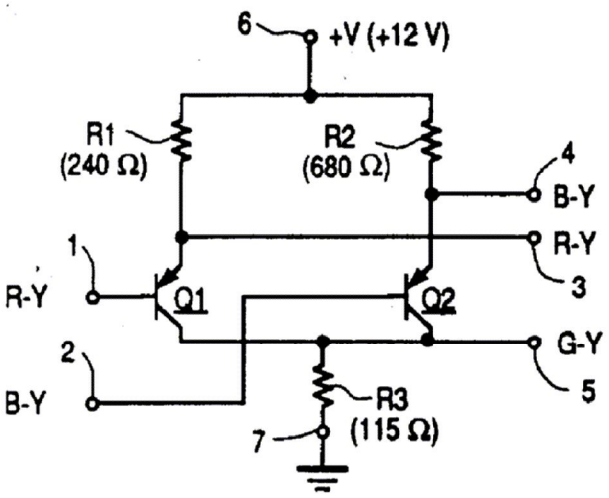
심사관 : 김희곤

(54) 컬러 텔레비젼 장치에서의 색차신호 매트릭스 및 버퍼회로

요약

두개의 트랜지스터(Q1, Q2, Q3, Q4, Q5, Q6, Q7, Q8)는 입력 신호(R-Y, B-Y)를 위한 폴로워 버퍼 증폭기로서 개별적으로 동작하고 입력신호로 부터 출력 신호(G-Y)를 유도하기 위한 반전 가산 매트릭스로서 함께 동작한다. 세개의 모든 출력신호는 "버퍼링" (즉, 저임피던스 소스로 제공됨)되고 대체적으로 동등한 지연이 되기 쉽다. 다행스럽게도, 버퍼링되고 매트릭스화되며 지연 보상된 출력 신호를 제공하기 위한 두개의 트랜지스터(Q1, Q2, Q3, Q4, Q5, Q6, Q7, Q8)와 세개의 저항(R1, R2, R3)만으로도 상기 회로를 실행할 수 있다. 이러한 특징들은 신뢰도("파트 카운트"의 감소로 인함), 버퍼링의 경제적 실행, 지연 보상 및 매트릭스 기능을 개선한다.

대표도



명세서

[발명의 명칭]

컬러 텔레비젼 장치에서의 색차신호 매트릭스 및 버퍼회로

[도면의 간단한 설명]

제 1도는 본 발명을 구체화 하며 대표적인 소자의 수치를 명시한 색차 신호 매트릭스 및 버퍼회로를 도시하는 회로도.

제 2도 내지 제 4도는 제 1도의 추가의 실시예로써 색차신호 매트릭스 및 버퍼회로를 도시하는 회로도.

* 도면의 주요부분에 대한 부호의 설명

R1, R2, R3 : 저항 Q1, Q2, Q3, Q4 : 바이폴라 트랜지스터

Q5, Q6, Q7, Q8 : 전계효과 트랜지스터

[발명의 상세한 설명]

본 발명은 컬러 텔레비젼 신호처리 회로에 관한 것으로서, 특히 제 1및 제 2색차신호(R-Y, B-Y)로부터 제 3색차신호(G-Y)를 유도하고, 3개의 모든 색차신호에 대한 상대적으로 저출력 임피던스(즉, 버퍼링한 출력)를 제공하며, 출력 신호들간에 지연차를 최소화하는 색차신호 매트릭스 및 버퍼회로에 관한 것이다.

컬러 텔레비젼 신호는 "R-Y"와 "B-Y" 와 같은 제 1및 제 2색차신호로 부터 "G-Y" 와 같은 제 3색차신호를 유도하고, 3개의 모든 색차신호에 대한 상대적으로 저출력 임피던스(즉, 버퍼링한 출력)를 제공하며, 출력신호들간에 지연차를 최소화시키는 특징을 갖는 것으로 알려져 있다.

전술한 3가지 특성 모두를 제공하는 종래의 색차신호 매트릭스 회로 및 버퍼회로의 예는 1973년 3월 6일자로 간행된 S. A. Roth 에 의한 "COLOR TELEVISION MATRIXING CIRCUIT" 라는 명칭의 특허 제 3, 719, 772 호에 게시되어 있다.

Roth 회로는 매트릭스화 하기 위한 색차신호(R-Y, B-Y)의 소스로 포함하고 있다. 상기 신호 (R-Y)는 비반전 구성으로 접속된 연산증폭기에 인가되고, 그로인해 연산증폭기의 저항성 피드백 네트웍에 의해 이득이 결정되며 신호(R-Y)에 대한 "버퍼링"(즉, 저출력 임피던스)이 제공된다. 상기 신호(B-Y)는 신호(B-Y) 이득을 결정하고 저출력 임피던스를 제공하기 위한 피드백 네트웍을 갖는 비반전 구성으로 접속된 연산 증폭기에 인가된다.

상기 신호(G-Y)는 입력신호(R-Y, B-Y)를 각각의 입력 저항을 거쳐 반전 구성으로 접속된 제 3연산 증폭기의 가산(즉, 반전)입력단에 인가함으로써 생성된다. 제 3연산 증폭기는 두개의 입력 저항과 피드백 저항에 의해 결정된 입력신호(R-Y, B-Y)의 평가되어 반전된 가산결과를 제공하여 출력신호(G-Y)를 버퍼링(즉, 저임피던스로 제공됨)한 후 발생(매트릭스)시킨다.

Roth 회로에서는, 신호(G-Y)의 매트릭스화를 제공하는 반전 차동 증폭기의 지연이 신호(R-Y, B-Y)를 버퍼링하는 두개의 비반전 차동 증폭기의 유사한 지연에 의해 오프셋 또는 보상되므로 지연차 에러가 최소화 된다.

신호(R-Y, B-Y)로부터 유도된 신호(G-Y)를 매트릭스화하고, 3가지의 모든 신호를 버퍼링하며 출력 신호들사이의 지연차를 최소화시킬 수 있는 회로로서는 상술한 지연 보상된 색차신호 매트릭스 및 버퍼회로가 적합하다.

그러나 공지된 종래의 회로를 실행시키는데는 세개의 연산 증폭기와 다수의 입력 및 피드백 저항이 필요하다.

따라서 본 발명의 목적은 두개의 색차 입력신호로 부터 하나의 색차신호를 매트릭스화하고, 모든 세개의 입력신호 및 매트릭스된 색차신로를 버퍼링하며, 버퍼링하고 매트릭스화한 색차신호들간에 지연차를 최소화하면서, 상술한 종래의 회로에 비해 저항수가 현저히 줄어들뿐더러 연산 증폭기가 필요없는 단순화된 회로를 제공하는데 있다.

전술한 4가지의 목적 모두는 두개의 트랜지스터와 3개의 저항만을 갖는 본 발명의 회로에 의해 달성될 수 있다.

바람직하게도, 본 발명의 회로는 매트릭스, 버퍼링 및 상술한 종래 회로가 갖고 있는 지연 보상 특징을 제공하고 신뢰도의 증가 및 사용되는 회로 소자의 수가 감소됨으로 인한 비용 절감을 추가 장점으로 들 수 있다.

컬러 텔레비젼 장치에 사용되며 본 발명을 구체화하는 색차신호 매트릭스 및 버퍼회로는 제 1및 제 2색차 입력신호를 각각 수신하도록 제 1및 제 2입력단자를 구비하고 있다. 제 1, 제 2, 제 3출력단자는 제 1, 제 2, 제 3색차출력 신호를 각각 제공한다. 제 1, 제 2출력단자는 제 1, 제 2저항중 각각의 하나를 거쳐 제 1전위 소스에 접속되고 제 3출력단자는 제 3저항을 거쳐 제 2전위에 소스에 접속된다. 제 1입력단자는 제 1출력단자와 제 3출력단자 사이에 접속된 도선을 갖는 제 1트랜지스터의 제어 전극에 접속되어 있다. 제 2입력단자는 제 2출력단자와 제 3출력단자 사이에 접속된 도선을 갖는 제 2트랜지스터의 제어전극에 접속되어 있다.

첨부된 도면을 참조하여 본 발명의 전술한 특징 및 추가의 특징을 설명한다.

제 1도의 색차신호 매트릭스 및 버퍼회로는 제 1색차입력신호(R-Y)와 제 2색차 입력신호(B-Y)를 각각 수신하는 제 1입력단자(1)와 제 2입력단자(2)를 포함하고 있다. 또한 상기 회로는 제 1색차신호(R-Y), 제 2색차신호(B-Y) 및 제 3색차 출력신호(G-Y)를 각각 공급하는 제 1(3), 제 2(4) 및 제 3 출력단자(5)를 포함한다. 또한 상기 회로는 본 발명의 실시예에서 양극 전원전압(+V)을 공급하는 제 1전원단자(6)와 접지에 접속되어 전원단자(6)가 전원단자(7)에 대해 양극이 되도록 하는 제 2전원단자(7)를 포함한다.

본 발명의 실시예로서 또 다른 전원 접속에 대해서는, 전원단자(6)가 접지에 접속되고 전원단자(7)에 음극 전압이 인가될 수 있다. 또 다른 대체 회로로서는, 전원단자(6)가 도시된 바와같이 전원전압(+V)을 수신하도록 접속되고 전원단자(7)는 음극전원전압 또는 +V 보다 적은 양극 전원전압을 수신하도록 접속될 수 있다. 본 발명의 실시예에서 중요한 점은 전원단자(6)가 전원단자(7)에 비해 양극이라는 것이다.

제 1도의 나머지 부분으로서는 3개의 저항(R1, R2 ,R3)과 2개의 트랜지스터(Q1, Q2)가 있다. 제

1저항(R1)은 제 1전원단자(6)와 제 1출력단자(3)사이에 접속되어 있고 제 2저항(R2)은 제 1전원단자(6)와 제 2출력단자(4)사이에 접속되어 있다. 또한 제 3저항(R3)은 제 2전원단자(7)와 제 3출력단자(5)사이에 접속되어 있다.

제 1트랜지스터(Q1)는 제 1입력단자(1)에 접속된 제어 전극 및 제 1출력단자(5)와 제 3출력단자 사이의 도선을 갖는다. 본 발명의 실시예에서의 제 1트랜지스터(Q1)는 제 1입력단자(1), 제 1출력단자(3), 제 3출력단자(5)에 각각 접속된 베이스, 에미터, 콜렉터 전극을 갖는 PNP 트랜지스터를 포함하고 있다.

제 2트랜지스터(Q2)는 제 2입력단자(2)에 접속된 제어 전극 및 제 2출력단자(4)와 제 3출력단자(5)사이의 도선을 갖는다. 본 발명의 실시예에서의 제 2트랜지스터(Q2)는 제 2입력단자(2), 제 2출력단자(4), 제 3출력단자(5)에 각각 접속된 베이스, 에미터, 콜렉터 전극을 갖는 PNP트랜지스터를 포함하고 있다. 본 발명의 또다른 실시예로서 제 1트랜지스터(Q1)와 제 2트랜지스터(Q2)대신에 사용하는 다른 3종류의 트랜지스터를 들 수 있다.

입력신호(R-Y, B-Y)를 인가받아 출력단자(3, 4)에 각각 신호를 인가하는 트랜지스터(Q1, Q2)는 어느정도 에미터 폴로워 버퍼 증폭기로서 동작하므로 결합신호(R-Y, B-Y)에 대해 저입력 임피던스를 제공한다.

트랜지스터(Q1, Q2)는 입력신호(R-Y, B-Y)에 대해 버퍼 증폭기(즉, 단위원 이득 에미터 폴로워)로서 동작할 뿐만아니라 입력신호(R-Y, B-Y)로 부터 유도된 출력신호(G-Y)를 매트릭스화 하기도 한다. 이는 상술한 바대로 두개의 트랜지스터를 분할하는 공통 부하저항(R3)에서 트랜지스터(Q1, Q2)의 컬렉터 전류 조합에 의한 신호(R-Y, B-Y, G-Y)사이의 지연 차를 두지 않고도 실행된다.

보다 구체적으로 설명하자면, 트랜지스터(Q1)에 의해 신호(R-Y)를 버퍼링하는데 있어서 발생할 수 있는 어떠한 지연도 트랜지스터(Q1)에 의해 신호(B-Y)를 버퍼링할때의 지연과 동일하므로 출력신호들(R-Y, B-Y, G-Y)사이에서의 실질적인 타이밍 에러란 있을 수 없다. 에미터 폴로워 트랜지스터의 컬렉터에 흐르는 전류는 에미터에 흐르는 전류와 동일하므로 트랜지스터(Q1, Q2)의 컬렉터 전류는 각각의 에미터 전류에 대해 실질적으로 지연이 없다고 할 수 있다. 따라서, 컬렉터 전류가 공통 컬렉터 저항(R3)에 인가될 경우 저항(R1, R2)의 양단에서 발생된 버퍼링한 에미터 신호(R-Y, B-Y)와 공통 컬렉터 부하 저항(R3) 양단에서 발생된 컬렉터 신호(G-Y)와의 전체적인 지연차는 없다고 볼 수 있다.

다행스럽게도, 신호(R-Y, B-Y, G-Y)간에 신호 지연이 동일하므로 영상 출력신호(R-Y, B-Y, G-Y)간에 지연차를 보상하기 위한 지연 균일화 소자가 필요치 않다.

저항(R1, R2, R3)값은 모두 다르다. 이는 입력신호(R-Y)와 입력신호(B-Y)의 크기가 달라야 영상 출력신호(G-Y)가 발생하고 저항(R1, R2, R3)값의 정확한 연관성이 신호를 디스플레이 하기 위해 선택되는 키네스코프의 특수한 측색계에 따라 변할 수 있기 때문이다.

출력신호(G-Y)는 다음과 같은 관계식에 의해 제한된다.

$$(G-Y) = -\{K[R-Y] + M[B-Y]\} \quad (1)$$

(여기에서 K=(R3/R1), M=(R3/R2), 저항(R1, R2, R3)은 각각 저항(R1, R2, R3)의 값)

상기 파라미터 K 와 M은 출력신호(G-Y)를 발생하기 위해 사용되는 입력신호(R-Y, B-Y)의 크기를 한정한다. 반전(즉, 상기 식(1)의 마이너스 부호)은 회로 설계시에 본래부터 고려된 것인데 그 이유는 신호(G-Y)가 트랜지스터(Q1, Q2)의 컬렉터로 부터 발생된 신호이므로 신호(G-Y)는 에미터에서 버퍼링한 신호(R-Y, B-Y)에 대해 역의 값을 갖기 때문이다.

파라미터 K 와 M에 대해 부연 설명하자면, 상기 파라미터의 특정값은 상을 디스플레이하는데 사용되는 특수한 키네스코프의 측색계가 나타내는 특정 크기에 의존한다. 상술한 미합중국 특허 제 3,719,772 호에서 Roth는 본 발명의 실시예에서의 대응하는 파라미터의 전형적인 값(K=0.57966, M=0.378324)을 제시한 바 있다. 사실상, 사용되는 화상관에 따라 파라미터 K 와 M의 값을 선택하는 허용범위는 넓다. 예컨데, 녹색 형광체에 기초한 카드뮴을 사용하는 화상관을 갖는 수신기에서 제 1도의 예를 테스트할 경우, K 와 M의 적당한 값으로는 각각 약 0.32와 0.07이 된다. 형광체에 기초한 카드뮴을 사용하지 않는 화상관으로 테스트할 경우에는 K와 M의 가장 적당한 값이 각각 약 0.48 과 0.17 이라고 알려져 있다. 따라서 특정 화상관에 대한 최적의 선택을 위해 파라미터 K 와 M 값을 변화시킬 수 있다.

보다 일반적인 조건인 경우에는 K 와 M 값이 R3/R1 과 R3/R2 의 비를 각각 한정하므로 저항(R1, R2, R3)의 상대값을 다음과 같이 선택해야 한다.

$$R2 > R1 \text{ 와} \quad (2)$$

$$R1 > R3 \quad (3)$$

$$\text{따라서 } R2 > R1 > R3 \quad (4)$$

상기 조건(4)은 제 2저항(R2)의 값이 제 1저항(R1)보다 훨씬 크고 저항(R2, R1)값은 제 3저항(R3)값 보다 훨씬 크다는 것을 나타내고 있다. R3/R1=K 와 R3/R2=M 의 관계로 부터 특정 저항값을 즉시 계산할 수 있다. 제 1도의 예에서, K=0.48 과 M=0.17 인 경우에 저항값(R1, R2, R3)은 각각 240 오옴, 680 오옴, 115 오옴이 된다.

입력신호(R-Y, B-Y)로 부터 유도된 출력신호(G-Y)를 매트릭스화 하고 3가지의 모든 신호를 버퍼링하며 출력신호들간에 지연차를 최소화시키는 색차신호 매트릭스 및 버퍼회로를 도시하고 설명하였는데, 상기 회로는 두개의 트랜지스터(Q1, Q2)와 세개의 저항(R1, R2, R3)만으로도 실행될 수 있다.

제 1도에 도시되고 설명된 본 발명의 특수한 실시예를 이용하여 여러 변형 및 수정된 예를 실행할 수 있다. 제 2도에 도시된 제 1예로서, PNP 트랜지스터(Q1, Q2)는 NPN 트랜지스터(Q3,Q4)로 각각 대체된다. 또한 상대적인 전원극성은 역으로 바뀌어진다. 즉, 단자(6)는 접지되고 단자(7)는 +V 전원 소스에 접속

되어 단자(7)가 단자(6)에 대해 양극이 된다. 이러한 트랜지스터형 선택 및 극성의 차이는 별도로 하고, 제 2도의 회로 동작은 제 1도의 회로 동작과 동일하다. 제 3도의 제 2의 예는 제 1도의 PNP 트랜지스터(Q1, Q2)를 전계 효과 트랜지스터(Q5, Q6)로 대체한 것을 도시한 것이다. 본 발명의 상기예에서의 동작은 전계 효과 트랜지스터의 변화가 없다면 제 1도의 회로 동작과 동일하다. 제 4도의 예는 N형 바이폴라 트랜지스터(Q3, Q4)가 N채널 전계 효과 트랜지스터(Q7, Q8)로 대체된 것을 제외하면 제 2도의 예와 다름이 없다. 집적 회로내에 구성된 회로와 같은 여기에서 도시되고 설명된 본 발명의 일실시예의 또다른 변형을 실행할 수 있다.

(57) 청구의 범위

청구항 1

제 1및 제 2색차 입력 신호를 각각 수신하는 제 1및 제 2입력단자(1, 2)와,

제 1색차 출력 신호, 제 2색차 출력 신호, 및 제 3색차 출력 신호를 각각 제공하는 제 1, 제 2 및 제 3 출력단자(3, 4, 5)와,

제 1및 제 2전위 소스(V, 접지)를 구비하는 컬러 텔레비젼 장치용 색차신호 매트릭스 및 버퍼회로에 있어서,

상기 제 1전위 소스(V)와 상기 제 1출력단자(3)사이에 접속된 제 1저항(R1)과,

상기 제 1전위 소스(V)와 상기 제 2출력단자(4)사이에 접속된 제 2저항(R2)과,

상기 제 2전위 소스(접지)와 상기 제 3출력단자(5)사이에 접속된 제 3저항(R3)과,

상기 제 1입력단자(1)에 접속된 제어전극 및 상기 제 1출력단자(3)와 상기 제 3출력단자(5)사이에 접속된 도선을 갖는 제 1트랜지스터(Q1, Q3, Q5, Q7)와,

상기 제 2입력단자(2)에 접속된 제어전극 및 상기 제 2 출력단자(4)와 상기 제 3출력단자(5)사이에 접속된 도선을 갖는 제 2트랜지스터(Q2, Q4, Q6, Q8)를 구비하는 것을 특징으로 하는 색차신호 매트릭스 및 버퍼회로.

청구항 2

제 1항에 있어서,

상기 제 1, 제 2 및 제 3저항(R1, R2, R3)이 동일한 값인 것을 특징으로 하는 색차신호 매트릭스 및 버퍼회로.

청구항 3

제 1항에 있어서,

상기 제 1색차신호는 R-Y 색차신호를 포함하고 상기 제 2색차신호는 B-Y 색차신호를 포함하며,

상기 저항은 관계식 R2 > R1 > R3 에 따라 선택되는 값을 가지며 R1, R2, 및 R3 가 각각 상기 제 1, 제 2및 제 3저항값인 것을 특징으로 하는 색차신호 매트릭스 및 버퍼회로.

청구항 4

제 1항에 있어서,

상기 트랜지스터(Q1, Q2, Q3, Q4)는 바이폴라 트랜지스터를 포함하고,

상기 제 1출력단자(3)에 접속되는 에미터 전극과 상기 제 3출력 단자(4)에 접속되는 컬렉터 전극을 갖는 제 1트랜지스터(Q1, Q3)와,

상기 제 2출력단자(4)에 접속되는 에미터 전극과 상기 제 3출력 단자(5)에 접속되는 컬렉터 전극을 갖는 제 2트랜지스터(Q2, Q4)를 구비하는 것을 특징으로 하는 색차신호 매트릭스 및 버퍼회로.

청구항 5

제 1항에 있어서,

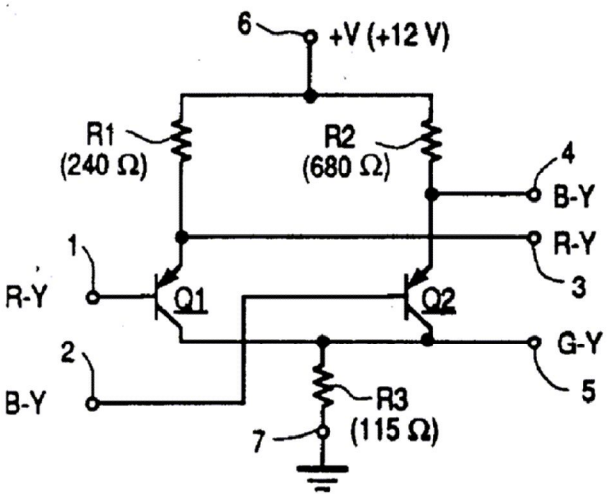
상기 트랜지스터(Q5, Q6, Q7, Q8)는 전계 효과 트랜지스터를 포함하고,

상기 제 1출력단자(3)에 접속되는 에미터 전극과 상기 제 3출력단자(4)에 접속되는 컬렉터 전극을 갖는 상기 제 1트랜지스터(Q5, Q7)와,

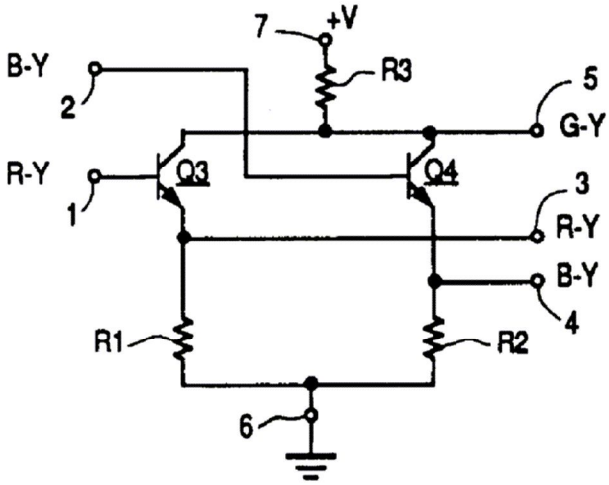
상기 제 2출력단자(4)에 접속되는 에미터 전극과 상기 제 3출력단자(5)에 접속되는 컬렉터 전극을 갖는 상기 제 2트랜지스터(Q6, Q8)를 구비하는 것을 특징으로 하는 색차신호 매트릭스 및 버퍼회로.

도면

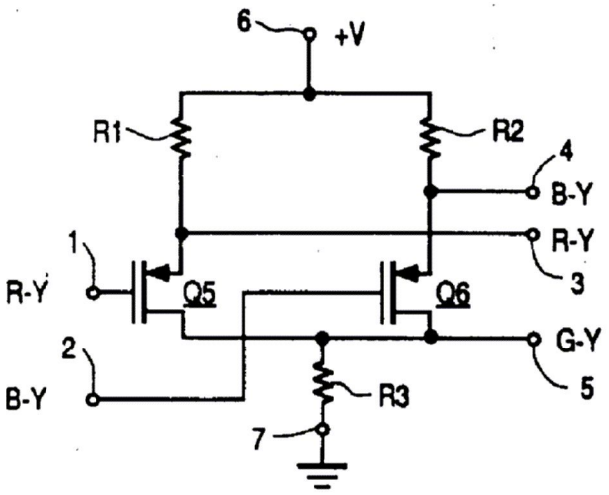
도면1


6
+V (+12 V)
R1
(240 Ω)
R2
(680 Ω)
4
B-Y
R-Y
3
1
R-Y
Q1
Q2
2
G-Y
5
B-Y
R3
(115 Ω)
7

도면2


7
+V
B-Y
2
R3
5
G-Y
R-Y
Q3
Q4
1
3
R-Y
B-Y
4
R1
R2
6

도면3


6
+V
R1
R2
4
B-Y
R-Y
1
3
R-Y
Q5
Q6
G-Y
2
5
B-Y
R3
7

도면4

