(19) **Bundesrepublik Deutschland**
Deutsches Patent- und Markenamt

(10) **DE 198 07 739 B4** 2007.03.08

(12) # Patentschrift

(21) Aktenzeichen: **198 07 739.4**
(22) Anmeldetag: **24.02.1998**
(43) Offenlegungstag: **21.01.1999**
(45) Veröffentlichungstag
der Patenterteilung: **08.03.2007**

(51) Int Cl.[8]: ***G06F 11/27*** (2006.01)
G11C 29/00 (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten(§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 2 Patentkostengesetz).

(30) Unionspriorität:
97-32669 14.07.1997 KR

(73) Patentinhaber:
Samsung Electronics Co., Ltd., Suwon, Kyonggi, KR

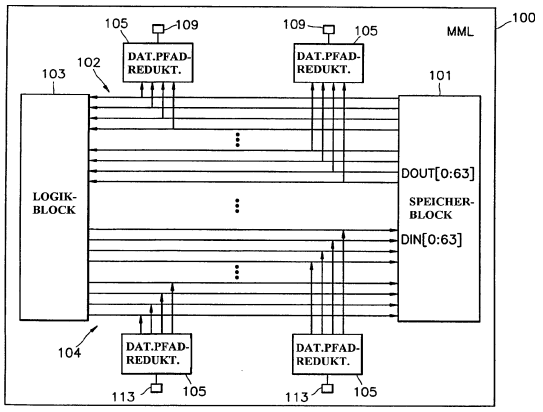
(74) Vertreter:
Patentanwälte Ruff, Wilhelm, Beier, Dauster & Partner, 70174 Stuttgart

(72) Erfinder:
Gyu-hong, Kim, Seoul/Soul, KR

(56) Für die Beurteilung der Patentfähigkeit in Betracht gezogene Druckschriften:
GB 23 05 732 A
US 56 42 479 A
US 55 74 692 A
EP 06 36 976 A1

(54) Bezeichnung: **Kombinierter Integrierter Speicher- und Logikschaltkreis und Testverfahren hierfür**

(57) Hauptanspruch: Kombinierter integrierter Speicher- und Logik-Schaltkreis (MML) mit
– Speichermitteln (101),
– Logikmitteln (103) und
– einer ersten Mehrzahl von Ausgabedatenpfaden (102), welche die Speichermittel und die Logikmittel miteinander verbinden, gekennzeichnet durch
– Mittel (105) zum seriellen Zuführen von Ausgabedaten der ersten Mehrzahl von Ausgabedatenpfaden (102) zu wenigstens einem Ausgabekontaktanschluß (109) des integrierten MML-Schaltkreises in Abhängigkeit von einem Testmodussignal, um eine externe Datenpfadbreite des integrierten MML-Schaltkreises während eines Testmodus zu reduzieren, wobei die Anzahl von Ausgabekontaktanschlüssen des integrierten MML-Schaltkreises kleiner als die erste Mehrzahl von Ausgabedatenpfaden ist.



Beschreibung

[0001] Die Erfindung bezieht sich auf einen kombinierten integrierten Speicher- und Logikschaltkreis nach dem Oberbegriff des Anspruchs 1 sowie auf ein Verfahren zum Testen eines solchen integrierten Schaltkreises.

[0002] Integrierte Schaltkreisbauelemente, wie integrierte Speicher-Schaltkreisbauelemente und integrierte Logik-Schaltkreisbauelemente finden breite Verwendung in Konsumanwendungen und kommerziellen Anwendungen. Da die Integrationsdichten dieser integrierten Schaltkreise weiterhin anwachsen, steigt auch allgemein die Anzahl interner Datenpfade in dem integrierten Schaltkreis weiterhin an. Die Datenpfadbreite reflektiert außerdem allgemein die Anzahl von Eingabe/Ausgabe-Datenkanälen, die als "DQ"-Kanäle bezeichnet werden.

[0003] In einfachen integrierten Schaltkreisen wurden "x1"-Produkte mit einem DQ-Kanal verwendet. Diesen folgten "x4"- und "x8"-Produkte mit vier bzw. acht Bit breiten Datenpfaden nach. Im momentanen Stand auf diesem Gebiet werden auch vielfach Produkte mit einer Bytebreite von "x16" eingesetzt. Für die Zukunft ist ein weiteres Anwachsen der Anzahl von DQ-Kanälen zu erwarten.

[0004] Seit kurzem befinden sich integrierte Schaltkreise mit Vereinigung von Speicher und Logik (MML) in der Entwicklung. Integrierte MML-Schaltkreise beinhalten im allgemeinen einen Speicher hoher Kapazität und einen großen Logikblock, die in einem integrierten Schaltkreis vereinigt, d.h. kombiniert sind. Ein integrierter MML-Schaltkreis kann daher diskrete Speicher- und Logikchips ersetzen, die in Personalcomputern und anderen Konsumgeräten und kommerziellen Geräten eingesetzt werden.

[0005] In einem integrierten MML-Schaltkreis können eine große Anzahl von internen Datenpfaden vorgesehen sein, um eine effektive Kommunikation zwischen dem großen Speicherblock und dem großen Logikblock zu erzielen. Beispielsweise können 256 oder mehr interne Datenpfade vorgesehen sein.

[0006] Die hohe Anzahl an Datenpfaden, die in den herkömmlichen integrierten Schaltkreisen verwendet werden, kann während des Testens der integrierten Schaltkreise ein Problem darstellen. Zum Beispiel wird beim Testen häufig eine Mehrzahl integrierter Schaltkreise gleichzeitig durch eine Testeinrichtung getestet. Die Testeinrichtung weist im allgemeinen eine feste Anzahl von DQ-Kanälen und Testanschlüssen auf, um Daten aus den zu testenden integrierten Schaltkreisbauelementen auszulesen bzw. in diese einzuschreiben. Wenn das integrierte Speicher-Schaltkreisbauelement eine hohe Datenpfadbreite besitzt, kann sich daher die Anzahl integrierter Schaltkreisbauelemente, die gleichzeitig getestet werden können, verringern.

[0007] Um die Anzahl integrierter Schaltkreisbauelemente, die gleichzeitig getestet werden können, zu erhöhen, kann ein reduziertes DQ-Schema verwendet werden, bei welchem ein integriertes Schaltkreisbauelement unter Verwendung einer reduzierten Datenpfadbreite getestet werden kann. Zum Beispiel kann ein x16-Bauelement in einem x4-Modus getestet werden. Alternativ kann eine kombinierte DQ-Technik (MDQ) verwendet werden, in der mehrere interne DQ-Kanäle auf einen Eingabe/Ausgabe-Kontaktanschluß vereinigt werden.

[0008] Eine herkömmliche MDQ-Technik wird nun erläutert. In einem wichtigen Test eines Speicherbauelementes wird ein erster Logikwert, wie z.B. NULL, in alle Speicherzellen geschrieben. Alle diese Speicherzellen werden dann gelesen, um festzustellen, daß alle NULL-Werte gespeichert wurden. Dann wird ein zweiter Logikwert, wie z.B. EINS, in alle Speicherzellen geschrieben und aus den Speicherzellen ausgelesen, um festzustellen, daß EINS gespeichert wurde. Integrierte Speicher-Schaltkreisbauelemente hoher Dichte und MML-Bauelemente besitzen häufig eingebaute Testschaltkreise. Daher können Komparatoren in dem integrierten Schaltkreis vorgesehen sein, um aus den Speicherzellen ausgelesene Daten zu vergleichen und festzustellen, ob alle EINS- oder alle NULL-Werte richtig geschrieben und gelesen wurden. Dann kann auf einem einzigen Eingabe/Ausgabe-Kontaktanschluß eine Anzeige bereitgestellt werden, ob alle NULL-Werte richtig geschrieben und gelesen und alle EINS-Werte richtig geschrieben und gelesen worden sind. Dadurch wird eine MDQ-Technik zur Verfügung gestellt.

[0009] Zwecks Bereitstellung dieses eingebauten Testschaltungsaufbaus werden mehrere Komparatoren verwendet, um die Daten auf den Datenpfaden des integrierten Schaltkreises zu vergleichen. Die mehreren Komparatoren können daher im Rahmen der MDQ-Technik die Daten von mehreren Datenpfaden zu einem einzigen Ausgang vereinigen.

[0010] Ungünstigerweise kann mit wachsender Anzahl von internen Datenpfaden die Zahl an Komparatoren ebenfalls ansteigen. Zum Beispiel können in einem integrierten MML-Schaltkreis, der bis zu 256 oder mehr interne Datenpfade und bis 8 oder mehr externe Datenpfade enthalten kann, bis zu 32 oder mehr interne Datenpfade in jedem DQ-Ausgabekontaktanschluß vereinigt sein. Daher werden bis zu 32 oder mehr interne DQ-Kanäle miteinander verglichen. Dazu können 31 Ein-Bit-Komparatoren für jede Gruppe von 32 internen DQ-Kanälen verwendet werden. In dem integrierten MML-Schaltkreis können daher bis zu 248 oder mehr Ein-Bit-Komparaten verwendet sein. Die Flächengröße und Komplexität die-

ses MDQ-Schaltkreises können daher übermäßig hoch werden.

Stand der Technik

[0011] Speicherschaltkreise mit integrierten Testschaltungen sind auch in der Patentschrift US 5.574.692 und der Offenlegungsschrift GB 2 305 732 A offenbart. In der Offenlegungsschrift EP 0 636 976 A1 ist ein Microprozessor offenbart, bei dem zur Verbesserung von Debugging-Vorgängen ein spezielles JTAG-Schnittstellenelement an einen internen Bus angekoppelt ist, um auf eine oder mehrere Scanketten innerhalb des Microprozessors zugreifen und Austauschvorgänge vom Direktspeicherzugriffstyp (DMA-Typ) über den internen Bus mit anderen an diesen angekoppelten Elementen steuern zu können. In der Patentschrift US 5.642.479 werden für eine Trace-Analyse bei einem Datenverarbeitungssystem, z.B. während des Debuggings von Software oder während eines Hardwareentwicklungsprozesses, spezielle Maßnahmen vorgeschlagen, um Echtzeitinformationen ohne einen übermäßig breiten Trace-Datenbus erhalten zu können. Dazu werden geeignete Übertragungszeitfenster im Zeitmultiplexverfahren genutzt.

Aufgabenstellung

[0012] Der Erfindung liegt als technisches Problem die Bereitstellung eines verbesserten kombinierten integrierten Speicher- und Logik-Schaltkreises der eingangs genannten Art, der insbesondere ohne oder jedenfalls mit relativ wenig Komparatoren auskommt, sowie eines geeigneten Testverfahrens für einen solchen Schaltkreis zugrunde.

[0013] Die Erfindung löst dieses Problem durch die Bereitstellung eines kombinierten integrierten Speicher- und Logik-Schaltkreises mit den Merkmalen des Anspruchs 1 sowie eines Testverfahrens mit den Merkmalen des Anspruchs 16.

[0014] Durch die Verwendung der speziellen Mittel zur seriellen Bereitstellung von Ausgabedaten in Abhängigkeit von einem Testmodussignal läßt sich die externe Datenpfadbreite des integrierten MML-Schaltkreises im Testmodus reduzieren, so daß eine gegenüber der Anzahl von Datenausgabepfaden, welche die Speichermittel und die Logikmittel miteinander verbinden, geringere Zahl von Ausgabekontaktanschlüssen des integrierten MML-Schaltkreises ausreichend ist. Das Testverfahren nach Anspruch 16 eignet sich zum Testen eines solchen erfindungsgemäßen Schaltkreises. Insgesamt kann damit ein verbessertes Testen von MML-Schaltkreisen erzielt werden, bei dem Komparatoren in der Testschaltung eliminiert oder jedenfalls in ihrer Anzahl reduziert sind.

[0015] Vorteilhafte Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben.

Ausführungsbeispiel

[0016] Vorteilhafte Ausführungsbeispiele der Erfindung sind in den Zeichnungen dargestellt und werden nachfolgend beschrieben. Hierbei zeigen:

[0017] Fig. 1 ein schematisches Blockschaltbild eines erfindungsgemäßen integrierten MML-Schaltkreises mit Datenpfadreduktion,

[0018] Fig. 2 ein schematisches Blockschaltbild eines erfindungsgemäßen integrierten MML-Schaltkreises mit einem ersten Beispiel einer Datenpfadreduktionsschaltung,

[0019] Fig. 3 ein Diagramm des zeitlichen Verlaufs verschiedener Signale zur Veranschaulichung der Betriebsweise des integrierten MML-Schaltkreises von Fig. 2,

[0020] Fig. 4 ein schematisches Blockschaltbild eines erfindungsgemäßen integrierten MML-Schaltkreises mit einem zweiten Beispiel einer Datenpfadreduktionsschaltung,

[0021] Fig. 5 ein Diagramm des zeitlichen Verlaufs verschiedener Signale zur Veranschaulichung der Betriebsweise des integrierten MML-Schaltkreises von Fig. 4,

[0022] Fig. 6 ein schematisches Blockschaltbild eines erfindungsgemäßen integrierten MML-Schaltkreises mit einem dritten Beispiel einer Datenpfadreduktionsschaltung und

[0023] Fig. 7 ein Diagramm des zeitlichen Verlaufs verschiedener Signale zur Veranschaulichung der Betriebsweise des integrierten MML-Schaltkreises von Fig. 6.

[0024] Nachfolgend werden bezugnehmend auf die Zeichnungen verschiedene Ausführungsformen der Erfindung beschrieben, die illustrativ und nicht beschränkend zu verstehen sind, wobei gleiche Bezugszeichen jeweils funktionsgleiche Elemente bezeichnen und die Dicken von Schichten und Gebieten zwecks klarerer Darstellung übertrieben dargestellt sind.

[0025] In Fig. 1 ist ein integrierter MML-Schaltkreis **100** gezeigt, der auch als MML bezeichnet wird und einen Speicherblock **101** sowie einen Logikblock **103** aufweist. Der Speicherblock kann ein synchroner dynamischer Speicher mit wahlfreiem Zugriff (SDRAM) sein. Des weiteren ist in Fig. 1 eine Mehrzahl von Datenpfaden gezeigt, die den Speicherblock und den Logikblock miteinander verbinden. Spezieller verbin-

det, wie in Fig. 1 zu erkennen, eine erste Mehrzahl von Datenausgabepfaden **102** den Speicherblock mit dem Logikblock, und ebenso verbindet eine zweite Mehrzahl von Dateneingabepfaden **104** den Logikblock mit dem Speicherblock. Vorzugsweise entsprechen sich die erste und zweite Mehrheit von Datenpfaden und beinhalten im allgemeinen eine hohe Pfadanzahl, wie 64 oder mehr. Alternativ können getrennte Dateneingabe- und Datenausgabepfade vorgesehen sein, um die Leistungsfähigkeit gegenüber einem herkömmlichen, allgemeinen Zwecken dienendem SDRAM zu verbessern, in welchem diese Pfade zusammengebunden sind. Die Trennung kann die Datenübertragungsraten zwischen dem Speicherblock **101** und dem Logikblock **103** erhöhen.

[0026] Während des Normalbetriebs des MML werden die Eingabedaten DIN[0:63] des Speicherblocks **101** in diesen vom Logikblock **103** eingegeben, und die Ausgabedaten DOUT[0:63] für den Speicherblock **101** werden vom Logikblock **103** abgegeben. Wenn jedoch der Speicherblock **101** während eines Testmodus zu testen ist, muß auf den Speicherblock **101** im allgemeinen direkt von außerhalb des Chips zugegriffen werden können. Da die Eingabedaten und die Ausgabedaten des Speicherblocks **101** jeweils 64 Bit beinhalten, können 128 DQ-Kontaktanschlüsse zum Zugreifen auf den Speicherblock **101** von außerhalb des MML benötigt werden. In diesem Fall kann, da die Anzahl von DQ-Kanälen erhöht ist, die Zahl an integrierten Schaltkreisen, die gleichzeitig getestet werden können, verringert sein, so daß sich die Testdauer erhöhen kann.

[0027] Um die Datenpfadanzahl während des Testmodus zu verringern, ist wenigstens eine die Datenpfadbreite reduzierende Schaltung **105** vorgesehen. Die Schaltung zur Reduzierung der Datenpfadbreite spricht auf ein Testmodussignal an, um Ausgabedaten seriell auf der ersten Mehrzahl von Datenpfaden **102** wenigstens einem Ausgabekontaktanschluß **109** des integrierten MML-Schaltkreis seriell zuzuführen, wobei die Anzahl an Ausgabekontaktanschlüssen des integrierten MML-Schaltkreises geringer als die erste Mehrzahl von Datenpfaden ist, um während des Testmodus eine externe Datenpfadbreite des integrierten MML-Schaltkreises zu reduzieren. Die Schaltung zur Reduktion der Datenpfadbreite kann außerdem Eingabedaten von wenigstens einem Eingabekontaktanschluß **113** des integrierten MML-Schaltkreises der zweiten Mehrzahl von Dateneingabepfaden **104** seriell zuführen, wobei die Anzahl an Eingabekontaktanschlüssen des integrierten MML-Schaltkreises kleiner als die zweite Mehrzahl von Dateneingabepfaden ist.

[0028] Wie in Fig. 1 dargestellt, werden vier Dateneingabe- oder Datenausgabepfade durch die Schaltung **105** zur Reduzierung der Datenpfadbreite auf einen Eingabe- oder Ausgabekontaktanschluß reduziert. In unten beschriebenen Ausführungsbeispielen werden acht Dateneingabe- oder Datenausgabepfade auf einen einzelnen Eingabe- oder Ausgabekontaktanschluß reduziert. Es versteht sich jedoch, daß eine oder mehrere die Datenpfadbreite reduzierende Schaltungen in einem integrierten MML-Schaltkreischip vorgesehen sein können, wobei jede Schaltung zur Reduzierung der Datenpfadbreite wenigstens zwei Datenpfade in dem integrierten MML-Schaltkreis reduziert.

[0029] Fig. 2 zeigt ein schematisches Blockschaltbild eines integrierten MML-Schaltkreises mit einer die Datenpfadbreite reduzierenden Schaltung, auch als eine "die DQ-Zahl reduzierende Schaltung" bezeichnet, gemäß einem ersten erfindungsgemäßen Beispiel, das den Fall von 64Bit-Eingabedaten DIN[0:63] und 64Bit-Ausgabedaten DOUT[0:63] veranschaulicht.

[0030] In Fig. 2 beinhaltet der MML einen Speicherblock **201**, der ein verbessertes SDRAM für allgemeine Zwecke sein kann, einen Logikblock **203** und des weiteren eine die DQ-Zahl reduzierende Schaltung **205** zur Reduzierung der Anzahl von DQ-Kanälen während eines Testmodus.

[0031] Die Schaltung **205** zur Reduzierung der DQ-Zahl beinhaltet acht 8:1 Multiplexer **205a**, acht 1:8 Demultiplexer **205b** und drei Register **205c**. Jeder der 8:1-Multiplexer **205a** empfängt acht Bit von den 64Bit-Ausgabedaten DOUT[0:63], wählt eines davon in Abhängigkeit von einem 3Bit-Steuersignal CONT aus und gibt selbiges an einen jeweiligen Ausgabekontaktanschluß **209** ab. Jeder der 1:8 Demultiplexer **205b** demultiplext Eingabedaten Data-In, die über jeweilige Eingabekontaktanschlüsse **213** eingegeben werden, und transferiert selbige zum Speicherblock **201**, so daß die Daten in die jeweiligen acht Speicherzellen geschrieben werden. Jedes der Register **205c** speichert eine 3Bit-Adresse ADDR, die an jeden von drei Adresskontaktanschlüssen **211** während eines WCBR-Modus extern angelegt wird, und erzeugt das zur gespeicherten Adresse gehörige 3Bit-Steuersignal CONT. Die Anzahl von DQ-Kanälen des MML is damit während eines Testmodus auf 16 reduziert, d.h. 8 DQ-Ausgabekanäle und 8 DQ-Eingabekanäle.

[0032] Der WCBR-Modus wird in einer WCBR-Schaltung **207** gesetzt, wenn ein Zeilenadresshinweissignal $\overline{\text{RAS}}$, ein Spaltenadresshinweissignal $\overline{\text{CAS}}$ und ein Schreibfreigabesignal $\overline{\text{WE}}$, die in den Speicherblock **201** eingegeben werden, sämtlich auf niedrigem Logikpegel "low" aktiviert sind. Die 3Bit-Adresse ADDR wird zur Steuerung der 8:1 Multiplexer **205a** verwendet. Die 3Bit-Adresse ist vorzugsweise eine normale Adresse, die während eines Zeilen- und Spaltenzugriffs eingesetzt wird.

[0033] Unter Bezugnahme auf Fig. 3 wird die Betriebsweise des MML mit der Schaltung **205** zur Reduktion der DQ-Zahl entsprechend einem ersten erfindungsgemäßen Beispiel detaillierter erläutert. Wenn der Speicherblock **201** des MML getestet werden soll, wird zuerst der WCBR-Modus gesetzt. Wenn das Zeilenadreßhinweissignal $\overline{RAS}$, das Spaltenadresshinweissignal $\overline{CAS}$ und das Schreibfreigabesignal $\overline{WE}$ alle auf niedrigem Logikpege bei einem Zyklus 0 eines Taktes CLK aktiviert sind, wird der WCBR-Modus in der WCBR-Schaltung **207** gesetzt. Wenn die zugehörige 3Bit-Adresse ADDR zur Steuerung der Multiplexer **205a** in einem Zustand angewandt wird, in welchem der WCBR-Modus gesetzt ist, werden die jeweiligen Bits der Adresse ADDR in die drei Register **205c** eingespeichert. Entsprechend halten die Register **205c** die 3Bit-Adresse ADDR, bis der WCBR-Modus erneut gesetzt wird (bei einem Taktzyklus 9), und geben dann selbige als das 3Bit-Steuersignal CONT ab. Nach Anlegen von Zeilen- und Spaltenadressen und Auslesen der 64Bit-Ausgabedaten DOUT[0:63] aus Speicherzellen im Speicherblack **201** (bei Taktzyklus 4 und 5) empfängt dann jeder der acht Multiplexer **205a** 8 Bit der Ausgabedaten, wählt eines davon in Abhängigkeit vom 3Bit-Steuersignal CONT aus und gibt selbiges an die jeweiligen Ausgabekontaktanschlüsse (Data-Out) **209** ab.

[0034] Fig. 4 zeigt ein schematisches Blockschaltbild eines MML mit einer Schaltung zur Reduzierung der DQ-Zahl gemäß einem zweiten erfindungsgemäßen Beispiel, das den Fall von 64 Bit-Eingabedaten DIN (0:63] und 64 Bit-Ausgabedaten DOUT[0:63] veranschaulicht. Der MML von Fig. 4 beinhaltet einen Speicherblock **401**, der ein verbessertes SDRAM für allgemeine Zwecke sein kann, einen Logikblock **403** und des weiteren eine die DQ-Zahl reduzierende Schaltung **405** zur Reduktion der Anzahl von DQ-Kanälen während eines Testmodus.

[0035] Die Schaltung **405** zur Reduktion der DQ-Zahl beinhaltet acht 8:1 Multiplexer **405a**, acht 1:8 Demultiplexer **405b** und drei Kontaktanschlüsse **411**. Jeder der 8:1 Multiplexer **405a** empfängt 8 Bit der 64Bit-Ausgabedaten DOUT[0:63], wählt eines von diesen in Abhängigkeit von einem 3Bit-Steuersignal CONT aus und gibt selbiges an jeweilige Ausgabekontaktanschlüsse **409** ab. Jeder der 1:8 Demultiplexer **405b** demultiplext Eingabedaten Data-In, die über jeweilige Eingabekontaktanschlüsse **413** eingegeben werden, und transferiert selbige zum Speicherblock **401**, so daß die Daten in die jeweiligen acht Speicherzellen geschrieben werden. Jeder der Kontaktanschlüsse **411** empfängt ein externes 3Bit-Steuersignal EXTERNAL CONT von außerhalb des Chips. Daher wird während eines Testmodus die Anzahl von DQ-Kanälen des MML auf 16 reduziert, d.h. 8 DQ-Ausgabekanäle und 8 DQ-Eingabekanäle.

[0036] Bezugnehmend auf Fig. 5 wird nun die Betriebsweise des MML mit der die DQ-Zahl reduzierenden Schaltung **405** gemäß dem zweiten erfindungsgemäßen Beispiel detaillierter erläutert. Wenn der Speicherblock **401** des MML getestet werden soll, wird zuerst ein Lesebefehl angewandt. Das bedeutet, daß ein Zeilenadresshinweissignal $\overline{RAS}$ auf niedrigen Logikpegel "low" akitivert wird und eine Zeilenadresse angelegt wird (bei einem Taktzyklus 0) und daraufhin ein Spaltenadresshinweissignal $\overline{CAS}$ auf niedrigen Logikpegel "low" aktiviert und eine Spaltenadresse angelegt wird. Danach werden die 64Bit-Ausgabedaten DOUT[0:63] von Speicherzellen im Speicherzellenblock **401** (bei einem Taktzyklus **2**) ausgelesen. Anschließend wird der Wert des 3Bit-Steuersignals CONT, das von den Kontaktanschlüssen **411** mit einem geeigneten Verzögerungsintervall zugeführt wird, geändert. Demgemäß empfängt jeder der Multiplexer **405a** die jeweiligen 8Bit-Ausgabedaten der 64Bit-Ausgabedaten DOUT[0:63], die vom Speicherblock **401** ausgelesen werden, wählt eines davon in Abhängigkeit vom 3Bit-Steuersignal CONT aus und gibt selbiges an den jeweiligen Ausgabekontaktanschluß (Data-Out) **409** ab.

[0037] Fig. 6 zeigt ein schematisches Blockschaltbild eines MML mit einer die DQ-Zahl reduzierenden Schaltung gemäß einem dritten erfindungsgemäßen Beispiel, das den Fall von 64Bit-Eingabedaten DIN[0:63] und 64Bit-Ausgabedaten DOUT[0:63] veranschaulicht. Der MML gemäß Fig. 6 enthält einen Speicherblock **601**, der ein verbessertes SDRAM für allgemeine Zwecke sein kann, einen Logikblock **603** und des weiteren eine die DQ-Zahl reduzierende Schaltung **605** zur Reduzierung der Anzahl von DQ-Kanälen während eines Testmodus.

[0038] Die Schaltung **605** zur Reduzierung der DQ-Zahl beinhaltet acht 8:1-Multiplexer **605a**, acht 1:8-Demultiplexer **605b** und drei Zähler **605c**. Jeder der 8:1-Multiplexer **605a** empfängt acht Bit der 64Bit-Ausgabedaten DOUT[0:63], wählt eines davon in Abhängigkeit von einem 3Bit-Steuersignal CONT aus und gibt selbiges an jeweilige Ausgabekontaktanschlüsse **609** ab. Jeder der 1:8-Demultiplexer **605b** demultiplext Eingabedaten Data-In, die über entsprechende Eingabekontaktanschlüsse **613** eingegeben werden, und transferiert selbige zum Speicherblock **601**, so daß die Daten in die jeweiligen acht Speicherzellen geschrieben werden. Jeder der Zähler **605c**, die mit einem externen Takt CLK in einem Zustand synchronisiert sind, in welchem ein Lesesignal READ aktiviert ist, erzeugt das 3Bit-Steuersignal CONT. Daher ist die Anzahl von DQ-Kanälen des MML während eines Testmodus auf 16 reduziert, d.h. 8 DQ-Ausgabekanäle und 8 DQ-Eingabekanäle.

[0039] Bezugnehmend auf Fig. 7 wird nun die Betriebsweise des MML mit der die DQ-Zahl reduzieren-

den Schaltung **605** gemäß des dritten erfindungsgemäßen Beispiels detaillierter erläutert. Wenn der Speicherblock **605** des MML getestet werden soll, wird zuerst ein Lesebefehl angewandt, und das Lesesignal READ wird aktiviert (bei einem Taktzyklus 3). Die Zähler **605c** erzeugen daher das sequentiell anwachsende 3Bit-Steuersignal CONT. Demgemäß empfängt jeder der Multiplexer **605a** 8 Bit der 64Bit-Ausgabedaten DOUT[0:63], die aus dem Speicherblock **601** ausgelesen werden, wählt eines davon in Abhängigkeit vom 3Bit-Steuersignal CONT aus und gibt selbiges an die jeweiligen Ausgabekontaktanschlüsse (Data-Out) **609** ab. Genauer gesagt ergibt sich in einem Zustand, in welchem die Zähler **605c** anfänglich zurückgesetzt sind, für das 3Bit-Steuersignal CONT der Wert (0,0,0), und ein Lesebefehl wird angelegt, so daß die 64Bit-Ausgabedaten DOUT[0:63] aus dem Speicherblock **601** gelesen werden. Dann erhöht sich vom nächsten Taktzyklus **4** an sequentiell das 3Bit-Steuersignal CONT, um schließlich den Wert (1,1,1) anzunehmen. Dementsprechend empfängt jeder der Multiplexer **605a** 8 Bit der 64Bit-Ausgabedaten DOUT[0:63], die aus dem Speicherblock **601** ausgelesen werden, wählt eines davon sequentiell in Abhängigkeit vom 3Bit-Steuersignal CONT aus und gibt selbiges an die jeweiligen Ausgabekontaktanschlüsse **609** ab.

[0040] Wie oben beschrieben, werden in dem erfindungsgemäßen MML mit die DQ-Zahl reduzierenden Schaltungen während eines normalen Betriebsmodus Schreib- und Lesevorgänge eines Speicherblocks mit einer Breite von 64 Bit durchgeführt, d.h. als x64. Während eines Lesevorgangs in einem Testmodus empfängt, da die Zahl von DQ-Kanälen mit externem Anschluß acht beträgt, jeder von acht 8:1-Multiplexern 8 Bit der 64Bit-Ausgabedaten DOUT[0:63], die aus einem Speicherblock ausgelesen werden, wählt eines davon in Abhängigkeit von dem 3Bit-Steuersignal CONT aus und gibt selbiges an die jeweiligen Kontaktanschlüsse ab. Entsprechend werden während eines Schreibvorgangs im Testmodus Daten, die über acht DQ-Kontaktanschlüsse eingegeben werden, als 64Bit-Eingabedaten gespeichert. Die über die jeweiligen Kontaktanschlüsse eingegebenen Daten gelangen über die jeweiligen 1:8-Demultiplexer, so daß die Daten in Einheiten von 8 Bit geschrieben werden.

[0041] Die Schaltungen und Verfahren zur Reduzierung der DQ-Zahl gemäß der vorliegenden Erfindung benötigen folglich keine Komparatoren und können von einfacher Struktur sein. Dementsprechend können integrierte MML-Schaltkreise mit diesen Schaltungen oder mit diesen Verfahren zur Reduktion der DQ-Zahl die Anzahl von DQ-Kanälen deutlich reduzieren, was die Anzahl von integrierten MML-Schaltkreisen erhöht, die gleichzeitig getestet werden können. Es versteht sich, daß die Erfindung nicht auf die oben beschriebenen Beispiele beschränkt ist, sondern ihr Umfang durch die zugehörigen Patentansprüche bestimmt ist.

Patentansprüche

1. Kombinierter integrierter Speicher- und Logik-Schaltkreis (MML) mit
– Speichermitteln (**101**),
– Logikmitteln (**103**) und
– einer ersten Mehrzahl von Ausgabedatenpfaden (**102**), welche die Speichermittel und die Logikmittel miteinander verbinden, gekennzeichnet durch
– Mittel (**105**) zum seriellen Zuführen von Ausgabedaten der ersten Mehrzahl von Ausgabedatenpfaden (**102**) zu wenigstens einem Ausgabekontaktanschluß (**109**) des integrierten MML-Schaltkreises in Abhängigkeit von einem Testmodussignal, um eine externe Datenpfadbreite des integrierten MML-Schaltkreises während eines Testmodus zu reduzieren, wobei die Anzahl von Ausgabekontaktanschlüssen des integrierten MML-Schaltkreises kleiner als die erste Mehrzahl von Ausgabedatenpfaden ist.

2. Integrierter MML-Schaltkreis nach Anspruch 1, weiter dadurch gekennzeichnet, daß
– eine zweite Mehrzahl von Eingabedatenpfaden (**104**) vorgesehen ist, welche die Speichermittel und die Logikmittel miteinander verbinden, und
– Mittel (**205b**) zum seriellen Zuführen von Eingabedaten von wenigstens einem Eingabekontaktanschluß (**213**) des integrierten MML-Schaltkreises zur zweiten Mehrzahl von Eingabedaten in den seriell datenzuführenden Mitteln vorgesehen sind, wobei die Anzahl von Eingabekontaktanschlüssen des integrierten MML-Schaltkreises kleiner als die zweite Mehrzahl von Eingabedatenpfaden ist.

3. Integrierter MML-Schaltkreis nach Anspruch 2, weiter dadurch gekennzeichnet, daß die erste Mehrzahl von Ausgabedatenpfaden und die zweite Mehrzahl von Eingabedatenpfaden identisch sind.

4. Integrierter MML-Schaltkreis nach einem der Ansprüche 1 bis 3, weiter dadurch gekennzeichnet, daß Mittel (**205a**) zum Multiplexen der Ausgabedaten der ersten Mehrzahl von Ausgabedatenpfaden zu wenigstens einem Ausgabekontaktanschluß des integrierten MML-Schaltkreises in den seriell datenzuführenden Mitteln vorgesehen sind.

5. Integrierter MML-Schaltkreis nach Anspruch 4, weiter dadurch gekennzeichnet, daß in den seriell datenzuführenden Mitteln des weiteren Mittel (**205b**) zum Demultiplexen der an wengistens einem Eingabekontaktanschluß des integrierten MML-Schaltkreises eingegebenen Daten für die zweite Mehrzahl von Eingabedatenpfaden vorgesehen sind.

6. Integrierter MML-Schaltkreis nach Anspruch 4 oder 5, weiter dadurch gekennzeichnet, daß die seri-

ell datenzuführenden Mittel des weiteren Mittel (**205c**) zum Zuführen von Ausgabedatenpfad-Adreßsignalen zu den Multiplex-Mitteln beinhalten, um die Multiplex-Mittel zu veranlassen, ausgewählte Datenpfade der ersten Mehrzahl von Ausgabedatenpfaden seriell zu adressieren.

7. Integrierter MML-Schaltkreis nach Anspruch 6, weiter dadurch gekennzeichnet, daß die Mittel zum Zuführen von Ausgabedatenpfad-Adreßsignalen eine Mehrzahl von Adreß-Kontaktanschlüssen (**411**) beinhalten, welche die Ausgabedatenpfad-Adreßsignale den Multiplex-Mitteln zuführen.

8. Integrierter MML-Schaltkreis nach Anspruch 6, wobei die Mittel zum Zuführen von Ausgabedatenpfad-Adreßsignalen eine Mehrzahl von Adreß-Kontaktanschlüssen (**211**) und Mittel (**205c**) zum Speichern von Signalen, die von der Mehrzahl von Adreß-Kontaktanschlüssen empfangen werden, sowie zum Erzeugen der Ausgabedatenpfad-Adreßsignale aus den gespeicherten Signalen umfassen.

9. Integrierter MML-Schaltkreis nach Anspruch 6, weiter dadurch gekennzeichnet, daß die Mittel zum Zuführen von Ausgabedatenpfad-Adreßsignalen Zählmittel (**605**) für die Erzeugung der Ausgabedatenpfad-Adreßsignale beinhalten.

10. Integrierter MML-Schaltkreis nach einem der Ansprüche 1 bis 9, weiter dadurch gekennzeichnet, daß das Testmodussignal eine Kombination aus einem Zeilenadreßhinweissignal, einem Spaltenadreßhinweissignal und einem Schreibfreigabesignal umfaßt.

11. Integrierter MML-Schaltkreis nach einem der Ansprüche 1 bis 10, weiter dadurch gekennzeichnet, daß die Speichermittel von einem Speicherblock und die Logikmittel von einem Logikblick gebildet sind und die seriell datenzuführenden Mittel eine die Datenpfadbreite reduzierende Schaltung umfassen, welche die Ausgabedaten der ersten Mehrzahl von Ausgabedatenpfaden in Abhängigkeit vom Testmodussignal seriell dem wenigstens einen Ausgabekontaktanschluß zuführt.

12. Integrierter MML-Schaltkreis nach Anspruch 1, weiter dadurch gekennzeichnet, daß die Schaltung zur Reduktion der Datenpfadbreite Eingabedaten von dem wenigstens einem Eingabekontaktanschluß seriell der zweiten Mehrzahl von Eingabedatenpfaden zuführt.

13. Integrierter MML-Schaltkreis nach Anspruch 11 oder 12, weiter dadurch gekennzeichnet, daß die Schaltung zur Reduktion der Datenpfadbreite eine Adreßsteuereinheit umfaßt, welche die Ausgabedatenpfad-Adreßsignale wenigstens einem Multiplexer der Multiplex-Mittel zuführt, um den wenigstens einen Multiplexer zu veranlassen, ausgewählte der ersten Mehrzahl von Ausgabedatenpfaden seriell zu adressieren,

14. Integrierter MML-Schaltkreis nach Anspruch 13, weiter dadurch gekennzeichnet, daß die Adreßsteuereinheit eine Mehrzahl von Adreß-Kontaktanschlüssen und wenigstens ein Register beinhaltet, das auf die Mehrzahl von Adreß-Kontaktanschlüssen anspricht, um von der Mehrzahl von Adreß-Kontaktanschlüssen empfangene Signale zu speichern und aus den gespeicherten Signalen die Ausgabedatenpfad-Adreßsignale zu erzeugen.

15. Integrierter MML-Schaltkreis nach Anspruch 13 oder 14, weiter dadurch gekennzeichnet, daß die Adreßsteuereinheit wenigstens einen Zähler beinhaltet, der die Ausgabedatenpfad-Adreßsignale dem wenigstens einen Multiplexer zuführt.

16. Verfahren zum Testen eines kombinierten integrierten Speicher- und Logik-Schaltkreises (MML), insbesondere eines Schaltkreises mit den Merkmalen eines der Ansprüche 1 bis 15, mit einem Speicherblock, einem Logikblock und einer ersten Mehrzahl von Ausgabedatenpfaden, welche den Speicherblock und den Logikblock miteinander verbinden, dadurch gekennzeichnet, daß Ausgabedaten der ersten Mehrzahl von Ausgabedatenpfaden seriell wenigstens einem Ausgabekontaktanschluß des integrierten MML-Schaltkreises in Abhängigkeit von einem Testmodussignal zugeführt werden, wobei die Anzahl von Ausgabekontaktanschlüssen des integrierten MML-Schaltkreises kleiner als die erste Mehrzahl von Ausgabedatenpfaden ist, um so eine externe Datenpfadbreite des integrierten MML-Schaltkreises während des Testmodus zu reduzieren.

17. Verfahren nach Anspruch 16 für einen integrierten MML-Schaltkreis, der eine zweite Mehrzahl von Eingabedatenpfaden aufweist, welche den Speicherblock und den Logikblock miteinander verbinden, weiter dadurch gekennzeichnet, daß Eingabedaten von wenigstens einem Eingabekontaktanschluß des integrierten MML-Schaltkreises seriell der zweiten Mehrzahl von Eingabedatenpfaden zugeführt werden, wobei die Anzahl von Eingabekontaktanschlüssen des integrierten MML-Schaltkreises kleiner als die zweite Mehrzahl von Eingabedatenpfaden ist.

18. Verfahren nach Anspruch 17, weiter dadurch gekennzeichnet, daß die erste Mehrzahl von Ausgabedatenpfaden und die zweite Mehrzahl von Eingabedatenpfaden identisch sind.

19. Verfahren nach einem der Ansprüche 16 bis 18, weiter dadurch gekennzeichnet, daß der Schritt zur seriellen Datenzuführung einen Schritt zum Mul-

tiplexen der Ausgabedaten auf der ersten Mehrzahl von Ausgabedatenpfaden zum wenigstens einen Ausgabekontaktanschluß des integrierten MML-Schaltkreises beinhaltet.

20. Verfahren nach einem der Ansprüche 17 bis 19, weiter dadurch gekennzeichnet, daß der Schritt zur seriellen Datenzuführung einen Schritt zum Demultiplexen der Eingabedaten von wenigstens einem der Eingabekontaktanschlüsse des integrierten MML-Schaltkreises zur zweiten Mehrzahl von Eingabedatenpfaden beinhaltet.

21. Verfahren nach Anspruch 19 oder 20, weiter dadurch gekennzeichnet, daß dem Multiplex-Schritt ein Schritt zum Bereitstellen von Ausgabedatenpfad-Adreßsignalen vorausgeht und der Multiplex-Schritt in Abhängigkeit von den Ausgabedatenpfad-Adreßsignalen durchgeführt wird.

22. Verfahren nach Anspruch 21, weiter dadurch gekennzeichnet, daß zwischen dem Schritt der Bereitstellung von Ausgabedatenpfad-Adreßsignalen und dem Multiplex-Schritt Schritte zum Speichern von Signalen, die von einer Mehrzahl von Adreßkontaktanschlüssen empfangen werden, und zum Erzeugen der Ausgabedatenpfad-Adreßsignale aus den gespeicherten Signalen durchgeführt werden.

23. Verfahren nach Anspruch 21 oder 22, weiter dadurch gekennzeichnet, daß der Schritt zur Bereitstellung von Ausgabedatenpfad-Adreßsignalen einen Schritt zum sequentiellen Zählen beinhaltet, um die Ausgabedatenpfad-Adreßsignale zu erzeugen.

24. Verfahren nach einem der Ansprüche 16 bis 23, weiter dadurch gekennzeichnet, daß das Testmodussignal eine Kombination aus einem Zeilenadreßhinweissignal, einem Spaltenadreßhinweissignal und einem Schreibfreigabesignal beinhaltet.

Es folgen 7 Blatt Zeichnungen

Anhängende Zeichnungen

FIG. 1

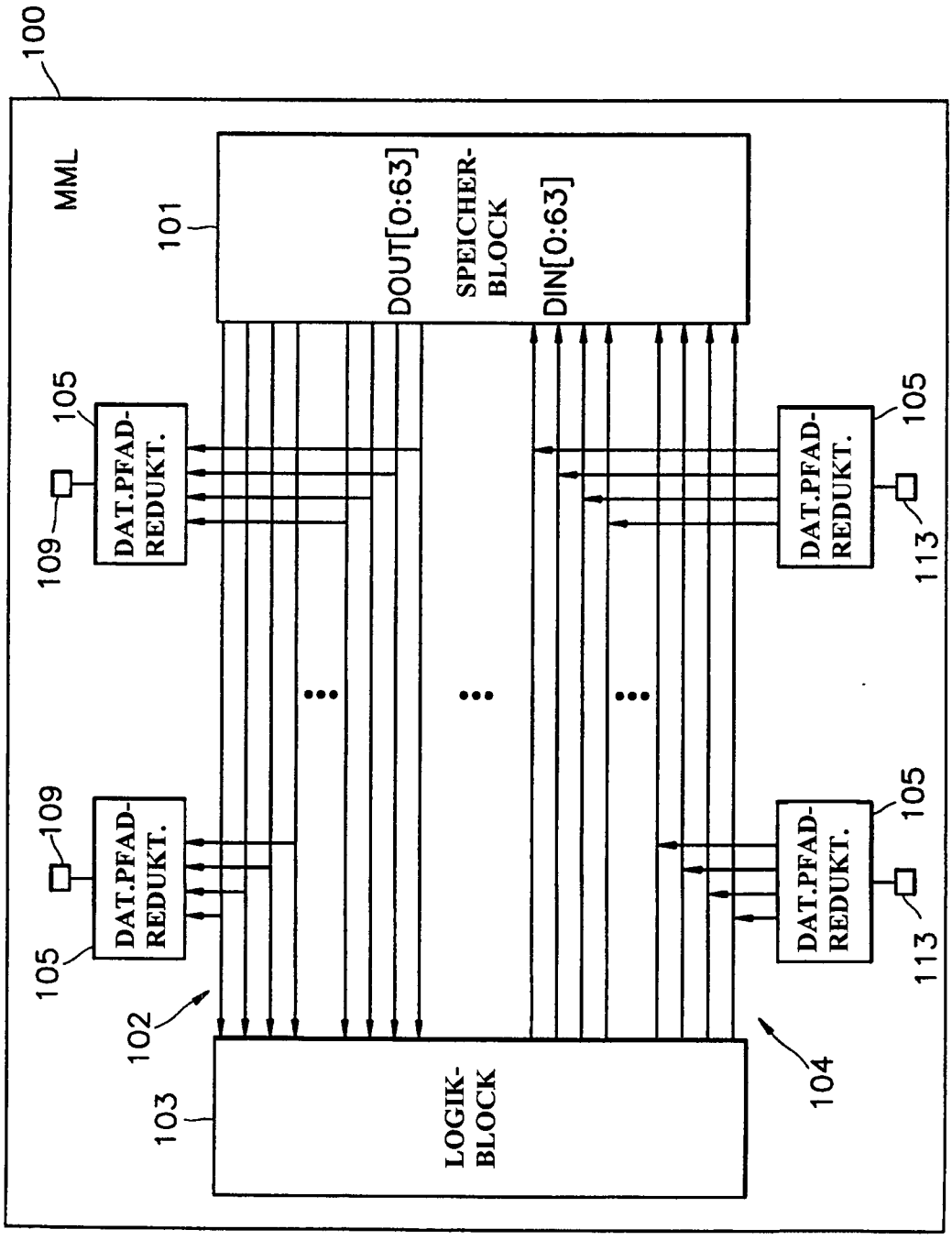


FIG. 2

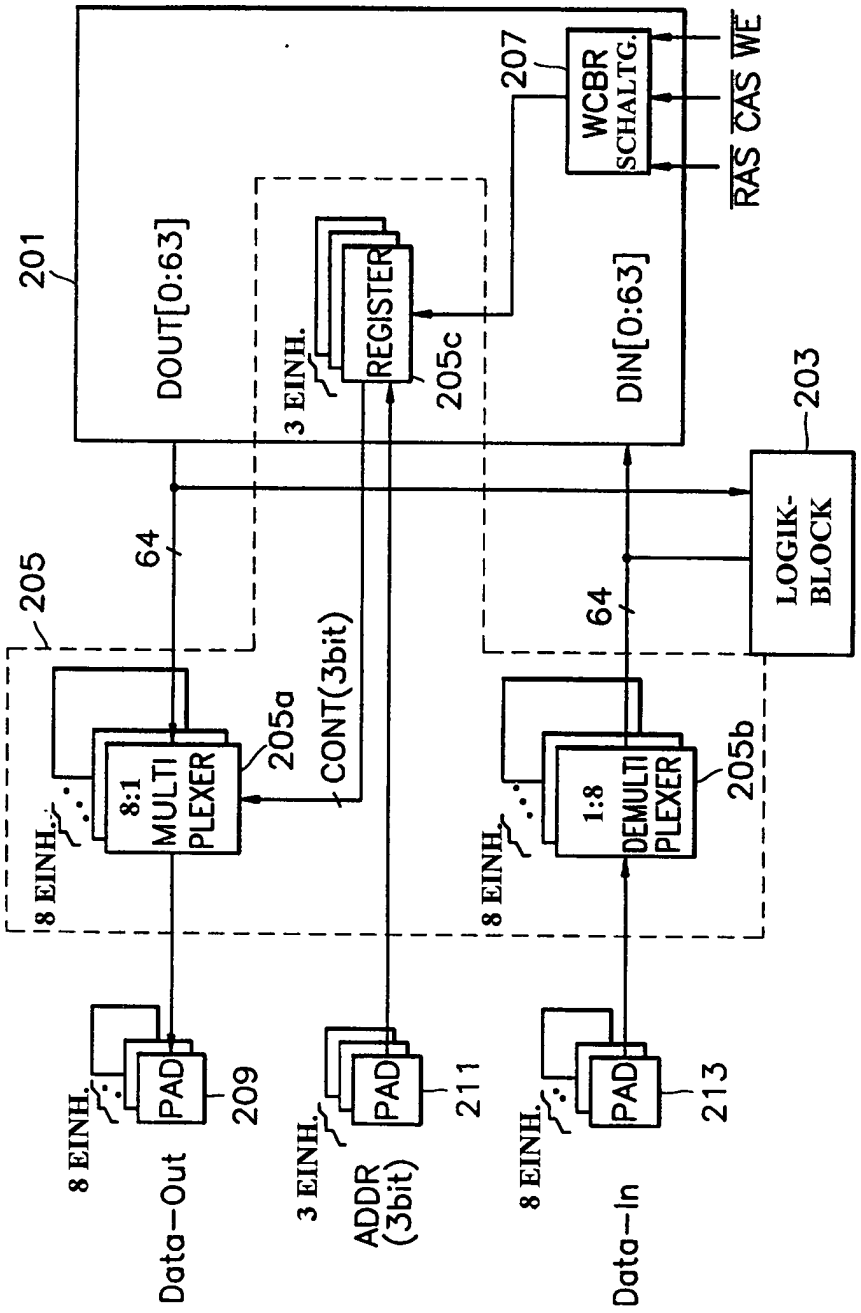

201
DOUT[0:63]
DIN[0:63]
207
WCBR SCHALTG.
RAS CAS WE
3 EINH.
REGISTER
205c
203
LOGIK-BLOCK
64
64
205
205a
CONT(3bit)
205b
8 EINH.
8:1 MULTI PLEXER
1:8 DEMULTI PLEXER
8 EINH.
8 EINH.
PAD
209
PAD
211
PAD
213
8 EINH.
Data-Out
3 EINH.
ADDR (3bit)
8 EINH.
Data-In

FIG. 3

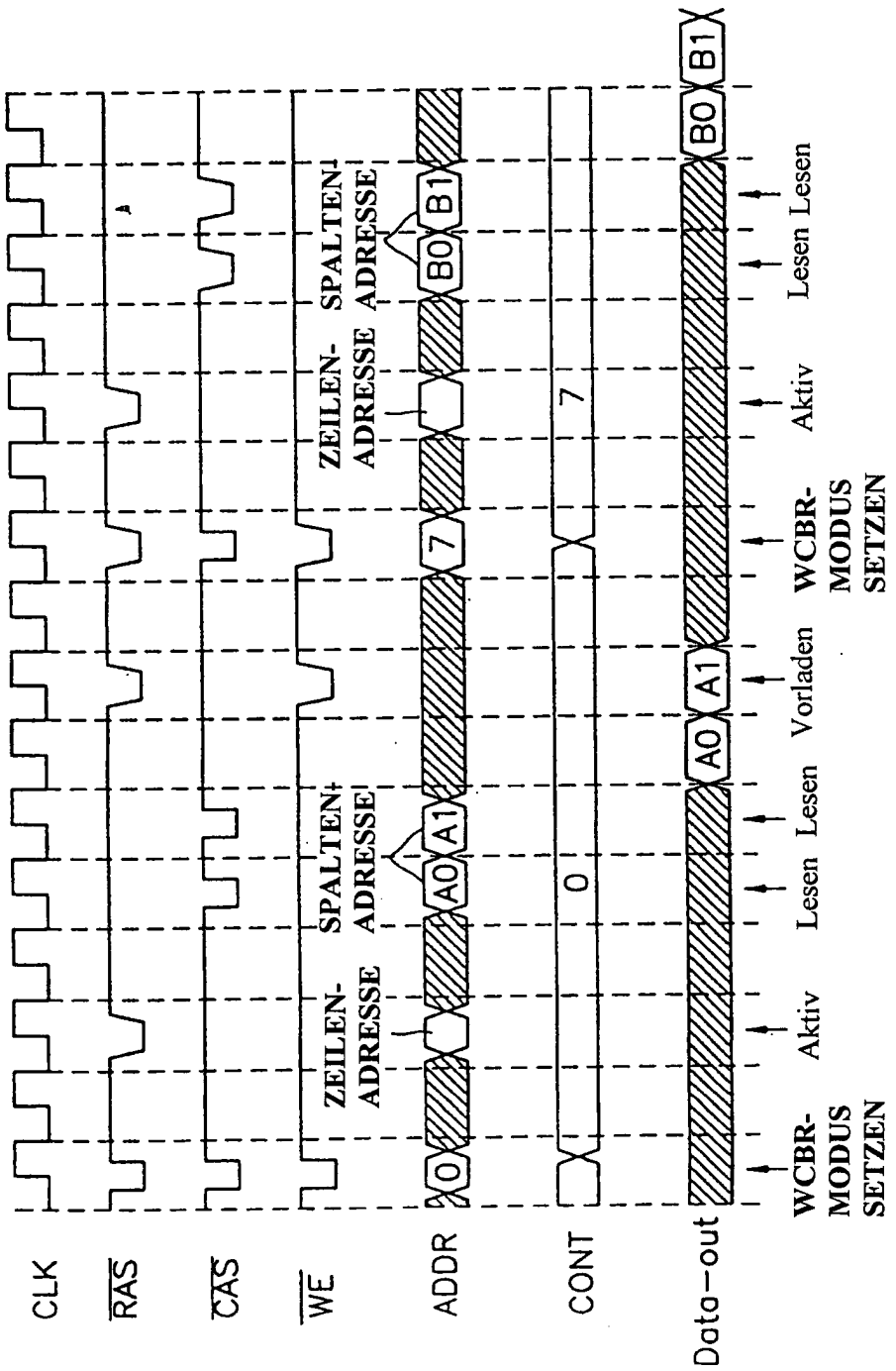

0 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15
CLK
RAS
CAS
WE
ADDR
CONT
Data-out
ZEILEN-ADRESSE
SPALTEN-ADRESSE
A0
A1
B0
B1
0
7
WCBR-MODUS SETZEN
Aktiv
Lesen
Vorladen
Lesen
Aktiv
Lesen
Lesen

FIG. 4

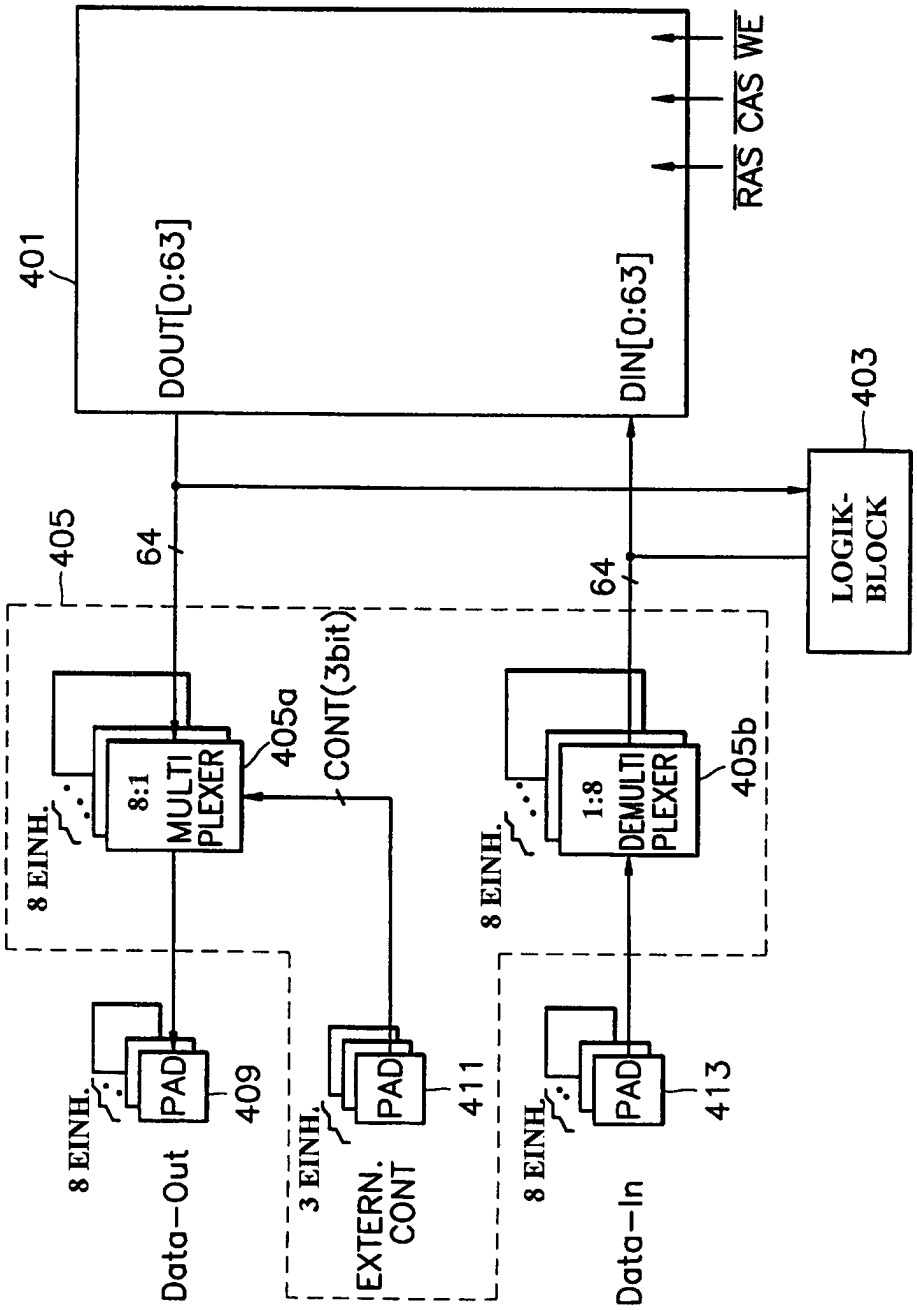

401
DOUT[0:63]
DIN[0:63]
RAS CAS WE
403
LOGIK-BLOCK
405
64
64
8 EINH.
8:1 MULTI PLEXER
405a
CONT(3bit)
8 EINH.
1:8 DEMULTI PLEXER
405b
8 EINH.
PAD
409
Data-Out
3 EINH.
PAD
411
EXTERN. CONT
8 EINH.
PAD
413
Data-In

FIG. 5

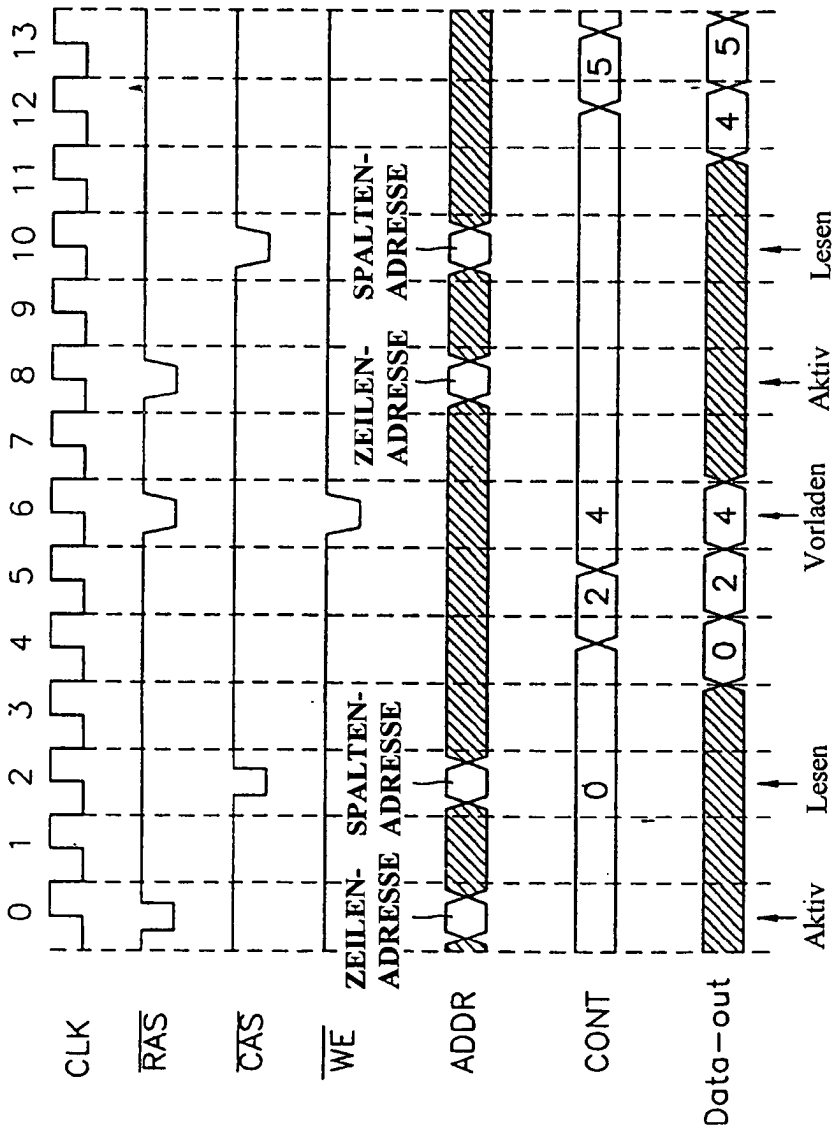

0 1 2 3 4 5 6 7 8 9 10 11 12 13
CLK
RAS
CAS
WE
ADDR
CONT
Data-out
ZEILEN-ADRESSE
SPALTEN-ADRESSE
ZEILEN-ADRESSE
SPALTEN-ADRESSE
0
2
4
5
0
2
4
4
5
Aktiv
Lesen
Vorladen
Aktiv
Lesen

FIG. 6

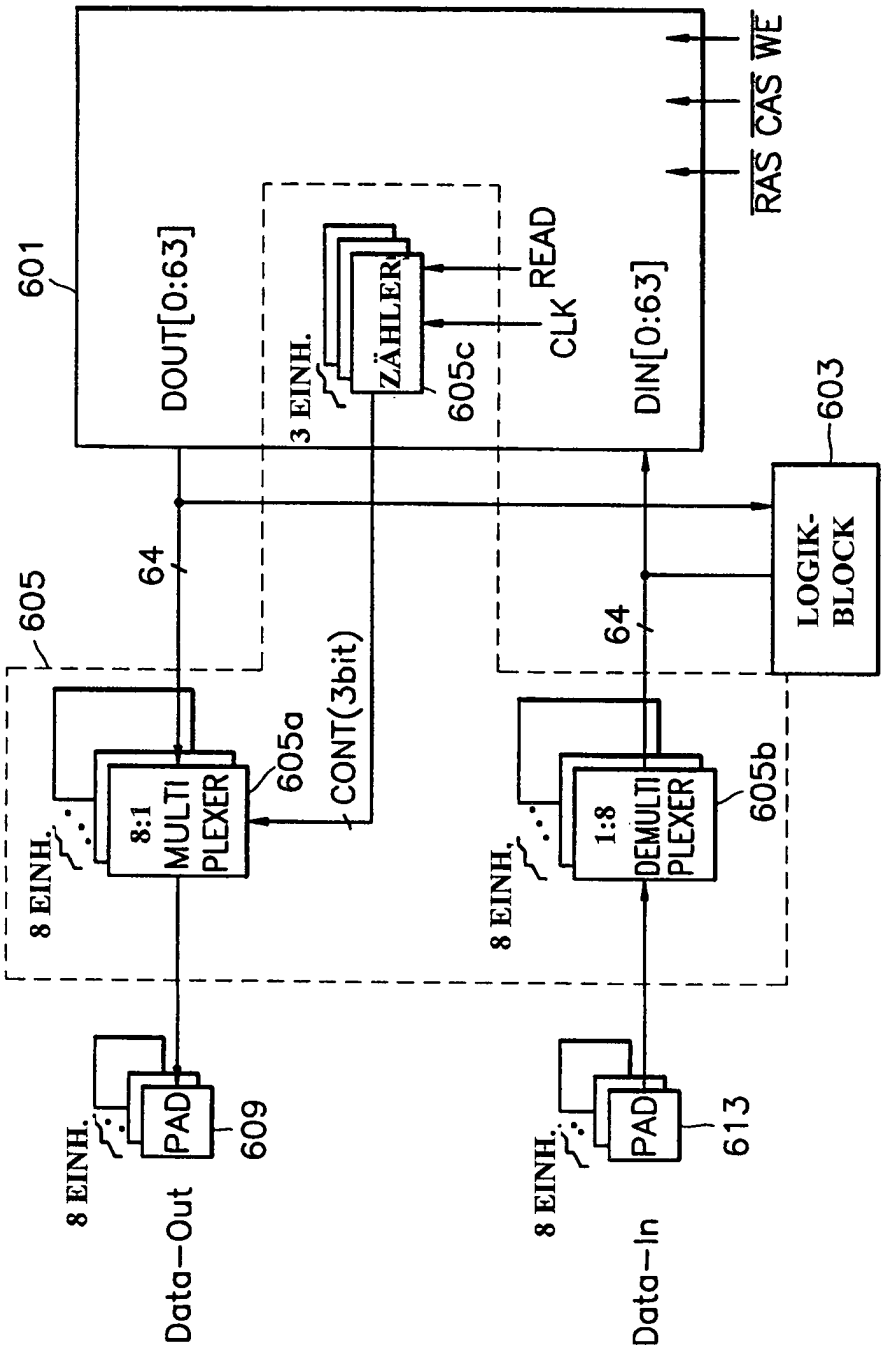
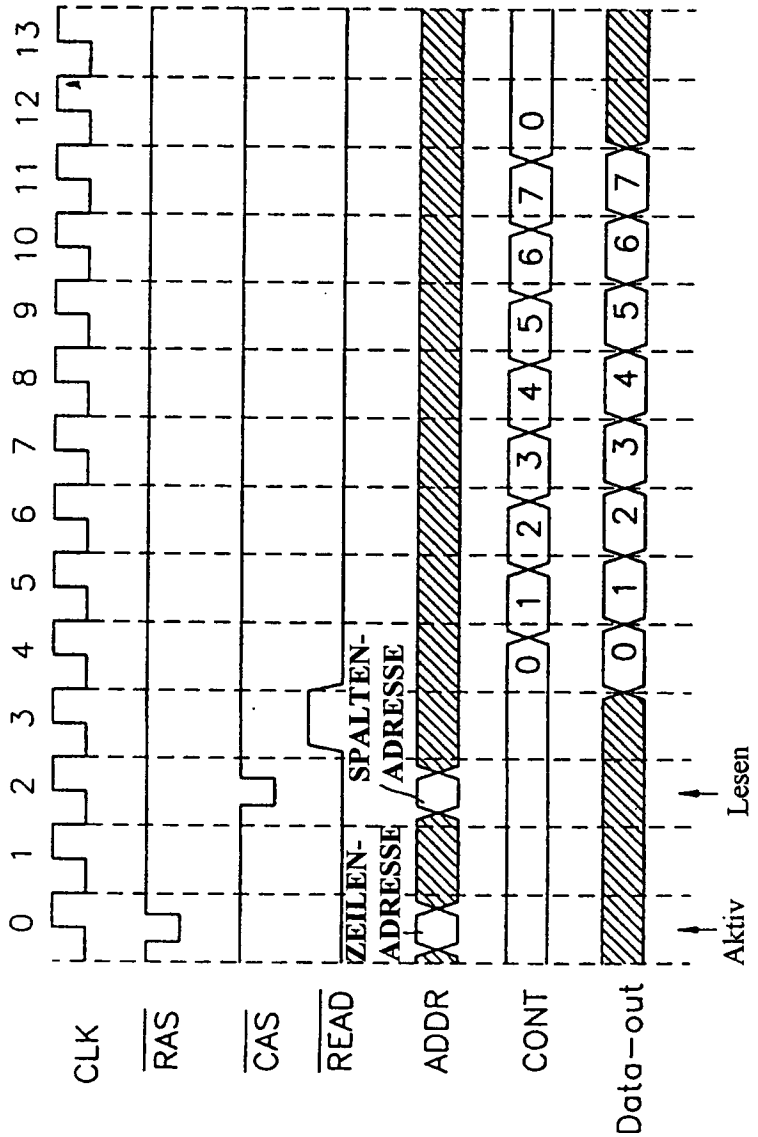

601
DOUT[0:63]
DIN[0:63]
RAS CAS WE
3 EINH.
ZÄHLER
605c
READ
CLK
603
LOGIK-BLOCK
605
64
64
CONT(3bit)
8 EINH.
8:1 MULTI PLEXER
605a
8 EINH.
1:8 DEMULTI PLEXER
605b
8 EINH.
PAD
609
8 EINH.
PAD
613
Data-Out
Data-In

FIG. 7


0 1 2 3 4 5 6 7 8 9 10 11 12 13
CLK
RAS
CAS
READ
ADDR
CONT
Data-out
ZEILEN-ADRESSE
SPALTEN-ADRESSE
Aktiv
Lesen
0 1 2 3 4 5 6 7 0
0 1 2 3 4 5 6 7